(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3801290号
(P3801290)
(45)発行日　平成18年7月26日(2006.7.26)　(24)登録日　平成18年5月12日(2006.5.12)

(51)Int.Cl.			F I		
H04N	9/78	(2006.01)	H04N	9/78	A
H03H	9/30	(2006.01)	H03H	9/30	A

請求項の数 7　(全 8 頁)

(21)出願番号　特願平9-24863
(22)出願日　平成9年2月7日(1997.2.7)
(65)公開番号　特開平9-261683
(43)公開日　平成9年10月3日(1997.10.3)
審査請求日　平成16年2月4日(2004.2.4)
(31)優先権主張番号　19604929:6
(32)優先日　平成8年2月10日(1996.2.10)
(33)優先権主張国　ドイツ(DE)

(73)特許権者　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
Ｋｏｎｉｎｋｌｉｊｋｅ　Ｐｈｉｌｉｐｓ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｎ．Ｖ．
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
Ｇｒｏｅｎｅｗｏｕｄｓｅｗｅｇ　１，５６２１　ＢＡ　Ｅｉｎｄｈｏｖｅｎ，Ｔｈｅ　Ｎｅｔｈｅｒｌａｎｄｓ
(74)代理人　100087789
弁理士　津軽　進

最終頁に続く

(54)【発明の名称】くし形フィルタ装置

(57)【特許請求の範囲】

【請求項１】

少なくとも２個の記憶セルを有している遅延回路及び第１整合回路を具えているくし形フィルタ装置であって、前記両回路がくし形フィルタ装置に供給される一連の個々の画素を構成する画像信号を受信し、前記両回路の出力信号が重畳段により重畳され、該重畳段がその出力端子からフィルタ処理された画像信号を供給し、前記整合回路は、それがこの整合回路に供給される画像信号に前記遅延回路とほぼ同じ振幅変動を与えるように作製され、且つ前記遅延回路からの出力信号の遅延量と、前記整合回路からの出力信号の遅延量との差が公称値に相当するようにしたくし形フィルタ装置において、第２整合回路及びスイッチング回路を設け、フィルタ処理してない画像信号が前記第２整合回路の入力端子に供給されて、該第２整合回路が前記未フィルタ処理の画像信号に、前記第１整合回路とほぼ同じ振幅変動及び遅延を与え、且つくし形フィルタ機能を交互にスイッチ・オン及びスイッチ・オフさせるスイッチング回路が、第２整合回路か、遅延回路のいずれかを不作動状態にするようにしたことを特徴とするくし形フィルタ装置。

【請求項２】

前記スイッチング回路が、前記遅延回路の記憶セルを個々に不作動状態にするようにして前記遅延回路を不作動状態にし得るようにして、くし形フィルタ機能を画素精度でスイッチ・オン及びスイッチ・オフさせるようにしたことを特徴とする請求項１に記載のくし形フィルタ装置。

【請求項３】

前記第２整合回路が少なくとも２個の記憶セルを具え、且つ前記スイッチング回路が、前記第２整合回路の記憶セルを個々に不作動状態にするようにして前記第２整合回路を不作動状態にすることができるようにして、くし形フィルタ機能を画素精度でスイッチ・オン及びスイッチ・オフさせるようにしたことを特徴とする請求項１又は２に記載のくし形フィルタ装置。

【請求項４】

前記遅延回路及び第２整合回路が記憶セルを具え、これらの記憶セルの各々が、容量性の記憶素子と、画像信号データを書込み線を介して前記容量性記憶素子に書込めるようにする書込み用のトランジスタと、容量性の記憶素子から読取り線を介して情報を読取れるようにする読取り用のトランジスタとを具え、前記各トランジスタが制御信号によって切り換えられるようにした請求項１及び２に記載のくし形フィルタ装置において、前記個々の記憶セルの機能を個々に不作動状態にするのに、前記スイッチング回路が、不作動状態にさせるべき記憶セルの読取り用トランジスタに供給される制御信号を遮断するようにしたことを特徴とするくし形フィルタ装置。

【請求項５】

前記制御信号が、記憶セルに各々関連するトランジスタによって遮断されるようにしたことを特徴とする請求項４に記載のくし形フィルタ装置。

【請求項６】

請求項１～５のいずれか一項に記載のくし形フィルタ装置を含むテレビジョン装置。

【請求項７】

請求項１～５のいずれか一項に記載のくし形フィルタ装置を含むビデオレコーダ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、少なくとも２個の記憶セルを有している遅延回路及び第１整合回路を具えているくし形フィルタ装置であって、前記両回路がくし形フィルタ装置に供給される一連の個々の画素を構成する画像信号を受信し、前記両回路の出力信号が重畳段により重畳され、該重畳段がその出力端子からフィルタ処理された画像信号を供給し、前記整合回路は、それがこの整合回路に供給される画像信号に前記遅延回路とほぼ同じ振幅変動を与えるように作製され、且つ前記遅延回路からの出力信号の遅延量と、前記整合回路からの出力信号の遅延量との差が公称値に相当するようにしたくし形フィルタ装置に関するものである。

【０００２】

【従来の技術】

斯種のくし形フィルタ装置はテレビジョン受信機又はビデオレコーダに用いられる。くし形フィルタ用の遅延回路としてはグラスファイバ遅延線又はＣＣＤセル（電荷結合デバイス）が用いられる。

【０００３】

画像品質をより一層改善すると共に画像信号をもっと正確に処理するために、斯様なくし形フィルタ装置を時間的に、又は理想的には画素順次でスイッチ・オン及びスイッチ・オフさせることが屡々所望される。しかし、従来のくし形フィルタ装置はこの目的には適しておらず、その理由は遅延回路の動作モードが、この遅延回路をスイッチ・オフさせることができるようになっていないためか、又は遅延回路がスイッチ・オフする場合に、重畳段には整合回路によって供給される信号しか供給されないので、遅延回路がスイッチ・オフされる場合に、くし形フィルタ装置の出力端子に増幅誤差が生ずることになるからである。従って、整合回路及び遅延回路によって供給される信号成分中に振幅及び増幅誤差が生じ、これらは通常同じ位相で重畳される。

【０００４】

【発明が解決しようとする課題】

本発明の目的は、出力信号に振幅及び／又は位相誤差を伴なわないでくし形フィルタ機能をスイッチ・オン及びスイッチ・オフさせることのできるくし形フィルタ装置を提供する

ことにある。
【０００５】
【課題を解決するための手段】
本発明は、冒頭にて述べた種類のくし形フィルタ装置において、第２整合回路及びスイッチング回路を設け、フィルタ処理してない画像信号が前記第２整合回路の入力端子に供給されて、該第２整合回路が前記未フィルタ処理の画像信号に、前記第１整合回路とほぼ同じ振幅変動及び遅延を与え、且つくし形フィルタ機能を交互にスイッチ・オン及びスイッチ・オフさせるスイッチング回路が、第２整合回路か、遅延回路のいずれかを不作動状態にするようにしたことを特徴とする。
【０００６】
本発明によるくし形フィルタ装置は、２個の整合回路と１個の遅延回路とを具えている。くし形フィルタ機能の場合に、重畳段は第１整合回路からの出力信号及び遅延回路からの出力信号を受信する。このために、スイッチング回路は第２整合回路をスイッチ・オフさせ、遅延回路をスイッチ・オンさせる。通常のくし形フィルタ機能はこの動作モードにて与えられる。例えば、遅延回路はそれに供給される入力信号を約２画像ライン分だけ遅延させることができるため、重畳段に供給されるこの信号は約２画像ラインの時間差だけ遅延されながら重畳段にて第１整合回路からの出力信号と重畳される。整合回路を設けるのは技術的な理由からであり、遅延回路は一般に、これらの回路が所望期間、例えば２画像ライン分の期間の正確な時間遅れをもたらすように構成することができないからである。このために、整合回路は、この整合回路の出力信号と遅延回路の出力信号との時間差が、互いに所望な時間遅れを呈するような、遅延を呈するようにする。さらに、整合回路はこれに供給される信号に、遅延回路によってこの遅延回路に供給される信号に与えられる振幅誤差と同じ振幅誤差を与えるように構成する。
【０００７】
上記動作モードに加えて、本発明によるくし形フィルタ装置はくし形フィルタ機能を時間的にスイッチ・オフさせることができるようにする。このために、スイッチング回路は遅延回路を不作動とし、その代りに第２整合回路を作動させる。従って、第１及び第２整合回路の２つの出力信号が重畳段にて重畳される。これらの信号は同じ値だけ遅延されるため、くし形フィルタ機能は除去される。重畳段はこれら同相の２つの信号を受信するから、振幅又は増幅誤差は生じない。くし形フィルタ機能をスイッチ・オンさせる場合も同様に、同相の信号が重畳段にて同相で重畳されるため、スイッチング中に重畳段からの出力信号の増幅度又は振幅が変化することはない。これによりくし形フィルタ機能をいつでも切り換えることができ、テレビジョン信号の画像ライン内で切り換えることも可能である。さらに、本発明によるくし形フィルタ装置は手動調整する必要がない。
【０００８】
本発明の他の好適例によれば、くし形フィルタ機能を画素順次でスイッチ・オン及びスイッチ・オフさせる動作を次のようにして有利に行なうことができる。つまり遅延回路又は整合回路の記憶セルが個々に不作動状態にさせられるように、スイッチング回路が遅延回路又は整合回路を不作動状態にして、くし形フィルタ機能を画素精度でスイッチ・オン及びスイッチ・オフさせるようにする。
【０００９】
従って、スイッチング回路は遅延回路か、第２整合回路の記憶セルを交互に作動状態又は不作動状態にする。この場合、くし形フィルタ機能を画素精度で交互にスイッチ・オン及びスイッチ・オフさせることができる。
【００１０】
本発明の他の好適例によれば、前記遅延回路及び第２整合回路が記憶セルを具え、これらの記憶セルの各々が、容量性の記憶素子と、画像信号データを書込み線を介して前記容量性記憶素子に書込めるようにする書込み用のトランジスタと、容量性の記憶素子から読取り線を介して情報を読取れるようにする読取り用のトランジスタとを具え、前記各トランジスタが制御信号によって切り換えられるようにし、又前記個々の記憶セルの機能を個々

に不作動状態にするのに、前記スイッチング回路が、不作動状態にさせるべき記憶セルの読取り用トランジスタに供給される制御信号を遮断するようにする。

【００１１】

遅延回路及び整合回路は、各々が情報を記憶する容量性の記憶素子を具えている複数の記憶セルで構成するのが有利である。書込みプロセスは、情報を書込み用トランジスタを介して容量性素子に書込む書込み線を介して行われる。読取りプロセスは読取り線における読取り用トランジスタによって制御される。書込み及び読取り用のトランジスタは制御信号によって切り換えられ、隣接する記憶セルのうち、一方の記憶セルｎの読取り用トランジスタの制御信号は他方の記憶セルｎ＋１の書込み用トランジスタの制御信号と同じ信号とするのが好適である。

【００１２】

斯様に構成される遅延回路及び／又は２個の整合回路の記憶セルの場合に、くし形フィルタ機能は、不作動状態にすべき回路における読取り用トランジスタの制御信号を遮断することによりスイッチ・オン及びスイッチ・オフさせることができる。従って、遅延回路及び第２整合回路を画素順次で、即ち画素精度でスイッチ・オン及びスイッチ・オフすることができるため、くし形フィルタ機能を画素精度で切り換えることもできる。

【００１３】

本発明の他の好適例では、読取り用トランジスタの制御信号をトランジスタによって有利に遮断することができる。

【００１４】

【発明の実施の形態】

図１に示す本発明によるくし形フィルタ装置は、第１整合回路１と、第２整合回路２と、遅延回路３とを具えている。このくし形フィルタ装置の入力端子に供給される画像信号ＴＶはこれら３つの回路に供給される。

回路１，２及び３の出力端子を重畳段４に接続し、これにてこの重畳段に供給される信号を加算的に重畳する。

【００１５】

くし形フィルタ動作をさせるために、例えば、ビデオレコーダに用いる遅延回路３によってテレビジョン信号ＴＶを約２画像ライン分だけ遅延させることができる。斯種の遅延回路の構成によると、これに供給される信号が正確に２画像ラインの期間だけ遅延されないことがある。さらに、遅延回路に供給された信号に振幅誤差が加わることがある。

【００１６】

こうした影響を補償するために、第１整合回路１及び第２整合回路は、これらの回路がこれらに供給される信号に、遅延回路３によって加えられる振幅誤差と同じ振幅誤差を加えるように構成する。さらに、２つの整合回路１及び２は、これらの回路に供給される信号に、これらの整合回路１及び２の出力信号と遅延回路３の出力信号とが重畳段４にて所望な相対時間遅れで重畳されるような時間遅れを与えることができるようにする。例えば、遅延回路３がそれに供給される信号を正確に２画像ライン分の期間だけ所望通りに遅延せずに、それよりも多少長めに遅延する場合には、整合回路１及び２がこれらの回路に供給される信号を短めに遅延させて、重畳段４での重畳が正確に２画像ライン分の期間に相当する時間差で行われるように整合回路１及び２を設計することができる。

【００１７】

スイッチング回路６は第２整合回路２に供給される信号Ａを受信し、この信号はインバータ５によって反転されて遅延回路３にも供給される。

通常のくし形フィルタ動作に対しては、信号Ａにより第２整合回路２を不作動状態にするが、遅延回路３は作動状態にする。従って、重畳段４は第１整合回路１の出力信号並びに遅延回路３の出力信号を受信する。この場合には通常のくし形フィルタ機能が実行され、くし形フィルタ装置は、その出力端子からくし形フィルタ処理されたテレビジョン信号ＴＶ′を供給する。

【００１８】

信号Ａを不作動状態にすると、第２整合回路２が作動して、遅延回路３が不作動状態となる。この場合には、２つの整合回路１及び２からの同相信号が重畳段４にて重畳される。こうした信号Ａの不作動期間中には、出力信号ＴＶ′はくし形フィルタ処理されておらず、この信号は、整合回路１及び２にて発生する振幅誤差及び僅かな時間遅れは別として、入力信号ＴＶに相当するものとなる。

【００１９】

図１に示したくし形フィルタ装置の整合回路１及び２と、遅延回路３は記憶セルで構成するのが有利であり、これらの記憶セルの１つの例を図２に示してある。この図２に示した記憶セルは容量性の記憶素子１１を具えている。書込み線１２を設け、これにより例えば信号源１３からの信号を供給することができる。書込み線１２に供給される信号は書込み用のトランジスタ１４を介して容量性記憶素子１１に供給することができる。このためには、制御信号発生回路１５によって発生される制御信号により書込み用のトランジスタ１４を駆動させる。記憶セルの通常の動作中、従って容量性記憶セル１１に記憶されている情報を読取り線１６を経て供給すべき場合には、制御信号によって制御される読取り用のトランジスタ１７を作動させて、このトランジスタを介して容量性記憶素子１１に記憶されている情報を読取り線１１上に読取らせるようにする。

【００２０】

このような複数個の記憶セルは整合回路及び遅延回路に並べて配置され、通常斯種の一群の記憶セルに対する読取り線１６及び書込み線１２は共通とすることができる。記憶セルｎの読取り用トランジスタと、記憶セルｎ＋１の書込み用トランジスタに対する制御信号は一般に同じ信号とする。これを図２では、ここに示してある記憶セルの隣りの記憶セル（図２には図示してない）に関連することになる書込み用トランジスタ１８によって示してある。

【００２１】

図１に示した装置にて、くし形フィルタ機能を画素精度で作動状態にしたり、又は不作動状態にするには、第２整合回路２及び遅延回路３に配置する例えば図２に示したように構成し得る記憶セルを個々に作動させたり、又は不作動状態にする必要がある。このために、外部のスイッチング信号Ａを受信するスイッチング素子１９を図２に示した記憶セルに設ける。図２に示した記憶セルを作動させる場合には、信号Ａによって制御されるスイッチング素子１９により回路１５によって供給される制御信号を読取り用トランジスタ１７に供給して、このトランジスタを所望な態様で駆動させる。この場合、記憶セルは出力信号を供給し、即ちトランジスタ１７に制御信号が供給されると、容量性記憶素子１１からの情報が読取り線１６に供給される。

【００２２】

図２の記憶セルを不作動状態とするためには、信号Ａにより回路１５によって供給される制御信号がスイッチング素子１９を流れるのを阻止して、制御信号が読取り用のトランジスタ１７に最早流れないようにする。従って、容量性記憶素子１１に記憶されている情報も最早読取り用のトランジスタ１７を経て読取り線１６に供給されなくなり、記憶セルは出力信号を供給しなくなる。

【００２３】

第２整合回路２及び遅延回路３は図２に示した記憶セルと同じように構成することができる。この場合に、これら２つの回路の差異は、遅延回路では情報が所望遅延量に従って容量性記憶素子から読取られるようにするのに対し、第２整合回路では情報が書込みプロセス後にほぼ直接的に読取られるようにすることにある。

【００２４】

第２整合回路２及び遅延回路３における等しい画素に関連する記憶セルは逆の態様で切り換えられ、即ち例えば上記２つの回路における所定の画素に関連する記憶セルは、これらのセルが第２整合回路２では作動状態となると共に遅延回路３では不作動状態となるか、第２整合回路２では不作動状態となり、遅延回路３では作動状態となるように切り換えられる。この切り換え動作をスイッチング信号Ａによって画素精度で行うことができるよう

にするために、記憶セルを個々にスイッチ・オン又はスイッチ・オフさせることができるようにする。

【００２５】

このことは図１に示した装置の場合、重畳段４にて重畳される信号に対して、くし形フィルタ機能を画素精度で作動状態にしたり、又は不作動状態にしたりすることができると云う利点を有する。

くし形フィルタ機能を不作動状態にすることは、例えば画像信号の垂直線にとって望ましく、その理由は、これらの垂直線はくし形フィルタ機能を作動させる場合に通常ひずむからである。従って、くし形フィルタ機能を正確に不作動状態にすることによりシャープな画像印象を得ることができる。

【図面の簡単な説明】

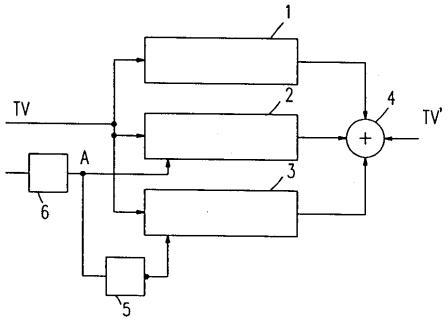
【図１】本発明によるくし形フィルタ装置の実施例を示すブロック図である。

【図２】図１に示したくし形フィルタ装置の遅延回路及び／又は第２整合回路の記憶セルを示す線図である。

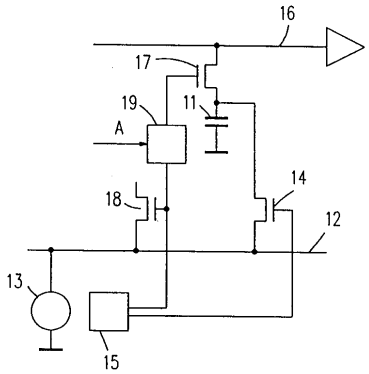
【符号の説明】

１　　第１整合回路
２　　第２整合回路
３　　遅延回路
４　　重畳段
５　　インバータ
６　　スイッチング回路
１１　容量性記憶素子
１２　書込み線
１３　信号源
１４　書込み用トランジスタ
１５　制御信号発生回路
１６　読取り線
１７　読取り用トランジスタ
１８　書込み用トランジスタ
１９　スイッチング素子

【図１】



【図２】



フロントページの続き

(72)発明者　ゼンケ　ストラック
ドイツ連邦共和国　２１６２９　ノイ　ヴルムストルフ　ポストヴェーク　１８ハー
(72)発明者　オレ　シュタインファット
ドイツ連邦共和国　２１２４４　ブーフホルツ　セッペンサー　ミューレンヴェーク　３ツェー

審査官　佐藤　直樹

(56)参考文献　実開平０４－０６７３５４（ＪＰ，Ｕ）
特開平０７－１７０４５８（ＪＰ，Ａ）
特開平０７－１３０１７２（ＪＰ，Ａ）
特開平０６－０７８３３１（ＪＰ，Ａ）
特開平０５－２７６５３４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 9/78
H03H 9/30