

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年3月3日(2005.3.3)

【公開番号】特開2000-19709(P2000-19709A)

【公開日】平成12年1月21日(2000.1.21)

【出願番号】特願平10-188518

【国際特許分類第7版】

G 03 F 1/08

G 03 F 7/20

H 01 L 21/027

【F I】

G 03 F 1/08 A

G 03 F 7/20 5 2 1

H 01 L 21/30 5 1 6

【手続補正書】

【提出日】平成16年3月26日(2004.3.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリマット部からその外側に延び、前記メモリマット外側のサブワードドライバまたはシャントとの境界部で終端し、平行に配置された第1及び第2の配線と、前記メモリマット部から延び前記サブワードドライバまたはシャントで終端する前記第1および第2の配線に平行で前記第2および第2の配線を挟む第3および第4の配線とを有し、

前記第1及び第2の配線の終端部が、前記第1及び第2の配線の長さ方向にずれて形成されていることを特徴とする半導体装置。

【請求項2】

前記第1の配線と前記第2の配線の終端部は、前記第1の配線と前記第2の配線のピッチの1/2以上前記第1の配線と前記第2の配線のピッチ分以下ずれて形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記第1及び第2の配線のうち何れか一方の配線の終端部はコーナー部が除かれていることを特徴とする請求項1記載の半導体装置。

【請求項4】

第1の方向に平行な第1の複数の配線と、

前記第1の方向に交差する第2の方向に配置された第2の複数の配線と、

前記第1の複数の配線のうちの、第1の配線及び第2の配線の一端側にはコントラクトが配置され、

前記一端側と反対側の他端側では、前記第1の配線及び第2の配線は、前記第1の方向の長さが異なって終端されていることを特徴とする半導体装置

【請求項5】

前記長さは、前記第1の配線と前記第2の配線のピッチの1/2以上異なっていることを特徴とする請求項4記載の半導体装置。

【請求項6】

前記第1の配線の前記第2の配線とは隣り合って設けられ、
前記コンタクトと、前記第1の配線との接続部には補助パターンが設けられ、
前記第1の配線と前記第2の配線との間隔をPとすると、前記補助パターンの前記第一の
方向の長さはP/2以上であり、第二の方向の長さはP/10以上P/2以下であることを特徴とする請求項4記載の半導体装置。

【請求項7】

それぞれ平行で隣り合う第1、第2、第3、第4の配線と、
前記第1の配線と前記第2の配線の一端側にコンタクトが配置され、
前記第3の配線と前記第4の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第1、第2の配線は、前記他端側で、前記第1及び第2の配線の長さが異なって終端されており、
かつ、前記第3、第4の配線は、前記一端側で、第3及び第4の配線の長さが異なって終端されていることを特徴とする半導体装置。

【請求項8】

前記第1の配線と前記第2の配線の終端部は、前記第1の配線と前記第2の配線のピッチの1/2以上前記第1の配線と前記第2の配線のピッチ分以下ずれて形成されていることを特徴とする請求項7記載の半導体装置。

【請求項9】

それぞれ平行で隣り合う第1、第2、第3、第4の配線と、
前記第1の配線と前記第3の配線の一端側にコンタクトが配置され、
前記第2の配線と前記第4の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第1、第3の配線は、前記他端側で、前記第1及び第3の配線の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されており、
かつ、前記第2、第4の配線は、前記一端側で、第2及び第4の配線の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されていることを特徴とする半導体装置。

【請求項10】

前記第1の配線と前記第3の配線の終端部は、前記第1の配線と前記第3の配線のピッチの1/2以上前記第1の配線と前記第3の配線のピッチ分以下ずれて形成されていることを特徴とする請求項9記載の半導体装置。

【請求項11】

それぞれ平行で隣り合う第1、第2、第3、第4の配線と、
前記第1の配線と前記第4の配線の一端側にコンタクトが配置され、
前記第2の配線と前記第3の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第1、第4の配線は、前記他端側で、前記第1及び第4の配線の長さが異なって終端されており、
かつ、前記第2、第3の配線は、前記一端側で、第2及び第3の配線の長さが異なって終端されていることを特徴とする半導体装置。

【請求項12】

前記第1の配線と前記第4の配線の終端部は、前記第1の配線と前記第4の配線のピッチの1/2以上前記第1の配線と前記第4の配線のピッチ分以下ずれて形成されていることを特徴とする請求項11記載の半導体装置。

【請求項13】

第1の方向に平行な第1の複数の配線からなるワード線と、
前記ワード線と交差し、第2の方向に平行な複数のデータ線とを有し、
前記ワード線と前記データ線の交点に配置され、トランジスタを有する複数のメモリーセルと、

前記第1の複数の配線のうちの、第1の配線及び第2の配線の一端側にはコンタクトが配置され、

前記一端側と反対側の他端側では、前記第1の配線及び第2の配線は、前記第1の方向の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されてことを特徴とする半導体装置。

【請求項14】

前記ワード線は、前記トランジスタのゲートに接続されていることを特徴とする請求項13記載の半導体装置。

【請求項15】

前記データ線は前記トランジスタのソースまたはドレインに接続されていることを特徴とする請求項13記載の半導体装置。

【請求項16】

前記メモリーセルはMISトランジスタとキャパシタとを有することを特徴とする請求項13記載の半導体装置。

【請求項17】

前記メモリーセルは、フローティングゲートを有するMISトランジスタを含むことを特徴とする請求項13記載の半導体装置。

【請求項18】

前記メモリーセルは、第1と第2のインバータ回路を有し、

前記第1のインバータ回路の出力端子は、前記第2のインバータ回路の入力端子に接続され、

前記第2のインバータ回路の出力端子は、前記第1のインバータ回路の入力端子に接続される

ことを特徴とする請求項13記載の半導体装置。

【請求項19】

前記第1の方向に平行な複数の配線はMISトランジスタのゲートであり、

長辺が、前記第2の方向に平行な複数のMISトランジスタの活性領域を有することを特徴とする請求項13記載の半導体装置。

【請求項20】

互いに平行な、第1及び第2のワード線と

前記ワード線と交差する、データ線と、

前記ワード線と前記データ線の交点に配置されているメモリーセルと、

前記第1及び第2のワード線の一端に、前記ワード線駆動回路が接続され、

前記一端側と反対側の他端側で、前記第1及び第2のワード線がずれて終端されておりどちらか一方の終端部のコーナー部は除去されることを特徴とする半導体装置。

【請求項21】

前記第1及び第2のワード線は、前記第1と前記第2のワード線のピッチの1/2以上、前記第1と前記第2のワード線のピッチ分以下ずれて終端されていることを特徴とする請求項20記載の半導体装置。

【請求項22】

互いに平行で隣り合う第1、第2、第3、第4のワード線と

前記ワード線に交差する複数のデータ線と、

前記複数のワード線と前記複数のデータ線の所定の交点に配置されている複数のメモリーセルと、

前記第1及び第2のワード線の一端部に、前記第1及び第2のワード線各々を駆動する各自的のワード線駆動回路と、

前記第3及び第4のワード線の、前記一端側とは反対の他端部に、前記第3及び第4のワード線各々を駆動するワード線駆動回路とを有し、

前記第1、第2のワード線の前記他端側で、前記第1及び第2のワード線は長手方向にずれて終端され、

前記第3、第4のワード線の前記一端側で、前記第3及び第4のワード線は長手方向にずれて終端されていることを特徴とする半導体装置。

【請求項23】

ワード線と

前記ワード線と交差する、互いに平行な第1及び第2のデータ線と、

前記ワード線と前記データ線の交点に配置されているメモリーセルと、

前記第1及び第2のデータ線の一端側に、前記データ線上の信号を増幅する第1及び第2のセンスアンプとを有し、

前記一端側と反対側の他端側で、前記第1及び第2のデータ線は、所定の長さ異なって終端されていることを特徴とする半導体装置。

【請求項24】

前記第1及び第2のデータ線は、前記第1と前記第2のデータ線のピッチの1/2以上、前記第1と前記第2のデータ線のピッチ分以下ずれて終端されていることを特徴とする請求項23記載の半導体装置。

【請求項25】

ワード線と

前記ワード線と交差し、隣り合う互いに平行な第1、第2、第3、第4のデータ線と、

前記第1及び前記第2のデータ線の一端部でそれぞれセンスアンプが接続され、前記第3のデータ線と前記第4のデータ線の、前記一端部とは反対側の他端部でそれぞれセンスアンプが接続され、

前記第1、第2のデータ線の前記他端部では、前記第1及び第2のデータ線の長手方向の長さが、互いに異なって終端され、

前記第3、第4のデータ線の前記一端部では、前記第3及び第4のデータ線の長手方向の長さが互いに異なって終端されていることを特徴とする半導体装置。

【請求項26】

ワード線と

前記ワード線と交差し、隣り合う互いに平行な第1、第2、第3、第4のデータ線と、

前記第1及び前記第3のデータ線の一端部でそれぞれセンスアンプが接続され、前記第2のデータ線と前記第4のデータ線の、前記一端部とは反対側の他端部でそれぞれセンスアンプが接続され、

前記第1、第3のデータ線の前記他端部では、前記第1及び第3のデータ線の長手方向の長さが、互いに異なって終端され、

前記第2、第4のデータ線の前記一端部では、前記第2及び第4のデータ線の長手方向の長さが互いに異なって終端されていることを特徴とする半導体装置。

【請求項27】

メモリマット部からその外側に延び、前記メモリマット外側の境界部で終端し、平行に形成される第1及び第2の配線とをパターニングするための、前記第1の配線に対応する第1の開口部及び前記第2の配線に対応する第2の開口部を有し、前記第1の開口部及び第2の開口部の終端部が、前記第1及び第2の開口部の長さ方向にずれて形成されたマスクを用い、レジスト膜をパターン露光することを特徴とするパターン形成方法。

【請求項28】

前記露光光の波長をλ、開口数をNAとすると、前記第1の開口部と前記第2の開口部の間隔がλ/(NA)以下であることを特徴とする請求項27記載のパターン形成方法。

【請求項29】

前記開口部は、前記開口部の終端部の方向に向かって幅が小さく形成されていることを特徴とする請求項27記載のパターン形成方法。

【請求項30】

前記開口部は、前記開口部の終端部が、前記開口部の長辺方向及び短辺方向にそれぞれ平行でない辺を有することを特徴とする請求項27記載のパターン形成方法。

【請求項31】

前記第1の開口部と前記第2の開口部とは、実質的に逆位相の光が照射されることを特徴とする請求項27記載のパターン形成方法。