

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 17 年 3 月 3 日 (2005.3.3)

【公開番号】特開 2000-19709 (P2000-19709A)

【公開日】平成 12 年 1 月 21 日 (2000.1.21)

【出願番号】特願 平 10-188518

【国際特許分類第 7 版】

G 0 3 F 1/08

G 0 3 F 7/20

H 0 1 L 21/027

【F I】

G 0 3 F 1/08 A

G 0 3 F 7/20 5 2 1

H 0 1 L 21/30 5 1 6

【手続補正書】

【提出日】平成 16 年 3 月 26 日 (2004.3.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリマット部からその外側に延び、前記メモリマット外側のサブワードドライバまたはシャントとの境界部で終端し、平行に配置された第 1 及び第 2 の配線と、
前記メモリマット部から延び前記サブワードドライバまたはシャントで終端する前記第 1 および第 2 の配線に平行で前記第 2 および第 2 の配線を挟む第 3 および第 4 の配線とを有し、

前記第 1 及び第 2 の配線の終端部が、前記第 1 及び第 2 の配線の長さ方向にずれて形成されていることを特徴とする半導体装置。

【請求項 2】

前記第 1 の配線と前記第 2 の配線の終端部は、前記第 1 の配線と前記第 2 の配線のピッチの 1 / 2 以上前記第 1 の配線と前記第 2 の配線のピッチ分以下ずれて形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 及び第 2 の配線のうち何れか一方の配線の終端部はコーナー部が除かれていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

第 1 の方向に平行な第 1 の複数の配線と、

前記第 1 の方向に交差する第 2 の方向に配置された第 2 の複数の配線と、

前記第 1 の複数の配線のうちの、第 1 の配線及び第 2 の配線の一端側にはコンタクトが配置され、

前記一端側と反対側の他端側では、前記第 1 の配線及び第 2 の配線は、前記第 1 の方向の長さが異なって終端されていることを特徴とする半導体装置

【請求項 5】

前記長さは、前記第 1 の配線と前記第 2 の配線のピッチの 1 / 2 以上異なっていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記第 1 の配線の前記第 2 の配線とは隣り合って設けられ、
前記コンタクトと、前記第 1 の配線との接続部には補助パターンが設けられ、
前記第 1 の配線と前記第 2 の配線との間隔を P とすると、前記補助パターンの前記第一の方向の長さは $P / 2$ 以上であり、第二の方向の長さは $P / 10$ 以上 $P / 2$ 以下であることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】

それぞれ平行で隣り合う第 1、第 2、第 3、第 4 の配線と、
前記第 1 の配線と前記第 2 の配線の一端側にコンタクトが配置され、
前記第 3 の配線と前記第 4 の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第 1、第 2 の配線は、前記他端側で、前記第 1 及び第 2 の配線の長さが異なって終端されており、
かつ、前記第 3、第 4 の配線は、前記一端側で、第 3 及び第 4 の配線の長さが異なって終端されていることを特徴とする半導体装置。

【請求項 8】

前記第 1 の配線と前記第 2 の配線の終端部は、前記第 1 の配線と前記第 2 の配線のピッチの $1 / 2$ 以上前記第 1 の配線と前記第 2 の配線のピッチ分以下ずれて形成されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

それぞれ平行で隣り合う第 1、第 2、第 3、第 4 の配線と、
前記第 1 の配線と前記第 3 の配線の一端側にコンタクトが配置され、
前記第 2 の配線と前記第 4 の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第 1、第 3 の配線は、前記他端側で、前記第 1 及び第 3 の配線の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されており、
かつ、前記第 2、第 4 の配線は、前記一端側で、第 2 及び第 4 の配線の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されていることを特徴とする半導体装置。

【請求項 10】

前記第 1 の配線と前記第 3 の配線の終端部は、前記第 1 の配線と前記第 3 の配線のピッチの $1 / 2$ 以上前記第 1 の配線と前記第 3 の配線のピッチ分以下ずれて形成されていることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】

それぞれ平行で隣り合う第 1、第 2、第 3、第 4 の配線と、
前記第 1 の配線と前記第 4 の配線の一端側にコンタクトが配置され、
前記第 2 の配線と前記第 3 の配線の、前記一端側と反対側の他端側にコンタクトが配置され、
前記第 1、第 4 の配線は、前記他端側で、前記第 1 及び第 4 の配線の長さが異なって終端されており、
かつ、前記第 2、第 3 の配線は、前記一端側で、第 2 及び第 3 の配線の長さが異なって終端されていることを特徴とする半導体装置。

【請求項 12】

前記第 1 の配線と前記第 4 の配線の終端部は、前記第 1 の配線と前記第 4 の配線のピッチの $1 / 2$ 以上前記第 1 の配線と前記第 4 の配線のピッチ分以下ずれて形成されていることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】

第 1 の方向に平行な第 1 の複数の配線からなるワード線と、
前記ワード線と交差し、第 2 の方向に平行な複数のデータ線とを有し、
前記ワード線と前記データ線の交点に配置され、トランジスタを有する複数のメモリーセルと、

前記第 1 の複数の配線のうちの、第 1 の配線及び第 2 の配線の一端側にはコンタクトが配置され、

前記一端側と反対側の他端側では、前記第 1 の配線及び第 2 の配線は、前記第 1 の方向の長さが異なって終端されておりどちらか一方の終端部のコーナー部は除去されてことを特徴とする半導体装置。

【請求項 14】

前記ワード線は、前記トランジスタのゲートに接続されていることを特徴とする請求項 13 記載の半導体装置。

【請求項 15】

前記データ線は前記トランジスタのソースまたはドレインに接続されていることを特徴とする請求項 13 記載の半導体装置。

【請求項 16】

前記メモリーセルは M I S トランジスタとキャパシタとを有することを特徴とする請求項 13 記載の半導体装置。

【請求項 17】

前記メモリーセルは、フローティングゲートを有する M I S トランジスタを含むことを特徴とする請求項 13 記載の半導体装置。

【請求項 18】

前記メモリーセルは、第 1 と第 2 のインバータ回路を有し、

前記第 1 のインバータ回路の出力端子は、前記第 2 のインバータ回路の入力端子に接続され、

前記第 2 のインバータ回路の出力端子は、前記第 1 のインバータ回路の入力端子に接続される

ことを特徴とする請求項 13 記載の半導体装置。

【請求項 19】

前記第 1 の方向に平行な複数の配線は M I S トランジスタのゲートであり、

長辺が、前記第 2 の方向に平行な複数の M I S トランジスタの活性領域を有することを特徴とする請求項 13 記載の半導体装置。

【請求項 20】

互いに平行な、第 1 及び第 2 のワード線と

前記ワード線と交差する、データ線と、

前記ワード線と前記データ線の交点に配置されているメモリーセルと、

前記第 1 及び第 2 のワード線の一端に、前記ワード線駆動回路が接続され、

前記一端側と反対側の他端側で、前記第 1 及び第 2 のワード線がずれて終端されておりどちらか一方の終端部のコーナー部は除去されてことを特徴とする半導体装置。

【請求項 21】

前記第 1 及び第 2 のワード線は、前記第 1 と前記第 2 のワード線のピッチの $1/2$ 以上、

前記第 1 と前記第 2 のワード線のピッチ分以下ずれて終端されていることを特徴とする請求項 20 記載の半導体装置。

【請求項 22】

互いに平行で隣り合う第 1、第 2、第 3、第 4 のワード線と

前記ワード線に交差する複数のデータ線と、

前記複数のワード線と前記複数のデータ線の所定の交点に配置されている複数のメモリーセルと、

前記第 1 及び第 2 のワード線の一端部に、前記第 1 及び第 2 のワード線各々を駆動する各々のワード線駆動回路と、

前記第 3 及び第 4 のワード線の、前記一端側とは反対の他端部に、前記第 3 及び第 4 のワード線各々を駆動するワード線駆動回路とを有し、

前記第 1、第 2 のワード線の前記他端側で、前記第 1 及び第 2 のワード線は長手方向にずれて終端され、

前記第 3、第 4 のワード線の前記一端側で、前記第 3 及び第 4 のワード線は長手方向にずれて終端されていることを特徴とする半導体装置。

【請求項 23】

ワード線と

前記ワード線と交差する、互いに平行な第 1 及び第 2 のデータ線と、

前記ワード線と前記データ線の交点に配置されているメモリーセルと、

前記第 1 及び第 2 のデータ線の一端側に、前記データ線上の信号を増幅する第 1 及び第 2 のセンスアンプとを有し、

前記一端側と反対側の他端側で、前記第 1 及び第 2 のデータ線は、所定の長さ異なって終端されていることを特徴とする半導体装置。

【請求項 24】

前記第 1 及び第 2 のデータ線は、前記第 1 と前記第 2 のデータ線のピッチの $1/2$ 以上、前記第 1 と前記第 2 のデータ線のピッチ分以下ずれて終端されていることを特徴とする請求項 23 記載の半導体装置。

【請求項 25】

ワード線と

前記ワード線と交差し、隣り合う互いに平行な第 1、第 2、第 3、第 4 のデータ線と、

前記第 1 及び前記第 2 のデータ線の一端部でそれぞれセンスアンプが接続され、前記第 3 のデータ線と前記第 4 のデータ線の、前記一端部とは反対側の他端部でそれぞれセンスアンプが接続され、

前記第 1、第 2 のデータ線の前記他端部では、前記第 1 及び第 2 のデータ線の長手方向の長さが、互いに異なって終端され、

前記第 3、第 4 のデータ線の前記一端部では、前記第 3 及び第 4 のデータ線の長手方向の長さが互いに異なって終端されていることを特徴とする半導体装置。

【請求項 26】

ワード線と

前記ワード線と交差し、隣り合う互いに平行な第 1、第 2、第 3、第 4 のデータ線と、

前記第 1 及び前記第 3 のデータ線の一端部でそれぞれセンスアンプが接続され、前記第 2 のデータ線と前記第 4 のデータ線の、前記一端部とは反対側の他端部でそれぞれセンスアンプが接続され、

前記第 1、第 3 のデータ線の前記他端部では、前記第 1 及び第 3 のデータ線の長手方向の長さが、互いに異なって終端され、

前記第 2、第 4 のデータ線の前記一端部では、前記第 2 及び第 4 のデータ線の長手方向の長さが互いに異なって終端されていることを特徴とする半導体装置。

【請求項 27】

メモリマット部からその外側に延び、前記メモリマット外側の境界部で終端し、平行に形成される第 1 及び第 2 の配線とをパターンニングするための、前記第 1 の配線に対応する第 1 の開口部及び前記第 2 の配線に対応する第 2 の開口部を有し、前記第 1 の開口部及び第 2 の開口部の終端部が、前記第 1 及び第 2 の開口部の長さ方向にずれて形成されたマスクを用い、レジスト膜をパターン露光することを特徴とするパターン形成方法。

【請求項 28】

前記露光光の波長を λ 、開口数を NA とすると、前記第 1 の開口部と前記第 2 の開口部の間隔が $\lambda/(NA)$ 以下であることを特徴とする請求項 27 記載のパターン形成方法。

【請求項 29】

前記開口部は、前記開口部の終端部の方向に向かって幅が小さく形成されていることを特徴とする請求項 27 記載のパターン形成方法。

【請求項 30】

前記開口部は、前記開口部の終端部が、前記開口部の長辺方向及び短辺方向にそれぞれ平行でない辺を有することを特徴とする請求項 27 記載のパターン形成方法。

【請求項 31】

前記第 1 の開口部と前記第 2 の開口部とは、実質的に逆位相の光が照射されることを特徴とする請求項 27 記載のパターン形成方法。