

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5403592号  
(P5403592)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int. Cl. F I  
**GO5F 3/24 (2006.01)** GO5F 3/24 A  
**HO3F 3/343 (2006.01)** HO3F 3/343 A

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2009-72564 (P2009-72564)  
 (22) 出願日 平成21年3月24日(2009.3.24)  
 (65) 公開番号 特開2010-224951 (P2010-224951A)  
 (43) 公開日 平成22年10月7日(2010.10.7)  
 審査請求日 平成24年3月26日(2012.3.26)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 石田 学  
 東京都目黒区下目黒1丁目8番1号 アル  
 コタワー15階 フリースケール・セミコ  
 ンダクタ・ジャパン株式会社内

審査官 神山 貴行

最終頁に続く

(54) 【発明の名称】 電流駆動回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧に接続された負荷を接続する出力端子と、  
 前記出力端子にドレイン端子が接続され、ソース端子は共通電位ラインに接続された出力トランジスタと、

前記出力トランジスタのゲート端子にゲート端子が接続され、ドレイン端子に参照電流を供給する第1電流源が接続された第1トランジスタと、

前記出力トランジスタのゲート端子にゲート端子が接続され、ドレイン端子に前記第1トランジスタのソース端子が接続され、ソース端子は共通電位ラインに接続された第2トランジスタと、

前記第1トランジスタのソース端子及びドレイン端子に並列に接続された第3トランジスタと、

前記第1電流源にゲート端子が接続され、ソース端子が前記出力トランジスタのゲート端子に接続された第4トランジスタと、

前記出力トランジスタのゲート端子と前記共通電位ラインとの間に設けられた第2電流源とを備え、

前記第3トランジスタのゲート端子に前記出力端子の電圧を供給するように接続したことを特徴とする電流駆動回路。

【請求項2】

前記出力端子と前記出力トランジスタとの間に抵抗を更に設けたことを特徴とする請求

項 1 に記載の電流駆動回路。

【請求項 3】

前記第 1 トランジスタのソース端子及びドレイン端子に並列に接続された抵抗を更に設けたことを特徴とする請求項 1 又は 2 に記載の電流駆動回路。

【請求項 4】

前記第 3 トランジスタと前記出力端子の間に整流素子を設け、

前記整流素子に、前記電源電圧が異常値になった場合にオンして接地されるトランジスタを更に設けたことを特徴とする請求項 1 ~ 3 のいずれか一つに記載の電流駆動回路。

【請求項 5】

前記整流素子に、前記電源電圧が停止状態でオンして接地されるトランジスタを更に設けたことを特徴とする請求項 4 に記載の電流駆動回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路で使用する電流源回路に関するものである。

【背景技術】

【0002】

LED 等には、オープンドレインタイプの電流駆動回路が用いられている。このような電流駆動回路において、飽和領域を拡大することによって出力電圧を拡大するための検討が行なわれている（例えば特許文献 1 を参照。）。この文献に記載された技術では、極性が同じ第 1 の電界効果トランジスタと第 2 の電界効果トランジスタを直列接続し、二つの電界効果トランジスタのゲートを共通に接続する。そして、第 2 の電界効果トランジスタのソースは電源に接続され、第 1 の電界効果トランジスタのソースと第 2 の電界効果トランジスタのドレインが接続され、この第 1 の電界効果トランジスタのドレインを出力とする。この場合、第 1 の電界効果トランジスタが飽和領域で動作し、第 2 の電界効果トランジスタが線形領域の飽和領域に近い動作点で動作するように各電界トランジスタの特性を定める。そして、共通に接続された二つの電界効果トランジスタのゲートに電流制御信号を印加する。

20

【0003】

また、オペアンプを用いることにより、広い出力電圧範囲において安定した電流を供給するための技術も検討されている（例えば特許文献 2 を参照。）。この文献に記載された技術では、第 1 の電圧源と第 2 の電圧源との間に直列に接続されている定電流源と第 1 のトランジスタを設ける。そして、電流出力端子と第 2 の電圧源との間に直列に接続されている第 2、第 3 のトランジスタを設ける。入力端子が定電流源と第 1 のトランジスタとの接続点に接続される。そして、非反転入力端子は電流源に接続されるとともに、反転入力端子が第 2 と第 3 のトランジスタとの接続点に接続され、出力端子が第 3 のトランジスタの制御端子に接続されている差動増幅回路を設ける。第 1 と第 2 のトランジスタの制御端子が接続され、制御端子同士の接続点が定電流源と第 1 のトランジスタとの接続点に接続される。

30

【先行技術文献】

40

【特許文献】

【0004】

【特許文献 1】特開平 08 - 115136 号公報（第 1 頁、図 1）

【特許文献 2】特開 2000 - 114891 号公報（第 1 頁、図 1）

【発明の概要】

【発明が解決しようとする課題】

【0005】

このようなオープンドレインタイプ回路には共通の課題がある。具体的には、駆動回路が非飽和領域に落ち込んだ場合、出力される電圧範囲が狭くなることである。しかし、チップサイズをできるだけ小さくする必要がある場合、静電気放電（ESD：Electro Stat

50

ic Discharge) から保護するための抵抗を用いる。この場合には、この E S D 抵抗による電圧降下により、非飽和領域に簡単に入ってしまうことがある。

【 0 0 0 6 】

また、出力電圧は、飽和ドレイン電圧まで拡大することができるが、チップサイズの制限によりドライバサイズが小さい場合、大電流の出力のためにはゲート電圧として高い電圧が必要になる。

【 0 0 0 7 】

一方、特許文献 1 のようにトランジスタを直列に接続した場合、ドレイン端子電圧を低くすることができない。特に、閾値電圧により電圧余裕が奪われてしまう。

また、特許文献 2 に記載された技術では、オペアンプを使用しているため、消費電力が大きくなってしまいう問題がある。更に、この文献に記載された回路においても、トランジスタが 2 段に直列接続されているため、ドレイン端子電圧を低くすることができない。

【 0 0 0 8 】

上述の文献においては、E S D 抵抗を想定されておらず、出力トランジスタにはサイズに大きなものを想定しており、ゲート電圧もかなり小さいと考えられる。

本発明は、上記の問題点を解決するためになされたものであり、E S D 抵抗のように、大きな抵抗を用いる場合にも低い出力電圧において電流を確保することができる電流駆動回路を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

上記問題点を解決するために、本発明は、電源電圧に接続された負荷を接続する出力端子と、前記出力端子にドレイン端子が接続され、ソース端子は共通電位ラインに接続された出力トランジスタと、前記出力トランジスタのゲート端子にゲート端子が接続され、ドレイン端子に参照電流を供給する第 1 電流源が接続された第 1 トランジスタと、前記出力トランジスタのゲート端子にゲート端子が接続され、ドレイン端子に前記第 1 トランジスタのソース端子が接続され、ソース端子は共通電位ラインに接続された第 2 トランジスタと、前記第 1 トランジスタのソース端子及びドレイン端子に並列に接続された第 3 トランジスタと、前記第 1 電流源にゲート端子が接続され、ソース端子が前記出力トランジスタのゲート端子に接続された第 4 トランジスタと、前記出力トランジスタのゲート端子と前記共通電位ラインとの間に設けられた第 2 電流源とを備え、前記第 3 トランジスタのゲート端子に前記出力端子の電圧を供給するように接続したことを要旨とする。これにより、出力電圧が下がってきた場合、非飽和領域に入るが、出力電圧により第 3 トランジスタのオン抵抗を上昇させ、第 1 トランジスタ及び第 2 トランジスタの直列接続により、出力トランジスタのゲート電圧を上げることができる。これにより、出力トランジスタのオン抵抗を下げて、より多くの電流を供給することができる。

【 0 0 1 0 】

また、本発明は、前記出力端子と前記出力トランジスタとの間に抵抗を更に設けたことを要旨とする。これにより、静電気放電から出力トランジスタを保護することができる。

また、本発明は、前記第 1 トランジスタのソース端子及びドレイン端子に並列に接続された抵抗を更に設けたことを要旨とする。これにより、第 1 トランジスタの動作による電流値の変化を調整することができる。

【 0 0 1 1 】

また、本発明は、前記第 3 トランジスタと前記出力端子の間に整流素子を設け、前記整流素子に、前記電源電圧が異常値になった場合にオンして接地されるトランジスタを更に設けたことを要旨とする。これにより、電源電圧が異常値になった場合においても、第 3 トランジスタのゲート破壊を防止することができる。

【 0 0 1 2 】

また、本発明は、前記整流素子に、前記電源電圧が停止状態でオンして接地されるトランジスタを更に設けたことを要旨とする。これにより、電源電圧が停止中の異常において

10

20

30

40

50

も、第3トランジスタのゲート破壊を防止することができる。

【発明の効果】

【0013】

本発明によれば、チップサイズを小さくするとともに、出力電流の低下を抑制することができる電流駆動回路を提供することができる。

【図面の簡単な説明】

【0014】

【図1】本実施形態の電流駆動回路の構成の説明図。

【図2】本実施形態の電流駆動回路の等価回路であって、(a)はドレイン電圧が高い場合の等価回路、(b)はドレイン電圧が低い場合の等価回路の説明図。

10

【図3】ドレイン電圧とドレイン電流の関係についての説明図。

【発明を実施するための形態】

【0015】

以下、本発明を具体化した電流駆動回路の実施形態を図1～図3に従って説明する。本願発明では、電圧 $V_0$ の電力線に接続された素子 $L_0$ (ここでは、LED)に電流を供給する電流駆動回路10を用いて説明する。この電流駆動回路10は、オープンドレイン型の電流源であり、電流駆動回路10の出力端子に素子 $L_0$ が接続される。この出力端子には、電圧 $V_d$ が印加され、電流 $I_0$ が供給される。

【0016】

(回路構成)

20

まず、電流駆動回路10の回路構成を説明する。

電流駆動回路10の出力端子には、抵抗 $R_3$ が接続されている。この抵抗 $R_3$ はESD抵抗として機能する。

【0017】

この抵抗 $R_3$ には、抵抗 $R_2$ 及びトランジスタ $M_6$ のドレイン端子が接続されている。本実施形態では、このトランジスタ $M_6$ は出力トランジスタとして機能し、N型MOSトランジスタを用いて構成する。このトランジスタ $M_6$ のソース端子は接地される。本実施形態では、この接地線が共通電位ラインとして機能する。

【0018】

更に、トランジスタ $M_6$ のゲート端子には、トランジスタ $M_2$ のゲート端子、接地された電流源 $CS_2$ (第2電流源)、トランジスタ $M_4$ のソース端子が接続される。本実施形態では、このトランジスタ $M_2$ は第2トランジスタとして機能し、トランジスタ $M_4$ は第4トランジスタとして機能し、それぞれN型MOSトランジスタを用いて構成する。

30

【0019】

このトランジスタ $M_4$ のドレイン端子は電源線に接続され、電圧 $V_{dd}$ が供給される。

電源線には、参照電流としての電流 $I_1$ を供給する電流源 $CS_1$ (第1電流源)が接続されている。この電流源 $CS_1$ は、トランジスタ $M_4$ のゲート端子、トランジスタ $M_3$ のドレイン端子、トランジスタ $M_1$ のドレイン端子、抵抗 $R_1$ に接続される。本実施形態では、このトランジスタ $M_1$ は第1トランジスタとして機能し、トランジスタ $M_3$ は第3トランジスタとして機能し、それぞれN型MOSトランジスタを用いて構成する。

40

【0020】

トランジスタ $M_1$ のゲート端子は、トランジスタ $M_2$ のゲート端子に接続される。トランジスタ $M_1$ のソース端子及びトランジスタ $M_3$ のソース端子は、トランジスタ $M_2$ のドレイン端子に接続される。このトランジスタ $M_2$ のソース端子は接地ラインに接続される。

【0021】

抵抗 $R_1$ は、トランジスタ $M_1$ のドレイン・ソース間に並列に接続される。

抵抗 $R_3$ とトランジスタ $M_6$ のドレイン端子の接続ノードには、抵抗 $R_2$ を介してトランジスタ $M_3$ のゲート端子に接続される。

【0022】

50

抵抗 R 2 とトランジスタ M 3 のゲート端子との接続ノードには、ツェナー型のダイオード D 1 (整流素子)のカソード端子が接続される。このダイオード D 1 のアノード端子には、トランジスタ M 5 のドレイン端子及びトランジスタ M 7 のソース端子に接続される。本実施形態では、トランジスタ M 5 は N 型 MOS トランジスタを用いて構成し、トランジスタ M 7 は P 型 MOS トランジスタを用いて構成する。トランジスタ M 5 のソース端子及びトランジスタ M 7 のドレイン端子は接地される。

#### 【 0 0 2 3 】

そして、トランジスタ M 5 のゲート端子には外部から電圧 V 5 が供給され、トランジスタ M 7 のゲート端子には電圧 V 7 が供給される。

この電圧 V 5 は、素子 L 0 を駆動する電圧 V 0 を監視するシステム ( 図示せず ) から供給される。そして、電圧 V 0 が徐々に上昇した場合には、トランジスタ M 5 をオンさせる電圧 V 5 を供給する。

一方、電圧 V 7 は IC の内部レギュレータ出力電圧で、チップが動作していないときには 0 V となる。

#### 【 0 0 2 4 】

( 動作 )

次に、電流駆動回路 1 0 の動作を説明する。

#### 【 0 0 2 5 】

通常動作において電圧 V d が高い場合には、抵抗 R 3、R 2 を介して供給される電圧が高いため、トランジスタ M 3 がオンする。この場合、トランジスタ M 1、抵抗 R 1 はバイパスされるため、回路構成から見えなくなる。このため、電流駆動回路 1 0 は、図 2 ( a ) に示す回路と等価となる。この場合、電流 I 1 は、トランジスタ M 2 を流れる。この電流を流すために、トランジスタ M 4 のゲート電圧が引き上げられ、電流源 C S 2 の電流がトランジスタ M 4 を介して供給される。そして、このトランジスタ M 4 のソース端子に接続されたトランジスタ M 6 のゲート電圧が引き上げる。

#### 【 0 0 2 6 】

一方、電圧 V d が下がってきた場合には、トランジスタ M 3 のオン抵抗が上昇するため、トランジスタ M 1、抵抗 R 1 が見えてくる。そして、トランジスタ M 3 がオフした場合、電流駆動回路 1 0 は、図 2 ( b ) に示す回路と等価となる。

#### 【 0 0 2 7 】

この場合、電流源 C S 1 は、電流 I 1 をトランジスタ M 1、M 2 に供給するため、電流源 C S 1 とトランジスタ M 1 のドレイン端子との接続ノードの電圧を引き上げる。これに応じて、トランジスタ M 4 のゲート電圧もより高くなる。この結果、このトランジスタ M 4 のソース端子に接続されたトランジスタ M 6 のゲート電圧を引き上げることになる。

これにより、トランジスタ M 6 は、よりオン抵抗が下がり、素子 L 0 に多くの電流 I 0 を供給することができる。

#### 【 0 0 2 8 】

次に、抵抗 R 1 の役割について説明する。抵抗 R 1 は、トランジスタ M 1 が急激にオンすることを抑制する。ここで、トランジスタ M 1 の閾値にバラツキがある場合、トランジスタ M 1 の閾値電圧によって、図 3 に示すように、出力電圧が V d 1 から電圧 V d 2 に変化したときに状態 ( ) から状態 ( ) へ遷移することがある。この場合、返ってドレイン電流が上昇してしまう。特に、環境温度によって閾値電圧が変化し、状態 ( ) に遷移する場合がある。そこで、トランジスタ M 3 の閾値電圧に応じて、出力電流値が一定になるように抵抗 R 1 の抵抗値を設定することにより、図 3 に示す状態 ( ) から状態 ( ) への遷移を確保する。

#### 【 0 0 2 9 】

次に、ドレイン電圧が高くなった場合、保護回路について説明する。ここでは、電圧 V d が高くなる 2 つのケースを想定する。具体的には、通常動作時にゆっくり高くなる場合であり、この場合にはトランジスタ M 5 を動作させる。一方、サージ電圧のように急激な変化の場合には、トランジスタ M 7 を動作させる。

10

20

30

40

50

## 【 0 0 3 0 】

本願発明の電流駆動回路 10 では、出力端子における電圧  $V_d$  が、抵抗を介してトランジスタ M3 のゲート端子に供給される。このため、このトランジスタ M3 のゲート破壊を防止するための保護回路が設けられている。この保護回路は、抵抗 R2、ダイオード D1、トランジスタ M5、M7 によって構成される。

## 【 0 0 3 1 】

抵抗 R2 により、ダイオード D1 に流れる電流を制限することができる。また、この抵抗 R2 は、トランジスタ M3 のゲート容量との間で CR 時定数を形成し、急激な電圧上昇を抑制することができる。

## 【 0 0 3 2 】

電源電圧監視システムが  $V_0$  の異常な上昇を検知した場合、電圧  $V_5$  を供給し、トランジスタ M5 をオンする。ここで、高電圧によりダイオード D1 がオンした場合、トランジスタ M5 を介して接地される。

## 【 0 0 3 3 】

一方、電圧  $V_0$  が維持されている場合には、電圧  $V_7$  も高く維持する。このような電圧  $V_7$  は、電圧  $V_0$  により動作するシリースレギュレータ等の出力電圧を利用することができる。シリースレギュレータが動作していない場合には、電圧  $V_7$  は 0V となり、トランジスタ M7 は導通状態となる。ここで、サージ電圧等によりダイオード D1 がオンした場合、トランジスタ M7 を介して接地される。

## 【 0 0 3 4 】

上記実施形態の電流駆動回路によれば、以下のような効果を得ることができる。

- ・ 上記実施形態では、通常動作において電圧  $V_d$  が高い場合には、抵抗 R3、R2 を介して供給される電圧が高いため、トランジスタ M3 がオンする。電圧  $V_d$  が下がってきた場合には、トランジスタ M3 のオン抵抗が上昇し、トランジスタ M1 とトランジスタ M2 とが直列に接続される形態に遷移する。これにより、トランジスタ M6 のゲート電圧が高くなり、出力電流を維持することができる。

## 【 0 0 3 5 】

- ・ 上記実施形態では、抵抗 R1 が、トランジスタ M1 のドレイン・ソース間に並列に接続される。トランジスタ M3 の閾値電圧によって抵抗 R1 の抵抗値を設定することにより、ドレイン電流の上昇を抑制し、円滑な遷移を実現することができる。

## 【 0 0 3 6 】

- ・ 上記実施形態では、トランジスタ M3 のゲート破壊を防止するための保護回路が設けられている。電圧  $V_5$  が供給されて、ダイオード D1 がオンした場合、トランジスタ M5 を介して接地される。また、電圧  $V_7$  は 0V の場合、サージ電圧等によりダイオード D1 がオンした場合、トランジスタ M7 を介して接地される。これにより、トランジスタ M3 のゲート破壊を防止することができる。

## 【 0 0 3 7 】

なお、上記実施形態は以下のように変更してもよい。

上記実施形態では、素子 L0 として LED に電流を供給する電流駆動回路 10 として説明したが、適用対象はこれに限定されるものではない。

## 【 0 0 3 8 】

上記実施形態では、抵抗 R1 が、トランジスタ M1 のドレイン・ソース間に並列に接続される。トランジスタ M3 の閾値電圧が制御され、状態 ( ) から状態 ( ) に遷移する場合には、抵抗 R1 を省略することができる。

## 【 0 0 3 9 】

上記実施形態では、トランジスタ M1, M3, M4, M6 を N 型 MOS トランジスタにより実現した。オープンドレインタイプの電流駆動回路において、トランジスタ M6 のゲート電圧を変更するために、出力端子電圧がゲート端子に供給されるトランジスタ M3 を用いた回路であれば、他の種類のトランジスタを用いることも可能である。

## 【 符号の説明 】

10

20

30

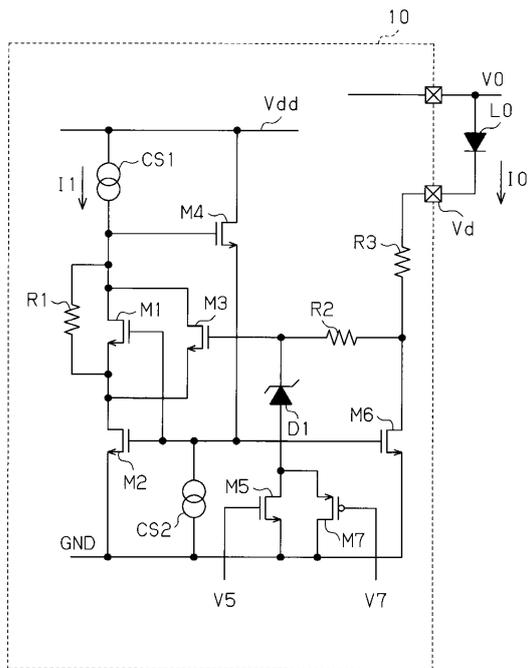
40

50

【 0 0 4 0 】

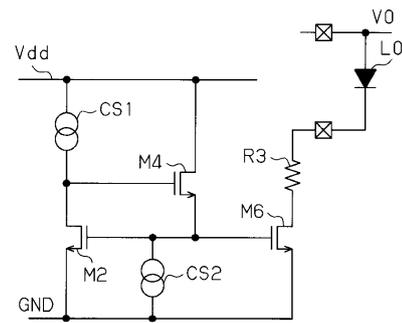
1 0 ... 電流駆動回路、M 1 , M 2 , M 3 , M 4 , M 5 , M 6 , M 7 ... トランジスタ、  
R 1 , R 2 , R 3 ... 抵抗、C S 1 , C S 2 ... 電流源、D 1 ... ダイオード。

【 図 1 】

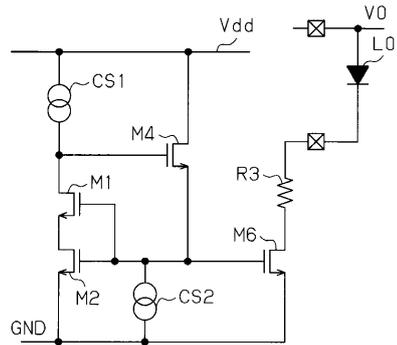


【 図 2 】

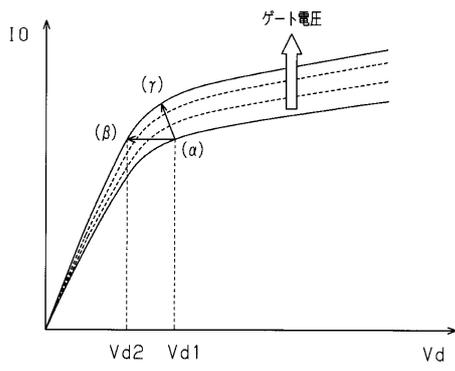
(a)



(b)



【図3】



---

フロントページの続き

(56)参考文献 特開平4 - 160511 (JP, A)  
特開2006 - 133869 (JP, A)  
特開2001 - 168697 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
G05F 3/24  
H03F 3/343