

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/02 (2006.01)		(45) 공고일자	2006년08월22일
		(11) 등록번호	10-0613791
		(24) 등록일자	2006년08월10일
(21) 출원번호	10-2005-0022175	(65) 공개번호	10-2006-0043743
(22) 출원일자	2005년03월17일	(43) 공개일자	2006년05월15일
(30) 우선권주장	JP-P-2004-00086555	2004년03월24일	일본(JP)
(73) 특허권자	산요덴키가부시키키가이샤 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고		
(72) 발명자	사카노 준 일본 군마쵸 기류시 아이오이쵸 5-554-23		
	다카하시 고우지 일본 군마쵸 사와궁 아까보리마쵸 아이노야 530-126		
	이가라시 유스께 일본 군마쵸 이세사끼시 산꼬우쵸 19-3		
(74) 대리인	장수길 구영창 이중희		

심사관 : 최봉묵

(54) 회로 장치 및 그 제조 방법

요약

저코스트로 도전 패턴의 위치 정밀도가 높은 회로 장치 및 그 제조 방법을 제공한다. 본 형태의 회로 장치의 제조 방법에서는, 도전막(10)을 준비하는 공정과, 도전막(10)의 표면에 분리홈(12)을 형성함으로써 도전 패턴(13)을 볼록 형상으로 형성하는 공정과, 도전막(10)의 표면을 수지막(15)으로 피복하고, 분리홈(12)을 피복하는 수지막(15)의 두께를 도전 패턴(13)의 상면을 피복하는 수지막(15)보다도 두껍게 형성하는 공정과, 수지막(15)을 제거함으로써 상기 도전 패턴의 상면을 수지막(15)으로부터 노출시키는 공정과, 수지막(15)으로부터 노출되는 도전 패턴(13)과 회로 소자를 전기적으로 접속하는 공정과, 회로 소자가 밀봉되도록 밀봉 수지(20)를 형성하는 공정과, 도전 패턴(13)끼리가 분리될 때까지 도전막(10)의 이면을 제거하는 공정을 구비한다.

대표도

도 4

색인어

도전박, 도전 패턴, 에칭 레지스트, 반도체 소자

명세서

도면의 간단한 설명

- 도 1은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).
 도 2는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).
 도 3은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(b).
 도 4는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(b).
 도 5는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).
 도 6은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(d).
 도 7은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).
 도 8은 본 발명의 회로 장치의 제조 방법에 의해 제조되는 회로 장치의 일례를 설명하는 평면도 (a), 단면도 (b).
 도 9는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(d).
 도 10은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(d).
 도 11은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(b).
 도 12는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).
 도 13은 종래의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(d).
 도 14는 종래의 회로 장치의 제조 방법을 설명하는 단면도 (a)-(c).

<도면의 주요 부분에 대한 부호의 설명>

- 9 : 회로 장치
 10 : 도전박
 11 : 에칭 레지스트
 12 : 분리홈
 13 : 도전 패턴
 14 : 수지 시트
 15 : 수지막
 16 : 반도체 소자
 17 : 칩 소자

18 : 뿔납재

19 : 금속 세션

20 : 밀봉 수지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 회로 장치 및 그 제조 방법에 관한 것으로, 특히 도전 패턴의 노출부의 위치 정밀도를 높일 수 있는 회로 장치 및 그 제조 방법에 관한 것이다.

종래, 전자 기기에 세트되는 회로 장치는, 휴대 전화, 휴대용 컴퓨터 등에 채용되기 위해, 소형화, 박형화, 경량화가 요구되고 있다.

예를 들면, 회로 장치로서 반도체 장치를 예로 들어 설명하면, 최근에는 CSP(칩 사이즈 패키지)라고 불리는, 칩의 사이즈와 동등한 크기의 회로 장치가 개발되고 있다.

그러나, 일반적인 CSP는, 글래스 에폭시 기판을 인터포저로서 이용하고 있고, 이것이 CSP의 소형화 및 박형화를 저해하였다. 이 문제를 해결하기 위해 본 출원인은 도 13과 도 14에 도시한 바와 같은 실장 기판을 불필요하게 한 회로 장치의 제조 방법을 개발하였다(예를 들면, 특허 문헌 1을 참조).

도 13 및 도 14를 참조하면, 상기한 회로 장치의 제조 방법을 설명한다. 도 13의 (a)를 참조하면, 도전박(110)을 준비하여 그 표면에 에칭 레지스트(111)를 원하는 형상으로 패터닝한다. 다음으로, 도 13의 (b)를 참조하면, 하프 에칭을 행함으로써 도전박(110)의 표면에 분리홈(112)을 형성한다. 다음으로, 도 13의 (c)를 참조하면, 에칭 레지스트(111)를 박리한 후에, 도전박의 표면에 수지막(115)을 도포한다. 다음으로, 도 13의 (d)를 참조하면, 도전 패턴(113)의 표면에 개구부(130)를 형성한다. 이 개구부(130)의 형성은, 레이저 또는 리소그래피 공정 등의 제거 방법에 의해 행할 수 있다. 여기서는, 개구부(130)를 형성할 때의 오차가 고려되어, 개구부(130)의 주변부와 도전 패턴(113)의 주변부는 소정의 거리 a 에 의해 이격되어 있다.

도 14의 (a)를 참조하면, 반도체 소자(116) 및 칩 소자(117)를, 도전 패턴(113)에 전기적으로 접속하고나서, 밀봉 수지(120)의 형성을 행한다. 계속해서, 도 14의 (b)를 참조하면, 도전박(110)의 이면을 제거함으로써, 각 도전 패턴(113)을 전기적으로 분리한다. 계속해서, 도 14의 (c)를 참조하면, 도전 패턴(113)의 이면에 외부 전극(121)을 형성하고, 피복 수지(122)를 형성한다. 이상의 공정으로 종래형의 회로 장치를 형성할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 회로 장치 및 그 제조 방법은 이하와 같은 문제를 갖고 있었다. 도 13의 (d)를 참조하면, 개구부(130)를 형성할 때의 오차를 고려한 용장 설계를 행하였기 때문에, 평면적인 도전 패턴(113)의 크기는 필요 이상으로 크게 형성되어 있었다. 이것이 회로 장치 전체의 대형화를 초래하였다. 또한, 정확한 위치에 개구부(130)를 형성하기 위해서는, 정밀도가 높은 고가의 노광기나 레이저 조사가 필요하게 된다. 이것이 제조 코스트를 높이고 있었다.

또한, 수지막(115)의 개구부에, 칩 소자(117) 등을 접착시키기 위한 접착제가 형성되어 있었기 때문에, 접착제의 형상이 잘룩한 부분을 갖는 형상으로 이루어져 있었다. 이것이, 열 응력에 대한 신뢰성을 저해하였다.

본 발명은 상기한 문제를 감안하여 이루어진 것으로, 본 발명의 주된 목적은, 저코스트로 도전 패턴의 위치 정밀도가 높은 회로 장치 및 그 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

본 발명의 회로 장치는, 도전 패턴과, 상기 도전 패턴과 전기적으로 접속된 회로 소자와, 상기 도전 패턴끼리의 사이에 형성되며 상기 도전 패턴의 측면을 피복하는 수지막과, 상기 도전 패턴의 상면 및 측면에 접촉하며 상기 회로 소자를 상기 회로 소자와 고착시키는 접착제와, 상기 회로 소자를 밀봉하는 밀봉 수지를 구비하는 것을 특징으로 한다.

또한 본 발명의 회로 장치는, 상기 접착제는, 도전성 혹은 절연성의 접착제인 것을 특징으로 한다.

또한 본 발명의 회로 장치는, 상기 접착제의 측면은, 매끄러운 곡면을 그리는 것을 특징으로 한다.

또한 본 발명의 회로 장치는, 상기 도전 패턴은, 다층의 배선 구조를 갖는 것을 특징으로 한다.

또한 본 발명의 회로 장치는, 상기 회로 소자는, 플립 칩으로 실장되는 반도체 소자인 것을 특징으로 한다.

본 발명의 회로 장치의 제조 방법은, 도전 패턴을 구성하는 공정과, 상기 도전 패턴이 피복되도록 수지막을 형성하는 공정과, 상기 수지막으로부터 상기 도전 패턴의 상면을 노출시키는 공정과, 상기 도전 패턴에 접착제를 개재하여 회로 소자를 전기적으로 접속하는 공정과, 상기 회로 소자를 피복하는 공정을 구비하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 도전박을 준비하는 공정과, 상기 도전박의 표면에 분리홀을 형성함으로써 도전 패턴을 볼록 형상으로 형성하는 공정과, 상기 도전박의 표면을 수지막으로 피복하고, 상기 분리홀을 피복하는 상기 수지막의 두께를 상기 도전 패턴의 상면을 피복하는 상기 수지막보다도 두껍게 형성하는 공정과, 상기 수지막을 제거함으로써 상기 도전 패턴의 상면을 상기 수지막으로부터 노출시키는 공정과, 상기 수지막으로부터 노출되는 상기 도전 패턴과 회로 소자를 전기적으로 접속하는 공정과, 상기 회로 소자가 밀봉되도록 밀봉 수지를 형성하는 공정과, 상기 도전 패턴끼리가 분리될 때까지 상기 도전박의 이면을 제거하는 공정을 구비하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 수지막을 균일하게 에칭함으로써, 상기 도전 패턴의 상면을 상기 수지막으로부터 노출시키는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 회로 소자는, 페이스 다운으로 실장되는 반도체 소자를 포함하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 도전 패턴의 이면은, 외부 전극을 구성하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 수지막의 노광을 행하고나서, 상기 수지막의 제거를 행하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 수지막의 형성은, 필름 형상의 상기 수지막을 진공 프레스로 상기 도전박에 적층시킴으로써 행하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 수지막의 형성은, 액상 혹은 반고형상의 수지를 상기 도전박의 표면에 도포함으로써 행하는 것을 특징으로 한다.

또한 본 발명의 회로 장치의 제조 방법은, 상기 도전 패턴의 측면이 부분적으로 노출될 때까지, 상기 수지막의 제거를 행하는 것을 특징으로 한다.

<실시예>

<제1 실시예>

도 1 내지 도 5를 참조하면 본 형태의 회로 장치의 제조 방법을 설명한다. 본 형태의 회로 장치의 제조 방법에서는, 도전박(10)을 준비하는 공정과, 도전박(10)의 표면에 분리홀(12)을 형성함으로써 도전 패턴(13)을 볼록 형상으로 형성하는 공정과, 도전박(10)의 표면을 수지막(15)으로 피복하고, 분리홀(12)을 피복하는 수지막(15)의 두께를 도전 패턴(13)의 상면을 피복하는 수지막(15)보다도 두껍게 형성하는 공정과, 수지막(15)을 제거함으로써 상기 도전 패턴의 상면을 수지막(15)으로부터 노출시키는 공정과, 수지막(15)으로부터 노출되는 도전 패턴(13)과 회로 소자를 전기적으로 접속하는 공정과, 회

로 소자가 밀봉되도록 밀봉 수지(20)를 형성하는 공정과, 도전 패턴(13)끼리가 분리될 때까지 도전박(10)의 이면을 제거하는 공정을 구비한다. 이하에서는, 전술한 회로 소자의 일례로서, 반도체 소자(16)와 칩 소자(17)와의 조합을 채용하고 있다. 이러한 각 공정을 이하에 상술한다.

본 형태의 제1 공정은, 도 1에 도시한 바와 같이, 도전박(10)을 준비하여, 도전박(10)의 표면에 분리홈(12)을 형성함으로써 도전 패턴(13)을 볼록 형상으로 형성하는 것에 있다.

본 공정에서는, 우선 도 1의 (a)와 같이, 시트 형상의 도전박(10)을 준비한다. 이 도전박(10)은, 땀납재의 부착성, 본딩성, 도금성이 고려되어 그 재료가 선택된다. 예를 들면, Cu를 주 재료로 한 도전박, Al을 주 재료로 한 도전박 또는 Fe-Ni 등의 합금으로 이루어진 도전박 등이 채용된다. 도전박의 두께는, 후의 에칭을 고려하면 $10\mu\text{m} \sim 300\mu\text{m}$ 정도가 바람직하다.

계속해서, 도전박(10)의 표면에, 내 에칭 마스크인 에칭 레지스트(11)를 형성한다. 그리고, 도전 패턴(13)으로 되는 영역을 제외한 도전박(10)이 노출되도록 에칭 레지스트(11)를 패터닝한다.

도 1의 (b)를 참조하면, 에칭을 행함으로써 분리홈(12)을 형성한다. 에칭에 의해 형성된 분리홈(12)의 깊이는, 예를 들면 $50\mu\text{m}$ 이고, 그 측면은 조면(粗面)으로 되기 때문에, 후의 공정에서 밀봉 수지(20)나 수지막(15)과의 접착성이 향상된다. 여기서 사용하는 에천트는, 염화 제2 철 또는 염화 제2 구리가 주로 채용되고, 도전박(10)은 이 에천트 중에 디핑되거나, 이 에천트로 샤워링된다. 여기서 웨트 에칭은, 일반적으로 비이방성으로 에칭되기 때문에, 측면은 만곡 구조로 된다. 또한, 도 1의 (c)를 참조하면, 에칭이 종료된 후에, 에칭 레지스트(11)는 박리되어 제거된다.

본 형태의 제2 공정은, 도 2에 도시한 바와 같이, 도전박(10)의 표면을 수지막(15)으로 피복하고, 분리홈(12)을 피복하는 수지막(15)의 두께를 도전 패턴(13)의 상면을 피복하는 수지막(15)보다도 두껍게 형성하는 것에 있다.

도전박(10)의 표면에 수지막(15)을 형성하는 방법은 2개의 방법이 생각된다. 제1 방법은, 시트 형상의 수지 시트(14)를 도전박(10)의 표면에 밀착시킴으로써, 수지막(15)의 형성을 행하는 방법이다. 제2 방법은, 액상 또는 반고형상의 수지 재료를 도전박(10)의 표면에 도포한 후에, 그 수지 재료를 경화시킴으로써, 수지막(15)의 형성을 행하는 방법이다. 어느 방법이라도 수지막(15)을 형성하는 것은 가능하지만, 여기서는 수지 시트(14)를 이용한 방법을 설명한다.

도 2의 (a)를 참조하면, 도전박(10)의 표면에 수지 시트(14)를 압착시킨다. 구체적으로는, 교대로 적층된 도전박(10)과 수지 시트(14)를, 상하 방향으로부터 가압함으로써 양자를 밀착시킨다. 이 밀착은, 진공에 가까운 분위기에서 프레스를 행하는 진공 프레스에 의해 행해도 된다. 또한, 수지막(15)의 형성이 종료된 후에, 노광 또는 가열을 행함으로써, 수지의 경화나 안정화를 행해도 된다.

도 2의 (b)를 참조하면, 상기 방법에 의해 수지막(15)이 그 표면에 형성된 도전박(10)의 단면을 설명한다. 여기서는, 분리홈(12)도 포함시킨 도전박(10)의 표면의 실질 전체 영역이 수지막(15)에 의해 피복되어 있다.

도 2의 (c)를 참조하면, 형성된 수지막(15)의 상세 내용을 설명한다. 분리홈(12)의 개소에 형성되는 수지막(15)의 두께는, 도전 패턴(13)의 상면을 피복하는 수지막(15)보다도 두껍게 형성된다. 또한, 분리홈(12)의 하부를 피복하는 수지막(15)의 두께를, 분리홈(12) 상부를 피복하는 수지막(15)보다도 두껍게 형성해도 된다. 상기한 수지 시트(13)를 이용한 방법이나, 액상의 수지재를 이용한 방법이라도, 이와 같이 분리홈(12)의 개소에 형성되는 수지막(15)을 두껍게 형성할 수 있다. 수지 시트(13)를 이용한 수지막(15)의 형성 방법에서는, 수지 시트(14)가 가압됨으로써, 수지재가 분리홈(12)의 개소에 집중함으로써, 분리홈(12)을 피복하는 수지막(15)이 두껍게 형성된다. 또한, 액상의 수지재를 이용한 방법에서는, 분리홈(12)의 개소에 우선적으로 수지재가 널리 퍼지는 것으로, 분리홈(12)을 피복하는 수지막(15)은 두껍게 형성된다.

본 형태의 제3 공정은, 수지막(15)을 제거함으로써 상기 도전 패턴(13)의 상면을 수지막(15)으로부터 노출시키는 것에 있다.

구체적으로는 도 3의 (a)를 참조하면, 도전박(10)의 표면에 형성된 수지막(15)의 실질 전면적인 제거를 행함으로써, 도전 패턴(13)의 상면을 수지막(15)으로부터 노출시킨다. 여기서는, 레이저나 리소그래피 공정을 이용하지 않고, 전면적인 수지막(15)의 에칭을 행함으로써, 도전 패턴(13)의 상면을 수지막(15)으로부터 노출시키고 있다. 전술한 바와 같이, 도전 패턴(13)의 상면을 피복하는 수지막(15)은, 분리홈(12)을 피복하는 수지막(15)보다도 얇게 형성되어 있다. 따라서, 마스크 없이 균일하게 수지막(15)의 에칭을 행한 경우에는, 수지막(15)이 얇게 형성되어 있는 도전 패턴(13)의 상면이 우선적으로 노출된다. 본 형태에서는, 도전 패턴(13)의 상면이 노출된 시점에서, 수지막(15)의 에칭을 스톱시키고 있다. 이것으로, 분

리홈(12)의 영역에는 수지막(15)을 잔존시키고, 도전 패턴(13)의 상면을 수지막(15)으로부터 노출시키는 것이 가능해진다. 수지막(15)을 에칭하는 에천트로서는, 수지막(15)에는 화학적으로 반응하고, 도전박(10)의 재료에는 반응하지 않는 화학약품이 채용된다. 구체적으로는, 강 알칼리성의 약품을 이 에천트로서 채용할 수 있다.

도 3의 (b)를 참조하면, 도전 패턴(13)의 노출을 행한 후의 단면을 설명한다. 수지막(15)의 에칭을 행함으로써, 도전 패턴(13)의 상면이 노출됨과 함께, 분리홈(12)의 상부 측면도 수지막(15)으로부터 노출시켜도 된다. 이와 같이 분리홈(12)의 상부 측면을 수지막(15)으로부터 노출될 때까지 에칭을 행함으로써, 에칭의 진행에 변동이 있었던 경우에도, 도전 패턴(13) 상면의 노출을 확실하게 행할 수 있다.

본 형태의 제4 공정은, 도 4에 도시한 바와 같이, 수지막(15)으로부터 노출되는 도전 패턴(13)과 회로 소자를 전기적으로 접속하는 것에 있다.

도 4의 (a)를 참조하면, 여기서는 회로 소자의 일례로서 반도체 소자(16)와 칩 소자(17)가 채용되고 있다. 반도체 소자(16)는 뱀납재(18)를 개재하여 도전 패턴(13)의 상면에 고착되고, 금속 세션(19)을 통하여 반도체 소자(16)와 도전 패턴(13)과는 전기적으로 접속된다. 칩 소자(17)의 양단의 전극은, 뱀납재(18)를 개재하여 도전 패턴(13)에 고착되어 있다. 여기서는, 회로 소자로서는, 수동 소자와 능동 소자를 전반적으로 채용할 수 있다. 또한, 수지 밀봉형의 패키지 또는 CSP을 회로 소자로서 채용하는 것이 가능하다.

도 4의 (b)를 참조하면, 뱀납재(18)를 개재하여 접속되는 칩 소자(17)의 실장 구조를 설명한다. 뱀납재(18)는, 도전 패턴(13)의 상면 및 측면의 일부분을 피복하도록 형성되어 있다. 또한, 뱀납재(18)의 측면은 연속해서 매끄러운 곡면을 나타내고 있다. 종래예와 비교하면, 도 13의 (d)에 도시한 개구부(130)와 같은 단차가 없기 때문에, 본 형태의 뱀납재(18)의 측면의 형상은 매끄럽게 형성된다. 뱀납재(18)의 측면이 매끄럽게 형성됨으로써, 뱀납재(18)의 열 응력에 대한 강도를 향상시킬 수 있다. 또한, 뱀납재(18)가 도전 패턴(13)의 측면부를 부분적으로 피복함으로써, 뱀납재(18)와 도전 패턴(13)과의 접속 강도를 향상시킬 수 있다. 또한, 분리홈(12)은 수지막(15)에 의해 피복되어 있기 때문에, 뱀납재(18)가 과도하게 넓어지는 것에 의한 도전 패턴(13)끼리의 단락은 억제된다.

본 형태의 제5 공정은, 도 5에 도시한 바와 같이, 회로 소자가 밀봉되도록 밀봉 수지(20)를 형성하고, 도전 패턴(13)끼리가 분리될 때까지 도전박(10)의 이면을 제거하는 것에 있다.

도 5의 (a)를 참조하면, 밀봉 수지(20)는 회로 소자 및 복수의 도전 패턴(13)을 피복하고, 도전 패턴(13) 간의 분리홈(12)에는 밀봉 수지(20)가 충전된다. 그리고 밀봉 수지(20)에 의해 도전 패턴(13)이 지지되어 있다. 본 공정에서는, 트랜스퍼 몰드, 주입 몰드, 또는 디핑에 의해 실현할 수 있다. 수지 재료로서는, 에폭시 수지 등의 열 경화성 수지가 트랜스퍼 몰드로 실현할 수 있고, 폴리이미드 수지, 폴리페닐렌설파이드 등의 열가소성 수지는 주입 몰드로 실현할 수 있다.

본 공정의 이점은, 밀봉 수지(20)를 피복할 때까지는, 도전 패턴(13)으로 되는 도전박(10)이 지지 기관으로 되는 것이다. 종래에서는, 본래 필요로 하지 않은 지지 기관을 채용하여 도전박(10)을 형성하고 있지만, 본 형태에서는, 지지 기관으로 되는 도전박(10)은, 전극 재료로서 필요한 재료이다. 그 때문에, 구성 재료를 극력 생략하여 작업할 수 있는 장점을 가지며, 코스트의 저하도 실현할 수 있다.

도 5의 (b)를 참조하면, 분리홈(12)에 충전된 밀봉 수지(20)가 노출될 때까지 도전박(10)의 이면을 제거하여, 각 도전 패턴(13)의 분리를 행한다. 본 공정은, 도전박(10)의 이면을 화학적 및/또는 물리적으로 제거하여, 도전 패턴(13)으로서 분리하는 것이다. 이 공정은, 연마, 연삭, 에칭, 레이저의 금속 증발 등에 의해 실시된다.

도 5의 (c)를 참조하면, 밀봉 수지(20)로부터 노출되는 도전 패턴(13)의 이면을 피복 수지(22)로 피복하고, 원하는 개소에 외부 전극(21)을 형성한다. 또한, 매트릭스 형태로 형성된 각 회로 장치의 경계부의 밀봉 수지(20)를 다이싱 라인(23)으로 다이싱함으로써, 개별 회로 장치로 분할한다. 상기 공정을 거쳐, 본 형태에 따른 회로 장치가 제조된다.

<제2 실시예>

본 형태에서는, 도 6과 도 7을 참조하면, 내장되는 회로 소자로서 페이스 다운의 반도체 소자를 채용한 경우의 회로 장치의 제조 방법을 설명한다. 본 형태의 회로 장치의 기본적인 제조 방법은 전술한 제1 실시예와 마찬가지로 하기 때문에, 상위점을 중심으로 이하의 설명을 행한다.

우선, 도 6의 (a) 및 도 6의 (b)를 참조하면, 도전박(10)의 표면에 분리홈(12)을 형성함으로써 도전 패턴(13)을 볼록 형상으로 형성한다. 여기서는, 도전 패턴(13)은, 페이스 다운으로 배치되는 소자와의 접속 패드를 주로 형성한다. 분리홈(12)의 형성이 종료한 후에는, 에칭 레지스트(11)는 박리한다.

다음으로, 도 6의 (c)를 참조하면, 수지막(15)을 도전박(10) 표면에 형성하고, 수지막(15)의 에칭을 행함으로써, 수지막(15)으로부터 도전 패턴(13)의 상면을 노출시킨다. 이 방법의 상세 내용은, 제1 실시예와 마찬가지로이다.

다음으로, 도 6의 (d)를 참조하면, 반도체 소자(24)를 페이스 다운으로 배치한다. 반도체 소자의 전극과 도전 패턴(13)은, 뿔납재(18)를 개재하여 전기적으로 접속된다. 여기서도, 뿔납재(18)의 측면은 연속해서 매끄러운 곡면으로 되기 때문에, 열 응력에 대한 뿔납재(18)의 강도는 강하다. 또한, 전술한 바와 같이, 도전 패턴(13)의 위치 정밀도가 매우 높기 때문에, 파인피치의 다수개의 단자를 갖는 반도체 소자(24)에도 대응할 수 있다. 반도체 소자(24)의 고착이 종료한 후에, 반도체 소자(24)의 하방에 수지로 이루어진 언더필재를 충전해도 된다. 또한, 도 7의 (a)를 참조하면, 밀봉 수지(20)에 의한 반도체 소자(24)의 피복을 행한다.

다음으로, 도 7의 (b)를 참조하면, 각 도전 패턴(13)이 분리될 때까지 도전박(10)의 이면을 제거한다. 여기서는, 도전박(10)의 이면에 선택적으로 에칭 레지스트(25)를 형성하여, 에칭을 행하고 있다. 본 공정의 에칭을 행함으로써 분리되는 도전 패턴(13)의 이면의 노출면은, 회로 장치의 실장을 행하기 위한 뿔납재가 부착되는 전극을 형성한다. 따라서, 수지막(15)으로부터 노출되는 도전 패턴(13)의 상면의 면적보다도, 장치의 외부에 노출되는 도전 패턴(13)의 하면의 면적쪽이 크다.

다음으로, 도 7의 (c)를 참조하면, 이면에 노출되는 도전 패턴(13)을 피복 수지(22)로 부분적으로 피복하고, 도전 패턴(13)의 이면에 뿔납재로 이루어진 외부 전극(21)을 형성한다. 이상의 공정으로, 페이스 다운으로 배치되는 반도체 소자(24)를 내장하는 회로 장치가 제조된다.

<제3 실시예>

본 형태에서는, 전술한 실시예에서 제조 가능한 회로 장치의 일례를 설명한다. 도 8의 (a)는 회로 장치(9)의 평면도이고, 도 8의 (b)는 그 단면도이다. 이 도면에 도시한 회로 장치(9)에서는, 복수개의 회로 소자가 내장되며, 각각이 금속 세션(19) 또는 도전 패턴(13)을 통하여 전기적으로 접속되어 있다.

도전 패턴(13)은 이면을 노출시키고 밀봉 수지(20)에 매립된 구조로 되어 있고, 분리홈(12)에 의해 전기적으로 분리되어 있다. 또한, 외부에 노출되는 도전 패턴(13)의 이면에는 뿔납 등의 뿔납재로 이루어진 외부 전극(21)이 설치되어 있다. 또한, 장치의 이면에서 외부 전극(21)이 설치되지 않는 개소는, 피복 수지(22)로 피복되어 있다.

도 8의 (a)를 참조하면, 도전 패턴(13)의 평면적인 형상을 더 설명한다. 이 도면에서는, 도전 패턴의 상면(13A)을 실선으로 나타내고, 도전 패턴의 하면(13B)을 점선으로 나타내고 있다. 도전 패턴의 상면(13A)은, 회로 소자가 실장되는 다이 패드의 영역과, 금속 세션이 접속되는 본딩 패드의 영역을 형성하고 있다. 전술한 바와 같이 본원의 도전 패턴(13)의 위치 정밀도는 매우 높다. 따라서, 도전 패턴(13)의 평면적 위치가 어긋나게 되는 것에 의한 도전 패턴(13)끼리의 단락을 방지할 수 있다.

회로 소자로서는, 반도체 소자(16) 및 칩 소자(17)가 채용된다. 이들의 회로 소자는, 도전 패턴(13)으로 이루어진 아일랜드 위에 고착되어 있다.

밀봉 수지(20)는, 도전 패턴(13)의 이면이 노출되도록, 회로 소자, 금속 세션(19) 및 도전 패턴(13)을 피복하고 있다. 밀봉 수지(20)로서는, 열 경화성 수지 또는 열가소성 수지를 전반적으로 채용할 수 있다. 또한, 각 도전 패턴(13)을 분리하는 분리홈(12)에는 밀봉 수지(20)가 충전되어 있다. 또한, 본 형태의 회로 장치(10A)는, 밀봉 수지(20)에 의해 전체가 지지되어 있다.

본 형태에서는, 도전 패턴의 상면(13A)과 도전 패턴의 하면(13B)과의 평면적 형상을 상이하게 할 수 있다. 따라서, 하나의 도전 패턴(13)에 복수의 도전 패턴의 상면(13A)을 형성할 수 있다. 이것으로부터, 보다 복잡한 전기 회로를 회로 장치(9)에 내장시킬 수 있다.

<제4 실시예>

본 실시예에서는, 다층의 배선 구조를 갖는 회로 장치의 구성 및 제조 방법을 설명한다. 본 형태에서도, 노광 마스크를 이용한 노광의 공정을 생략하여, 도전 패턴의 노출을 행하고 있다. 각 공정의 상세 내용을 이하에 설명한다.

본 형태의 제1 공정은, 도 9의 (a)에 도시한 바와 같이, 제1 도전막(40)과 제2 도전막(41)을 절연 수지(42)에 접착한 절연 수지 시트를 준비하는 것에 있다.

절연 수지 시트의 표면은, 실질 전체 영역에 제1 도전막(40)이 형성되며, 이면에도 실질 전체 영역에 제2 도전막(41)이 형성되는 것이다. 또한 절연 수지(42)의 재료는, 폴리이미드 수지 또는 에폭시 수지 등의 고분자로 이루어진 절연 재료로 이루어진다. 또한, 제1 도전막(40) 및 제2 도전막(41)은, 바람직하게는, Cu를 주재료로 하는 것, 또는 공지의 리드 프레임의 재료이며, 도금법, 증착법 또는 스퍼터법으로 절연 수지(42)로 피복되거나, 압연법이나 도금법에 의해 형성된 금속박이 접착되어도 된다.

또한 절연 수지 시트는, 캐스팅법으로 형성되어도 된다. 이하에 간단히 그 제조 방법을 설명한다. 우선 평막 형상의 제1 도전막(40) 위에 폴 형상의 폴리이미드 수지를 도포하고, 또한 평막 형상의 제2 도전막(41) 위에도 폴 형상의 폴리이미드 수지를 도포한다. 그리고 양자의 폴리이미드 수지를 반경화시킨 후에 접합하면 절연 수지 시트가 완성된다.

절연 수지(42)는, 폴리이미드 수지, 에폭시 수지 등이 바람직하다. 페이스트 형상의 것을 도포하여 시트로 하는 캐스팅법인 경우, 그 막 두께는, 10 μ m~100 μ m 정도이다. 또한 시트로서 형성하는 경우, 시판의 것은 25 μ m가 최소의 막 두께이다. 또한 열전도성이 고려되어, 가운데에 필러가 혼입되어도 된다.

본 형태의 제2 공정은, 도 9의 (b) 및 도 9의 (c)에 도시한 바와 같이, 절연 수지 시트의 소망 개소에 제1 도전막(40) 및 절연 수지(42)에 관통 구멍(52)을 형성하고, 제2 도전막(41)을 선택적으로 노출하는 것에 있다.

우선, 도 9의 (b)에 도시한 바와 같이 제1 도전막(40)의 표면에 레지스트(50)를 전면적으로 도포한 후에, 패턴닝을 행하여 제1 도전막(40)을 부분적으로 노출시킨다. 구체적으로는, 2개의 도전박을 전기적으로 접속하는 부분이 노출되도록 레지스트(50)의 패턴닝을 행한다.

계속해서, 도 9의 (c)에 도시한 바와 같이, 이 레지스트(50)를 통하여 제1 도전막(40)을 에칭한다. 제1 도전막(40)은 Cu를 주 재료로 하는 것이기 때문에, 에칭액은, 염화 제2 철 또는 염화 제2 구리를 이용하여 케미컬 에칭을 행한다. 관통 구멍(52)의 개구 지름은, 포토리소그래피의 해상도에 따라 변화하지만, 여기서는 50~100 μ m 정도이다.

다음으로, 도 9의 (d)를 참조하면, 레지스트(50)를 제거한 후, 제1 도전막(40)을 마스크로 하여, 레이저에 의해 관통 구멍(52)의 바로 아래의 절연 수지(42)를 제거하여, 관통 구멍(52)의 바닥에 제2 도전막(41)의 이면을 노출시킨다. 레이저로서는, 탄산 가스 레이저가 바람직하다. 또한 레이저로 절연 수지를 증발시킨 후, 개구부의 바닥부에 잔사가 있는 경우에는, 과망간산 소다 또는 과황산 암모늄 등으로 웨트 에칭하여, 이 잔사를 제거한다.

본 형태의 제3 공정은, 도 10의 (a)에 도시한 바와 같이 관통 구멍(52)에 접속 수단(46)을 형성하고, 제1 도전막(40)과 제2 도전막(41)을 전기적으로 접속하는 것에 있다.

관통 구멍(52)을 포함하는 제1 도전막(40) 전면에 제2 도전막(41)과 제1 도전막(40)의 전기적 접속을 행하는 접속 수단(46)인 도금막을 형성한다. 이 도금막은 무전해 도금과 전해 도금의 양방으로 형성되고, 여기서는 무전해 도금에 의해 약 2 μ m의 Cu를 적어도 관통 구멍(52)을 포함하는 제1 도전막(40) 전면에 형성한다. 이에 따라 제1 도전막(40)과 제2 도전막(41)이 전기적으로 도통하기 때문에, 재차 이 제1 및 제2 도전막(40, 41)을 전극으로 하여 전해 도금을 행하여, 약 20 μ m의 Cu를 도금한다. 이에 따라 관통 구멍(52)은 Cu로 매립되어, 접속 수단(46)이 형성된다.

본 형태의 제4 공정은, 도 10의 (b) 내지 도 10의 (d)에 도시한 바와 같이 제1 도전막(40), 및 제2 도전막(41)을 원하는 패턴으로 에칭하여 제1 도전 패턴(43), 제2 도전 패턴(44)을 형성하는 것에 있다.

제1 도전막(40) 위 및 제2 도전막(41)의 표면에 원하는 패턴의 포토레지스트(50)로 피복하여, 케미컬 에칭에 의해 패턴닝을 행한다. 도전막은 Cu를 주재료로 하는 것이기 때문에, 에칭액은, 염화 제2 철 또는 염화 제2 구리를 이용하면 된다.

본 형태의 제5 공정은, 도 11을 참조하면, 제1 도전 패턴(43)을 수지막(48)으로 피복하고나서, 제1 도전 패턴(43)의 표면을 수지막(43)으로부터 노출시키는 것에 있다.

우선, 도 11의 (a)를 참조하면, 제1 도전 패턴(43)이 피복되도록 수지막(48)을 형성한다. 이 수지막(48)의 형성은, 액화한 상태의 수지막의 도포 혹은, 시트 형상의 수지막의 적층에 의해 행하는 것이 가능하다. 적층에 의해 수지막(48)의 형성을 행하는 경우에는, 도 2를 참조하면 설명한 방법과 마찬가지로 행할 수 있다. 본 형태에서도, 제1 도전 패턴(43)의 상면을 피복하는 수지막(48)의 두께는, 절연 수지(42)를 곧바로 피복하는 수지막(48)보다도 얇아진다.

다음으로, 도 11의 (b)를 참조하면, 수지막(48)의 표면을 전면적으로 에칭을 행함으로써, 제1 도전 패턴(43)의 상면을 노출시킨다. 본 공정에서는, 노광 마스크를 이용하지 않고 수지막(48)의 에칭을 행하기 때문에, 노광을 생략한 간소화된 방법으로 패턴의 상면을 노출시키는 것이 가능해진다. 또한, 노광 마스크를 생략한 방법이기 때문에, 이 마스크의 정합 정밀도를 무시하고 전체의 설계를 행하는 것이 가능해진다. 따라서, 패턴 밀도를 향상시킬 수 있다. 또한, 제1 도전 패턴(43)의 상면을 확실하게 노출시키기 때문에, 제1 도전 패턴(43)의 측면이 부분적으로 노출될 때까지, 수지막(48)의 에칭을 행해도 된다.

본 형태의 제6 공정은, 도 12에 도시한 바와 같이 회로 소자(45)의 고착을 행하여 그 밀봉을 더 행하는 것에 있다.

우선, 도 12의 (a)를 참조하면, 제1 도전 패턴(43) 위에 회로 소자(45)를 고착한다. 여기서는, 제1 패턴(43)의 표면에 회로 소자를 고착하여, 필요에 따라 금속 세션(19)에 의한 전기적 접속을 행한다. 회로 소자(45)로서는, 능동 소자 및 수동 소자의 양방을 전면적으로 채용할 수 있다.

다음으로, 도 12의 (b)를 참조하면, 회로 소자(45) 및 금속 세션(19)이 피복되도록 밀봉 수지(47)에 의한 밀봉을 행한다. 또한, 도 12의 (c)에 도시한 바와 같이 이면으로부터 노출되는 제2 도전 패턴(44)의 이면 처리를 행한다. 구체적으로는, 외부 전극(53)이 형성되는 개소를 제외한 영역을 피복 수지(22)에 의해서 피복한다. 그리고, 외부 전극(53)을 형성하여, 다층 배선을 갖는 회로 장치를 완성한다.

발명의 효과

본 발명의 회로 장치에 따르면, 접착제의 측면을 매끄러운 곡면의 형상으로 형성하는 것이 가능하기 때문에, 이 접착제의 열 응력에 대한 신뢰성을 향상시키는 것이 가능해진다.

본 발명의 회로 장치의 제조 방법에 따르면, 종래와 같은 노출부의 형성을 생략하여 도전 패턴을 부분적으로 노출시킬 수 있다. 따라서, 노출되는 부분의 도전 패턴의 위치 정밀도를 비약적으로 향상시킬 수 있다. 또한, 노광기나 레이저 조사기를 이용하지 않고, 도전 패턴을 부분적으로 노출시킬 수 있다. 이것으로부터, 회로 장치의 제조에 드는 코스트를 저감시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

도전 패턴과,

상기 도전 패턴과 전기적으로 접속된 회로 소자와,

상기 도전 패턴끼리의 사이에 형성되며 상기 도전 패턴의 측면을 피복하는 수지막과,

상기 도전 패턴의 상면 및 측면에 접촉하며 상기 회로 소자를 상기 회로 소자와 고착시키는 접착제와,

상기 회로 소자를 밀봉하는 밀봉 수지를 구비하는 것을 특징으로 하는 회로 장치.

청구항 2.

제1항에 있어서,

상기 접착제는, 도전성 혹은 절연성의 접착제인 것을 특징으로 하는 회로 장치.

청구항 3.

제1항에 있어서,

상기 접착제의 측면은, 매끄러운 곡면을 그리는 것을 특징으로 하는 회로 장치.

청구항 4.

제1항에 있어서,

상기 도전 패턴은, 다층의 배선 구조를 갖는 것을 특징으로 하는 회로 장치.

청구항 5.

제1항에 있어서,

상기 회로 소자는, 플립 칩으로 실장되는 반도체 소자인 것을 특징으로 하는 회로 장치.

청구항 6.

도전 패턴을 구성하는 공정과,

상기 도전 패턴이 피복되도록 수지막을 형성하는 공정과,

상기 수지막으로부터 상기 도전 패턴의 상면을 노출시키는 공정과,

상기 도전 패턴에 접착제를 개재하여 회로 소자를 전기적으로 접속하는 공정과,

상기 회로 소자를 피복하는 공정을 구비하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 7.

도전박을 준비하는 공정과,

상기 도전박의 표면에 분리흙을 형성함으로써 도전 패턴을 볼록 형상으로 형성하는 공정과,

상기 도전박의 표면을 수지막으로 피복하고, 상기 분리흙을 피복하는 상기 수지막의 두께를 상기 도전 패턴의 상면을 피복하는 상기 수지막보다도 두껍게 형성하는 공정과,

상기 수지막을 제거함으로써 상기 도전 패턴의 상면을 상기 수지막으로부터 노출시키는 공정과,

상기 수지막으로부터 노출되는 상기 도전 패턴과 회로 소자를 전기적으로 접속하는 공정과,

상기 회로 소자가 밀봉되도록 밀봉 수지를 형성하는 공정과,

상기 도전 패턴끼리가 분리될 때까지 상기 도전박의 이면을 제거하는 공정을 구비하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 8.

제6항 또는 제7항에 있어서,

상기 수지막을 균일하게 에칭함으로써, 상기 도전 패턴의 상면을 상기 수지막으로부터 노출시키는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 9.

제6항 또는 제7항에 있어서,

상기 회로 소자는, 페이스 다운으로 실장되는 반도체 소자를 포함하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 10.

제7항에 있어서,

상기 도전 패턴의 이면은, 외부 전극을 구성하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 11.

제6항 또는 제7항에 있어서,

상기 수지막의 노광을 행하고나서, 상기 수지막의 제거를 행하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 12.

제6항 또는 제7항에 있어서,

상기 수지막의 형성은, 필름 형상의 상기 수지막을 진공 프레스로 상기 도전박에 적층시킴으로써 행하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 13.

제6항 또는 제7항에 있어서,

상기 수지막의 형성은, 액상 혹은 반고형상의 수지를 상기 도전박의 표면에 도포함으로써 행하는 것을 특징으로 하는 회로 장치의 제조 방법.

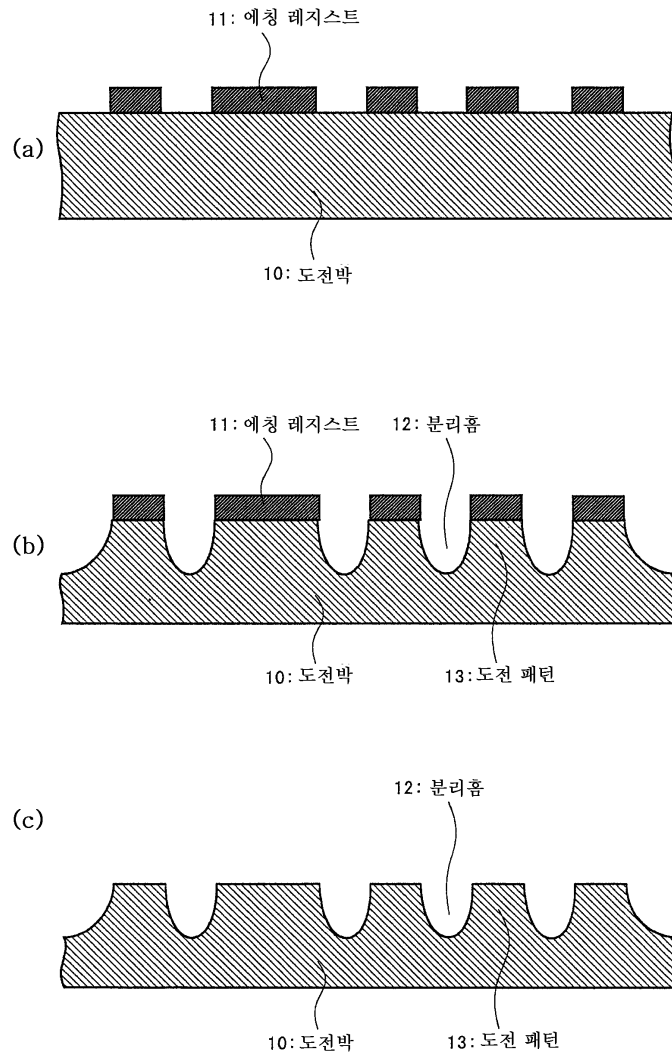
청구항 14.

제6항 또는 제7항에 있어서,

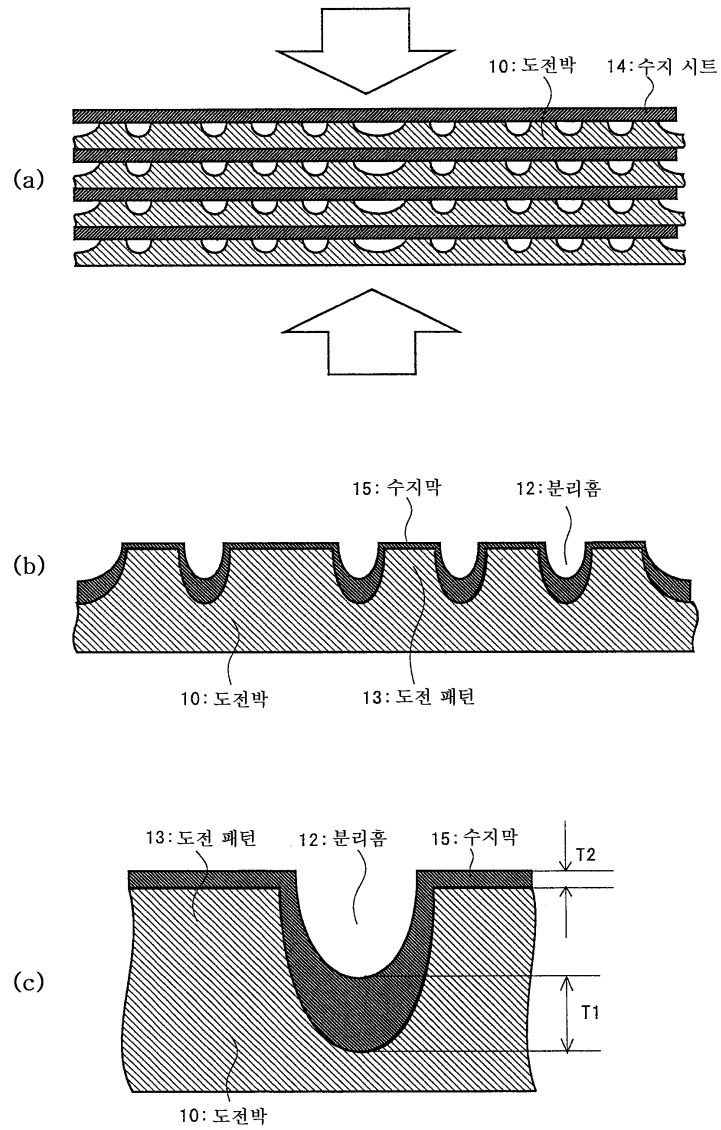
상기 도전 패턴의 측면이 부분적으로 노출될 때까지, 상기 수지막의 제거를 행하는 것을 특징으로 하는 회로 장치의 제조 방법.

도면

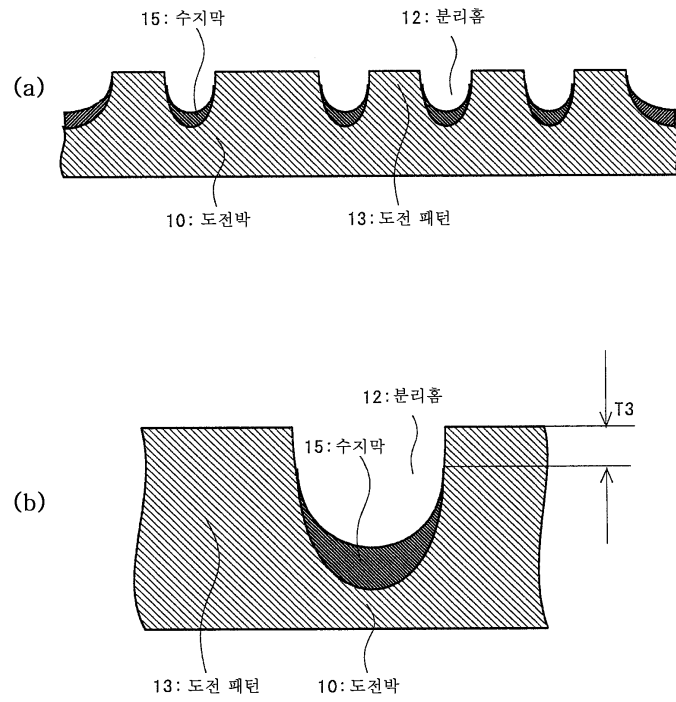
도면1



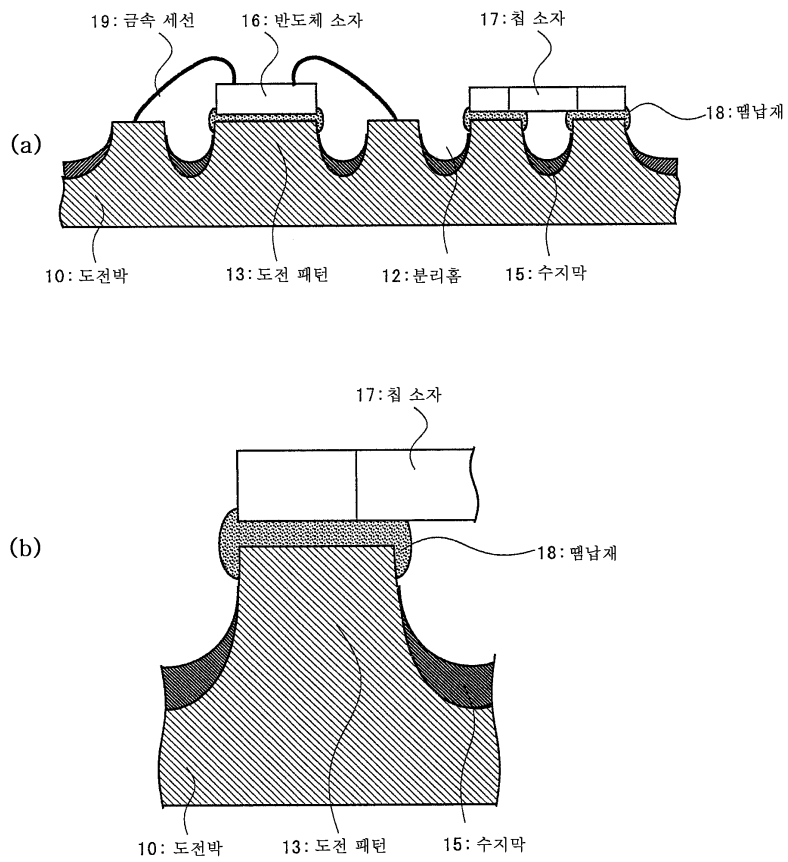
도면2



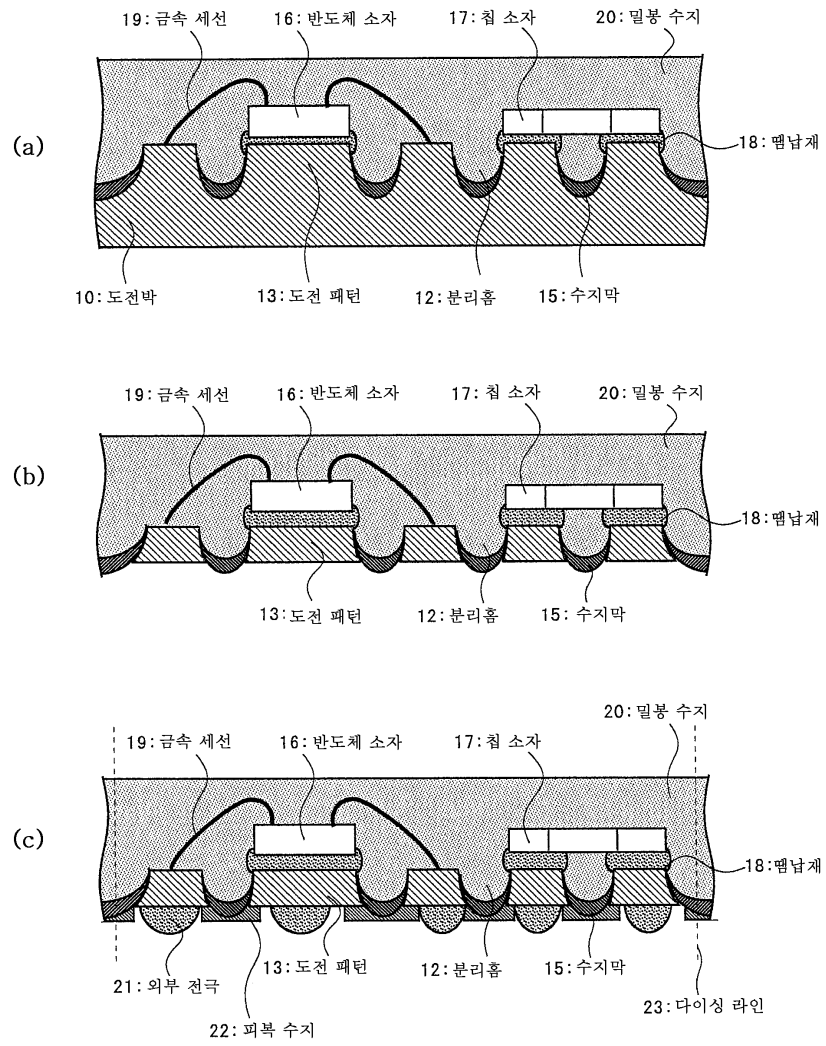
도면3



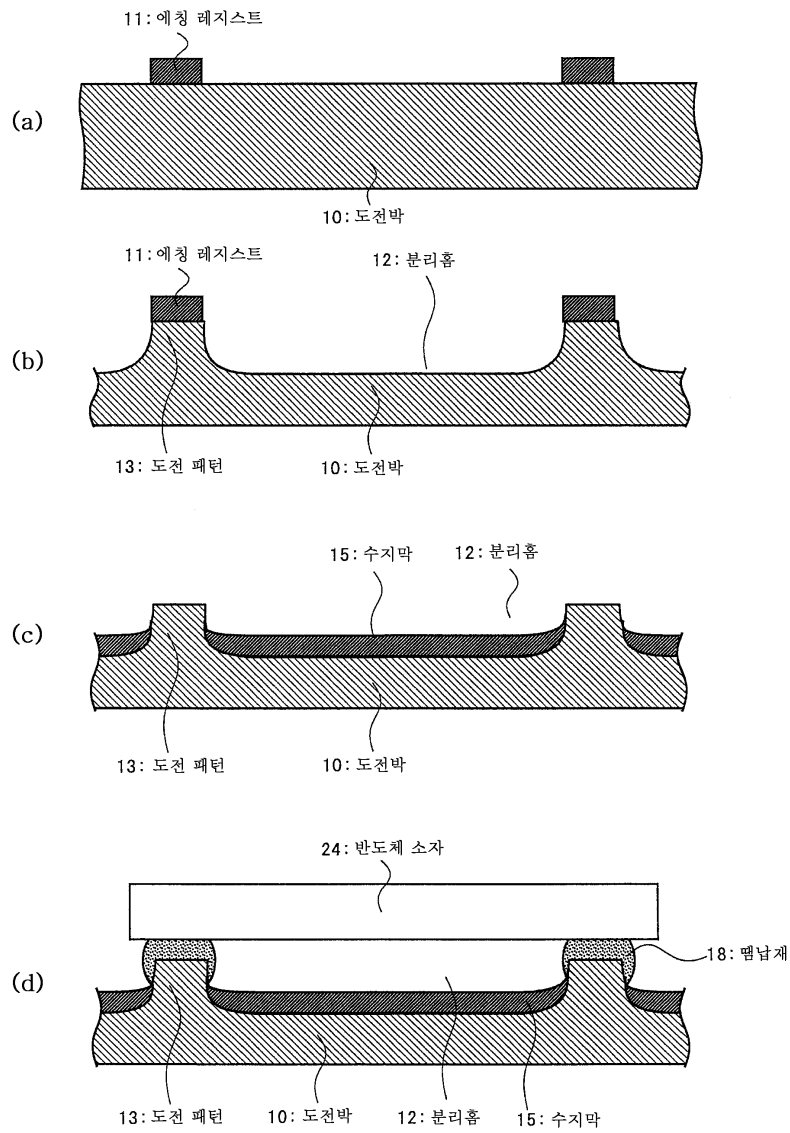
도면4



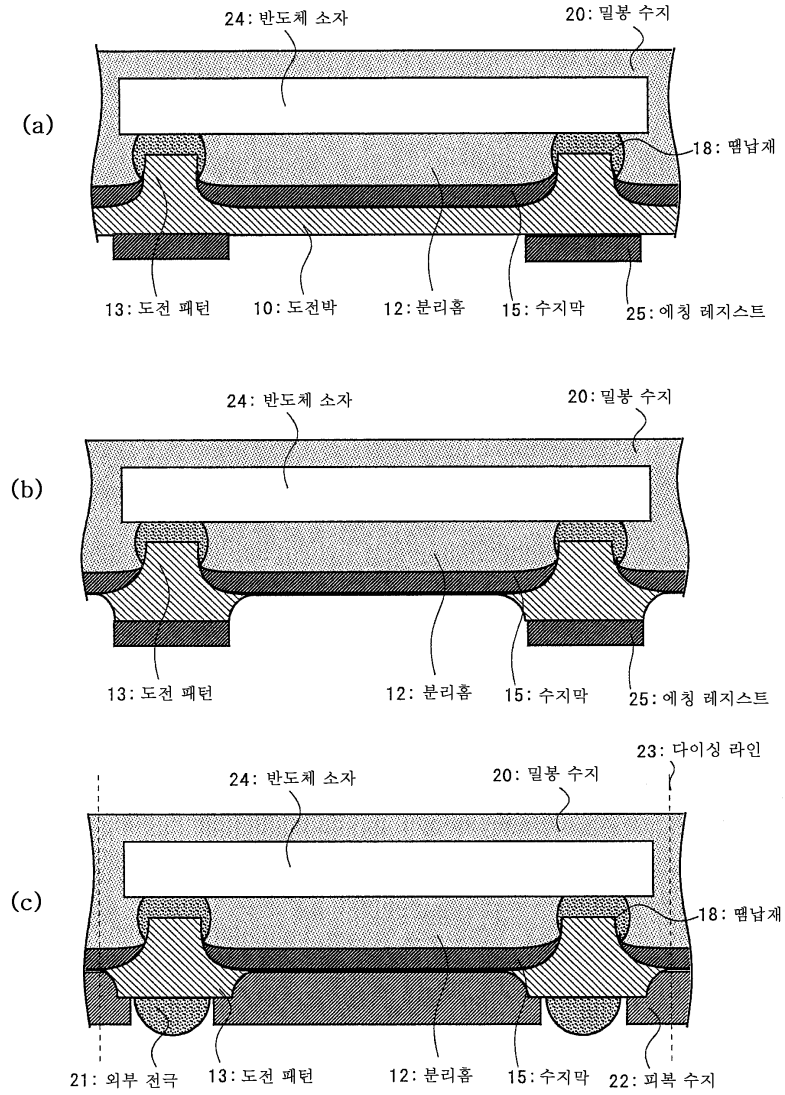
도면5



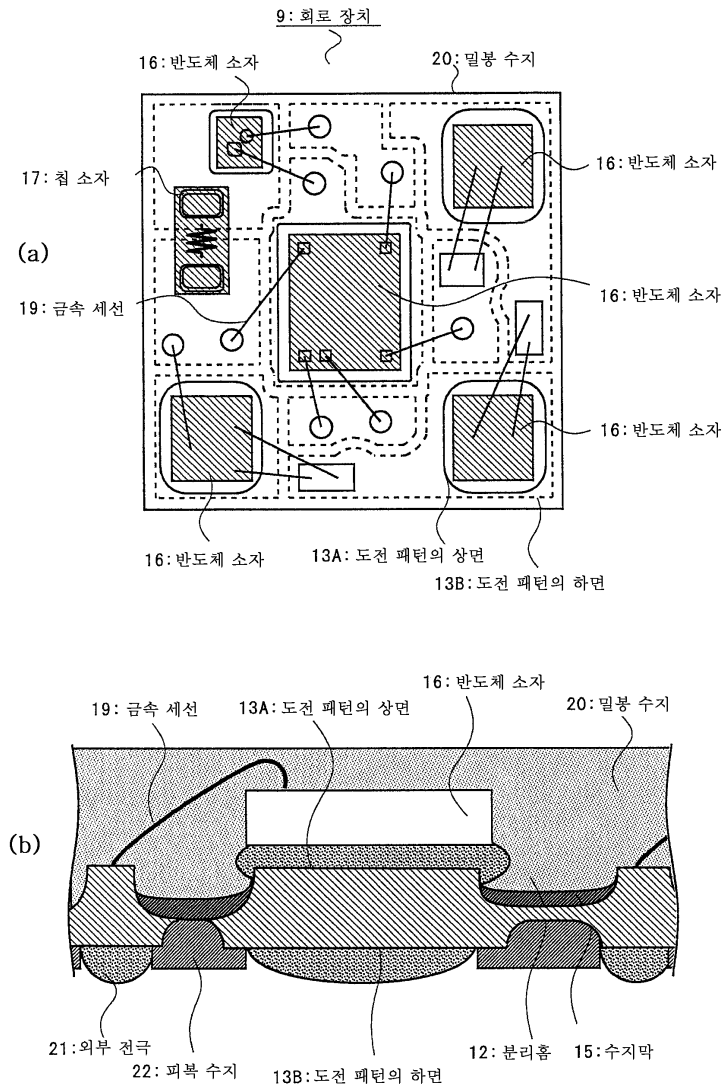
도면6



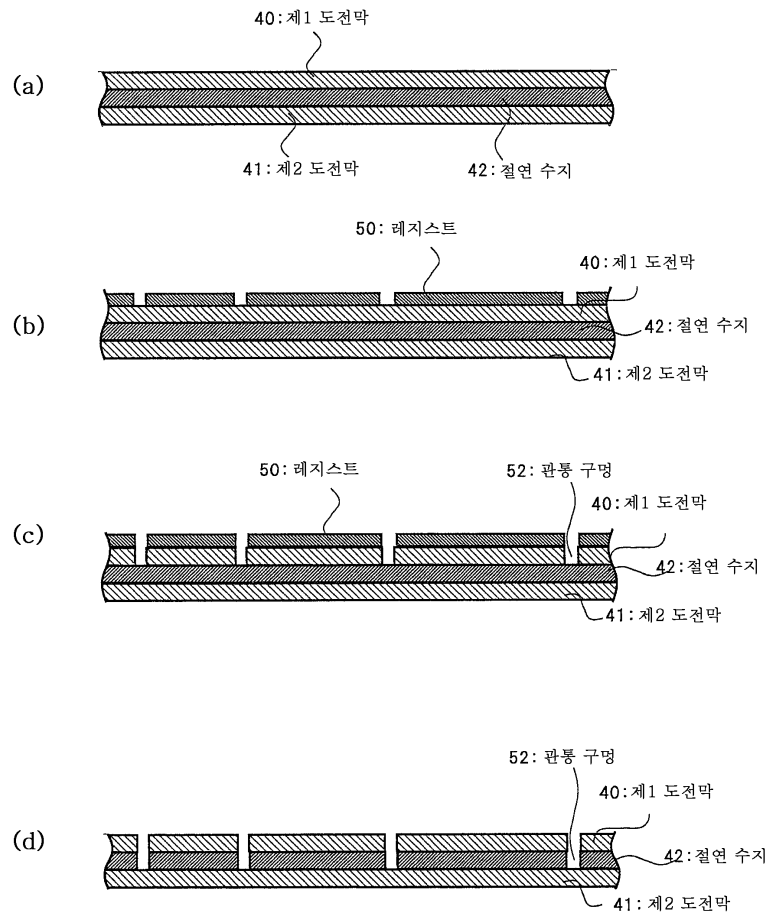
도면7



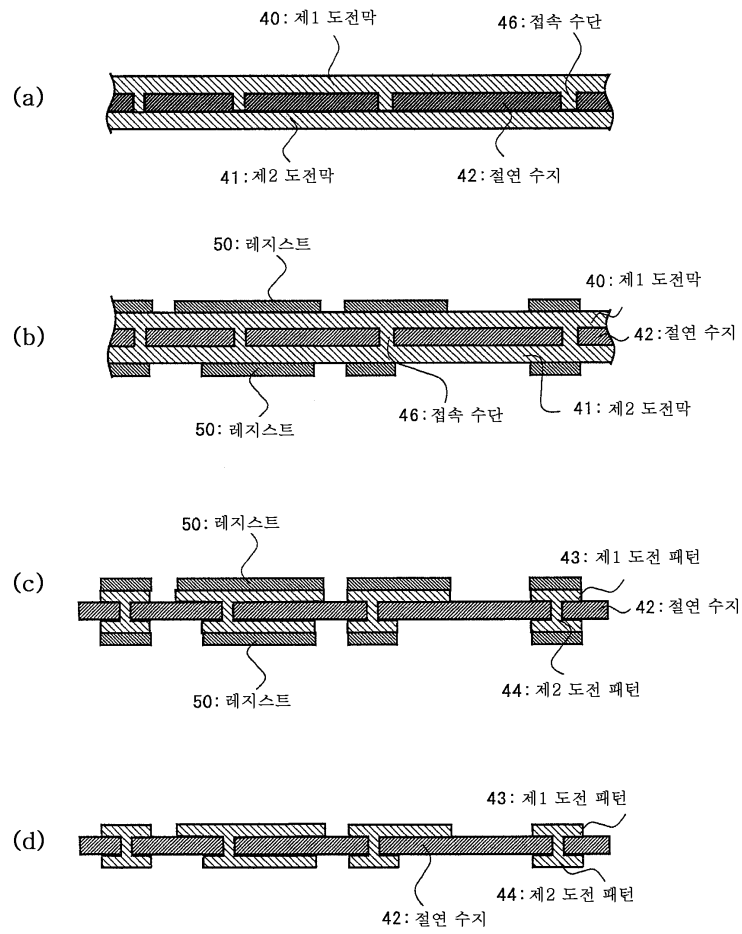
도면8



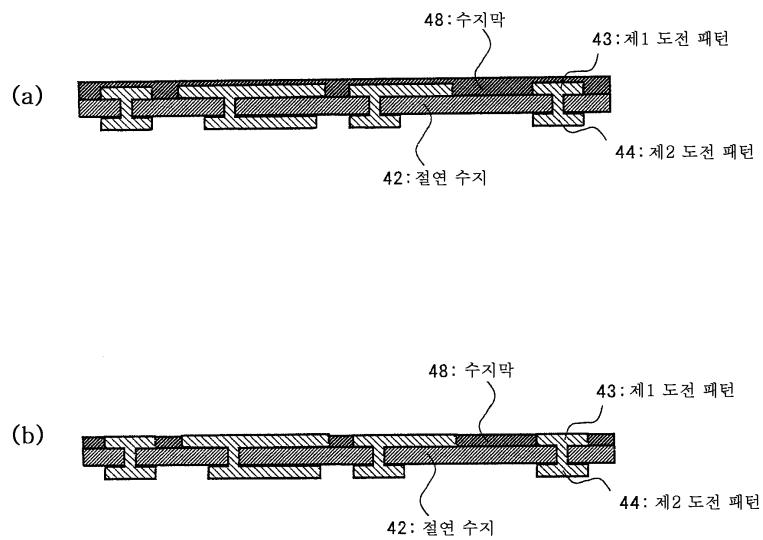
도면9



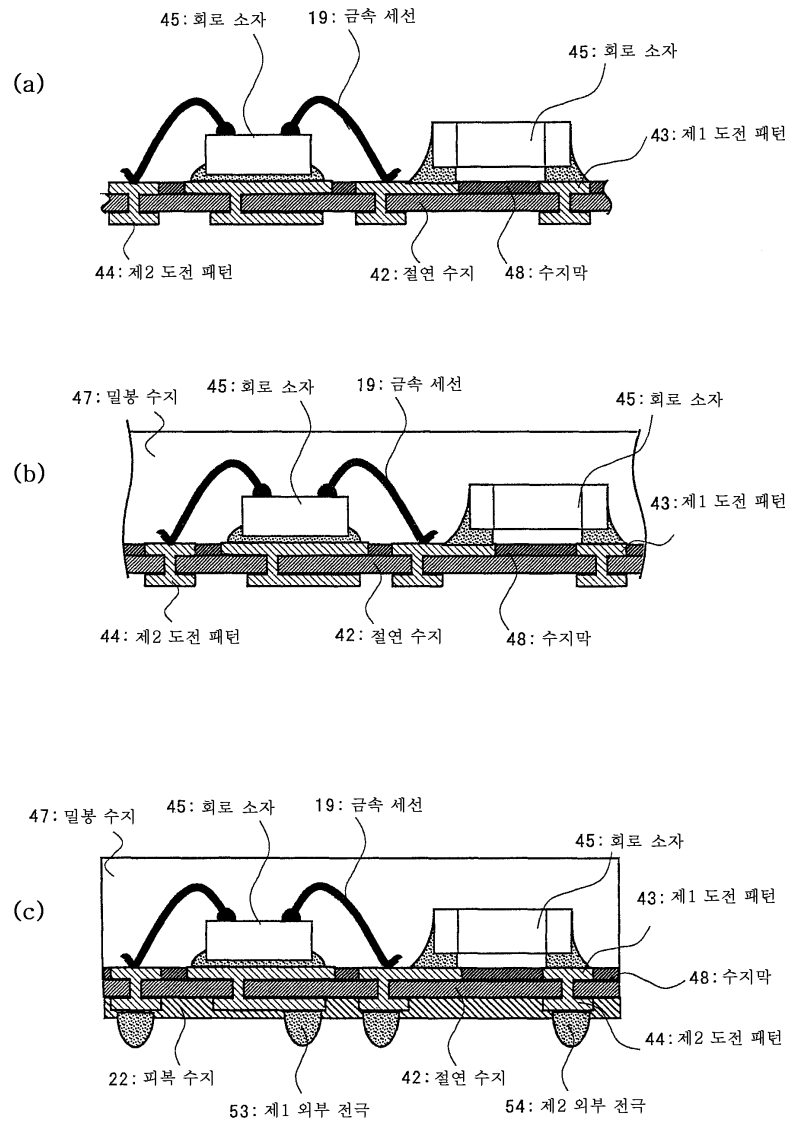
도면10



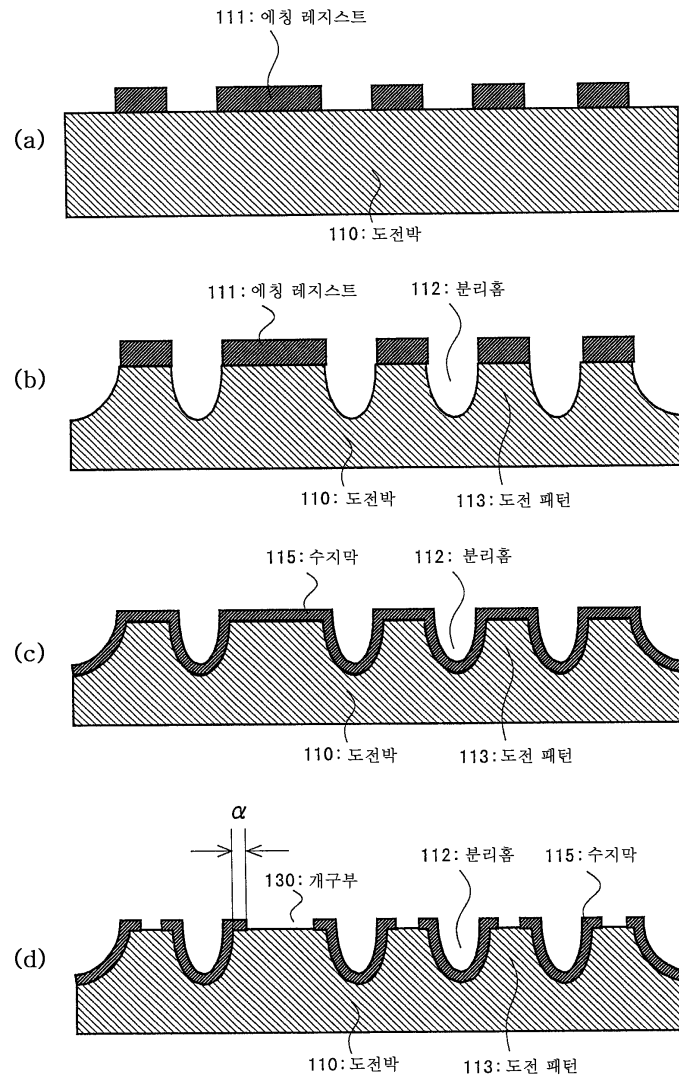
도면11



도면12



도면13



도면14

