

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4920162号
(P4920162)

(45) 発行日 平成24年4月18日(2012.4.18)

(24) 登録日 平成24年2月10日(2012.2.10)

(51) Int.Cl.		F I			
H03D	7/12	(2006.01)	H03D	7/12	C
H03D	7/14	(2006.01)	H03D	7/14	C

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2002-210565 (P2002-210565)	(73) 特許権者	000003078
(22) 出願日	平成14年7月19日(2002.7.19)		株式会社東芝
(65) 公開番号	特開2003-158424 (P2003-158424A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年5月30日(2003.5.30)	(74) 代理人	100149803
審査請求日	平成15年9月17日(2003.9.17)		弁理士 藤原 康高
審判番号	不服2008-20178 (P2008-20178/J1)	(72) 発明者	梅田 俊之
審判請求日	平成20年8月7日(2008.8.7)		神奈川県川崎市幸区小向東芝町1番地 株
(31) 優先権主張番号	特願2001-266647 (P2001-266647)		式会社東芝研究開発センター内
(32) 優先日	平成13年9月4日(2001.9.4)	(72) 発明者	大高 章二
(33) 優先権主張国	日本国(JP)		神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝研究開発センター内
		(72) 発明者	板倉 哲朗
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝研究開発センター内

最終頁に続く

(54) 【発明の名称】 周波数変換器及びこの周波数変換器を使用した通信装置

(57) 【特許請求の範囲】

【請求項1】

第1周波数を有する入力信号を、前記第1周波数とは異なる第2周波数を有する出力信号に周波数変換する周波数変換器であって、

ローカル発振電圧信号が入力され、前記ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含むローカル発振電流に変換するローカル発振信号入力手段と、

入力電圧信号が入力され、前記入力電圧信号を一定のバイアス電流と交流の電流成分とを含む入力電流に変換する信号入力手段と、

前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である加算電流を出力する電流加算手段と、

前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値電流を境にして、前記加算電流の波形の一方のみを前記出力信号として出力するようにスイッチングするスイッチング手段と、を備え、

前記ローカル発振電流と前記入力電流は、交流の電流成分を含み、

前記スイッチング手段は、ゲート端子が高周波的に接地された電界効果トランジスタを含み、前記電界効果トランジスタのソース端子に前記加算電流が入力され、前記電界効果トランジスタのドレイン端子から前記出力信号を出力するものであって、

前記ゲート端子が高周波的に接地された電界効果トランジスタとは、前記ゲート端子がグランド電位あるいは電源電位と接続された電界効果トランジスタであり、

前記スイッチング手段は、前記加算電流が前記しきい値電流以下の場合には前記加算電

流を前記出力信号として出力せず、前記加算電流が前記しきい値電流より大きい場合には前記加算電流を前記出力信号として出力することを特徴とする周波数変換器。

【請求項 2】

前記電界効果トランジスタのソース端子に接続され、前記しきい値電流と同じ大きさの電流を流す定電流源をさらに備え、

前記ローカル発振信号入力手段は、ゲート端子に前記ローカル発振電圧信号が入力され、ソース端子が接地され、ドレイン端子が前記電界効果トランジスタのソース端子に接続された第 2 電界効果トランジスタであり、

前記信号入力手段は、ゲート端子に前記入力電圧信号が入力され、ソース端子が接地され、ドレイン端子が前記電界効果トランジスタのソース端子に接続された第 3 電界効果トランジスタである請求項 1 記載の周波数変換器。

10

【請求項 3】

第 1 周波数を有する入力信号を、前記第 1 周波数とは異なる第 2 周波数を有する出力信号に周波数変換する周波数変換器であって、

ローカル発振電圧信号が入力され、前記ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含むローカル発振電流に変換するローカル発振信号入力手段と、

入力電圧信号が入力され、前記入力電圧信号を一定のバイアス電流と交流の電流成分とを含む入力電流に変換する信号入力手段と、

前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である加算電流を出力する電流加算手段と、

20

前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値電流を境にして、前記加算電流の波形の一方のみを前記出力信号として出力するようにスイッチングするスイッチング手段と、を備え、

前記ローカル発振電流と前記入力電流は、交流の電流成分を含み、

前記スイッチング手段は、ベース端子が高周波的に接地されたバイポーラトランジスタを含み、前記バイポーラトランジスタのエミッタ端子に前記加算電流が入力され、前記バイポーラトランジスタのコレクタ端子から前記出力信号を出力するものであって、

前記ベース端子が高周波的に接地されたバイポーラトランジスタとは、前記ベース端子がグランド電位あるいは電源電位と接続されたバイポーラトランジスタであり、

前記スイッチング手段は、前記加算電流が前記しきい値電流以下の場合には前記加算電流を前記出力信号として出力せず、前記加算電流が前記しきい値電流より大きい場合には前記加算電流を前記出力信号として出力することを特徴とする周波数変換器。

30

【請求項 4】

前記バイポーラトランジスタのエミッタ端子に接続され、前記しきい値電流と同じ大きさの電流を流すように構成された定電流源をさらに備え、

前記ローカル発振信号入力手段は、ベース端子に前記ローカル発振電圧信号が入力され、エミッタ端子が接地され、コレクタ端子が前記バイポーラトランジスタのエミッタ端子に接続された第 2 バイポーラトランジスタであり、

前記信号入力手段は、ベース端子に前記入力電圧信号が入力され、エミッタ端子が接地され、コレクタ端子が前記バイポーラトランジスタのエミッタ端子に接続された第 3 バイポーラトランジスタである請求項 3 記載の周波数変換器。

40

【請求項 5】

前記出力信号に含まれる不要波成分を除去する出力手段をさらに備え、

前記出力手段は、前記出力信号から、所定の周波数帯域の信号を取り出すフィルタである請求項 1 または請求項 3 記載の周波数変換器。

【請求項 6】

第 1 周波数を有する入力信号と、この入力信号の逆相となる逆相入力信号とによって差動入力された信号を、前記第 1 周波数とは異なる第 2 周波数を有する出力信号へ周波数変換する周波数変換器であって、

ローカル発振電圧信号及びこのローカル発振電圧信号の逆相となる逆相ローカル発振電

50

圧信号が入力され、前記ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含むローカル発振電流に変換し、前記逆相ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含む逆相ローカル発振電流に変換するローカル発振信号入力手段と、

入力電圧信号及びこの入力電圧信号の逆相となる逆相入力電圧信号が入力され、前記入力電圧信号を一定のバイアス電流と交流の電流成分とを含む入力電流に変換し、前記逆相入力電圧信号を一定のバイアス電流と交流の電流成分とを含む逆相入力電流に変換する信号入力手段と、

前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である第1加算電流を出力する第1の電流加算手段と、

10

前記逆相入力電流と前記逆相ローカル発振電流とを加算して、前記逆相入力電流と前記逆相ローカル発振電流との加算結果である第2加算電流を出力する第2の電流加算手段と、

前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値電流を境にして、前記第1の電流加算手段による加算電流の波形の一方のみを通過させる第1の電流出力手段と、

前記しきい値電流を境にして、前記第2の電流加算手段による加算電流の波形の一方のみを通過させる第2の電流出力手段と、

前記第1の電流出力手段により通過された第1の通過電流と前記第2の電流出力手段により通過された第2の通過電流とを加算し、この加算結果を前記出力信号として出力する第3の電流加算手段と、を備え、

20

前記ローカル発振電流、前記逆相ローカル発振電流、前記入力電流、および前記逆相入力電流は、交流の電流成分を含み、

前記第1の電流出力手段は、前記第1の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第1の電流加算手段による加算電流を前記出力信号として出力せず、前記第1の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第1の電流加算手段による加算電流を前記出力信号として出力し、

前記第2の電流出力手段は、前記第2の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第2の電流加算手段による加算電流を前記出力信号として出力せず、前記第2の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第2の電流加算手段による加算電流を前記出力信号として出力し、

30

前記第1及び第2の電流出力手段の双方は、ゲート端子が高周波的に接地された電界効果トランジスタを含み、前記電界効果トランジスタのソース端子に前記第1の電流加算手段又は前記第2の電流加算手段による加算電流が入力され、前記電界効果トランジスタのドレイン端子から前記第1または第2の通過電流を出力するものであって、

前記ゲート端子が高周波的に接地された電界効果トランジスタとは、前記ゲート端子がグランド電位あるいは電源電位と接続された電界効果トランジスタであることを特徴とする周波数変換器。

【請求項7】

第1周波数を有する入力信号と、この入力信号の逆相となる逆相入力信号とによって差動入力された信号を、前記第1周波数とは異なる第2周波数を有する出力信号へ周波数変換する周波数変換器であって、

40

ローカル発振電圧信号及びこのローカル発振電圧信号の逆相となる逆相ローカル発振電圧信号が入力され、前記ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含むローカル発振電流に変換し、前記逆相ローカル発振電圧信号を一定のバイアス電流と交流の電流成分とを含む逆相ローカル発振電流に変換するローカル発振信号入力手段と、

入力電圧信号及びこの入力電圧信号の逆相となる逆相入力電圧信号が入力され、前記入力電圧信号を一定のバイアス電流と交流の電流成分とを含む入力電流に変換し、前記逆相入力電圧信号を一定のバイアス電流と交流の電流成分とを含む逆相入力電流に変換する信

50

号入力手段と、

前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である第1加算電流を出力する第1の電流加算手段と、

前記逆相入力電流と前記逆相ローカル発振電流とを加算して、前記逆相入力電流と前記逆相ローカル発振電流との加算結果である第2加算電流を出力する第2の電流加算手段と

、
前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値電流を境にして、前記第1の電流加算手段による加算電流の波形の一方のみを通過させる第1の電流出力手段と、

前記しきい値電流を境にして、前記第2の電流加算手段による加算電流の波形の一方のみを通過させる第2の電流出力手段と、

前記第1の電流出力手段により通過された第1の通過電流と前記第2の電流出力手段により通過された第2の通過電流とを加算し、この加算結果を前記出力信号として出力する第3の電流加算手段と、を備え、

前記ローカル発振電流、前記逆相ローカル発振電流、前記入力電流、および前記逆相入力電流は、交流の電流成分を含み、

前記第1の電流出力手段は、前記第1の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第1の電流加算手段による加算電流を前記出力信号として出力せず、前記第1の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第1の電流加算手段による加算電流を前記出力信号として出力し、

前記第2の電流出力手段は、前記第2の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第2の電流加算手段による加算電流を前記出力信号として出力せず、前記第2の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第2の電流加算手段による加算電流を前記出力信号として出力し、

前記第1及び第2の電流出力手段の双方は、ベース端子が高周波的に接地されたバイポーラトランジスタを含み、前記バイポーラトランジスタのエミッタ端子に前記第1の電流加算手段又は前記第2の電流加算手段による加算電流が入力され、前記バイポーラトランジスタのコレクタ端子から前記第1または第2の通過電流を出力するものであって、

前記ベース端子が高周波的に接地されたバイポーラトランジスタとは、前記ベース端子がグランド電位または電源電位と接続されたバイポーラトランジスタであることを特徴とする周波数変換器。

【請求項8】

前記入力電流と前記逆相ローカル発振電流とを加算して、前記入力電流と前記逆相ローカル発振電流との加算結果である加算電流を出力する第4の電流加算手段と、

前記逆相入力電流と前記ローカル発振電流とを加算して、前記逆相入力電流と前記ローカル発振電流との加算結果である加算電流を出力する第5の電流加算手段と、

前記しきい値電流を境にして、前記第4の電流加算手段による加算電流の波形の一方のみを通過させる第3の電流出力手段と、

前記しきい値電流を境にして、前記第5の電流加算手段による加算電流の波形の一方のみを通過させる第4の電流出力手段と、

前記第3の電流出力手段により通過された第3の通過電流と前記第4の電流出力手段により通過された第4の通過電流とを加算し、この加算結果を前記出力信号に対して逆相の逆相出力信号として出力する第6の電流加算手段と、をさらに備え、

前記第3の電流出力手段は、前記第4の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第4の電流加算手段による加算電流を前記出力信号として出力せず、前記第4の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第4の電流加算手段による加算電流を前記出力信号として出力し、

前記第4の電流出力手段は、前記第5の電流加算手段による加算電流が前記しきい値電流以下の場合には前記第5の電流加算手段による加算電流を前記出力信号として出力せず、前記第5の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記第

10

20

30

40

50

5の電流加算手段による加算電流を前記出力信号として出力することを特徴とする請求項6または請求項7記載の周波数変換器。

【請求項9】

請求項1乃至8の少なくとも1つに記載の周波数変換器を備えたことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高周波無線回路に関し、特に、低電源電圧用の周波数変換器及びこの周波数変換器を使用した通信装置に関する。

10

【0002】

【従来の技術】

従来からトランジスタ等デバイスの微細化は飛躍的に向上している。特にCMOS (complementary metal oxide semiconductor) デバイスのトランジスタのゲート長の微細化は著しく、 $0.1\mu\text{m}$ 以下に至っている。このクラスのゲート長を持つMOSトランジスタは、非常に高速性に優れた周波数特性を示し、今後始まる次世代高周波通信システムを実現するために有用なデバイスである。

【0003】

一方、バイポーラトランジスタとしては高速性と高駆動能力を有するSiGeヘテロ系のトランジスタが開発され、これも次世代高周波通信システムに有用である。

20

【0004】

しかし、これらの高速デバイスは、高速性能を得る代償として耐圧特性を犠牲にしている。例えば、MOSトランジスタはゲート長を短くすることによって高速性は向上するが、これに伴いゲート酸化膜が薄くなるため、耐圧は劣化する。バイポーラトランジスタはベース領域を薄くすることで高速性が向上するが、ベース領域を薄くすると耐圧は劣化する。MOSトランジスタ及びSiGeバイポーラトランジスタともに、高周波特性を実現できるデバイスの耐圧は $1\text{V} \sim 2\text{V}$ 程度に下がってしまい、無線通信システムで従来から用いられている電源電圧 3V の回路形式では、デバイスの耐圧が不足することが起こり得る。このため、これらのデバイスを用いる消費電力も大きくならざるを得ない。特に携帯無線端末に使用する回路は携帯無線端末の通話時間に大きく影響を与えるため、できる限り低消費電力であることが望ましい。

30

【0005】

【発明が解決しようとする課題】

上述のように、耐圧の低い高速トランジスタを用いる場合、そのトランジスタの持つ耐圧以下に回路の電源電圧を抑える必要があり、従来からの回路方式とは異なる低電源電圧で動作する回路方式を新たに考案する必要がある。また、携帯無線端末等に適応するためには低消費電力化が必要である。

【0006】

本発明の目的は、高速トランジスタの耐圧以下に回路の電源電圧を抑えることができ、しかも低消費電力化を図り得る周波数変換器及びこの周波数変換器を使用した通信装置を提供することにある。

40

【0007】

本発明の一実施形態に係る周波数変換器は、第1周波数を有する入力信号を、前記第1周波数とは異なる第2周波数を有する出力信号に周波数変換する周波数変換器であって、ローカル発振電圧信号が入力され、前記ローカル発振電圧信号を一定のバイアス電流を含むローカル発振電流に変換するローカル発振信号入力手段と、入力電圧信号が入力され、前記入力電圧信号を一定のバイアス電流を含む入力電流に変換する信号入力手段と、前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である加算電流を出力する電流加算手段と、前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値

50

電流を境にして、前記加算電流の波形の一方のみを前記出力信号として出力するようにスイッチングするスイッチング手段と、を備え、前記ローカル発振電流と前記入力電流は、交流の電流成分を含み、前記スイッチング手段は、前記加算電流が前記しきい値電流以下の場合には前記加算電流を前記出力信号として出力せず、前記加算電流が前記しきい値電流より大きい場合には前記加算電流を前記出力信号として出力することを特徴とする。

【 0 0 0 8 】

本発明の一実施形態に係る周波数変換器は、第1周波数を有する入力信号と、この入力信号の逆相となる逆相入力信号とによって差動入力された信号を、前記第1周波数とは異なる第2周波数を有する出力信号へ周波数変換する周波数変換器であって、ローカル発振電圧信号及びこのローカル発振電圧信号の逆相となる逆相ローカル発振電圧信号が10入力され、前記ローカル発振電圧信号を一定のバイアス電流を含むローカル発振電流に変換し、前記逆相ローカル発振電圧信号を一定のバイアス電流を含む逆相ローカル発振電流に変換するローカル発振信号入力手段と、入力電圧信号及びこの入力電圧信号の逆相となる逆相20入力電圧信号が30入力され、前記入力電圧信号を一定のバイアス電流を含む入力電流に変換し、前記逆相入力電圧信号を一定のバイアス電流を含む逆相入力電流に変換する信号入力手段と、前記入力電流と前記ローカル発振電流とを加算して、前記入力電流と前記ローカル発振電流との加算結果である第1加算電流を出力する第1の電流加算手段と、前記逆相入力電流と前記逆相ローカル発振電流とを加算して、前記逆相入力電流と前記逆相ローカル発振電流との加算結果である第2加算電流を出力する第2の電流加算手段と、前記入力電流に含まれるバイアス電流と、前記ローカル発振電流に含まれるバイアス電流と、を加算した値であるしきい値電流を境にして、前記第1の電流加算手段による加算電流の波形の一方のみを通過させる第1の電流出力手段と、前記しきい値電流を境にして、前記第2の電流加算手段による加算電流の波形の一方のみを通過させる第2の電流出力手段と、前記第1の電流出力手段により通過された第1の通過電流と前記第2の電流出力手段により通過された第2の通過電流とを加算し、この加算結果を前記出力信号として出力する第3の電流加算手段と、を備え、前記ローカル発振電流、前記逆相ローカル発振電流、前記入力電流、および前記逆相入力電流は、交流の電流成分を含み、前記第1の電流出力手段は、前記第1の電流加算手段による加算電流が前記しきい値電流以下の場合には前記加算電流を前記出力信号として出力せず、前記第1の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記加算電流を前記出力信号として出力し、前記第2の電流出力手段は、前記第2の電流加算手段による加算電流が前記しきい値電流以下の場合には前記加算電流を前記出力信号として出力せず、前記第2の電流加算手段による加算電流が前記しきい値電流より大きい場合には前記加算電流を前記出力信号として出力することを特徴とする。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 1 1 】

(第1の実施形態)

図1は、本発明の第1の実施形態に係り、例えば携帯無線端末等の通信装置に適用される周波数変換器の構成を示すブロック図である。40

【 0 0 1 2 】

図1の周波数変換器を参照すると、信号入力部101は、アップコンバートの場合にはIF(intermediate frequency)信号を、また、ダウンコンバートの場合にRF(radio frequency)信号を入力する。ローカル信号入力部102は、ローカル発振器を用いて構成され、ローカル(LO)信号を入力する。信号入力部101及びローカル信号入力部102は、例えばMOSトランジスタによるトランスコンダクタ、すなわち電圧-電流変換器によって構成される。信号加算部103は、信号入力部101で入力された信号とローカル信号入力部102で入力されたLO信号を加算し、その加算信号をスイッチング部104に出力する。50

【 0 0 1 3 】

スイッチング部 1 0 4 は、しきい値電流を境にして、加算信号の電流波形の一方は通し、他方は絶つようにスイッチング動作を行う。スイッチング部 1 0 4 からの出力信号には、I F 電流信号が L O 電流信号によって周波数変換された信号が含まれている。信号出力部 1 0 5 は、フィルタを含み、スイッチング部 1 0 4 の出力信号から不要波を除去し、アップコンバートの場合には主として R F 帯の信号を、また、ダウンコンバートの場合には主として I F 帯の信号を取り出す。

【 0 0 1 4 】

図 2 を用いてアップコンバート (I F 信号を L O 信号を用いて周波数変換し R F 信号を取り出す) を行う周波数変換器を例にとり、図 1 のスイッチング部 1 0 4 の具体的構成について説明する。スイッチング部 1 0 4 には、ゲート端子を高周波的に接地した n チャンネル M O S トランジスタ M 1 を用いている。ここで、高周波的に接地とは、接地点がインピーダンスが 0 のところに接続していることをいい、グラウンド電位に接続している他に、電源電位 (V d d) に接続している場合も含む。

10

【 0 0 1 5 】

トランジスタ M 1 のソース端子には、信号加算部 1 0 3 からの加算信号 (I F 電流信号と L O 電流信号を加算した信号) が入力される。また、トランジスタ M 1 のソース端子には、定電流源 1 0 6 が接続されている。この定電流源 1 0 6 から発生される定電流 I_1 の値はしきい値電流 I_{th} とほぼ同じ値である。ここで、しきい値電流 I_{th} の値は、I F 電流信号のバイアス電流と L O 電流信号のバイアス電流とを加算した電流に設定される。トランジスタ M 1 は、しきい値電流 I_{th} を境にして、加算電流信号の信号波形の一部のみを通すことによって変調信号 (R F 信号) を生成し、この変調信号をドレイン端子を介して信号出力部 1 0 5 へ出力する。

20

【 0 0 1 6 】

以下、しきい値電流 I_{th} の役割について説明する。I F 電流信号 (I_s) と L O 電流信号 (I_L) の加算電流信号 ($I_s + I_L$) は、トランジスタ M 1 のソース端子にしきい値電流 I_{th} を決定する定電流源 1 0 6 が接続されているので、 $I_s + I_L < I_{th}$ の場合、 $I_s + I_L$ は I_{th} によって打ち消され、トランジスタ M 1 のソース端子には流れない。一方、 $I_s + I_L > I_{th}$ の場合には、 $I_s + I_L$ から I_{th} を引いた分の電流 ($I_s + I_L - I_{th}$) が流れる。

30

【 0 0 1 7 】

このことを電流波形で表すと同図中に示すようになる。すなわち、トランジスタ M 1 のソース端子には、I F 電流信号 (I_s) と L O 電流信号 (I_L) の加算電流信号 ($I_s + I_L$) が入力される。トランジスタ M 1 は、しきい値電流 I_{th} を境にして、入力信号のうちしきい値信号よりも大きい成分を通し、小さい成分を絶つようにスイッチング動作を行う。従って、トランジスタ M 1 のドレイン端子から出力される電流信号 (I_o) の波形は入力電流信号 ($I_s + I_L$) の波形の上側半分だけになる。ここで、出力電流信号 (I_o) には、周波数変換された R F 信号成分が含まれている。信号出力部 1 0 5 によって、この出力電流信号 (I_o) のうちの不要波成分が除去され、R F 信号成分のみが取り出される。なお、上記 I F 電流信号 I_s には、交流の信号電流成分のほかに一定のバイアス電流が含まれる。同じく L O 電流信号 I_L にも、交流の信号電流成分のほかに一定のバイアス電流が含まれる。

40

【 0 0 1 8 】

以下では、出力電流信号 (I_o) に R F 信号成分が現れる理由を数式を用いて説明する。I F 電流信号の信号電流成分を i_s , L O 電流信号の信号電流成分を i_L とすると、一般的に i_L は i_s と比較して振幅が充分に大きいので、トランジスタ M 1 の断続周波数は i_L の角周波数によって決まる。したがって、

$$i_s = A \sin \quad s t \quad (1 - 1)$$

$$i_L = B \sin \quad L t \quad (1 - 2)$$

とおくと、変調信号電流 i_o は

50

$$i_o = (i_s + i_L) \times C (\sin \omega_L t + 1/3 \sin 3 \omega_L t + \dots) \quad (2)$$

と表すことができる。ここでA, B, Cは定数、 ω_s , ω_L は信号電流成分 i_s , i_L の角周波数、tは時間を表す。数式(2)を高次項を無視してから変形すると

$$i_o = AC \sin \omega_s t \sin \omega_L t + BC \sin^2 \omega_L t \quad (3)$$

となり、第1項が変調項となることがわかる。したがって、トランジスタM1がLO電流信号によってON, OFFのスイッチ動作することによって周波数変換器が実現されることがわかる。

【0019】

(第2の実施形態)

図3を用いて第2の実施形態に従う、アップコンバートを行う周波数変換器について説明する。尚、図3中のトランジスタは全てnMOS(nチャンネルMOS)トランジスタである。トランジスタM3は信号入力部101に相当する。IF信号は、トランジスタM3のゲート端子より入力され、M3によって電圧-電流変換されてIF電流信号となる。トランジスタM4はローカル信号入力部102に相当する。LO信号は、トランジスタM4のゲート端子に入力され、M4によって電圧-電流変換されてLO電流信号となる。トランジスタM3, M4ともに適切なバイアス電流が供給されるように、各々のゲート端子にバイアス電圧が印加されている(不図示)。このバイアス電流とほぼ等しい電流を定電流源106よりトランジスタM3, M4のドレイン端子へ供給する。トランジスタM3のドレイン端子とトランジスタM4のドレイン端子との交点が信号加算部103に相当し、電流加算された信号がトランジスタM2のソース端子へ入力される。トランジスタM2は図1中のスイッチング部104に相当し、インダクタL1及びキャパシタンスC1は信号出力部105に相当するフィルタを形成している。

【0020】

次に、図3の回路に必要な電源電圧V_{dd}について説明する。トランジスタM1のゲート端子は高周波的に接地され、DC的には電源電圧V_{dd}に接続される。ここで、電源電圧V_{dd}を1Vとすると、トランジスタM2のゲート-ソース間電圧V_{gs}はほぼしきい値電圧V_{th}となる。しきい値電圧V_{th}は0.5V~0.7V程度である。定電流源106の電流値は、例えば10mAである。したがって、トランジスタM2のソース電位、すなわちトランジスタM3, M4のドレイン電位は0.5V~0.3Vとなる。トランジスタM3, M4は、ゲート電位がV_{th}+0.2V程度でバイアスされることによって、飽和領域、すなわちV_{ds}>V_{gs}-V_{th}(但しV_{ds}はドレイン-ソース間電圧)の領域で動作する。したがって図3の回路方式で周波数変換器を構成すると、トランジスタM2とM4からなる縦積み段は、電源電圧V_{dd}=1Vで動作可能となる。従って、この周波数変換器は従来の電源電圧(=3V)よりも低電源電圧にでき、トランジスタの耐圧に影響を与えることがなくなると共に、低消費電力化が達成される。

【0021】

(第3の実施形態)

図4を用いて本発明の第3の実施形態に従う、アップコンバートを行う周波数変換器について説明する。図3に示した周波数変換器と異なるところは、IF電圧信号をIF電流信号に変換するトランジスタがNMOSトランジスタM3からPMOS(pチャンネルMOS)トランジスタに変更されたことと、定電流源106が除去されていることである。この場合、トランジスタM6のドレイン端子からI_I-I_{IF}に相当する電流信号が流れる。図4のトランジスタM7, M5, インダクタL2及びキャパシタC2はそれぞれ図3中のM4, M2, L1, C1に相当する。トランジスタM6のゲート端子に入力されるIF信号(電圧信号)は、M6によって電圧-電流変換されて電流信号(IF電流信号)とされる。トランジスタM6, M7は、適切なバイアス電流が供給されるように、ゲート端子のバイアス電位が設定される。トランジスタM6はPMOSトランジスタであり、トランジスタM7はNMOSトランジスタであるため、トランジスタM6のバイアス電流値とトランジスタM7のバイアス電流値をほぼ同一とすることで定電流源106は不要となる。

【0022】

10

20

30

40

50

次に、図4の回路に必要な電源電圧 V_{dd} について説明する。ここで、電源電圧 V_{dd} を1Vとした場合、トランジスタM5のゲート-ソース間電圧 V_{gs} はほぼ V_{th} であり、 V_{th} は0.5V~0.7V程度である。したがって、トランジスタM5のソース電位、すなわちトランジスタM6、M7のドレイン電位は0.3V~0.5Vとなる。トランジスタM6のゲート電位は $V_{th}-0.2V$ 、トランジスタM4のゲート電位は $V_{th}+0.2V$ 程度でバイアスさせることによって、トランジスタM6、M7は飽和領域で動作する。したがって、図4の回路方式で周波数変換器を構成すると、トランジスタM5とM7からなる縦積み段は電源電圧 $V_{dd}=1V$ で動作可能となる。従って、この周波数変換器は従来の電源電圧(=3V)よりも低電源電圧にでき、トランジスタの耐圧に影響を与えることがなくなる。また、図4の回路方式は定電流源が不要なため、図3の回路方式よりもさらに顕著に低消費電力化が達成される。

10

【0023】

(第4の実施形態)

図5を用いて、本発明の第4の実施形態に従う、アップコンバートを行う周波数変換器について説明する。図5は、IF信号(IF, IF/)およびLO信号(LO, LO/)時の図4に対応する回路構成を示す図である。図中トランジスタM12, M10, M9はそれぞれ図4のトランジスタM7, M5, M6に相当し、逆相信号に対してはトランジスタM13, M11, M8がトランジスタM7, M5, M6に相当する。インダクタL3はインダクタL2に相当し、キャパシタC3はキャパシタC2に対応する。

【0024】

20

図5の構成によって、信号出力部(L3, C3)に出力される変調信号は2倍に増加する。変調信号のうちLO信号は出力信号加算部(トランジスタM10及びM11のドレイン端子が交わる交点)で打ち消しあうため原理的に0となる。

【0025】

(第5の実施形態)

図6を用いて、本発明の第5の実施形態に従う周波数変換器について説明する。図6はIF信号およびLO信号入力時の回路構成および、バイアス供給手法の一例を示したものである。信号入力部111-1には差動IF信号および差動LO信号が入力される。これら差動IF信号および差動LO信号は、信号加算部103-1により加算され、この加算信号がスイッチング部104-1に入力される。スイッチング部104-1は、しきい値電流を境に、入力された加算信号の信号波形のうちのみを通して変調信号加算部110の一方の入力端に出力する。

30

【0026】

一方、信号入力部111-2には、IFの逆相信号(IF/信号)およびLOの逆相信号(LO/信号)が入力される。これらIF/信号およびLO/信号は、信号加算部103-2により加算され、この加算信号がスイッチング部104-2に入力される。スイッチング部104-2は、しきい値電流を境に、入力された加算信号の信号波形のうちのみを通して変調信号加算部110の他方の入力端に出力する。

【0027】

変調信号加算部110は、スイッチング部104-1, 104-2の各出力を加算し、この加算信号を信号出力部105に出力する。

40

【0028】

バイアスレベル調整部120は、DCレベル検知部112-1, 112-2と、レベル比較部113と、バイアス発生部114-1, 114-2とを備えている。DCレベル検知部112-1は信号加算部103-1の出力からDC(直流)レベルを検知し、DCレベル検知部112-2は信号加算部103-2の出力からDCレベルを検知する。レベル比較部113は、DCレベル検知部112-1, 112-2でそれぞれ検知されたDCレベルを比較する。バイアス発生部114-1は、上記レベル比較部113による比較結果に基づいて、信号入力部111-1に供給すべきバイアスレベルを決定する。同じくバイアス発生部114-2は、上記レベル比較部113による比較結果に基づいて、信号入力部

50

111 - 2に供給すべきバイアスレベルを決定する。

【0029】

以上のように上記第5の実施形態によれば、トランジスタの素子バラツキが発生した場合、バラツキによる差動間のレベル変動を検知して、レベル変動の収まる方向へバイアスが発生する。したがって、素子バラツキによるLO信号のリークなどの不要信号の出力を回避することが可能となる。

【0030】

(第6の実施形態)

図7を用いて、本発明の第6の実施形態に従う周波数変換器について説明する。

【0031】

すなわち、トランジスタM10, M11のソース端子にはそれぞれバイアスレベル調整部120への信号経路が接続されており、また、トランジスタM12, M13のゲート端子にはそれぞれバイアスレベル調整部120より発生したバイアスを供給する信号経路が接続されている。尚、キャパシタC4, C5はバイアスレベル調整部120から供給されるバイアスがLO, LOノ端子へ流れるのを遮断するために設けたものである。

【0032】

(第7の実施形態)

図8を用いて、本発明の第7の実施形態に従う周波数変換器について説明する。なお、図8は、バイアスレベル調整部120の具体的な回路構成を示す図であり、バイアスレベル調整部120以外は図5の回路図と同様である。トランジスタM10, M11のソース端子は、抵抗R1, R2をそれぞれ介してトランジスタM27, M28のゲート端子へ接続される。抵抗R1, R2は、高周波信号を遮断するためのもので、トランジスタM10, M11への入力信号のDCバイアスレベルを検知する。トランジスタM27, M28は差動対を構成する。差動対のバイアス電流値は定電流源107の定電流 I_2 によって決められている。

【0033】

また、トランジスタM27, M28は、抵抗R1, R2で検知されるDCバイアスレベルを比較し(レベル比較部113)、その比較結果をM25, M26にそれぞれ出力する。トランジスタM25, M23およびトランジスタM26, M21はそれぞれカレントミラーを形成する(バイアス発生部114)。従って、トランジスタM23の出力電流はトランジスタM24へ、トランジスタM21の出力電流はトランジスタM22へそれぞれ伝わる。また、トランジスタM24, M12およびトランジスタM22, M13も、上記トランジスタM25, M23およびトランジスタM26, M21と同様にカレントミラーを形成している。

【0034】

したがって、トランジスタM12, M13にそれぞれ流れる電流は、トランジスタM27, M28により定電流源107で決定される電流値の1/2の値を基準に配分されることになる。抵抗R3, R4は、高周波信号を遮断するための抵抗である。トランジスタM21, M22, M25, M26, M27, M28それぞれのゲート電圧には基準電位を用いる。このため、他のトランジスタよりもゲート長の長いトランジスタを使用でき、ゲート製造誤差によるバラツキを抑えることができる。

【0035】

また、図8のようなバイアス供給回路方式を用いると、回路の電源電圧によらず一定バイアスを供給することが可能となり、電源系の安定化につながる。

【0036】

図9は図8の回路の特性図を示す。なお、回路はRF周波数帯2GHzの送信系周波数変換器である。また、上記特性は、変換利得とローカルリーク電力を回路電源電圧を変化させた状態で測定した結果を示している。電源電圧V_{dd}は0.8V~1.2Vまで変化する。入力IF信号パワーは-20dBmである。変換利得はほとんど変化無く、+6dBほど得られている。ローカルリーク電力は6dB程度変化するが、-40dBm以下に抑え

10

20

30

40

50

られている。この特性図から図 8 の周波数変換器が 1 V 程度の低電源電圧でも問題なく動作することがわかる。

【 0 0 3 7 】

(第 8 の実施形態)

図 1 0 を用いて、本発明の第 8 の実施形態に従う周波数変換器について説明する。

【 0 0 3 8 】

差動信号入力部 1 3 1 には、I F 電流信号、I F / 電流信号が入力される。差動ローカル信号入力部 1 3 2 には、ローカル (L O) 電流信号、ローカル電流信号の逆相信号 (L O / 電流信号) が入力される。このうち I F 電流信号は、信号加算部 1 3 3 - 1 及び信号加算部 1 3 4 - 1 にそれぞれ出力される。また、I F / 電流信号は、信号加算部 1 3 3 - 2 及び信号加算部 1 3 2 - 3 にそれぞれ出力される。

10

【 0 0 3 9 】

また、L O 電流信号は、信号加算部 1 3 3 - 1 及び信号加算部 1 3 3 - 3 にそれぞれ出力される。さらに、L O / 電流信号は、信号加算部 1 3 3 - 2 及び信号加算部 1 3 3 - 4 にそれぞれ出力される。

【 0 0 4 0 】

信号加算部 1 3 3 - 1 は、I F 電流信号と L O 電流信号とを加算し、この加算信号をスイッチング部 1 3 4 - 1 に出力する。スイッチング部 1 3 4 - 1 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 1 3 5 - 1 の一方の入力端に出力する。

20

【 0 0 4 1 】

信号加算部 1 3 3 - 2 は、I F / 電流信号と L O / 電流信号とを加算し、この加算信号をスイッチング部 1 3 4 - 2 に出力する。スイッチング部 1 3 4 - 2 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 1 3 5 - 1 の他方の入力端に出力する。

【 0 0 4 2 】

変調信号加算部 1 3 5 - 1 は、スイッチング部 1 3 4 - 1 , 1 3 4 - 2 の各出力を加算する。

【 0 0 4 3 】

信号加算部 1 3 3 - 3 は、I F / 電流信号と L O 電流信号とを加算し、この加算信号をスイッチング部 1 3 4 - 3 に出力する。スイッチング部 1 3 4 - 3 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 1 3 5 - 2 の一方の入力端に出力する。

30

【 0 0 4 4 】

信号加算部 1 3 3 - 4 は、I F 電流信号と L O / 電流信号とを加算し、この加算信号をスイッチング部 1 3 4 - 4 に出力する。スイッチング部 1 3 4 - 4 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 1 3 5 - 2 の他方の入力端に出力する。

【 0 0 4 5 】

変調信号加算部 1 3 5 - 2 は、スイッチング部 1 3 4 - 3 , 1 3 4 - 4 の各出力を加算する。なお、しきい値電流の値は、差動電流信号のバイアス電流とローカル電流信号のバイアス電流とを加算した電流に設定されることはもちろんのことである。

40

【 0 0 4 6 】

図 1 1 は、図 1 0 の具体的回路構成を示している。すなわち、トランジスタ M 2 , M 4 には + の I F 電流信号が入力され、トランジスタ M 1 , M 3 には I F / 電流信号が入力される。また、トランジスタ M 7 , M 1 1 には L O 電流信号が入力され、トランジスタ M 8 , M 1 2 には L O / 電流信号が入力される。

【 0 0 4 7 】

I F 電流信号と L O 電流信号とを加算したことによる加算電流信号はトランジスタ M 5 に入力され、I F / 電流信号と L O / 電流信号とを加算したことによる加算電流信号はトラ

50

ンジスタM6に入力される。また、IF/電流信号とLO電流信号とを加算したことによる加算電流信号はトランジスタM9に入力され、IF電流信号とLO/電流信号との加算電流信号はトランジスタM10に入力される。

【0048】

トランジスタM5, M6の各出力は、加算されて第1の出力信号としてキャパシタC1を介して取り出される。また、トランジスタM9, M10の各出力は、加算されて第2の出力信号としてキャパシタC2を介して取り出される。

【0049】

このように第8の実施形態によれば、ローカル信号増幅回路で発生する雑音や電源系で発生する雑音に対して、回路は差動構成となっているために影響を受けることが無くなり、低雑音、すなわちNF(noise factor)の小さな周波数変換器を実現できる。シミュレーションではシングル型の周波数変換器がNF=20dBであったのに対し、差動型の周波数変換器ではNF=6dBにまで改善されている。

10

【0050】

図12は図10の他の具体的回路構成を示している。これは、図3と同様にトランジスタM13, M14, M15, M16を折り返して定電流源とともに用いた回路構成であり、NMOSの高周波特性の利点を生かして、ダウンコンバータとして用いた例である。

【0051】

(第9の実施形態)

図13を用いて、本発明の第9の実施形態に従う周波数変換器について説明する。ここでは、IF電流信号からRF電流信号へアップコンバートを行う場合について説明する。

20

【0052】

差動信号入力部141には、IF電流信号、IF/電流信号が入力される。ローカル信号入力部142には、LO電流信号、LO/電流信号が入力される。このうちIF電流信号は、信号加算部143-1に出力される。また、IF/電流信号は、信号加算部143-2に出力される。

【0053】

また、LO電流信号は、信号加算部143-1に出力される。さらに、LO/電流信号は、信号加算部143-2に出力される。

【0054】

信号加算部143-1は、IF電流信号とLO電流信号とを加算し、この加算信号をスイッチング部144-1に出力する。スイッチング部144-1は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部145に出力する。

30

【0055】

信号加算部143-2は、IF/電流信号とLO/電流信号とを加算し、この加算信号をスイッチング部144-2に出力する。スイッチング部144-2は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部145に出力する。

【0056】

90°移相差動信号入力部146には、IF電流信号を90°移相した90°IF電流信号、及びIF/電流信号を90°移相した90°IF/電流信号が入力される。90°移相ローカル信号入力部147には、LO電流信号を90°移相した90°LO電流信号、及びLO/電流信号を90°移相した90°LO/電流信号が入力される。このうち90°IF電流信号は、信号加算部148-1に出力される。また、90°IF/電流信号は、信号加算部148-2に出力される。

40

【0057】

また、90°LO電流信号は、信号加算部148-1に出力される。さらに、90°LO/電流信号は、信号加算部148-2に出力される。

【0058】

50

信号加算部 148-1 は、 90° IF 電流信号と 90° LO 電流信号とを加算し、この加算信号をスイッチング部 149-1 に出力する。スイッチング部 149-1 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 145 に出力する。

【0059】

信号加算部 148-2 は、 90° IF / 電流信号と 90° LO / 電流信号とを加算し、この加算信号をスイッチング部 149-2 に出力する。スイッチング部 149-2 は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部 145 に出力する。

【0060】

変調信号加算部 145 は、スイッチング部 144-1, 144-2, 149-1, 149-2 それぞれの出力を加算し、出力電流信号を得る。なお、しきい値電流の値は、IF 電流信号のバイアス電流と LO 電流信号のバイアス電流とを加算した電流に設定されることはもちろんのことである。

【0061】

図 14 は、具体的な回路構成を示している。すなわち、トランジスタ M26 には IF 電流信号が入力され、トランジスタ M25 には IF / 電流信号が入力される。トランジスタ M28 には 90° 移相された 90° IF 電流信号が入力され、トランジスタ M27 には 90° 移相された 90° IF / 電流信号が入力される。

【0062】

一方、トランジスタ M31 には LO 電流信号が入力され、トランジスタ M32 には LO / 電流信号が入力される。また、トランジスタ M35 には 90° 移相された LO 電流信号が入力され、トランジスタ M36 には 90° 移相された LO / 電流信号が入力される。そして、トランジスタ M26, M31 それぞれの電流信号、トランジスタ M25, M32 それぞれの電流信号が加算され、トランジスタ M29, M30 でそれぞれの加算信号がスイッチングされる。また、トランジスタ M28, M35 の電流信号、トランジスタ M27, M36 の電流信号がそれぞれ加算され、トランジスタ M33, M34 でそれぞれの加算信号がスイッチングされる。トランジスタ M29, M30, M33, M34 それぞれの各出力は、加算されて出力信号となる。

【0063】

ここで、上記構成における動作について説明する。

【0064】

差動信号入力部 141 に入力される IF 電流信号を $i_{s1} = A \sin_s t$ とし、差動ローカル信号入力部 142 に入力される LO 電流信号を $i_{L1} = B \sin_L t$ とすると、信号加算部 143-1 の加算電流信号 i_{o1} は次のようになる。

$$i_{o1} = D \cos(s + L)t - D \cos(s - L)t$$

ここで D は定数、 $(s - L)$ はイメージ周波数。

【0065】

また、信号加算部 143-2 の加算電流信号 i_{o2} は次のようになる。

$$i_{o2} = -D \cos(s + L)t + D \cos(s - L)t$$

90° 移相差動信号入力部 146 に入力される 90° IF 電流信号を $i_{s3} = A \cos_s t$ とし、 90° 移相ローカル信号入力部 147 に入力される 90° LO 電流信号を $i_{L3} = B \cos_L t$ とすると、信号加算部 148-1 の加算電流信号 i_{o3} は次のようになる。

$$i_{o3} = D \cos(s + L)t + D \cos(s - L)t$$

また、信号加算部 148-2 の加算電流信号 i_{o4} は次のようになる。

$$i_{o4} = -D \cos(s + L)t - D \cos(s - L)t$$

これら加算電流信号 i_{o1} , i_{o2} , i_{o3} , i_{o4} を加算すると、 $E \cos(s + L)t$ となる。これにより、イメージ周波数 $(s - L)$ は除去されることになる。

【0066】

10

20

30

40

50

以上のように上記第9の実施形態によれば、入力信号と当該入力信号を 90° 移相させた入力信号を周波数変換後に加算するため、周波数変換に伴って生じるイメージ信号を除去することが可能となる。

【0067】

(第10の実施形態)

図15を用いて、本発明の第10の実施形態に従う周波数変換器について説明する。図16は第10の実施形態に従う周波数変換器の具体的構成を示す回路構成図である。なお、図15において、上記図10及び図13と同一部分には同一符号を付して詳細な説明を省略する。

【0068】

90° IF電流信号は、信号加算部151-1, 151-3にそれぞれ出力される。また、 90° IF/電流信号は、信号加算部151-2, 151-4にそれぞれ出力される。

【0069】

また、 90° LO電流信号は、信号加算部151-1, 151-3にそれぞれ出力される。さらに、 90° LO電流信号は、信号加算部151-2, 151-4にそれぞれ出力される。

【0070】

信号加算部151-1は、 90° IF電流信号と 90° LO電流信号を加算し、この加算信号をスイッチング部152-1に出力する。スイッチング部152-1は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部135-1に出力する。

【0071】

信号加算部151-2は、 90° IF/電流信号と 90° LO/電流信号を加算し、この加算信号をスイッチング部152-2に出力する。スイッチング部152-2は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部135-1に出力する。

【0072】

変調信号加算部135-1は、スイッチング部134-1, 134-2, 152-1, 152-2それぞれの出力を加算し、第1の出力電流信号を得る。

【0073】

信号加算部151-3は、 90° IF/電流信号と 90° LO電流信号を加算し、この加算信号をスイッチング部152-3に出力する。スイッチング部152-3は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部135-2に出力する。

【0074】

信号加算部151-4は、 90° IF電流信号及び 90° LO/電流信号を加算し、この加算信号をスイッチング部152-4に出力する。スイッチング部152-4は、しきい値電流を境に、入力された加算信号の信号波形のうち的一方のみを通して変調信号加算部135-2に出力する。

【0075】

変調信号加算部135-2は、スイッチング部134-3, 134-4, 152-3, 152-4それぞれの出力を加算し、第2の出力電流信号を得る。この第2の出力電流信号は、上記第1の出力電流信号の逆相信号である。なお、しきい値電流の値は、IF電流信号のバイアス電流とLO電流信号のバイアス電流とを加算した電流に設定されることはもちろんのことである。

【0076】

従って、上記第10の実施形態によれば、差動構成で信号と 90° 移相信号を同時に処理しているため、ローカル信号増幅回路で発生する雑音や電源系で発生する雑音に対して、回路は差動構成となっているために影響を受けることが無くなり低雑音の周波数変換器として用いることができると同時に、入力信号と当該入力信号を 90° 移相させた入力信号

10

20

30

40

50

を周波数変換後に加算するため、周波数変換に伴って生じるイメージ信号を除去することが可能となる。

【0077】

(その他の実施形態)

本発明の実施形態は、上述した実施形態に限られず、適宜変更可能である。

【0078】

例えば、MOSトランジスタの代わりに、バイポーラトランジスタを適用することも可能である。バイポーラトランジスタをスイッチング部104に適用する場合は、ベース端子を高周波的に接地し、エミッタ端子を信号加算部103に接続し、コレクタ端子を信号出力部105に接続すればよい。また、ベース-エミッタ間電圧がON電圧とほぼ等しい値に設定しておけばよい。

10

【0079】

また、ローカル電流信号以外の基準となる電流信号を用いるようにしてもよい。

【0080】

【発明の効果】

以上説明したように本発明によれば、高速トランジスタの耐圧以下に回路の電源電圧を抑えることができ、しかも低消費電力化を図り得る周波数変換器及びこの周波数変換器を使用した通信装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に従う周波数変換器のブロック図。

20

【図2】図1のスイッチング部の具体例を示す図。

【図3】本発明の第2の実施形態に従う周波数変換器の回路図。

【図4】本発明の第3の実施形態に従う周波数変換器の回路図。

【図5】本発明の第4の実施形態に従う周波数変換器の回路図。

【図6】本発明の第5の実施形態に従う周波数変換器のブロック図。

【図7】本発明の第6の実施形態に従う周波数変換器の回路図。

【図8】本発明の第7の実施形態に従う周波数変換器の回路図。

【図9】図8の回路の電源電圧変動時の利得特性と隣接チャネル漏洩電力を示す図。

【図10】本発明の第8の実施形態に従う周波数変換器のブロック図。

【図11】図10に示した周波数変換器の具体的な回路構成の一例を示す図。

30

【図12】図10に示した周波数変換器の具体的な回路構成の他の例を示す図。

【図13】本発明の第9の実施形態に従う周波数変換器のブロック図。

【図14】図13に示した周波数変換器の具体的な回路構成を示す図。

【図15】本発明の第10の実施形態に従う周波数変換器のブロック図。

【図16】図15に示した具体的な回路構成を示す図。

【符号の説明】

101 ... 信号入力部

102 ... ローカル信号入力部

103, 133 ... 信号加算部

104, 134 ... スwitchング部

40

105 ... 信号出力部

106 ... 定電流源

110, 135 ... 変調信号加算部

112 ... DCレベル検知部

113 ... レベル比較部

114 ... バイアス発生部

120 ... バイアスレベル調整部

131 ... 差動信号入力部

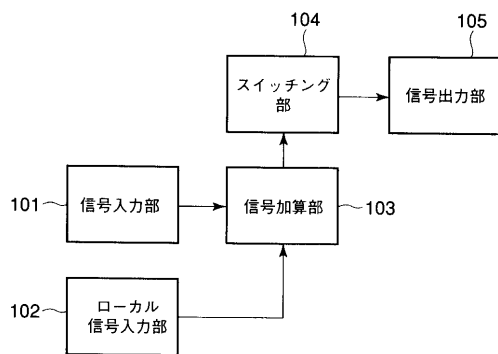
132 ... 差動ローカル信号入力部

146 ... 90°移相差動信号入力部

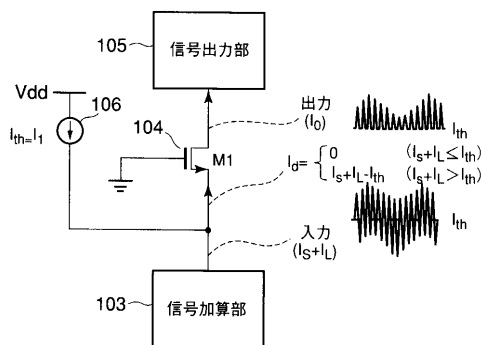
50

- 1 4 7 ... 9 0 ° 移相ローカル信号入力部
- M ... MOSトランジスタ
- R ... 抵抗
- L ... インダクタ
- LO ... 局部発振信号
- IF ... 中間周波数信号
- RF ... 高周波信号
- / ... 逆相信号
- Vdd ... 電源電圧
- C ... コンデンサ
- B I A S ... バイアス供給端子

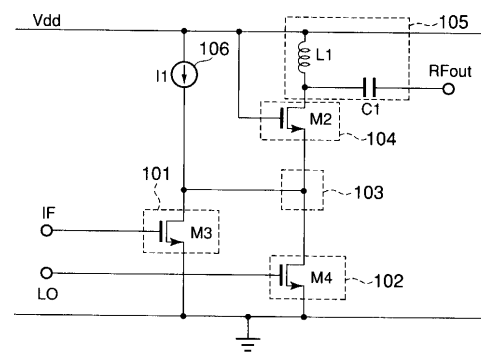
【 図 1 】



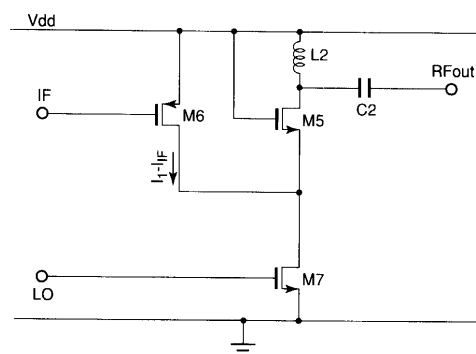
【 図 2 】



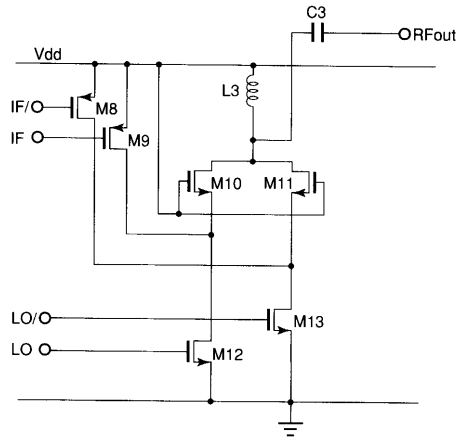
【 図 3 】



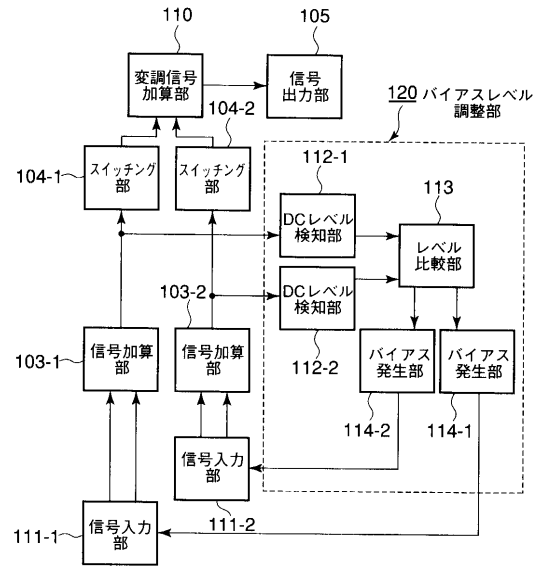
【 図 4 】



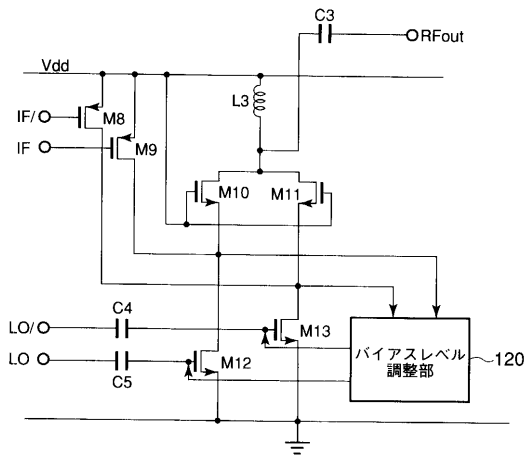
【図5】



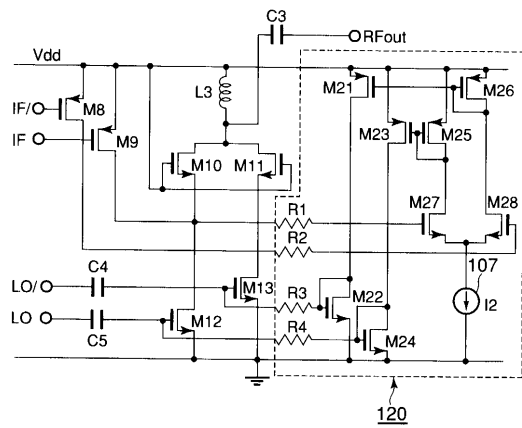
【図6】



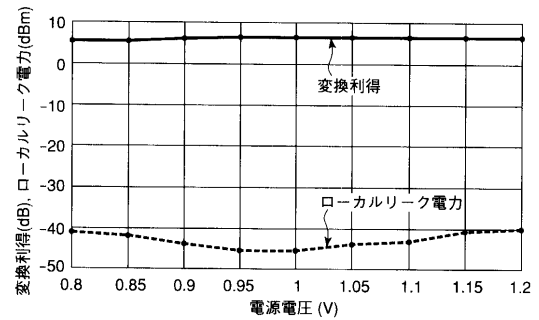
【図7】



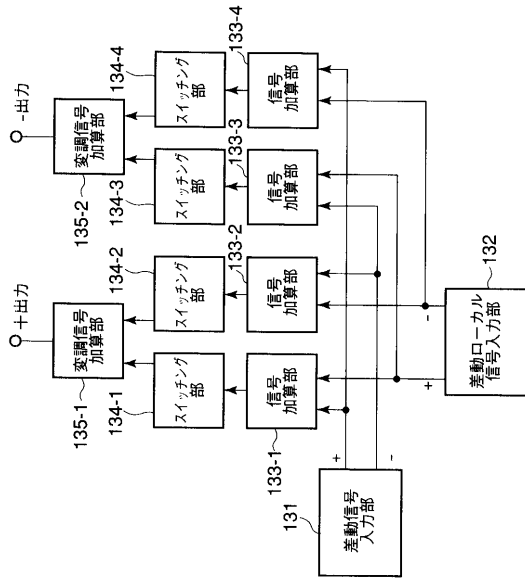
【図8】



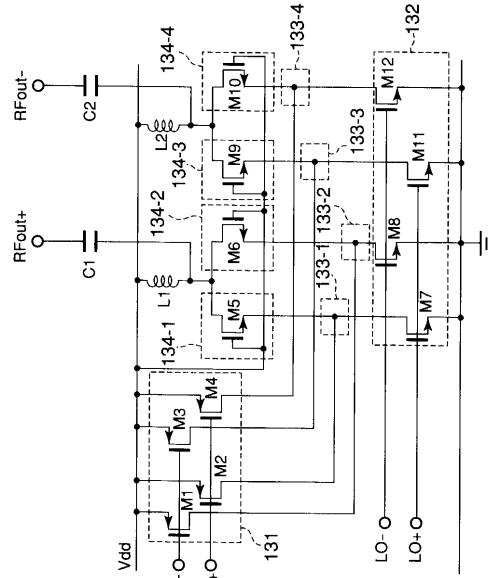
【図9】



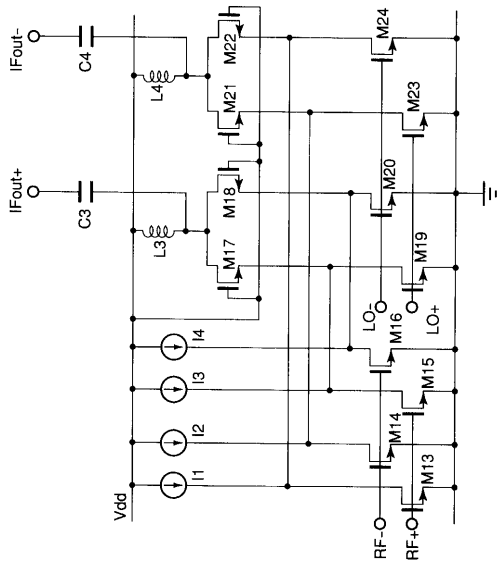
【図10】



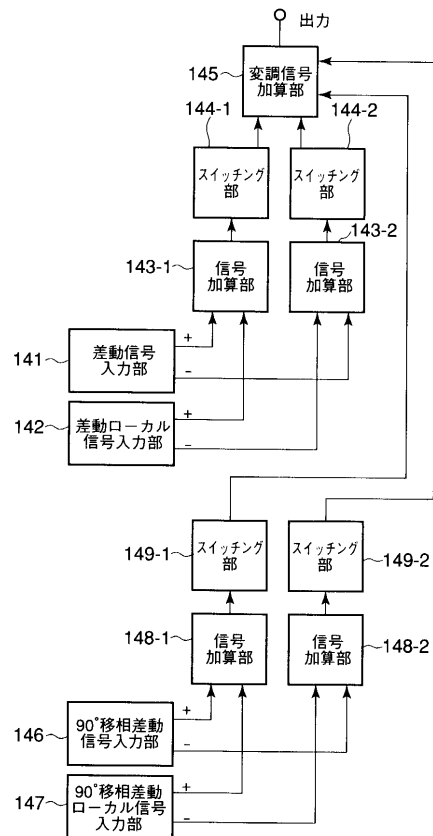
【図11】



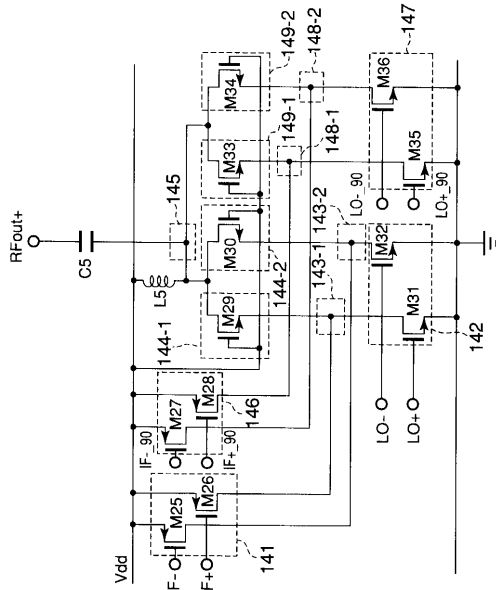
【図12】



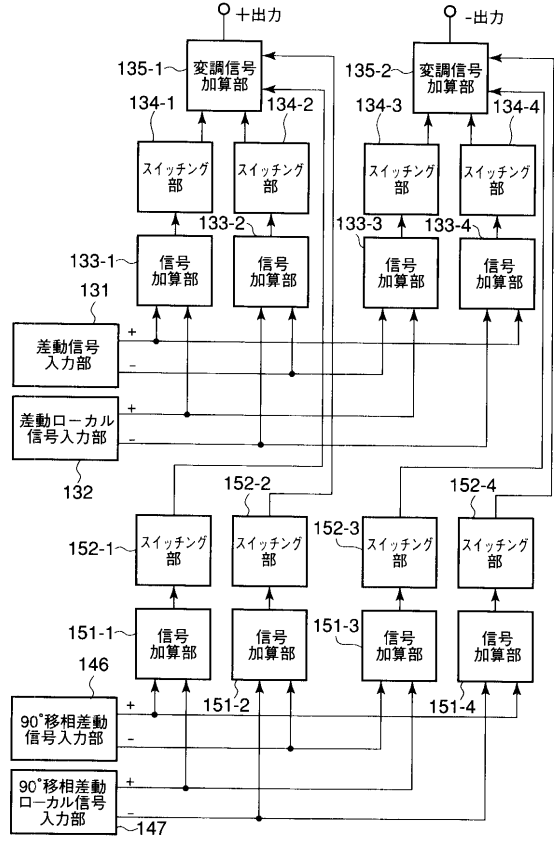
【図13】



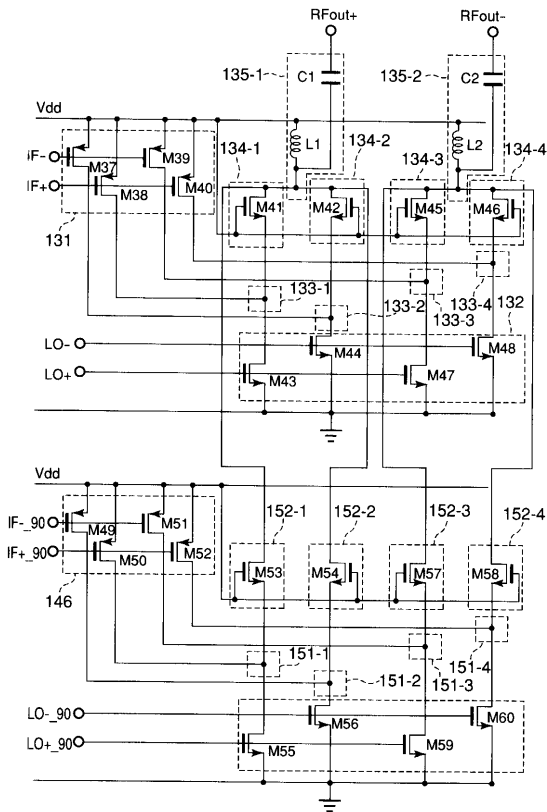
【図14】



【図15】



【図16】



フロントページの続き

合議体

審判長 岩崎 伸二

審判官 甲斐 哲雄

審判官 長島 孝志

(58)調査した分野(Int.Cl. , D B名)

H03D 7/00 - 9/06