



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0053872
(43) 공개일자 2009년05월28일

(51) Int. Cl.

H03M 1/66 (2006.01)

(21) 출원번호 10-2007-0120561

(22) 출원일자 2007년11월24일

심사청구일자 2007년11월24일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천 남구 용현3동 인하대학교 전자공학과 하이테크관 810호

주찬양

경기 안양시 동안구 비산1동 1155번지 임곡그린빌 110동 505호

(74) 대리인

이은철, 유완식

전체 청구항 수 : 총 4 항

(54) 이진 디코더 구조를 갖는 디지털-아날로그 변환기

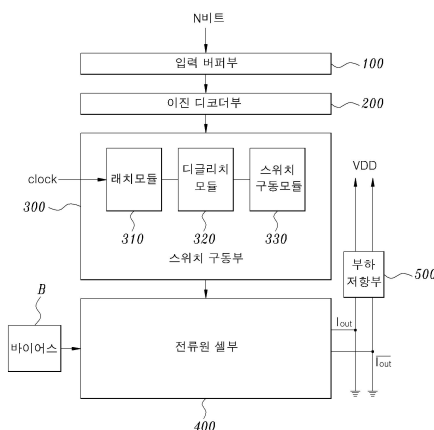
(57) 요약

본 발명은 디지털-아날로그 변환기에 관한 것으로서, 이진 디코더 구조를 갖는 디지털-아날로그 변환기에 관한 것이다.

본 발명은 N비트(bit)의 디지털 데이터를 입력받아 N개의 입력신호를 출력하는 입력 버퍼부(100)와, N개의 입력신호를 입력받아 2^N-1 개의 출력 신호를 출력하는 이진 디코더부와, 2^N-1 개의 출력 신호를 입력받아 $2(2^N-1)$ 개의 차동 출력 신호를 출력하는 스위치 구동부와, 바이어스(bias)로부터 기준 전류와 바이어스 전압을 인가받고 스위치 구동부의 출력 신호를 입력받아 비반전 출력전류와 반전 출력전류를 출력하는 전류원 셀부, 및 비반전 출력전류와 반전 출력전류를 인가받아 출력전압으로 변환시키는 부하 저항부를 포함한다.

상기와 같은 본 발명은 전류원 부정합에 의한 글리치를 줄이고, 출력 신호의 선형성을 향상시켜 디지털-아날로그 변환기의 정적 성능과 동적 성능을 향상시키는 효과가 있다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호	3662-01
부처명	정보통신부
연구사업명	대학 IT연구센터 지원사업
연구과제명	초광대역(UWB)무선전송 및 시스템 응용기술
주관기관	정보통신연구진흥원
연구기간	2006년 09월 01일 ~ 2007년 08월 31일

특허청구의 범위

청구항 1

디지털-아날로그 변환기에 있어서,

N비트(bit)의 디지털 데이터를 입력받아 N개의 입력신호를 출력하는 입력 버퍼부(100);

상기 입력 버퍼부의 출력인 N개의 입력 신호를 입력받아 2^N-1 개의 출력 신호를 출력하는 이진 디코더부(200);

상기 이진 디코더부로부터 2^N-1 개의 출력 신호를 입력받아 $2(2^N-1)$ 개의 차동 출력 신호를 출력하는 스위치 구동부(300);

바이어스(bias)(B)로부터 기준 전류와 바이어스 전압을 인가받고, 상기 스위치 구동부의 출력 신호를 입력받아 비반전 출력전류 및 반전 출력전류를 출력하는 전류원 셀부(400); 및

상기 전류원 셀부의 비반전 출력전류 및 반전 출력전류를 인가받아 출력전압으로 변환시키는 부하 저항부(500);를 포함하는 것을 특징으로 하는 이진 디코더 구조를 갖는 디지털-아날로그 변환기.

청구항 2

제 1 항에 있어서,

상기 이진 디코더부(200)는,

상기 전류원 셀부(400)로부터 상기 스위치 구동부(300)를 통해 동일한 크기의 전류원을 공급받는 것을 특징으로 하는 이진 디코더 구조를 갖는 디지털-아날로그 변환기.

청구항 3

제 1 항에 있어서,

상기 이진 디코더부(200)는,

상기 입력 버퍼부(100)로부터 N개의 입력 신호를 입력받는 입력단자(210);

상기 입력단자를 통해 상기 N개의 입력 신호를 입력받아 지연시간이 동일한 2^N-1 개의 출력 신호를 출력하는 병렬 버퍼(220); 및

상기 2^N-1 개의 출력 신호를 출력하는 출력단자(230);를 포함하는 것을 특징으로 하는 이진 디코더 구조를 갖는 디지털-아날로그 변환기.

청구항 4

제 1 항에 있어서,

상기 스위치 구동부(300)는,

상기 이진 디코더부(200)로부터 2^N-1 개의 출력 신호를 입력받고, 클럭 신호에 따라 상기 이진 디코더부로부터 입력받은 출력 신호를 동기화시키며 $2(2^N-1)$ 개의 차동 출력 신호를 출력하는 래치 모듈(310);

상기 래치 모듈을 통해 동기화된 차동 출력 신호의 교차점을 조절하는 디글리치 모듈(320); 및

상기 디글리치 모듈을 통해 상기 교차점이 조절된 차동 출력 신호의 전압 스윙(swing)을 감소시키는 스위치 구동 모듈(330);을 포함하는 것을 특징으로 하는 이진 디코더 구조를 갖는 디지털-아날로그 변환기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 디지털-아날로그 변환기에 관한 것으로서, 보다 상세하게는 전류원 부정합에 의한 글리치를 줄이고, 출력 신호의 선형성을 향상시켜 디지털-아날로그 변환기의 정적 성능과 동적 성능을 향상시키는 이진 디코더 구조를 갖는 디지털-아날로그 변환기에 관한 것이다.

배경 기술

- <2> 최근 이동통신, 디지털 방송, 홈네트워크, 이미지 센서 등은 적은 전력소모와 소형화, 또한 빠른 변환속도를 우선적으로 요구하고 있기 때문에 시스템 온 칩(SoC)기술을 사용하여 하나의 칩으로 구현되어지고 있다. 시스템 온 칩의 구현을 위해서는 아날로그-디지털 인터페이스의 기술이 중요하며, 그 중에서 고속, 고해상도, 저전력을 갖는 디지털-아날로그 변환기는 광범위한 응용 분야를 갖는다.
- <3> 특히, 무선 통신 응용 시스템에 사용되는 디지털-아날로그 변환기는 10비트 이상의 고해상도와 100MHz이상의 비교적 높은 동작속도를 가지며 시스템 온 칩 구현을 위해 낮은 전력 소모가 필수적이다. 따라서 이러한 고속, 고해상도의 조건을 만족하는 전류 구동 방식의 디지털-아날로그 변환기가 사용된다.
- <4> 전류 구동 방식의 디지털-아날로그 변환기는 일반적으로 디지털 입력 신호의 처리 방식에 따라 이진 가중치 구조, 온도계 디코더 구조, 그리고 이진 가중치 구조와 온도계 디코더 구조를 혼합해서 사용하는 혼합 구조로 나눌 수 있다.
- <5> 이진 가중치 구조는 N비트의 경우, 각각 N개의 전류원 셀과 스위치만으로 구성되므로 구조가 간단하여 전체 전력 소모가 작다. 그러나 서로 다른 크기를 가진 전류원으로 인해 부정합이 발생되어 글리치 에너지가 커지고, 출력 신호의 선형성이 저하되는 문제점이 있다.
- <6> 또한, 온도계 디코더 구조는 도 1에 도시된 바와 같이, 입력 신호를 온도계 코드로 변환하여 일정한 순서로 같은 크기의 전류원 셀에 의해 데이터를 변환하는 방식이다. 온도계 디코더 구조 디지털-아날로그 변환기는 전류원 셀의 크기가 1 LSB로 동일하므로 전류원의 정합특성이 이진 가중치 구조에 비해 우수하여 선형성이 우수하고, 정적인 성능과 동적인 성능이 우수하지만, 해상도가 높아질수록 전류원과 디코더 회로의 수가 증가하므로 칩 면적이 증가하며, 그에 비례하여 전력 소모도 증가하는 문제점이 있다.
- <7> 여기서 디지털-아날로그 변환기의 특성은 일반적으로 정적(static)특성과 동적(dynamic)특성으로 구분된다. 정적특성은 입력되는 신호의 형태에 관계없이 디지털-아날로그 변환기에서 나타나는 특징이고, 동적특성은 입력되는 신호의 형태에 따라 동적으로 변화하는 특징이다. 이때, 정적특성에는 해상도(Resolution), INL(Integral Non-Linearity) 및 DNL(Differential Non-Linearity)이 있으며, 동적특성에는 SNDR(Signal to Noise and Distortion Ratio), SFDR(Supurious Free Dynamic Range)등이 있다.
- <8> 그리고, 혼합 구조는 일반적인 전류 구동 방식의 디지털-아날로그 변환기로서, 이진 가중치 구조와 온도계 디코더 구조의 장점만을 혼합하여, 상위 비트는 온도계 디코더 구조, 하위 비트는 이진 가중치 구조로 혼합한 방식이다.
- <9> 종래, 디지털-아날로그 변환기에 대한 기술은 대한민국 공개특허 제2006-0124326호 'D/A 변환기 모듈' 이외에 다수 출원 및 공개된 상태이다.
- <10> 상기 D/A 변환기 모듈은, 입력되는 상위 m비트의 디지털 코드를 온도계 코드로 변환하여 출력하는 온도계 디코더; 입력되는 클럭신호에 따라 상기 온도계 코드 및 입력되는 하위 n비트의 디지털 코드를 동기화시켜 출력하는 래치부; 상기 래치부에서 출력되는 상기 온도계 코드에 의해 구동되며, 상기 온도계 코드를 아날로그 전류로 변환하여 출력하는 온도계 코드 전류셀 매트릭스; 상기 래치부에서 출력되는 상기 하위 n비트의 디지털 코드에 의해 구동되며, 상기 하위 n비트의 디지털 코드를 아날로그 전류로 변환하여 출력하되, 동작속도가 상이한 제1 및 제2 이진 가중 전류셀; 및 외부로부터 입력되는 모드 선택 신호에 따라 상기 래치부에서 출력되는 상기 하위 n비트의 디지털 코드를 상기 제1 이진 외부로부터 입력되는 모드 선택 신호에 따라 상기 래치부에서 출력되는 상기 하위 n비트의 디지털 코드를 상기 제1 이진 가중 전류셀 또는 상기 제2 이진 가중 전류셀로 선택적으로 출력하는 스위칭부;를 포함한다.
- <11> 그러나, 상기 종래 기술은 디코더 회로 개수 증가에 따른 칩 면적 증가와 전력 소모 증가의 문제점이 있고, 온도계 디코더와 이진 가중치 구조의 혼합에 따른 입력 신호의 비동기 때문에 정적 특성 및 동적 특성에 제한을 받게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <12> 본 발명의 목적은, 상기와 같은 문제점을 해결하기 위한 것으로서, 이진 가중치 구조 디지털-아날로그 변환기의 전류원 부정합에 의한 글리치를 줄이고, 출력 신호의 선형성을 향상시키는 이진 디코더 구조를 갖는 디지털-아날로그 변환기를 제공함에 있다.
- <13> 또한, 본 발명의 다른 목적은, 전력 소모를 줄이며 칩 면적을 줄일 수 있는 이진 디코더 구조를 갖는 디지털-아날로그 변환기를 제공함에 있다.

과제 해결수단

- <14> 본 발명은 N비트(bit)의 디지털 데이터를 입력받아 N개의 입력신호를 출력하는 입력 버퍼부(100)와, N개의 입력 신호를 입력받아 2^N-1 개의 출력 신호를 출력하는 이진 디코더부와, 2^N-1 개의 출력 신호를 입력받아 $2(2^N-1)$ 개의 차동 출력 신호를 출력하는 스위치 구동부와, 바이어스(bias)로부터 기준 전류와 바이어스 전압을 인가받고 스위치 구동부의 출력 신호를 입력받아 비반전 출력전류와 반전 출력전류를 출력하는 전류원 셀부, 및 비반전 출력전류와 반전 출력전류를 인가받아 출력전압으로 변환시키는 부하 저항부를 포함한다.

효 과

- <15> 상기와 같은 본 발명은 전류원 부정합에 의한 글리치를 줄이고, 출력 신호의 선형성을 향상시켜 디지털-아날로그 변환기의 정적 성능과 동적 성능을 향상시키는 효과가 있다.
- <16> 그리고, 본 발명은 온도계 디코더 디지털-아날로그 변환기보다 전력 소모를 줄이며 칩 면적을 줄이는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.
- <18> 본 발명의 일실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기에 관하여 도 2 내지 도 6을 참조하여 설명하면 다음과 같다.
- <19> 본 발명의 일실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기는 도 2에 도시된 바와 같이, 입력 버퍼부(100), 이진(binary) 디코더부(200), 스위치 구동부(300), 전류원 셀부(400) 및 부하 저항부(500)를 포함한다.
- <20> 우선, 입력 버퍼부(100)는 N비트(bit)의 디지털 데이터를 입력받아 N개의 입력신호를 출력한다.
- <21> 또한, 이진 디코더부(200)는 도 3에 도시된 바와 같이, 입력 버퍼부(100)의 출력인 N개의 입력 신호를 입력단자(210)를 통해 N개의 병렬 버퍼(220)로 입력받아 2^N-1 개의 출력 신호를 출력단자(230)로 출력한다. 여기서 병렬 버퍼(220)를 통해 나오는 2^N-1 개의 출력 신호에 대한 지연 시간은 동일하다.
- <22> 본 실시예에 따른 이진 디코더부(200)는 4비트 이진 디코더로서, 입력 4비트는 4개의 병렬 버퍼를 통해 15개의 출력 신호로 출력되어 스위칭 구동부(300)를 구동하게 된다. 여기서 본 실시예에 따른 이진 디코더부(200)는 스위치 구동부(300)의 구동시, 이진 디코더부(200)의 출력 신호마다 각각 동일한 크기의 전류원 셀부(400)를 구동하므로, 이진 가중치 구조의 디지털-아날로그 변환기의 단점인 전류원의 부정합을 개선하는 효과가 있다.
- <23> 또한, 스위치 구동부(300)는 이진 디코더부(200)로부터 2^N-1 개의 출력 신호를 입력받고, 클럭 신호에 따라 이진 디코더부(200)로부터 입력받은 출력 신호를 동기화하고, $2(2^N-1)$ 개의 차동 출력 신호를 출력하는 래치(latch) 모듈(310)과, 래치 모듈(310)을 통해 동기화된 차동 출력 신호의 교차점(cross-point)을 조절하여 글리치(glitch)를 억제하는 디글리치 모듈(320)과, 디글리치 모듈(320)을 통해 차동 출력 신호의 교차점이 조절된 신호를 입력받아, 교차점이 조절된 차동 출력 신호의 전압 스윙(swing)을 감소시키는 스위치 구동 모듈(330)을 포함한다.
- <24> 또한, 전류원 셀부(400)는 바이어스(bias)(B)로부터 기준 전류와 바이어스 전압을 인가받고, 스위치 구동부(300)의 출력인 $2(2^N-1)$ 개의 차동 출력 신호를 입력받아 비반전 출력전류와 반전 출력전류를 출력한다. 여기서

본 실시예에 따른 바이어스(B)는 내부에 바이어스 저항을 사용하거나, 외부의 가변저항을 통해 전류 크기를 조절할 수 있다. 여기서, 전류원 셀부(400)는 다수의 셀로 구성된 것으로, 다수의 전류원과 스위치로 구성된다.

- <25> 그리고, 부하 저항부(500)는 전류원 셀부(400)의 비반전 출력전류와 반전 출력전류를 인가받아 출력전압으로 변환시킨다.
- <26> 본 발명에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기는 온도계 디코더 구조의 디지털-아날로그 변환기에 비해 게이트 수가 현저하게 감소되어 전력 소모를 줄이는 효과가 있다.
- <27> 또한 동일한 크기를 갖는 전류원을 사용하므로, 이진 가중치 구조의 단점인 전류원의 부정합을 개선하면서도 온도계 디코더와 같은 복잡한 논리 회로가 필요없으므로 구조가 간단하여 칩 면적을 감소시키는 효과가 있다.
- <28> 그리고 교차점이 조절된 차동 출력 신호의 전압 스윙(swing)을 감소시킴으로써, 동적 성능의 저하를 막는 효과가 있다.
- <29> 한편, 본 발명의 일실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기를 도 4에 도시된 바와 같이, 기존 온도계 디코더 구조의 디지털-아날로그 변환기와 12비트의 해상도 및 400MHz의 변환 속도로 조건을 동일하게 설계하여 전력 소모를 비교한 결과는 다음과 같다.
- <30> 동일한 조건으로 전력 소모를 비교한 결과, 기존 온도계 디코더 구조의 디지털-아날로그 변환기의 전력 소모를 100%로 보았을 때, 본 실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기는 50%이상 전력 소모를 감소시킨다.
- <31> 그리고, 본 실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기와 기존 온도계 디코더 구조의 디지털-아날로그 변환기에 대하여 잡음신호 비율SNDR(Signal to Noise and Distortion Ratio)과 유효비트 변화를 비교한 결과는 도 5 및 도 6에 도시된 바와 같이 나타난다.
- <32> 즉, 본 실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기는 입력 주파수가 커지더라도 전력 소모를 줄이고 교차점이 조절된 차동 출력 신호의 전압 스윙(swing)을 감소시킴으로써, 동적 성능의 저하를 막는 효과가 있다.
- <33> 이상으로 본 발명의 기술적 사상을 예기하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

- <34> 도 1은 종래기술에 따른 온도계 디코더 구조도.
- <35> 도 2는 본 발명의 일실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기의 블록도.
- <36> 도 3은 본 발명의 일실시예에 따른 이진 디코더 구조도.
- <37> 도 4는 본 발명의 일실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기와 기존 온도계 디코더 구조의 디지털-아날로그 변환기에 대하여 전력 소모를 비교한 결과 그래프.
- <38> 도 5는 본 실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기와 기존 온도계 디코더 구조의 디지털-아날로그 변환기에 대하여 잡음신호 비율SNDR을 비교한 결과 그래프.
- <39> 도 6은 본 실시예에 따른 이진 디코더 구조를 갖는 디지털-아날로그 변환기와 기존 온도계 디코더 구조의 디지털-아날로그 변환기에 대하여 유효비트 변화를 비교한 결과 그래프.
- <40> <도면 부호에 대한 설명>
- | | |
|-------------------|---------------|
| <41> 100 : 입력 버퍼부 | 200 : 이진 디코더부 |
| <42> 210 : 입력단자 | 220 : 병렬 버퍼 |
| <43> 230 : 출력단자 | 300 : 스위치 구동부 |
| <44> 310 : 래치 모듈 | 320 : 디글리치 모듈 |

<45> 330 : 스위치 구동 모듈

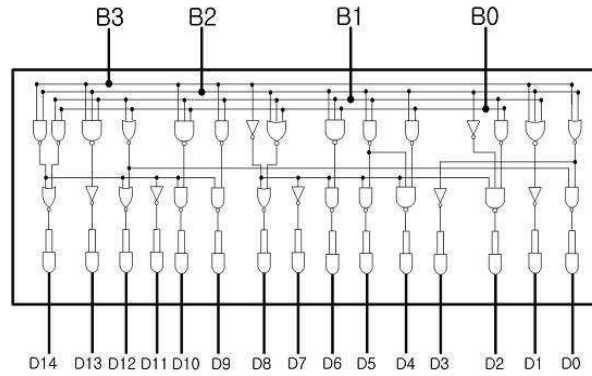
400 : 전류원 셀부

<46> 500 : 부하 저항부

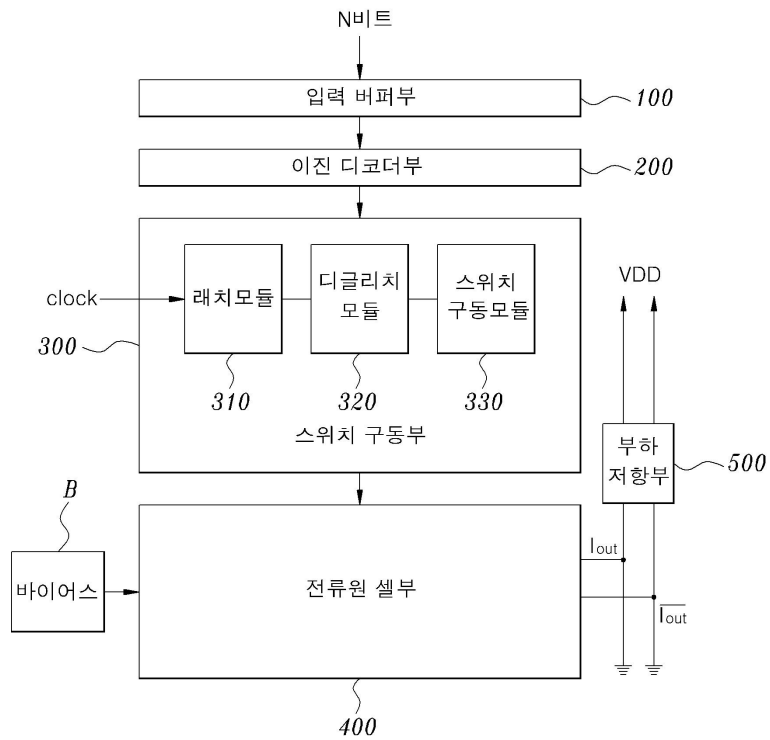
B : 바이어스

도면

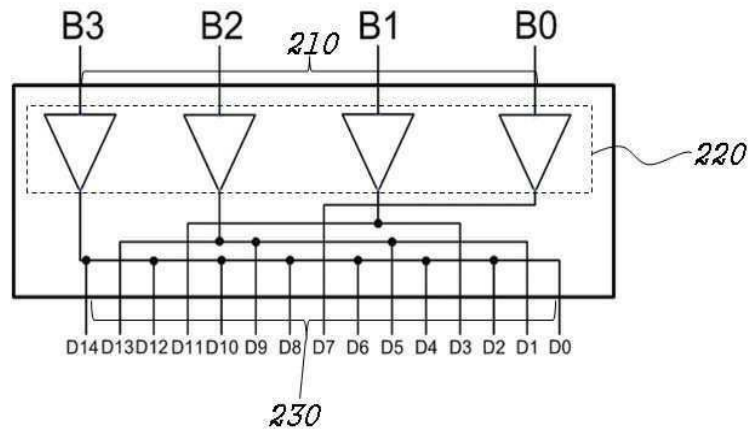
도면1



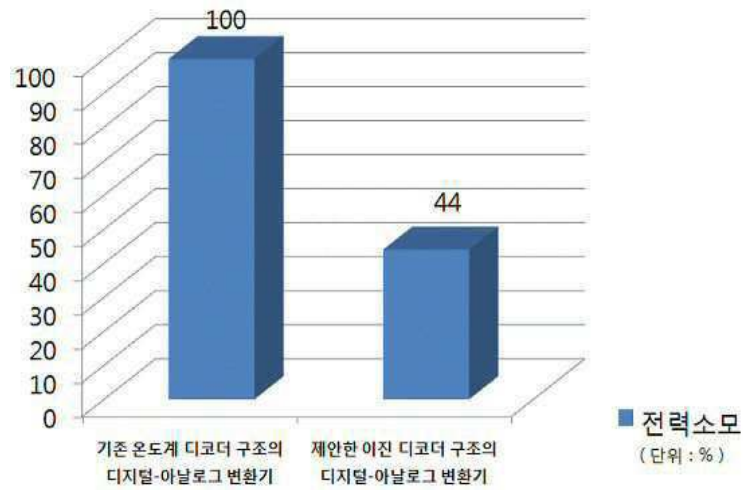
도면2



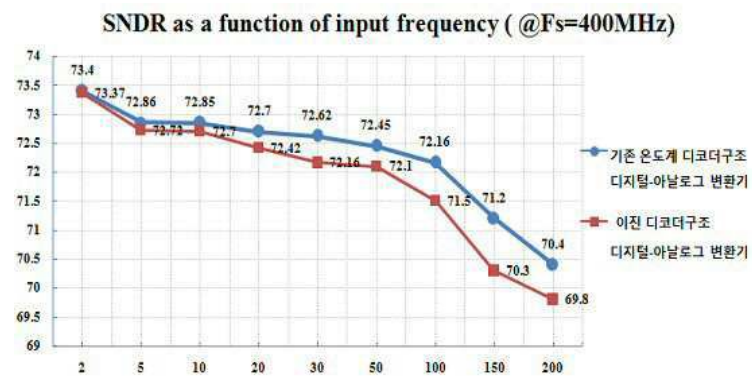
도면3



도면4



도면5



도면6

