PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 5 :		(11) Internationale Veröffentlichungsnummer: WO 92/10855
H01L 29/06, 27/082	A1	(43) Internationales Veröffentlichungsdatum: 25. Juni 1992 (25.06.92)

(21) Internationales Aktenzeichen: PCT/DE91/00909

(22) Internationales Anmeldedatum: 19. November 1991 (19.11.91)

(30) Prioritätsdaten:
P 40 39 662.2 12. Dezember 1990 (12.12.90) DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: ROBERT BOSCH GMBH [DE/DE]; Postfach 10 60 50, D-7000 Stuttgart 10 (DE).

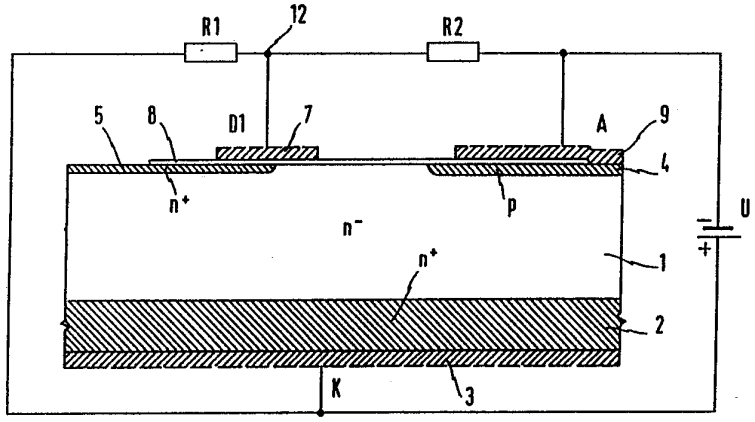
(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)* : MICHEL, Hartmut [DE/DE]; Herderstraße 74, D-7410 Reutlingen (DE). FLOHRS, Peter [DE/DE]; Wallensteinstraße 38, D-7410 Reutlingen 11 (DE). GOERLACH, Alfred [DE/DE]; Rembrandtstraße 2, D-7410 Reutlingen (DE).

(81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), GR (europäisches Patent), IT (europäisches Patent), JP, LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US.

Veröffentlicht
Mit internationalem Recherchenbericht.

(54) Title: MONOLITHIC INTEGRATED SEMICONDUCTOR DEVICE

(54) Bezeichnung: MONOLITHISCH INTEGRIERTE HALBLEITERANORDNUNG



(57) Abstract

Proposed is a monolithic integrated semiconductor device with, fitted on the main surface of a monolithic integrated npn or pnp transistor, a cover electrode (D1) for internal voltage limitation which covers a single transition region between a highly doped zone (5) and the lightly doped substrate (1). An adjacent highly doped zone (4) is not covered by the electrode (D1). Connecting the metal cover electrode (D1) to the tap point (12) of a voltage splitter (R1, R2) enables a breakdown voltage to be set which is greater than the sum of the depletion-mode breakdown voltage and the enhancement-mode breakdown voltage.

(57) Zusammenfassung

Es wird eine monolithisch integrierte Halbleiteranordnung vorgeschlagen, bei der an der Hauptoberfläche eines monolithisch integrierten npn-Transistors oder pnp-Transistors eine Deckelektrode (D1) zur internen Spannungsbegrenzung angebracht wird, die einen einzigen Übergangsbereich zwischen einer hochdotierten Zone (5) und dem schwachdotierten Substrat (1) überdeckt. Eine benachbarte hochdotierte Zone (4) wird von der Deckelektrode (D1) nicht überdeckt. Durch Anschluß der metallischen Deckelektrode (D1) an den Abgriff (12) eines Spannungsteilers (R1, R2) läßt sich eine Durchbruchsspannung einstellen, die größer ist als die Summe der Verarmungsdurchbruchsspannung und der Anreicherungsdurchbruchsspannung.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	ML	Mali
AU	Australien	FI	Finnland	MN	Mongolei
BB	Barbados	FR	Frankreich	MR	Mauritanien
BE	Belgien	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Vereinigtes Königreich	NL	Niederlande
BG	Bulgarien	GN	Guinea	NO	Norwegen
BJ	Benin	GR	Griechenland	PL	Polen
BR	Brasilien	HU	Ungarn	RO	Rumänien
CA	Kanada	IT	Italien	SD	Sudan
CF	Zentrale Afrikanische Republik	JP	Japan	SE	Schweden
CG	Kongo	KP	Demokratische Volksrepublik Korea	SN	Senegal
CH	Schweiz	KR	Republik Korea	SU+	Soviet Union
CI	Côte d'Ivoire	LI	Liechtenstein	TD	Tschad
CM	Kamerun	LK	Sri Lanka	TG	Togo
CS	Tschechoslowakei	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DE	Deutschland	MC	Monaco		
DK	Dänemark	MG	Madagaskar		

+ Die Bestimmung der "SU" hat Wirkung in der Russischen Föderation. Es ist noch nicht bekannt, ob solche Bestimmungen in anderen Staaten der ehemaligen Sowjetunion Wirkung haben.

Monolithisch integrierte Halbleiteranordnung

Stand der Technik

Die Erfindung betrifft eine monolithisch integrierte Halbleiteranordnung gemäß der Gattung des Hauptanspruchs.

Es sind Halbleiteranordnungen bekannt, die zur Begrenzung der Durchbruchsspannung von Transistoren, insbesondere von Darlington-Transistoren, über dem Raumladungsgebiet eine durch Oxid getrennte metallische Deckelektrode besitzen, die mittels eines Spannungsteilers auf ein bestimmtes Potential zwischen Basis und Kollektor gelegt wird. Die Durchbruchsspannung wird im wesentlichen durch das Spannungspotential der Deckelektrode und durch die Dicke des Oxides bestimmt.

Aus der US-PS 4 618 875 ist eine derartige Darlington-Transistorschaltung bekannt, bei der die Deckelektrode an der Oberfläche des Substrats ausgebildet ist und sich über zwei im Abstand angeordnete, entgegengesetzt dotierte Zonen erstreckt. Die maximal erreichbare Durchbruchsspannung entspricht dem Spannungswert, der sich aus der Summe von Anreichungsdurchbruchsspannung und Verarmungsdurchbruchsspannung ergibt. Dabei ist jedoch zu berücksichtigen, daß die in Planarprozessen üblicherweise verwendeten thermischen Oxide nicht beliebig dick gemacht werden können, weshalb die mit einer solchen Anordnung maximal erreichbare Spannung begrenzt ist.

Vorteile der Erfindung

Eine monolithisch integrierte Halbleiteranordnung mit den Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß die Durchbruchsspannungen nur von der Verarmungsdurchbruchsspannung und von dem Teilerverhältnis des Spannungsteilers abhängig sind, der an seinem Abgriff mit der Deckelektrode verbunden ist und deren Spannungspotential bestimmt. Bei einem npn-Transistor überdeckt die Deckelektrode das Kollektorgebiet nicht mehr vollständig, sondern nur noch einen Übergangsbereich des niedrig n-dotierten Kollektorgebiets und den Randbereich einer daran angrenzenden hoch n-dotierten Zone. Die Deckelektrode reicht bei einem npn-Transistor nicht bis zum p-dotierten Basisgebiet. Dagegen wird bei einem pnp-Transistor gerade der Übergangsbereich des Basisgebiets von der Deckelektrode überdeckt, die in diesem Fall nicht bis zu der im Abstand befindlichen p-dotierten Zone reicht.

Gemäß einer Weiterbildung der Erfindung kann auch der pn-Übergang zwischen dem hochohmigen Kollektorgebiet und dem p-dotierten Basisgebiet bei einer als Transistor ausgebildeten Halbleiteranordnung mittels einer zweiten Deckelektrode passiviert sein. Die zweite Deckelektrode ist mit der Basismetallisierung des Transistors identisch. Es ist aber auch möglich, diese zweite Deckelektrode auf Emitterpotential zu legen, wobei in jedem Fall sichergestellt sein muß, daß die beiden Deckelektroden galvanisch getrennt sind, so daß kein Anreicherungsdurchbruch auftreten kann. Auch bei dieser Ausführung ist die maximal erreichbare Durchbruchsspannung nur von der Verarmungdurchbruchsspannung und von dem Spannungsteilerverhältnis des Spannungsteilers abhängig, an dessen Abgriff die vom Basisgebiet entfernte erste Deckelektrode angeschlossen ist.

Das Spannungspotential für die Deckelektrode wird vorzugsweise mittels eines monolithisch integrierten Spannungs-

teilers eingestellt. Die Ausführung eines derartigen Spannungsteilers ist aus der EP-PS 179 099 sowie aus der US-PS 4 695 867 bekannt.

Um eine Temperaturkompensation der Durchbruchsspannung zu erreichen, können die den Spannungsteiler bildenden Widerstände aus unterschiedlich hoch dotiertem Silizium gebildet werden.

Sehr einfach lassen sich die Teilerwiderstände als streifenförmige Zonen integrieren, die ausgenommen an Anschlußpunkten mit einer Passivierungsschicht bedeckt sind. An den Anschlußpunkten kann durch Aufbringen einer Metallschicht die erforderliche Kontaktierung beispielsweise am Abgriff des Spannungsteilers erfolgen.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

Zeichnung

Die Erfindung wird nachfolgend anhand einer herkömmlichen Halbleiteranordnung und weiterer erfindungsgemäßer Ausführungsformen näher erläutert.

Es zeigen:

Figur 1 eine herkömmliche Halbleiteranordnung,

Figur 2 eine erste erfindungsgemäße Anordnung mit einer einen nn-Übergang überdeckenden Deckelektrode,

Figur 3 eine erfindungsgemäße Anordnung mit einer zusätzlichen Basisdeckelektrode bei einem npn-Transistor,

Figur 4 die Abhängigkeit der Durchbruchsspannung einer erfindungsgemäßen Anordnung vom Spannungsteilerverhältnis,

Figur 5 eine erfindungsgemäße Halbleiteranordnung, die als pnp-Transistor ausgebildet ist.

Figur 6 die Draufsicht auf eine erfindungsgemäße Halbleiteranordnung mit Deckelektrode und integrierten Spannungsteiler, wobei der basisseitige Teil des Spannungsteilers nicht unter Deckelektrodenmetall liegt,

Figur 7 die Draufsicht auf eine erfindungsgemäße Halbleiteranordnung, bei der eine geringere Stromabhängigkeit der Durchbruchsspannung erreicht ist, und

Figur 8 die Draufsicht auf eine erfindungsgemäße Halbleiteranordnung mit einer zusätzlichen Basisdeckelektrode, wobei der basisseitige Teil des Spannungsteilers nicht unter Metall liegt.

Figur 1 zeigt eine in Planartechnik ausgeführte Anordnung, wie sie in der DE-PS 32 275 36 beschrieben ist. Das Ausgangsmaterial für die Herstellung ist Silizium, das im oberen Bereich 1 schwach (n^-) und auf der Unterseite 2 hoch (n^+) dotiert ist. Die Unterseite ist mit Metall 3 kontaktiert und wird mit K bezeichnet. Die p- und n^+-Zonen 4, 5 auf der Hauptoberfläche 6 sind in bekannter Weise mittels Fototechnik, Dotierung und Diffusion hergestellt. Die p-Zone 4 dient als Transistorbasis und wird mit A bezeichnet. Der Übersichtlichkeit halber ist die bei einem bipolaren Transistor in die Basiszone 4 eingebrachte n^+-dotierte Emitterzone nicht gezeichnet. Die n^+-Zone 5 mit der Ausbuchtung 5A kann gleichzeitig mit der Emitterdotierung eindiffundiert werden. Sie begrenzt die sich im n^--Gebiet ausbreitende Raumladungszone auf Gebiete unter einer von einer Metallisierung 7 gebildeten Deckelektrode D, wenn zwischen A und K eine Sperrspannung U angelegt wird. Die Deckelektrode D ist mittels Oxid 8 von den Zonen 1, 4 und 5 galvanisch getrennt. Das Basisgebiet 4 ist mit Metall

9 kontaktiert. Die Deckelektrode D wird an einem durch Widerstände R1 und R2 gebildeten, auch monolithisch integrierbaren Spannungsteiler zwischen A und K angeschlossen. Die im Fall von R1 bzw. R2 = 0 zwischen A und K erreichbaren Durchbruchsspannungen sind U2 bzw. U1, wobei U2 die Anreicherungs- und U1 die Verarmungsdurchbruchsspannung der durch die Deckelektrode D, durch das darunterliegende Oxid 8 und durch das Silizium gebildete MOS - Struktur ist.

Die maximal erreichbare Durchbruchsspannung ist U1 + U2, wenn R1 : R2 = U1 : U2 erfüllt ist. Da die in Planarprozessen üblicherweise verwendeten thermischen Oxide nicht beliebig dick gemacht werden können, ist die mit einer solchen Anordnung maximal erzielbare Spannung begrenzt.

In Figur 2 ist eine erfindungsgemäße Anordnung mit einer Deckelektrode D1 gezeigt, die das hochohmige, schwach dotierte (n^-) Kollektorgebiet 1 nur im Bereich einer hochdotierten (n^+) Zone 5 überdeckt. Die Deckelektrode D1 überdeckt somit den n^+n^--Übergangsbereich und befindet sich in deutlichem Abstand von der p-Zone 4, die als Basisgebiet eines npn-Transistors dient. Der Übersichtlichkeit wegen wurde die Emitterdotierung im Bereich des Basisgebiets 4 nicht eingezeichnet. Aus der bereits genannten US-PS 4 618 875 kann die Ausbildung der Emitterdotierungen entnommen werden.

Die Deckelektrode D1 ist durch den Abgriff 12 an den durch die Widerstände R1 und R2 gebildeten Spannungsteiler angeschlossen. Der Spannungsteiler teilt die zwischen den Anschlußpunkten A und K liegende Versorgungsspannung U entsprechend seinem Teilerverhältnis.

Beim Anlegen einer Sperrspannung zwischen A und K ist die für den Fall R2 = 0 zwischen A und K erreichbare Durchbruchsspannung U1, wobei U1 mit der Verarmungsdurchbruchs-

spannung bei Verwendung der Deckelektrode D gemäß Figur 1 identisch ist. Die Durchbruchsspannung U zwischen A und K ist die von dem durch die Widerstände R1 und R2 gebildeten Spannungsteiler hochtransformierte Verarmungsdurchbruchsspannung. Man erhält:

$$U = U1 * (1 + R2 / R1) \qquad (1)$$

Die maximal erreichbare Durchbruchsspannung U zwischen A und K ist mehr durch den Anreicherungsdurchbruch U2 beeinflußt. Die obere Grenze der Durchbruchsspannung U ist nur noch von der Sperrfähigkeit des pn-Überganges 1, 4 bzw. von der Kollektor-Emitter-Durchbruchsspannung U_{CEO} bei offener Basis des npn-Transistors begrenzt.

In Figur 3 ist eine Ausführungsform gezeigt, bei der der pn^--Übergang zwischen dem hochohmigen Kollektorgebiet 1 und dem p-dotierten Basisgebiet 4 mittels einer zweiten metallischen Deckelektrode D2 passiviert ist. Die beiden Deckelektroden D1 und D2 berühren sich nicht, so daß von einer geteilten Deckelektrode gesprochen werden kann. Dabei ist die Metallisierung 10, die die Deckelektrode D2 bildet, mit der Basismetallisierung des Transistors identisch. Es ist jedoch auch möglich, die Metallisierung 10 auf Emitterpotential zu legen, wobei jedoch sichergestellt sein muß, daß die Metallisierungen 7 und 10 galvanisch getrennt sind. Auch bei dieser Ausführung kann kein Anreicherungsdurchbruch auftreten, so daß die maximal erreichbare Durchbruchsspannung U nur vom Verarmungsdurchbruch U1 und dem Spannungsteilerverhältnis entsprechend obiger Gleichung (1) bestimmt ist.

Für den Fall, daß man die beiden Deckelektroden D1 und D2 elektrisch miteinander verbindet und an den Spannungsteiler R1, R2 schaltet, erhält man ein zur herkömmlichen Deckelektrode D (Figur 1) völlig identisches Durchbruchsverhalten, insbesondere ist dann die maximal

erreichbare Durchbruchsspannung wieder die Summe der Anreicherungsdurchbruchsspannung und der Verarmungsdurchbruchsspannung (U1 + U2).

In Figur 4 ist die Abhänigkeit der Durchbruchsspannung einer Halbleiteranordnung mit geteilter Deckelektrode (D1 und D2) vom Spannungsteilerverhältnis dargestellt. Die Verarmungsdurchbruchsspannung U1 beträgt dabei 180 V und die Anreicherungsdurchbruchsspannung U2 beträgt 214 V. Der Widerstand R1 ist 100 kΩ. Die Durchbruchsspannung U zwischen den Punkten A und K ist als Funktion vom Spannungsteilerwiderstand R2 aufgetragen. Die Durchbruchsspannung U hat den von Gleichung (1) beschriebenen Verlauf. Für R2 $\geq$ 125 kΩ werden Durchbruchsspannungen erreicht, die größer als die Summe der Verarmungsdurchbruchsspannung und Anreicherungsdurchbruchsspannung sind. Das dargestellte Beispiel geht von einer Anordnung gemäß Figur 2 aus, wobei die Widerstände R1, R2 extern angeschlossen sind.

Die vorliegende Erfindung ist nicht auf npn-Transistoren beschränkt, sondern kann auch bei pnp-Transistoren Anwendung finden, wie dies in Figur 5 ersichtlich ist. Dabei ist das hochohmige Kollektorgebiet 1 schwach p-dotiert und die Zone 4 vom entgegengesetzten Leitfähigkeitstyp ist n-dotiert und bildet wiederum das Basisgebiet eines Transistors. Im Abstand von dieser ersten Zone 4 befindet sich an der Hauptoberfläche 6 eine zweite, hochdotierte Zone 5 mit einer Ausbuchtung 5A des gleichen Leitfähigkeitstyps wie das das Kollektorgebiet 1 bildende Substrat. Die p-dotierte zweite Zone 5 ist jedoch hochdotiert, ebenso wie die Unterseite 2 des Substrats. Auch bei der Darstellung in Figur 5 ist der Übersichtlichkeit wegen wiederum das Emittergebiet nicht eingezeichnet.

Die Deckelektrode D1 befindet sich bei dieser Ausführungsform über dem Kollektor-Basisübergang 1, 4. Die Polarität der Sperrspannung U ist entgegengesetzt zu den zuvor be-

schriebenen Ausführungen.

Analog zu Figur 3 kann auch bei der Ausführung gemäß Figur 5 der Übergang vom Kollektorgebiet 1 zur hochdotierten Zone 5 mit auf Kollektorpotential befindlichem Metall überdeckt sein. Beim Anlegen einer Sperrspannung zwischen A und K wird die im Fall eines pnp-Transistors stabile -Anreicherungdurchbruchsspannung U2 durch den Spannungsteiler hochtransformiert. Die Durchbruchsspannung U zwischen A und K ergibt sich somit bei pnp-Transistoren aus folgender Gleichung:

$$U = U2 * (1 + R1 / R2) \qquad (2)$$

Bei der monolithischen Integration des Spannungsteilers, der auch abgleichbar ausgeführt sein kann, darf es keine Bereiche geben, in denen ein Anreicherungsdurchbruch auftritt.

Anhand von Figur 6 bis 8 ist gezeigt, wie eine interne Spannungsbegrenzung mit integriertem Spannungsteiler an einem planaren npn-Darlingtontransistor realisiert werden kann. Dabei sind alle Metallisierungskanten als unterbrochene Linien eingezeichnet.

Figur 6 zeigt in der Draufsicht ein Beispiel mit fehlender Deckelektrode D2 analog zu Figur 2. Die Basismetallisierung des Endstufentransistors befindet sich vollständig innnerhalb des p-dotierten Basisgebietes 4. Ein Spannungsteiler 11 bildet eine von der Hauptoberfläche eindiffundierte langgestreckte p-leitende Zone. Der kollektorseitige Teil R1 des Spannungsteilers 11 ist von der Passivierungsschicht (8 in Figur 2) und der darüber hinweg verlaufenden Deckelektrode D1 überdeckt. An einer bestimmten Stelle 12 ist die Passivierungsschicht 8 unterhalb der Deckelektrode D1 entfernt. Das so gebildete Kontaktloch 12

schließt die Deckelektrode D1 an einer Stelle an den Spannungsteiler 11 an. Am kollektorseitigen Ende des Spannungsteilers ist ebenfalls ein Kontaktloch 13 geöffnet. Außerdem ist die als Stoppschicht dienende hochdotierte Kollektorschicht 5 an einer Stelle 14 kontaktierbar. Eine Metallisierungsbrücke 15 stellt eine elektrische Verbindung von Kollektorschicht und Spannungsteilerende her.

Das basisseitige Ende des Spannungsteilers mündet direkt in die p-dotierte Basiszone 4 der Endstufe des Darlingtontransistors. Der basisseitige Teil R2 des Spannungsteilers ist nicht unter das Deckelektrodenmetall D1 gelegt, um den Anreicherungsdurchbruch zu vermeiden. Weiter erkennt man die Kontaktierungsflächen für die Endstufenbasis 16, für die Treiberbasis 17, für den Endstufenemitter 18 und für den Treiberemitter 19. Der Endstufenemitter selber ist mit 20, der Treiberemitter mit 21 bezeichnet. Der Übersichtlichkeit halber sind nicht alle Details des Darlingtontransistors wie Ableitwiderstand des Endstufentransistors, Inversdiode etc. eingezeichnet. Da in der Anordnung nach Figur 6 bei Erreichen der Durchbruchsspannung auch das basisseitige Ende des Spannungsteilers (R2) seine Sperrfähigkeit verliert, wird die Durchbruchskennlinie stromabhängig. Um dies zu verhindern, wird das Oxid über dem hochohmingen Kollektorgebiet 1 in der Umgebung des Widerstandes R2 dicker ausgeführt. Dadurch wird die Verarmungsdurchbruchsspannung in diesem Bereich erhöht, so daß der Spannungsteilerwiderstand R2 seine Sperrfähigkeit behält.

Der Spannungsteilerwiderstand kann auch durch einen oder zwei gesonderte p-Dotierschritte eingebracht werden. Dadurch lassen sich große Widerstände bzw. verschiedene Temperaturkoeffizienten erzielen. Außerdem kann der Spannungsteilerwiderstand abgleichbar ausgeführt werden.

Eine weitere einfache Möglichkeit stromunabhängige Durch-

bruchskennlinien zu erhalten, ohne die Maßnahme der Oxiddickenverringerung anzuwenden, ist in dem Ausführungsbeispiel Figur 7 gezeigt. Dabei wird die D1-Metallisierung in Bereichen des Spannungsteilerwiderstandes R2 weggelassen. Somit tritt in diesem Bereich kein Verarmungsdurchbruch auf und der Widerstand R2 veliert seine Sperrfähigkeit nicht.

Figur 8 zeigt ein Beispiel mit zusätzlicher Deckelektrode D2 (geteilte Deckelektrode). Der Basis-Kollektor-Übergang (4, 1) ist dann fast vollständig mit von Oxid getrenntem Metall überdeckt.

Patentansprüche

1. Monolithisch integrierte Halbleiteranordnung mit wenigstens einem pn-Übergang, der durch das einen bestimmten Leitfähigkeitstyp aufweisende Substrat und eine in die Hauptoberfläche des Substrat eindiffundierte erste Zone entgegengesetzten Leitfähigkeitstyps gebildet ist, mit einer im Abstand von dieser ersten Zone in der Hauptoberfläche eindiffundierten zweiten, hochdotierten Zone des gleichen Leitfähigkeitstyps wie das Substrat und mit wenigstens einer die Hauptoberfläche teilweise bedeckenden Passivierungsschicht, auf der mindestens eine metallische Deckelektrode aufgebracht ist, die an ein Spannungspotential angeschlossen ist, dessen Wert zwischen dem Potentialwert der ersten Zone und dem einer an der Unterseite des Substrats ausgebildeten Metallisierung liegt, dadurch gekennzeichnet, daß bei einer Halbleiteranordnung mit n-dotiertem Substrat (1) die Deckelektrode (D1) im Abstand von der ersten, p-dotierten Zone (4) angeordnet ist und die n-dotierte zweite Zone (5) sowie einen Teil der an die zweite Zone (5) angrenzenden Substratoberfläche überdeckt, während bei einer Halbleiteranordnung mit p-dotiertem Substrat die Deckelektrode (D1) im Abstand von der zweiten, p-dotierten Zone (5) angeordnet ist und die n-dotierte erste Zone (4) sowie einen Teil der an die erste Zone (4) angrenzenden Substratoberfläche überdeckt.

2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Basismetallisierung (9) der als npn-Transistor ausgebildeten Halbleiteranordnung eine zweite Deckelektrode (D2) bildet, die den Randbereich zwischen Basiszone (4) und angrenzendem Substrat (1) überdeckt.

3. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Deckelektrode (D1) an den Abgriff (12) eines monolithisch integrierten Spannungsteilers (11) angeschlossen ist.

4. Halbleiteranordnung nach Anspruch 3, dadurch gekennzeichnet, daß die den Spannungsteiler bildenden Widerstände (R1, R2) zur Temperaturkompensation der Durchbruchspannung aus unterschiedlich dotiertem Silizium gebildet sind.

5. Halbleiteranordnung nach einem der Ansprüche 3 oder 4, dadurch gekennzeichnet, daß die Widerstände (R1, R2) durch eine streifenförmige Zone (11) gebildet sind, die in das Substrat (1) eindiffundiert ist und an ihren Enden einerseits die erste Zone (4) und andererseits die zweite Zone (5) berührt und von der Passivierungsschicht (8) bis auf den Teilerabgriff (12) bedeckt sind.

6. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß bei einer Anordnung als npn-Transistor der an einem Ende auf dem Potential der unteren Metallisierung (3) des Substrats (1) liegende Teilerwiderstand (R1) durch die Metallisierung (7) der Deckelektrode (D1) überdeckt ist, während der andere Teilerwiderstand (R2) nicht oder allenfalls teilweise von dieser Metallisierung (7) überdeckt ist.

7. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die die Deckelek-

trode (D1) bildende Metallisierung (7) bei einer als npn-Transistor ausgebildeten Anordnung die an der Hauptoberfläche (6) ausgebildeten Übergangsbereiche zwischen der zweiten Zone (5) und dem Substrat (1) vollständig überdeckt.

8. Halbleiteranordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß bei einer als npn-Transistor ausgebildeten Anordnung die an der Hauptoberfläche (6) befindlichen Übergangsbereiche zwischen der zweiten Zone (5) und dem Substrat (1) bis auf die Stellen von der die Deckelektrode (D1) bildenden Metallisierung (7) überdeckt sind, wo dieser Bereich dem mit der Basis verbundenen Teilerwiderstand (R2) gegenüberliegt.

9. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zwischen der ersten Zone (4) und einem Widerstandsstreifen (11) eine streifenförmige Ausbuchtung (5A) der zweiten Zone (5) in das Substrat (1) diffundiert ist, die die erste Zone (4) nicht berührt, und den Widerstandsstreifen (11) allenfalls in der Nähe seiner Einmündung in die zweite Zone (5).

10. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die über dem Substrat (1) liegende Passivierungsschicht (8) im Bereich zwischen der ersten Zone (4) und der zweiten Zone (5,5A) dünner ist als zwischen dem Widerstandsstreifen (11) und der zweiten Zone (5,5A).

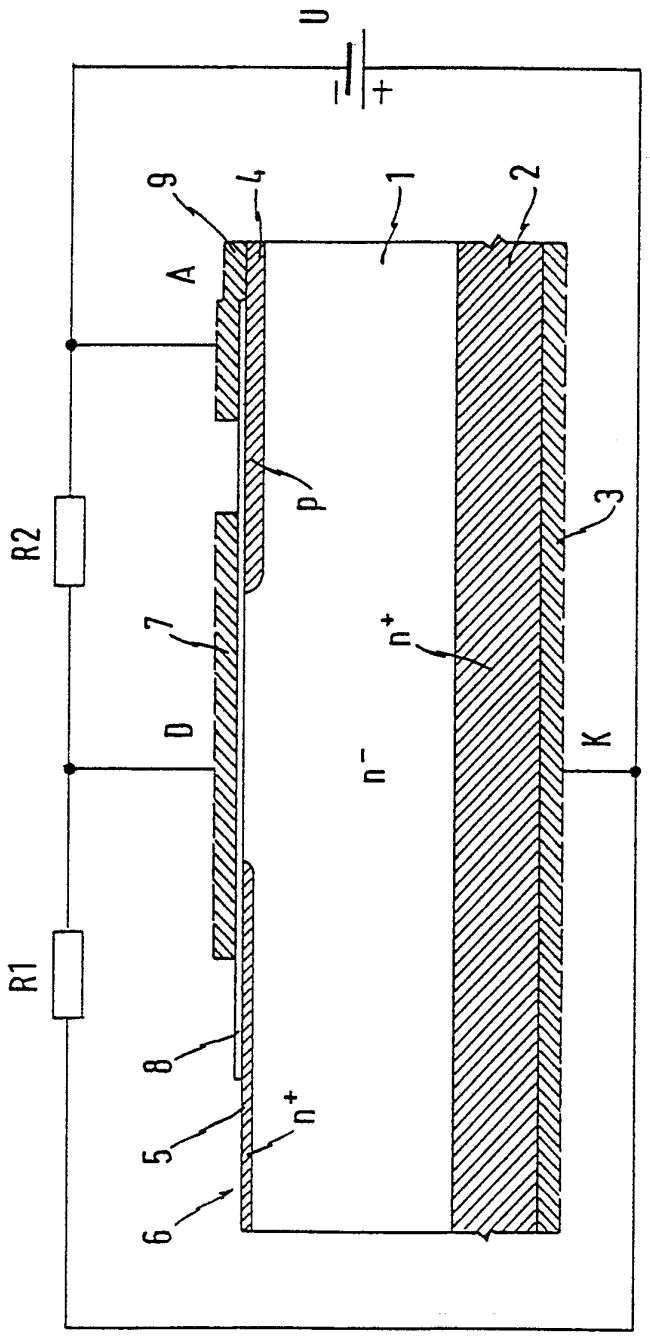


FIG. 1

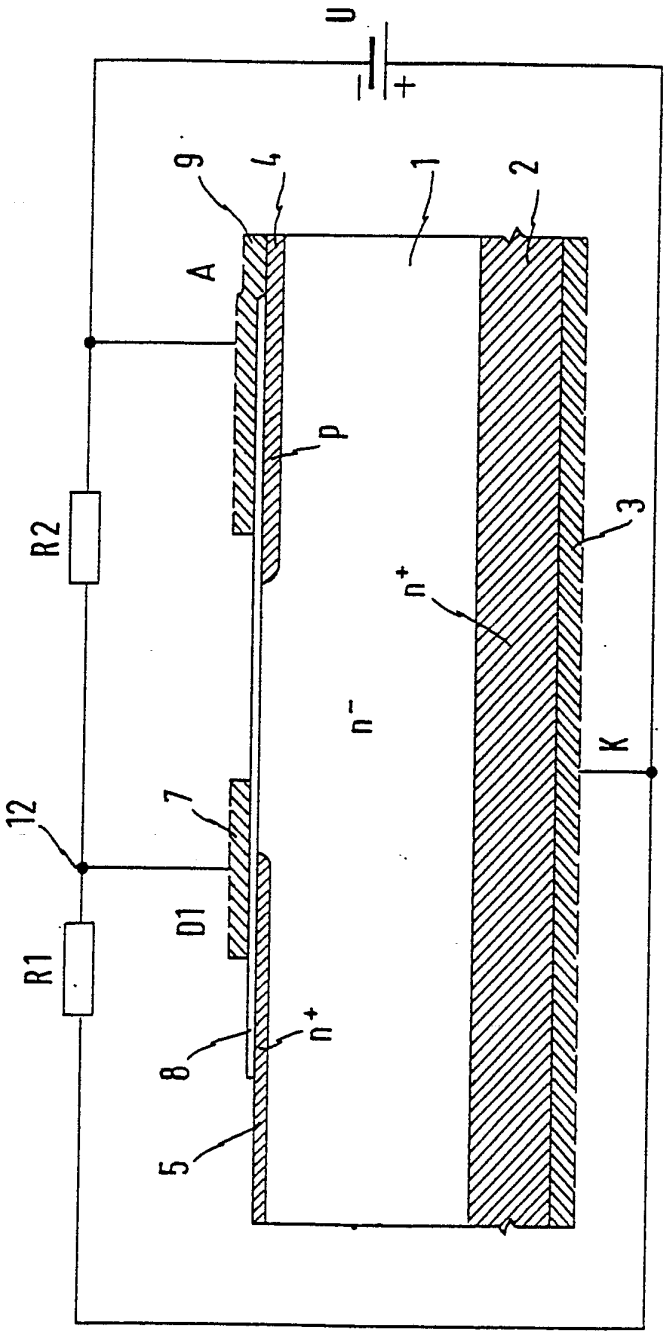


FIG. 2

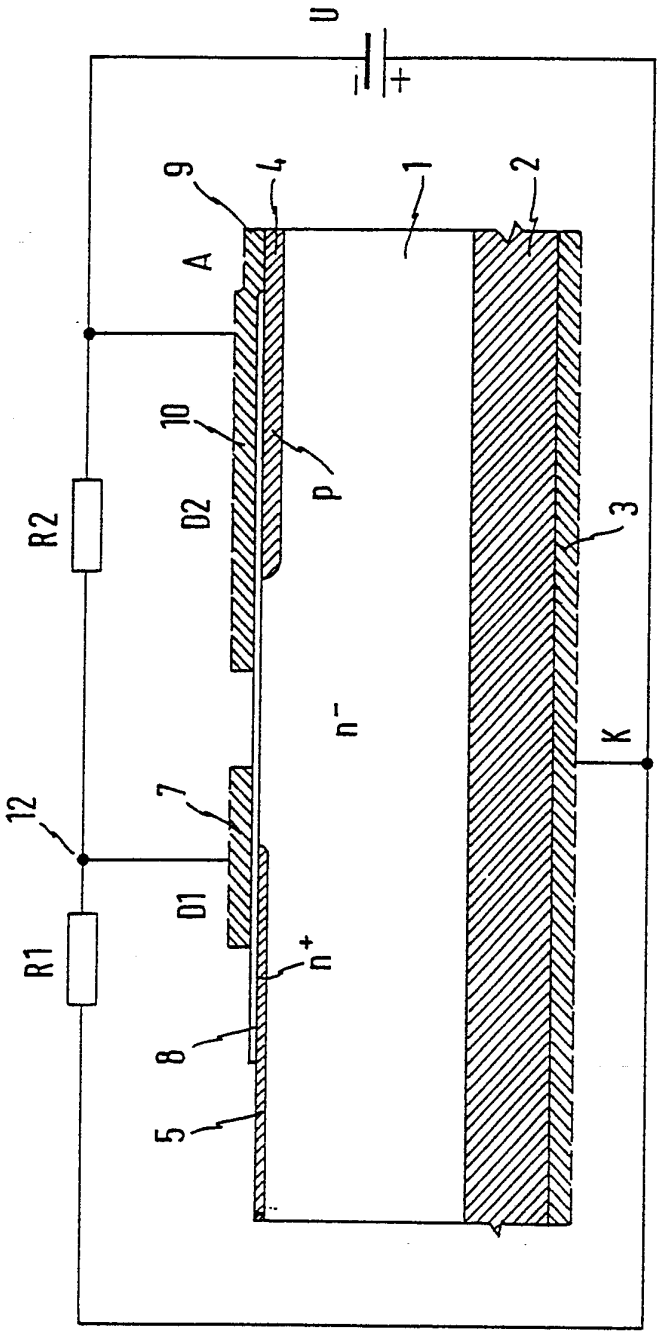


FIG. 3

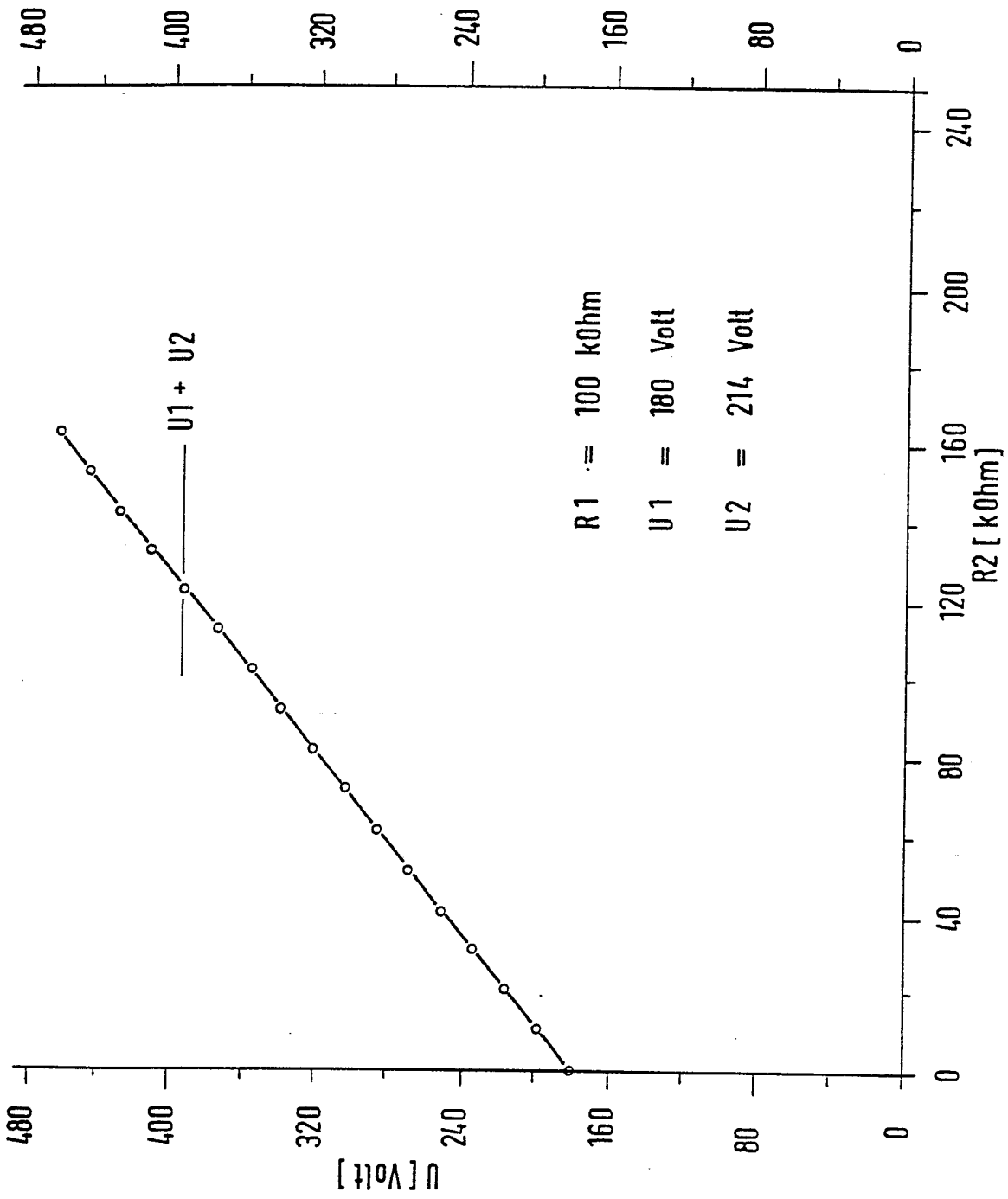

U [Volt]
480
400
320
240
160
80
0
R2 [kOhm]
0
40
80
120
160
200
240
U1 + U2
R 1 = 100 kOhm
U 1 = 180 Volt
U 2 = 214 Volt

FIG. 4

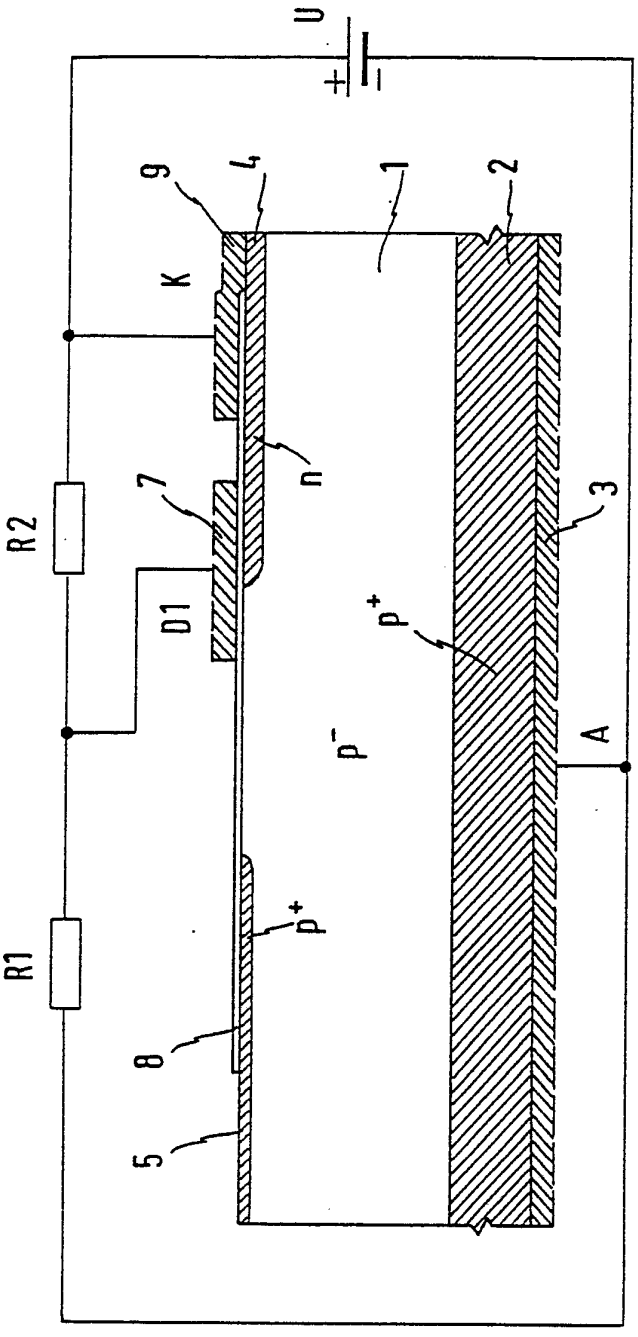


FIG. 5

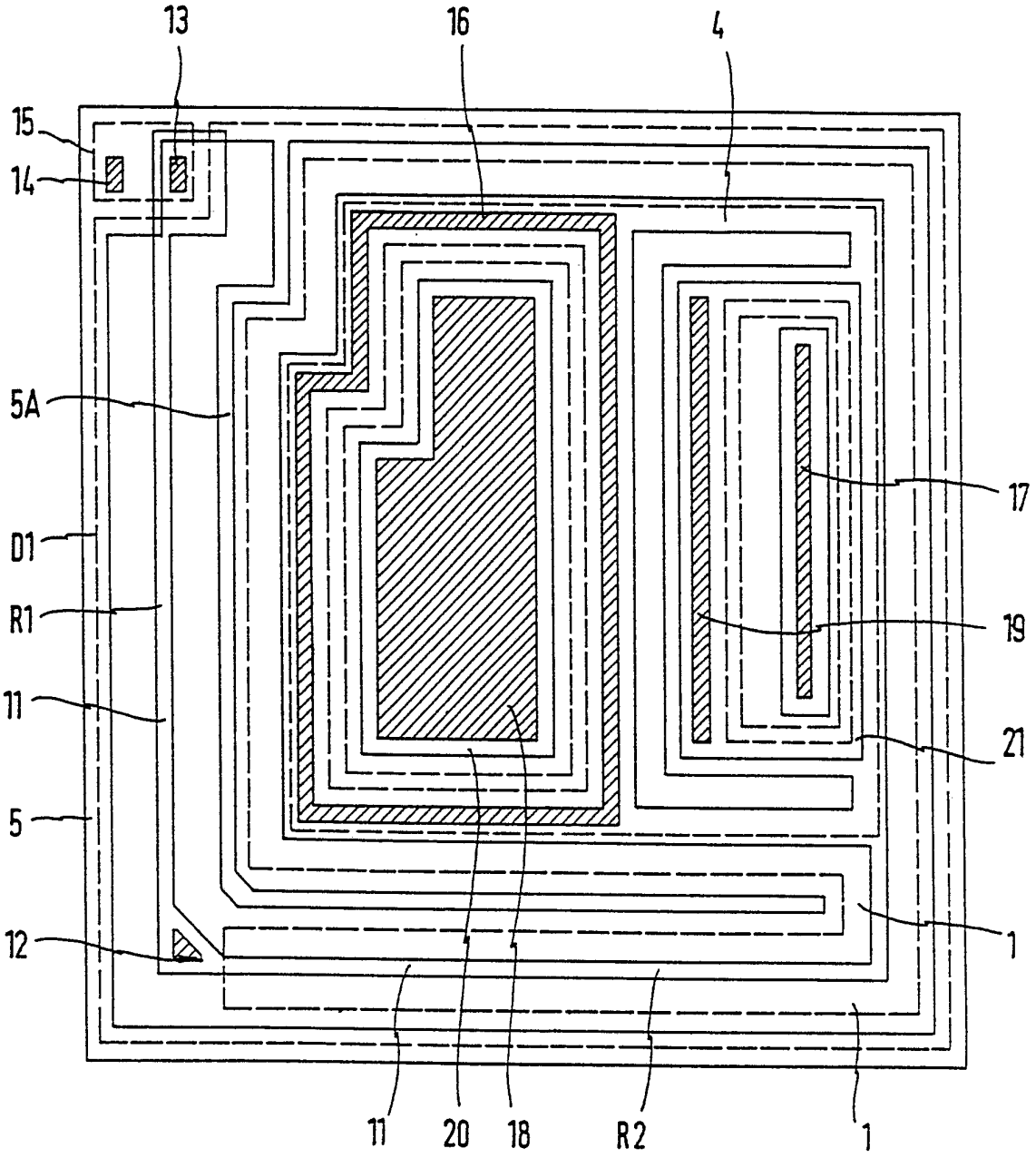


FIG. 6

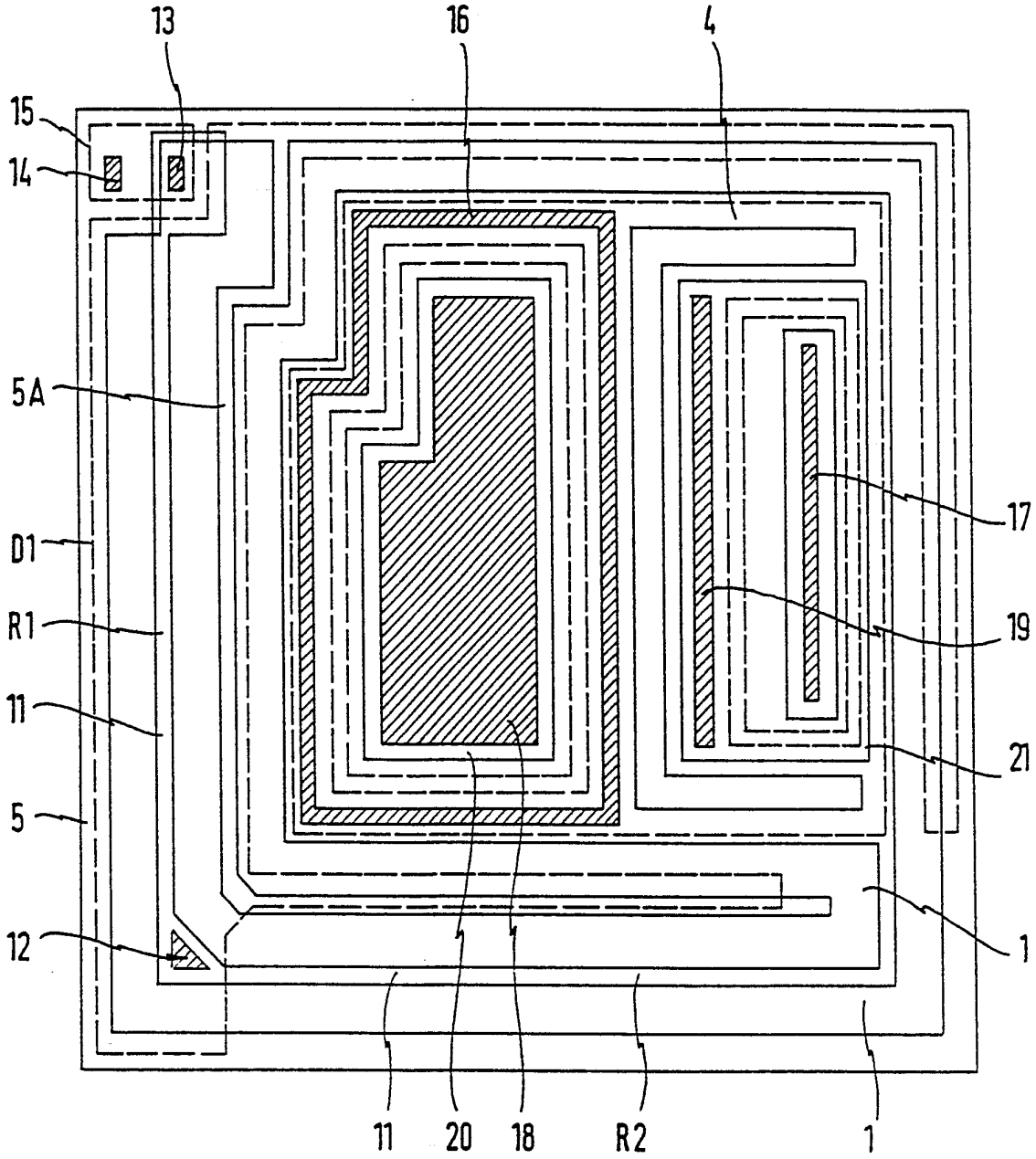


FIG. 7

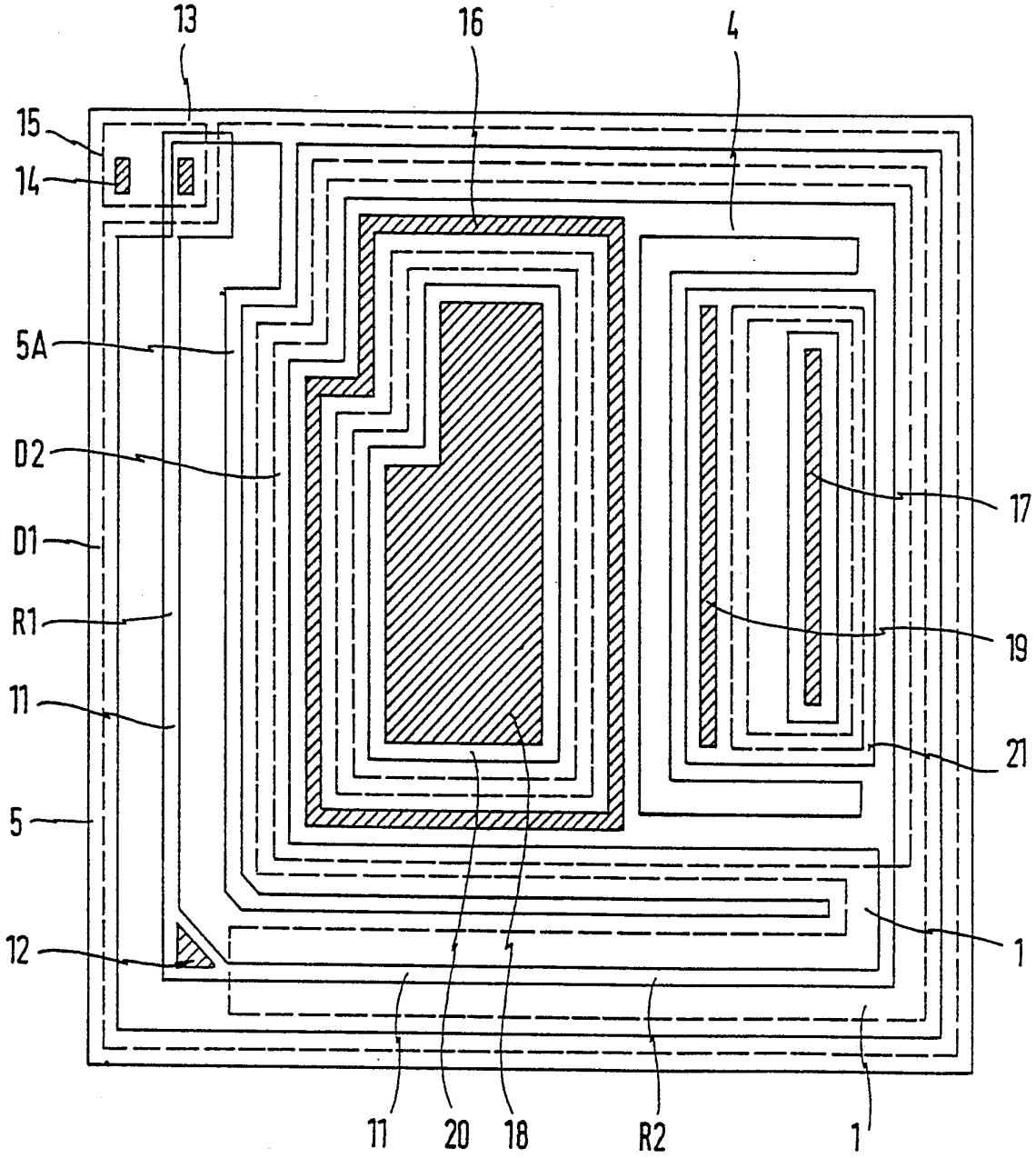


FIG. 8

INTERNATIONAL SEARCH REPORT

International Application No PCT/DE91/00909

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) [6]

According to International Patent Classification (IPC) or to both National Classification and IPC

Int.Cl[5]: H01L 29/06: H01L 27/082

II. FIELDS SEARCHED

Minimum Documentation Searched [7]

Classification System	Classification Symbols
Int.Cl[5]	H01L

Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched [8]

III. DOCUMENTS CONSIDERED TO BE RELEVANT [9]

Category *	Citation of Document, [11] with indication, where appropriate, of the relevant passages [12]	Relevant to Claim No. [13]
A	WO, A, 8302528 (ROBERT BOSCH GMBH) 21 July 1983 (cited in the application) see page 4, paragraph 2 - page 5, paragraph 1; claims 1-3; figures 3-6	1-5
A	IBM TECHNICAL DISCLOSURE BULLETIN. volume 19, No. 2, July 1976, NEW YORK US pages 478 - 479; C.G. JAMBOTKAR : "Spaced field plate for increasing planar junction breakdown voltage" see the whole document	1-2,7

* Special categories of cited documents: [10]

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report
13 February 1992 (13.02.92)	27 February 1992 (27.02.92)
International Searching Authority	**Signature of Authorized Officer**
European Patent Office	

ANNEX TO THE INTERNATIONAL SEARCH REPORT ON INTERNATIONAL PATENT APPLICATION NO. DE 9100909 SA 53229

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 13/02/92
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO-A-8302528	21-07-83	DE-A- 3227536	28-07-83
		EP-A,B 0099897	08-02-84
		US-A- 4618875	21-10-86

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen PCT/DE 91/00909

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben)[6]

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

Int.Kl. 5 H01L29/06; H01L27/082

II. RECHERCHIERTE SACHGEBIETE

Recherchierter Mindestprüfstoff [7]

Klassifikationssytem	Klassifikationssymbole
Int.Kl. 5	H01L

Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen [8]

III. EINSCHLAGIGE VEROFFENTLICHUNGEN [9]

Art.°	Kennzeichnung der Veröffentlichung[11], soweit erforderlich unter Angabe der maßgeblichen Teile[12]	Betr. Anspruch Nr.[13]
A	WO,A,8 302 528 (ROBERT BOSCH GMBH) 21. Juli 1983 in der Anmeldung erwähnt siehe Seite 4, Absatz 2 - Seite 5, Absatz 1; Ansprüche 1-3; Abbildungen 3-6	1-5
A	IBM TECHNICAL DISCLOSURE BULLETIN. Bd. 19, Nr. 2, Juli 1976, NEW YORK US Seiten 478 - 479; C.G. JAMBOTKAR: 'Spaced field plate for increasing planar junction breakdown voltage' Siehe das ganze Dokument	1-2,7

° Besondere Kategorien von angegebenen Veröffentlichungen [10]:

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

IV. BESCHEINIGUNG

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
13. FEBRUAR 1992	27. 02. 92
Internationale Recherchenbehörde	**Unterschrift des bevollmächtigten Bediensteten**
EUROPAISCHES PATENTAMT	FRANSEN

Formblatt PCT/ISA/210 (Blatt 2) (Januar 1985)

ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.

DE 9100909
SA 53229

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentdokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am 13/02/92
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO-A-8302528	21-07-83	DE-A-	3227536	28-07-83
		EP-A,B	0099897	08-02-84
		US-A-	4618875	21-10-86

EPO FORM P0473

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82