



(12) 发明专利申请

(10) 申请公布号 CN 104299948 A

(43) 申请公布日 2015.01.21

(21) 申请号 201410145748.0

(22) 申请日 2014.04.11

(30) 优先权数据

61/810,813 2013.04.11 US

(71) 申请人 优博创新科技有限公司

地址 中国香港荃灣沙咀道 11 號達貿中心 15
樓 18 室

(72) 发明人 樊俊豪

(74) 专利代理机构 上海汉声知识产权代理有限公司 31236

代理人 胡晶

(51) Int. Cl.

H01L 23/29 (2006.01)

H01L 23/495 (2006.01)

H01L 23/31 (2006.01)

H01L 21/48 (2006.01)

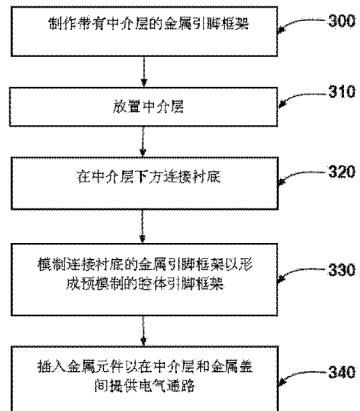
权利要求书2页 说明书6页 附图18页

(54) 发明名称

具有芯片贴装焊盘的腔体封装

(57) 摘要

本发明提供一种腔体封装。该封装包括金属引脚框架和衬底，衬底贴装于中介层并作为引脚框架一部分。衬底通常具有与附着在衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数；半导体器件通常贴装于衬底的裸露的顶部表面上。该腔体封装还包括模制至引脚框架的塑料部分以形成衬底腔体。该衬底腔体允许连通至衬底的裸露的顶部表面以用于固定半导体器件。该腔体封装还包括连接元件，用于通过从金属盖到中介层的电气通路使金属盖接地。



1. 一种腔体封装,包括 :

金属引脚框架 ;

附着于所述引脚框架的衬底,所述衬底具有与附着在所述衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数;以及

模制至引脚框架以形成衬底腔体的塑料部分,包括用于附着半导体器件的衬底的裸露的上表面。

2. 根据权利要求 1 所述的腔体封装,其特征在于 :所述金属引脚框架包括中介层,所述衬底贴装于所述中介层。

3. 根据权利要求 2 所述的腔体封装,其特征在于 :所述衬底包括位于其上部表面的电绝缘的金属特征,用于与半导体器件的引线结合。

4. 根据权利要求 3 所述的腔体封装,其特征在于 :所述金属特征能够形成接地层,用于与所述中介层连接。

5. 根据权利要求 3 所述的腔体封装,其特征在于 :所述金属特征可以形成电源层。

6. 根据权利要求 4 所述的腔体封装,其特征在于 :进一步包括 :

贴装在所述塑料部分的金属盖,用于关闭和封装所述衬底腔体;以及

连接元件,用于通过从所述金属盖到所述中介层的电气通路将所述金属盖接地。

7. 根据权利要求 6 所述的腔体封装,其特征在于 :所述塑料部分包括插槽,所述连接元件插入至所述插槽中。

8. 根据权利要求 6 所述的腔体封装,其特征在于 :所述连接元件制造于所述引脚框架上。

9. 根据权利要求 1 所述的腔体封装,其特征在于 :所述金属特征制作于所述衬底的裸露的底部表面上,用于焊接至 PCB 板上以利于散热。

10. 根据权利要求 1 所述的腔体封装,其特征在于 :所述衬底由以下材料之一制成 :氧化铝(A12O3),氮化铝(AlN),陶瓷,硅树脂(Si),砷化镓(GaAs)。

11. 一种制造腔体封装的方法,其特征在于,该方法包括 :

制作金属引脚框架 ;

将衬底贴装到所述引脚框架上,所述衬底具有与附着于衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数;以及

将塑料模制至引脚框架形成塑料部分,以形成衬底腔体,该衬底腔体包括用来连接半导体器件的衬底的裸露的顶部表面。

12. 根据权利要求 11 所述的制造腔体封装的方法,其特征在于 :所述模制过程在将衬底连接到引脚框架之前进行。

13. 根据权利要求 11 所述的制造腔体封装的方法,其特征在于,所述模制过程进一步包括 :将塑料部分模制到连接衬底的引脚框架上,以形成衬底腔体。

14. 根据权利要求 11 所述的制造腔体封装的方法,其特征在于,进一步包括 :

将胶带叠加到引脚框架的底部表面上;以及

其中,连接衬底到引脚框架上包括放置衬底到引脚框架中心的胶带上。

15. 根据权利要求 14 所述的制造腔体封装的方法,其特征在于,进一步包括 :

模制后,去除胶带。

16. 根据权利要求 11 所述的制造腔体封装的方法,其特征在于:制作过程进一步包括制作中介层,将其作为所述引脚框架的一部分,并且其中,贴装过程进一步包括将衬底连接到中介层上。

17. 根据权利要求 16 所述的制造腔体封装的方法,其特征在于,进一步包括:

在衬底的顶部表面制作制作电气绝缘金属特征,用于与半导体器件引线接合以固定至衬底上,金属特征形成接地层并用于与中介层的连接。

18. 根据权利要求 17 所述的制造腔体封装的方法,其特征在于,进一步包括:

形成连接元件;

连接金属盖到塑料部分,以关闭和封装衬底腔体;以及

通过在连接元件与金属盖之间形成接触在金属盖和中介层间形成电气通路。

19. 根据权利要求 18 所述的制造腔体封装的方法,其特征在于:形成所述连接元件的过程进一步包括:

形成连接元件,用来作为引脚框架的一部分。

20. 根据权利要求 18 所述的制造腔体封装的方法,其特征在于:形成所述连接元件的过程进一步包括:

在所述塑料部分内形成插槽;以及

将导电材料插入所述插槽内。

具有芯片贴装焊盘的腔体封装

[0001] 相关申请

本申请要求 2013 年 4 月 11 日提交的美国专利申请 61/810,813 的优先权。优先权依据先前提交的申请要求，并且先前提交的申请的全部内容在此通过引用作为本发明的一个组成部分。

技术领域

[0002] 本发明涉及集成电路领域，特别涉及一种具有芯片贴装焊盘的腔体封装(cavity package)。

背景技术

[0003] 诸如 SOIC (小型塑封集成电路) 的引脚封装和诸如 QFN (四侧无引脚扁平封装, quad-flat no-leads) 以及 DFN (双侧无引脚扁平封装, dual-flat no-leads) 的扁平无引脚封装都用于将集成电路物理地以及电气地连接至印制电路板。两种无引脚扁平封装比较普遍：腔体封装(例如利用设计在封装内的填充了空气或氮气的空腔)，和塑料模塑(例如在封装内具有最少的空气)。腔体封装一般由三部分组成：铜引脚框架，塑料模制体(开放并且未密封的)，以及盖(lid)。

发明内容

[0004] 本发明提供一种具有芯片贴装焊盘的腔体封装及其制造方法。

[0005] 一种腔体封装，包括：

金属引脚框架；

附着于所述引脚框架的衬底，所述衬底具有与附着在所述衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数；以及

模制至引脚框架以形成衬底腔体的塑料部分，包括用于附着半导体器件的衬底的裸露的上表面。

[0006] 一种制造腔体封装的方法，该方法包括：

制作金属引脚框架；

将衬底贴装到所述引脚框架上，所述衬底具有与附着于衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数；以及

将塑料模制至引脚框架形成塑料部分，以形成衬底腔体，该衬底腔体包括用来连接半导体器件的衬底的裸露的顶部表面。

[0007] 与现有技术相比，本发明的有益效果为：

基于匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的，用材料(例如氧化铝(Al₂O₃)，氮化铝(AlN)，陶瓷，硅树脂(Si)，砷化镓(GaAs)等)制成的衬底替换塑模体的塑料 DAP，这可以缓和附着的半导体器件的温度诱导的应力(temperature-induced stress)。

附图说明

[0008] 配合附图,通过以下详细的描述,本发明的特征与优势将更明显,通过实施例的方式,描述以及附图也一起示例了本发明的特征;并且,其中:

图 1A 和图 1B 为显示了根据现有技术的腔体封装的结构示意图。

[0009] 图 2A-2E 为显示了根据本发明实施例的腔体封装的结构示意图。

[0010] 图 3 为显示了制造图 2A-2E 的腔体封装的流程中的步骤的流程图。

[0011] 图 4 为根据图 2A-2E 和图 3 所制造的腔体封装的平面图(a plan view)。

[0012] 图 5A-5D 为显示了根据本发明另一实施例的腔体封装的结构示意图。

[0013] 图 6 为显示了制造图 5A-5D 的腔体封装的流程中的步骤的流程图。

[0014] 图 7 为根据图 5A -5D 和图 6 制造的腔体封装的平面图(a plan view)。

[0015] 图 8A -8D 为显示了根据本发明又一实施例的腔体封装的结构示意图。

[0016] 图 9 为显示了制造图 8A-8D 的腔体封装的流程中的步骤的流程图。

[0017] 图 10 为显示了制造根据本发明另一 QFN (四侧无引脚扁平封装) 实施例的腔体封装的流程中的步骤的流程图。

[0018] 图 11A-11C 分别为根据图 10 的流程制造的腔体封装的立体图、仰视图和平面图(a plan view)。

[0019] 现在对示例的示范性实施例作出参考性说明,并且此处用特定的语言描述相同的结构。然而应理解为此处并不意指对本发明范围的限制。

具体实施方式

[0020] 在对本发明进行具体详细公开和介绍之前,需了解本发明不受这里公开的特定结构、过程步骤或材料的限制,而是可以扩展为相关领域的普通技术人员所公认的等同结构。应当理解,这里所使用的术语仅仅用来描述特定的实施例而不是限定本发明。

[0021] 根据一个方面,提供了一种腔体封装。该腔体封装包括:

金属引脚框架;

贴附至所述引脚框架的衬底,所述衬底具有裸露的上表面,所述衬底进一步具有与附着在衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数;以及

模制至引脚框架、形成衬底腔体的塑料部分,该衬底腔体包括用于附着半导体器件的衬底的裸露的上表面。

[0022] 金属框架可以包括中介层(Interposer),并且所述衬底贴附至所述中介层。所述衬底可以包括在其上表面电绝缘的金属特征(metallic features),用于与半导体器件的引线接合。所述金属特征(metallic features)可以形成接地层并用于与所述中介层连接。所述金属特征(metallic features)也可形成一电源层。该腔体封装进一步包括:

与塑料部分连接的金属盖,用来关闭和封装衬底腔体;以及

连接元件,用于通过从金属盖至中介层的电气通路来将金属盖接地。

[0023] 塑料部分可以包括插槽并且连接元件能够插入该插槽中。连接元件可以制造在引脚框架上。金属特征(metallic features)可制作于衬底的裸露的底部表面上,用于焊接到PCB板上以利于散热。衬底可以由以下材料中的一种制成:氧化铝(A1203),氮化铝(A1N),

陶瓷, 硅树脂(Si), 砷化镓(GaAs)。

[0024] 根据另一方面, 提供一种制造腔体封装的方法。该方法包括:

制作金属引脚框架;

将衬底贴附到引脚框架上, 衬底具有与附着于衬底上的半导体器件的热膨胀系数相匹配的热膨胀系数; 以及

将塑料模制至引脚框架以形成塑料部分, 形成衬底腔体, 该衬底腔体包括用于附着半导体器件的衬底的裸露的上表面。

[0025] 模制过程可以在将衬底贴附到引脚框架上之前进行。模制过程进一步包括:

将塑料部分模制到贴附衬底的引脚框架上, 以形成衬底腔体。

[0026] 所述方法进一步包括:

将胶带叠加到引脚框架的底部表面上; 以及

贴附衬底到引脚框架上可包括将衬底放置到引脚框架中心的胶带上。

[0027] 所述方法进一步包括:

模制后, 去除胶带。

[0028] 制作过程进一步包括: 制作一个中介层作为引脚框架的一部分, 并且贴附过程进一步包括将衬底贴附到中介层上。

[0029] 所述方法进一步包括:

在衬底的上表面制作电气绝缘金属特征, 用于与半导体器件引线接合以固定至衬底上, 金属特征形成接地层并用于与中介层的连接。

[0030] 所述方法进一步包括:

形成连接元件;

将金属盖连接到塑料部分, 以关闭和封装衬底腔体; 以及

通过在连接元件与金属盖之间形成接触在金属盖和中介层间形成电气通路。

[0031] 连接元件的形成进一步包括:

形成连接元件, 使其作为引脚框架的一部分。

[0032] 连接元件的形成进一步包括:

在塑料部分内形成插槽; 以及

将导体材料插入该插槽内。

[0033] 参照图 1A 和图 1B, 示出了现有技术 SOIC(小型塑封集成电路)腔体封装的结构, 首先制作金属(如: 铜)引脚框架 100(图 1A), 随后应用塑性塑模 110 形成模制前的腔体引脚框架(图 1B), 半导体芯片直接附着在塑料芯片贴装焊盘(DPA)上, 芯片附着焊盘为塑模体中心的一部分, 随后, 引线结合以及用于封装导线和芯片的盖(图中未显示)。腔体封装接着可以放置于印制电路板的母板上。

[0034] 发明人认识到, 为了匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的, 用材料(例如氧化铝(A12O3), 氮化铝(A1N), 陶瓷, 硅树脂(Si), 砷化镓(GaAs)等)制成的衬底可以用于替换塑模体的塑料 DAP。这可以缓和附着的半导体器件的温度诱导的应力(temperature-induced stress)。

[0035] 衬底也可以制造成在衬底顶部具有用于电源和接地焊接的电气绝缘金属特征, 该额外的金属特征也可以制造在衬底的底部用于与印制电路母板间更好的热界面, 并期望在

衬底和金属盖之间提供穿通腔体封装的电气通路。

[0036] 转到图 2A-2E 和图 3, 阐述了根据本发明实施例的腔体封装的结构。如图 2A 所示, 在步骤 300 中, 金属(如:铜)引脚框架 200 制造成具有至少一个中介层 210。作为变形, 中介层可以具有如该实施例的“T”、“I”形状, 或环形形状。

[0037] 金属引脚框架 200 既可以采用可引线结合的表面处理(wire bondable finish)(例如:银(Ag), 镍 / 钯 / 金等)进行预电镀, 也可以在塑料腔体塑模后进行后电镀(以下参照 330 描述)。

[0038] 在步骤 310 中, 中介层 210 朝下放置(图 2B), 在步骤 320 中, 一个尺寸合适的衬底 220 置于引脚框架 200 内, 并且将金属特征利用例如环氧、焊接、锻接等方式附着在中介层 210 上(图 2C)。

[0039] 为了匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的, 衬底由材料(例如氧化铝(Al2O3), 氮化铝(AlN), 陶瓷, 硅树脂(Si), 砷化镓(GaAs)等)制成, 以便于缓和附着的半导体器件的温度诱导(temperature-induced)的应力。一旦半导体器件已经附着并且工作, 衬底 220 也提供热扩散表面来消散半导体器件所产生的热量。

[0040] 衬底可以制造成在衬底顶部具有用于连接中介层 210 以及用于引线结合至芯片的金属特征。金属特征可以形成接地层, 或电源层, 或两者。金属特征也可以选择性地制造在底部表面, 以利于焊接到 PCB 母板上(图中未展示)。

[0041] 中介层 210 提供与衬底 220 之间的贴合面(a bonding surface)以及耦合界面。

[0042] 步骤 330 中, 与衬底贴附的引脚框架模制或预成型的腔体引脚框架 230, 这种引脚框架的特点是内部引脚框架引脚 235 的顶部侧边与中介层 210 顶部侧边裸露以用于引线结合, 衬底 220 的顶部侧边裸露以用于芯片贴附和引线结合, 并且衬底 220(未视出)的底部侧边裸露以用于连接到 PCB 母板上。

[0043] 预成型的腔体引脚框架 230 包括插槽 240(图 2D), 导电元件 250 插入到 240(图 2D)中, 以提供连接中介层 210 和金属盖(图中未显示)的电气通路, 以关闭和封装衬底腔体。电气通路可以用来接地。在变形中, 在每个中介层 210 可以有多于一个腔体引脚框架 230 和导体元件 250。

[0044] 根据图 2A-2E 和图 3 的实施例, 图 4 为具有预贴附(pre-attached)的衬底的腔体塑模引脚框架 230 的平面图。

[0045] 转向图 5A-5D 和图 6 所示, 阐述了根据本发明的另一的实施例的腔体封装的结构。在步骤 600, 金属(例如:铜)引脚框架 500 至少由一个中介层 510 和连接元件 515 制造成, 如图 5A 所示。在此实施例中, 连接元件 515 替换了图 2A-2E, 3 和 4 中所表示的实施例的连接元件 250。作为变形, 中介层 510 可以具有多于一个的连接元件 515.

金属引脚框架 500 既可以采用可引线结合的表面处理(wire bondable finish)(例如:银(Ag), 镍 / 钯 / 金等)进行预电镀, 也可以在塑料腔体塑模后进行后电镀(以下参照 640 描述)。

[0046] 在步骤 610 中, 中介层 510 朝下放置, 并且在步骤 620 中连接元件 515 朝上放置(图 5B)。

[0047] 在步骤 630 中, 尺寸合适的衬底 520 置于引脚框架 500 内, 并且将金属特征采用例如环氧、焊接、锻接等方式附着在中介层 510 上(图 5C)。

[0048] 为了匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的,衬底由材料(例如氧化铝(Al₂O₃),氮化铝(AlN),陶瓷,硅树脂(Si),砷化镓(GaAs)等)制成,以便于缓和附着的半导体器件的温度诱导(temperature-induced)的应力。一旦半导体器件已经附着并且工作,衬底520也提供热扩散表面来消散半导体器件所产生的热量。

[0049] 衬底520可以制造成在衬底顶部具有用于连接中介层510以及用于引线结合至芯片的金属特征。当在内部引脚框架连接至合适的引脚时,金属特征例如可以允许接地层或电源层的形成,当在内部引脚框架连接至合适的引脚时,允许两者的形成。金属特征也可以选择性地制造在底部表面,以利于焊接到PCB母板上(图中未展示)。

[0050] 中介层510提供与衬底520之间的贴合面以及耦合界面。

[0051] 步骤640中,与衬底连接的引脚框架模制成为预成型的腔体引脚框架530,其特点是内部引脚框架引脚535的顶部侧边与中介层510顶部侧边裸露以用于引线结合,衬底520的顶部侧边裸露以用于芯片附着和引线结合,并且衬底520(未视出)的底部侧边裸露以用于连接到PCB母板上。

[0052] 如图5D和图7所示,连接元件515沿引脚框架530扩展,并且在540处裸露以提供一个电气通路连接中介层510和金属盖(图中未展示)来以关闭和封装衬底腔体。电气通路可以用来接地。

[0053] 根据图5A-5D和图6的实施例,图7为具有预贴附的衬底的腔体塑模引脚框架530的平面图。

[0054] 转向图8A-8D以及图9,阐述了根据本发明的又一实施例的腔体封装的结构。在步骤900中,金属(例如:铜)引脚框架800至少由一个中介层810和连接元件815制造成,如图8A所示。在此实施例中,连接元件815以图5A-5D和图6中阐述的实施例中的515相同的方式作用。在变形中,每个中介层810可以有多于一个连接元件815。

[0055] 金属引脚框架800既可以采用可引线结合的表面处理(wire bondable finish)(例如:银(Ag),镍/钯/金等)进行预电镀,也可以在塑料腔体塑模后进行后电镀(以下参照930描述)。

[0056] 步骤910中,中介层810朝下放置,并且在步骤920中连接元件815朝上放置(图8B)。

[0057] 步骤930中,引脚框架800模制成为预成型的腔体引脚框架830,其特点为内部引脚框架引脚835的顶部侧边和中介层810的顶部侧边裸露以用于引线接合。

[0058] 如图8D所示,连接元件815沿引脚框架830延长,并在840处裸露以提供连接中介层810和金属盖(图中未展示)的电气通路。电气通路可以用来接地。在变形中,每个中介层810可以有多于一个连接元件815。

[0059] 步骤940中,尺寸合适的衬底820置于引脚框架830内,并且将金属特征利用例如环氧、焊接、锻接等方式(图8D)附着在中介层810上。

[0060] 为了匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的,衬底由材料(例如氧化铝(Al₂O₃),氮化铝(AlN),陶瓷,硅树脂(Si),砷化镓(GaAs)等)制成,以便于缓和附着的半导体器件的温度诱导(temperature-induced)的应力。一旦半导体器件已经附着并且工作,衬底820也提供热扩散表面来消散半导体器件所产生的热量。

[0061] 衬底820可以制造成在衬底顶部具有用于连接中介层810以及用于引线结合至芯

片的金属特征。当在内部引脚框架连接至合适的引脚时,金属特征例如可以形成接地层或电源层,当在内部引脚框架连接至合适的引线时,可以形成上述两者。金属特征也可以选择性地制造在底部表面,以利于焊接到PCB母板上(图中未展示)。

[0062] 中介层810提供与衬底820之间的贴合面以及耦合界面。

[0063] 图10为示出了用于制造根据本发明另一QFN(四侧无引脚扁平封装)实施例的腔体封装的流程的步骤流程图。图11A-11C分别为根据图10的流程制造的腔体封装的立体图、仰视图和平面图。

[0064] 步骤1000中,制造了QFN金属(如:铜)引脚框架1100(没有芯片贴装焊盘)。步骤1010中,胶带被叠加到引脚框架1100的底部表面上,并且步骤1020中,衬底1120置于引脚框架单元的中心的胶带上(例如:使用拾取与放置(pick-and-place)设备以形成芯片贴装焊盘)。

[0065] 胶带的黏合剂在上部侧边裸露(带有中心孔洞的引脚框架)。附着一衬底。将连接陶瓷衬底和引脚框架的叠层引脚框架(laminated leadframe)塑模。去除胶带。陶瓷被塑模化合物固定。

[0066] 为了匹配附着至衬底的顶部的半导体器件(芯片)的热膨胀系数的目的,衬底由材料(例如氧化铝(Al₂O₃),氮化铝(AlN),陶瓷,硅树脂(Si),砷化镓(GaAs)等)制成,以便于缓和附着的半导体器件的温度诱导(temperature-induced)的应力。一旦半导体器件已经附着并且工作,衬底1120也提供热扩散表面来消散半导体器件所产生的热量。

[0067] 衬底1120可以制造成在衬底顶部具有用于引线结合至芯片的金属特征。金属特征可以允许接地层,或电源层或两者的形成。金属特征也可以选择性地制造在底部表面,以利于焊接到PCB母板上(图中未展示)。

[0068] 接着,步骤1030中,将已贴装的金属引脚框架1100和已贴装的衬底1120塑模以成为预模制的QFN腔体封装1130,并将衬底1120作为芯片贴装焊盘。塑料部分被塑模至引脚框架以形成衬底腔体。当腔体封装1130同时支撑引脚框架1100和衬底1120时,就可以去掉胶带。

[0069] 在变形中,可以包括一个或更多用于连接衬底1120的金属特征与金属盖的连接元件以用于金属盖接地。连接元件可以与引脚框架1100一起形成,或者作为单独的元件形成在腔体封装1130中。

[0070] 上述实施例说明本发明一个或多个应用种类的方法,显然地,本领域一般技术人员根据本发明的方法和思想可想到的诸多修改形式、用途和细节实现均不脱离本发明的实体,也不脱离本发明的方法和思想。因此,本发明的范围不受上述特定描述的限定,而是以下述所附权利要求的限定为准。

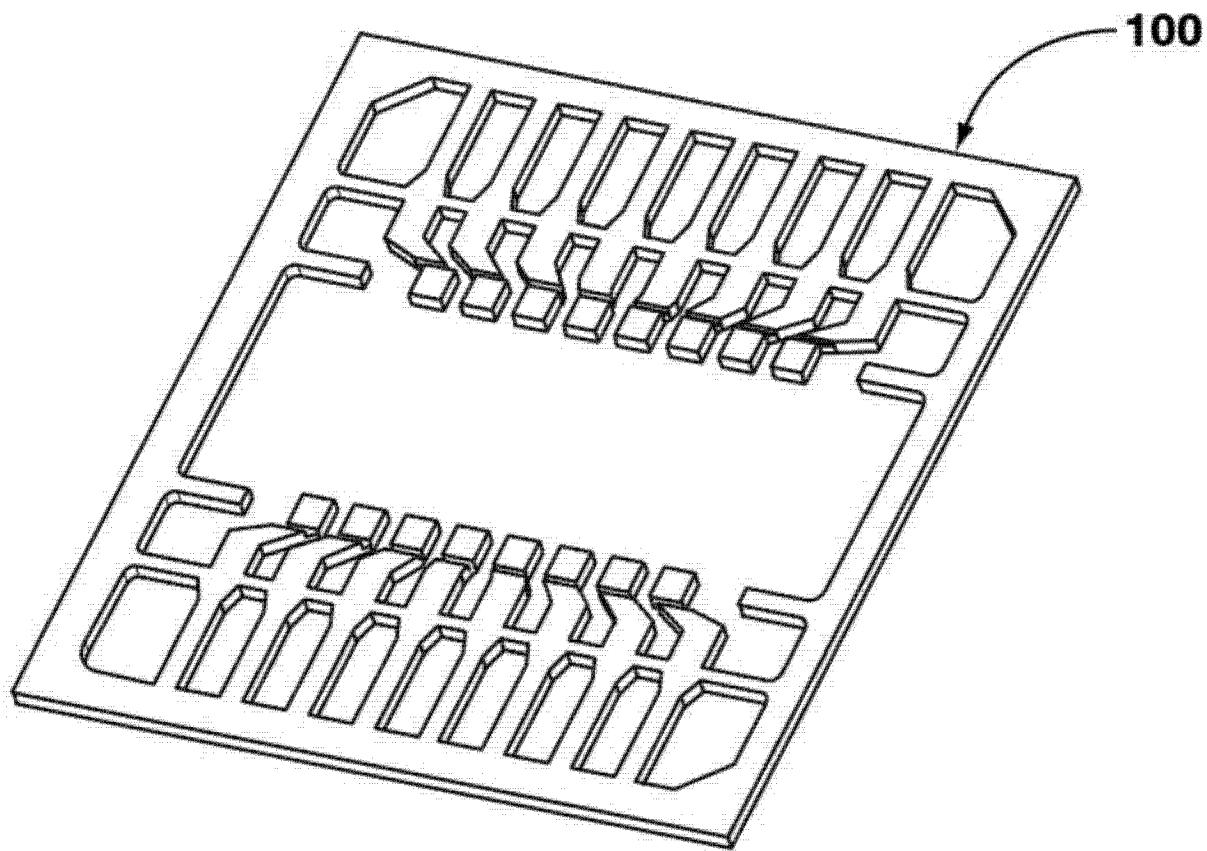


图 1A

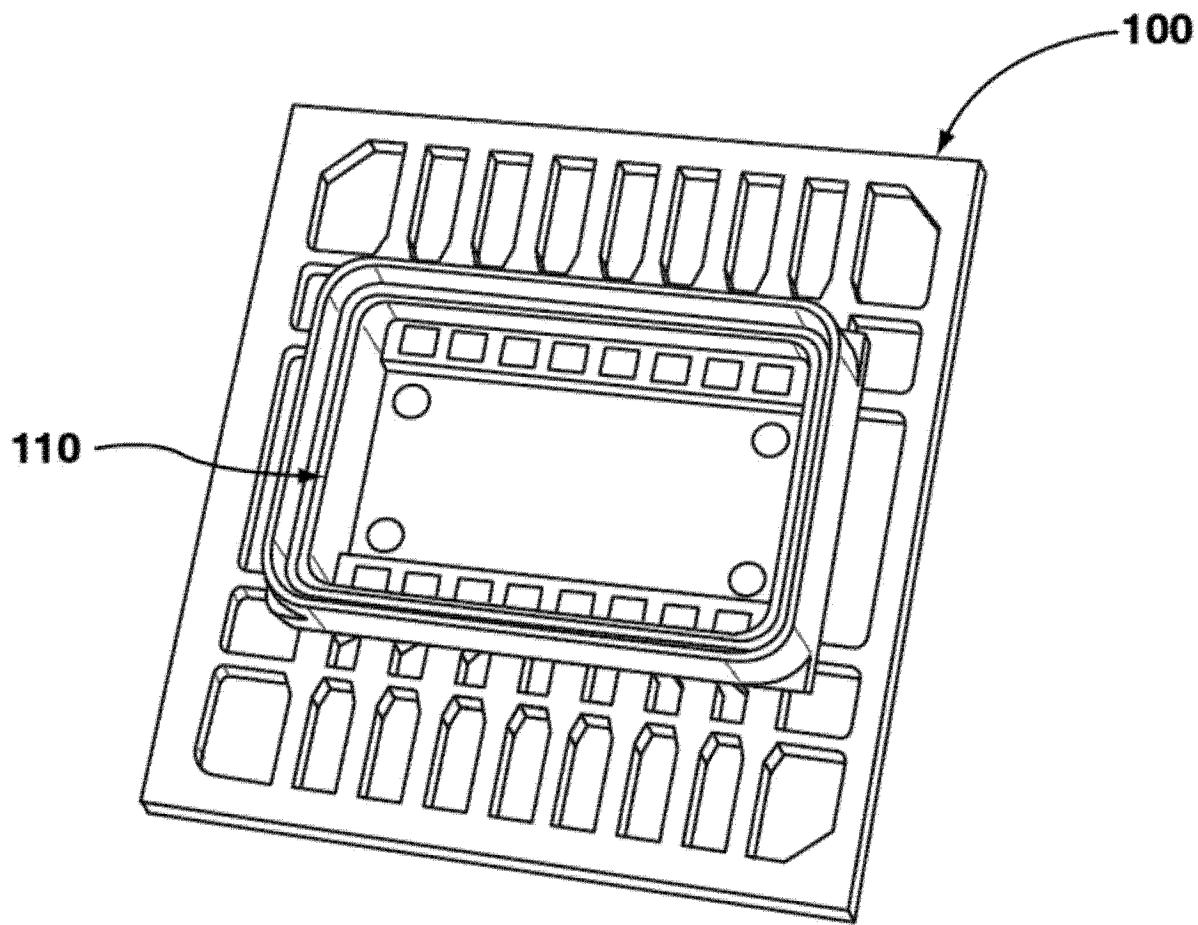


图 1B

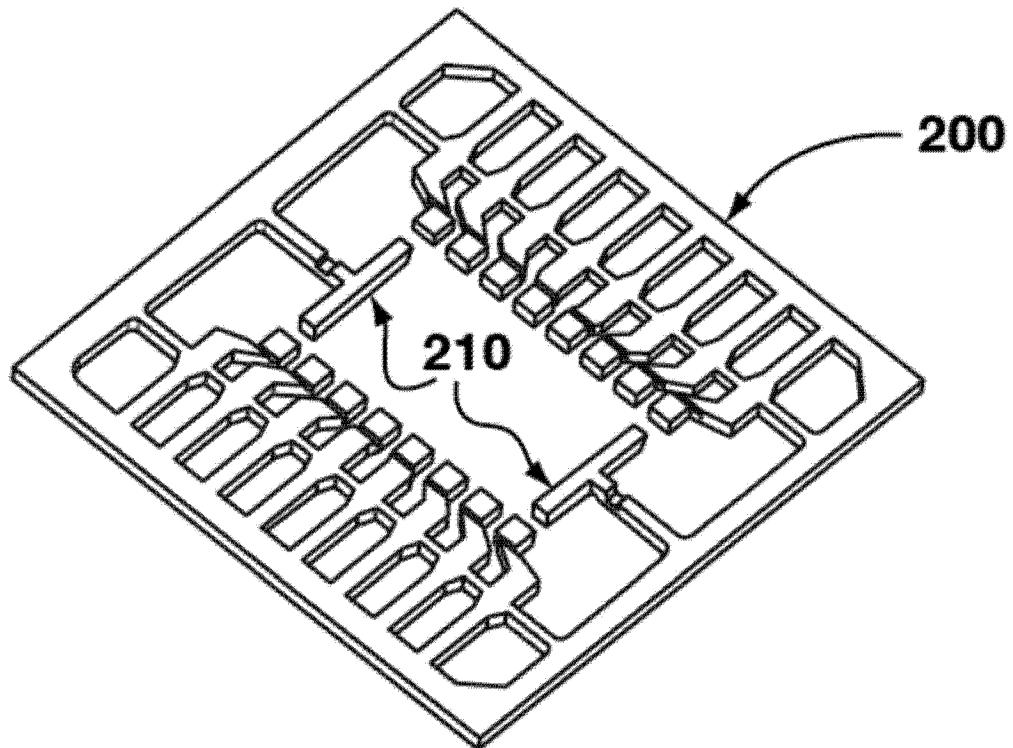


图 2A

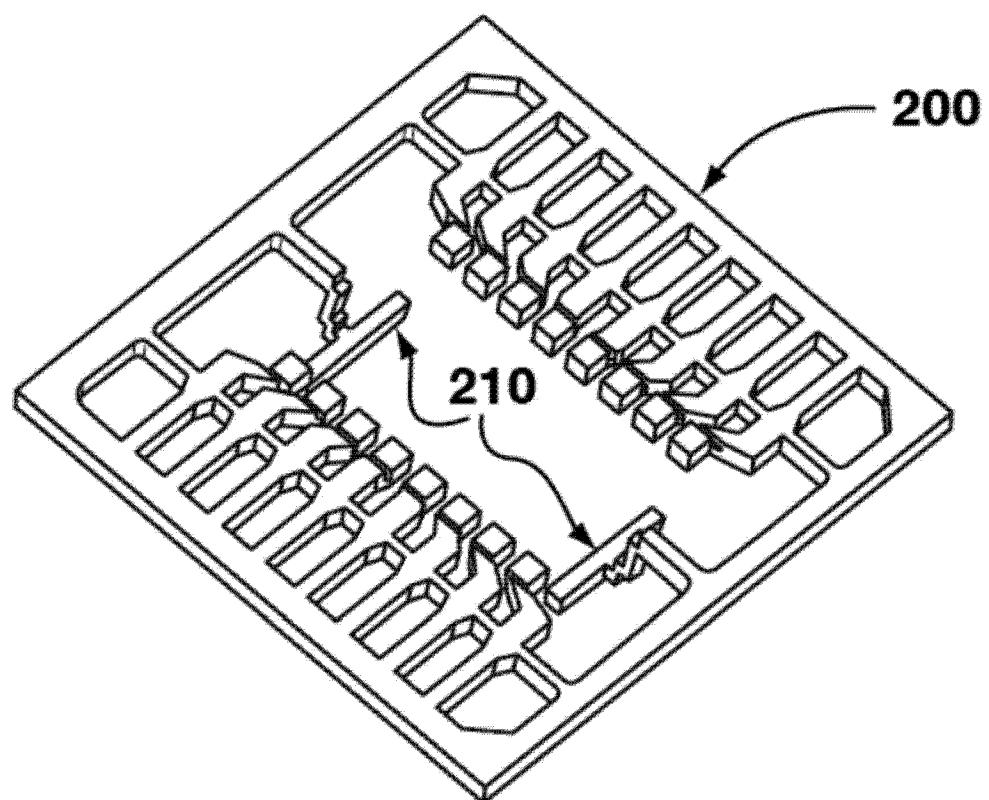


图 2B

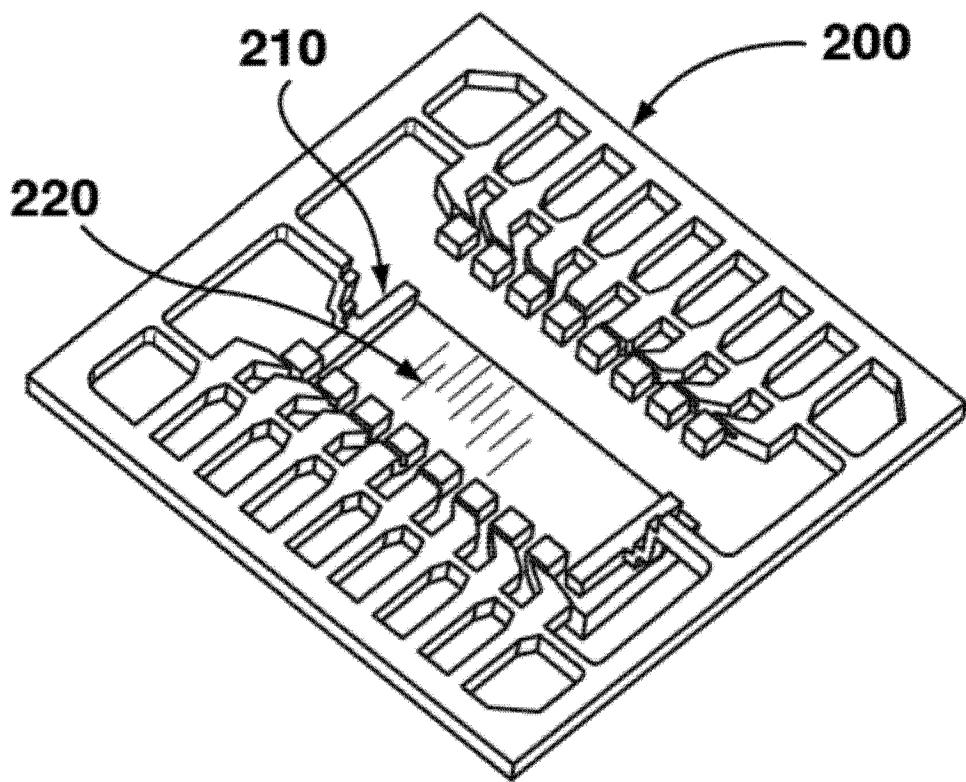


图 2C

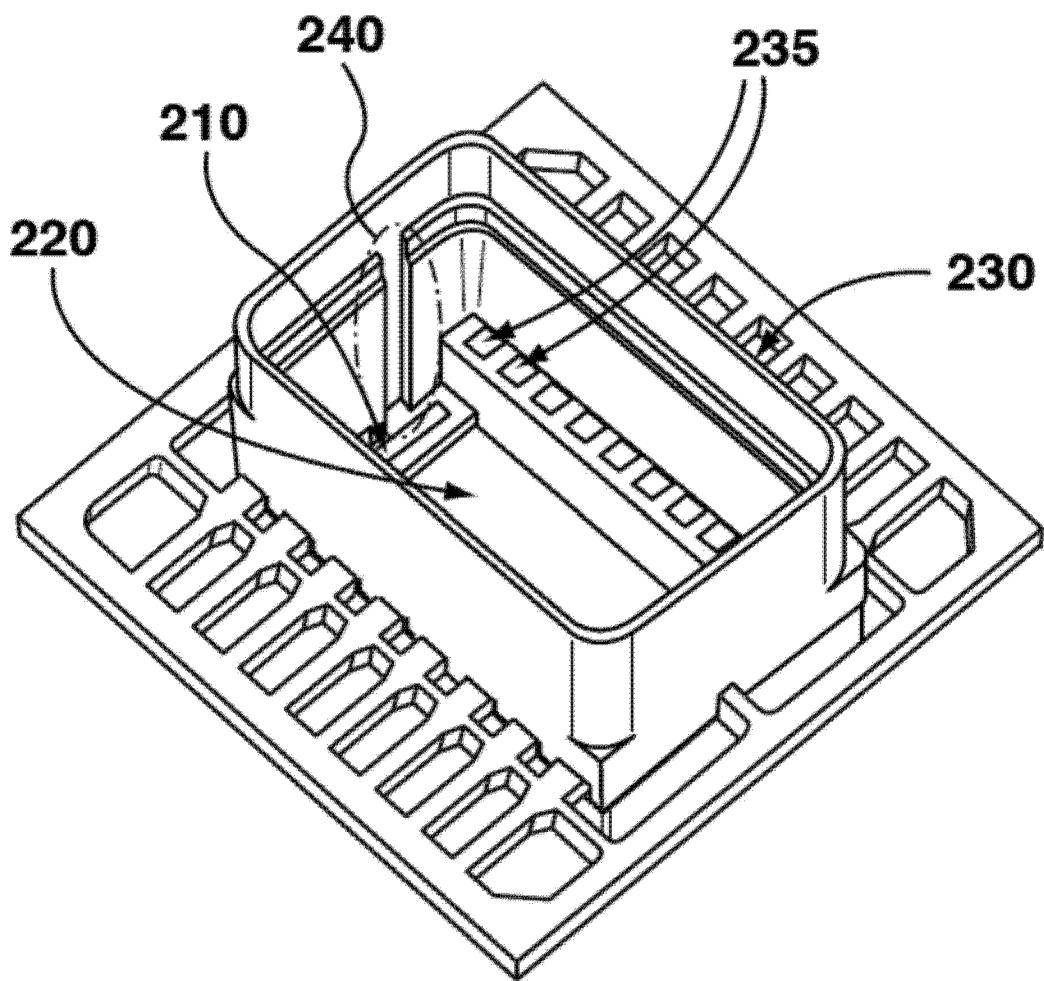


图 2D

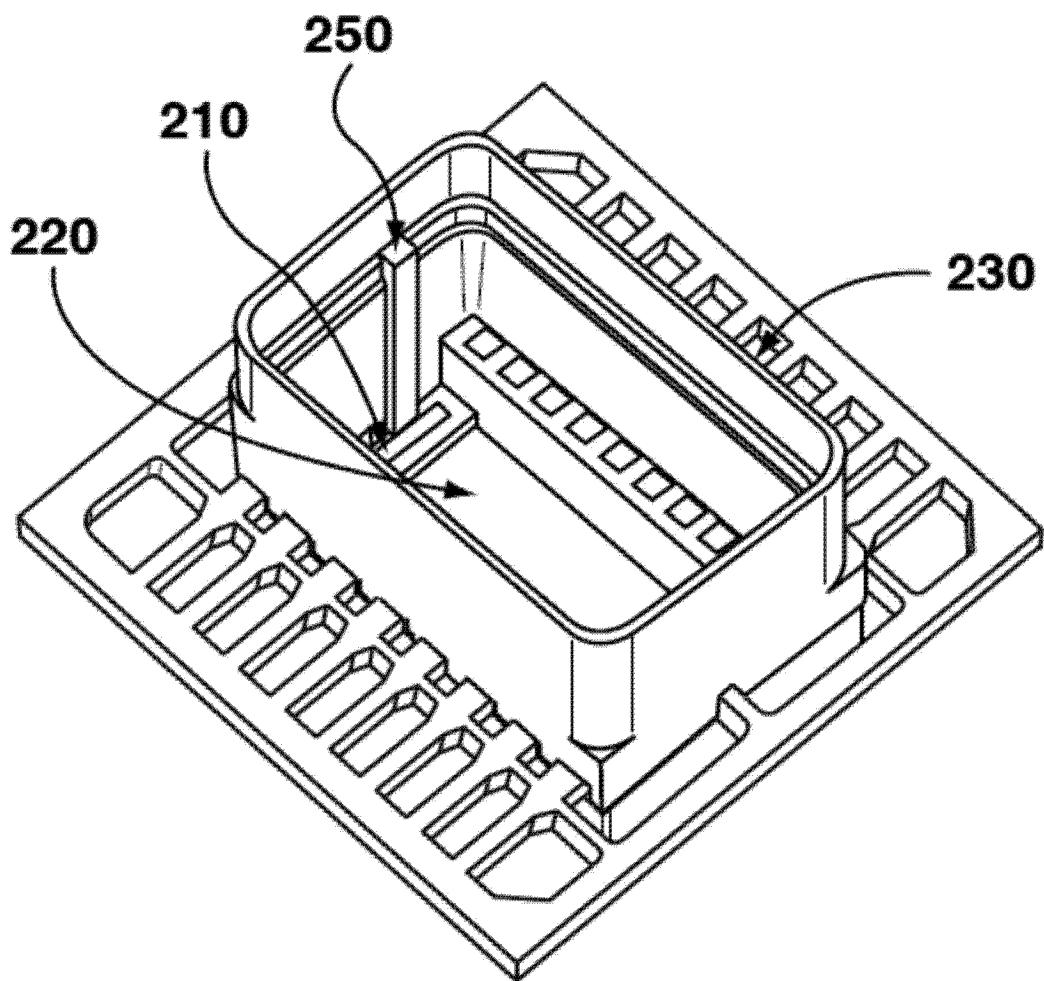


图 2E

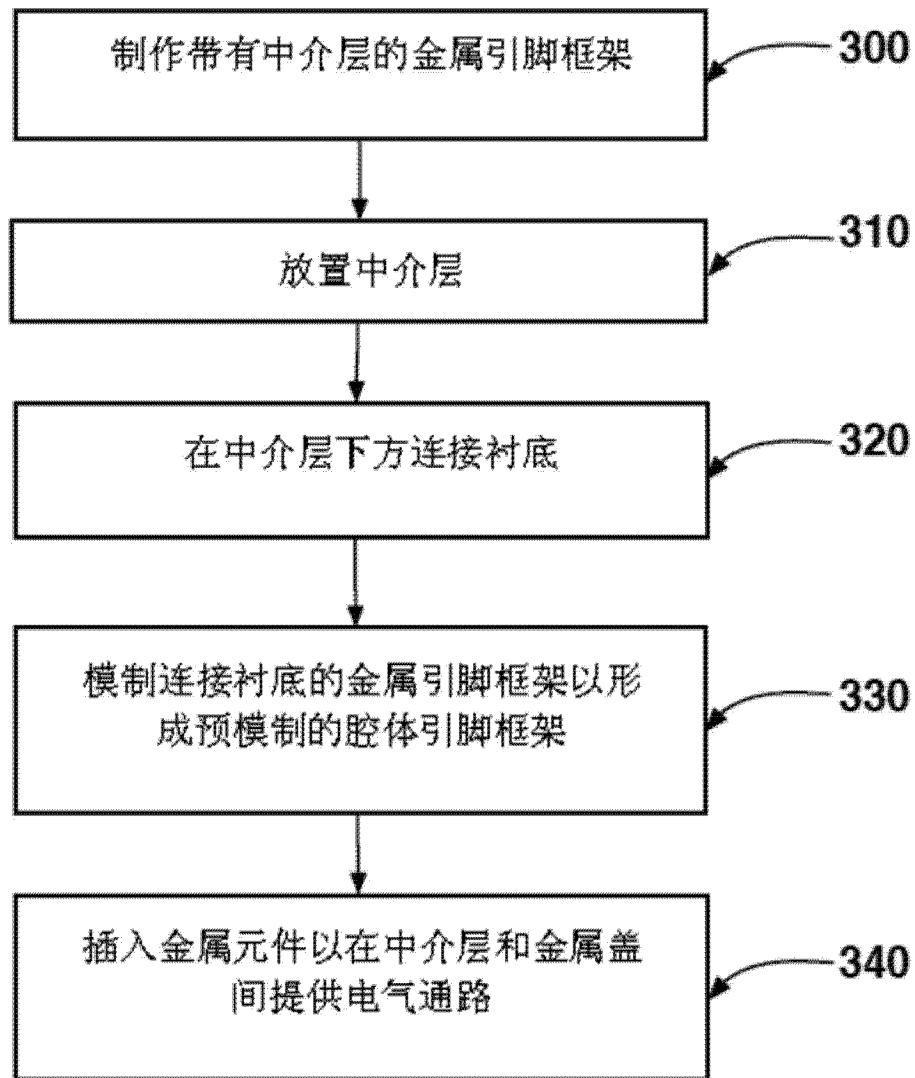


图 3

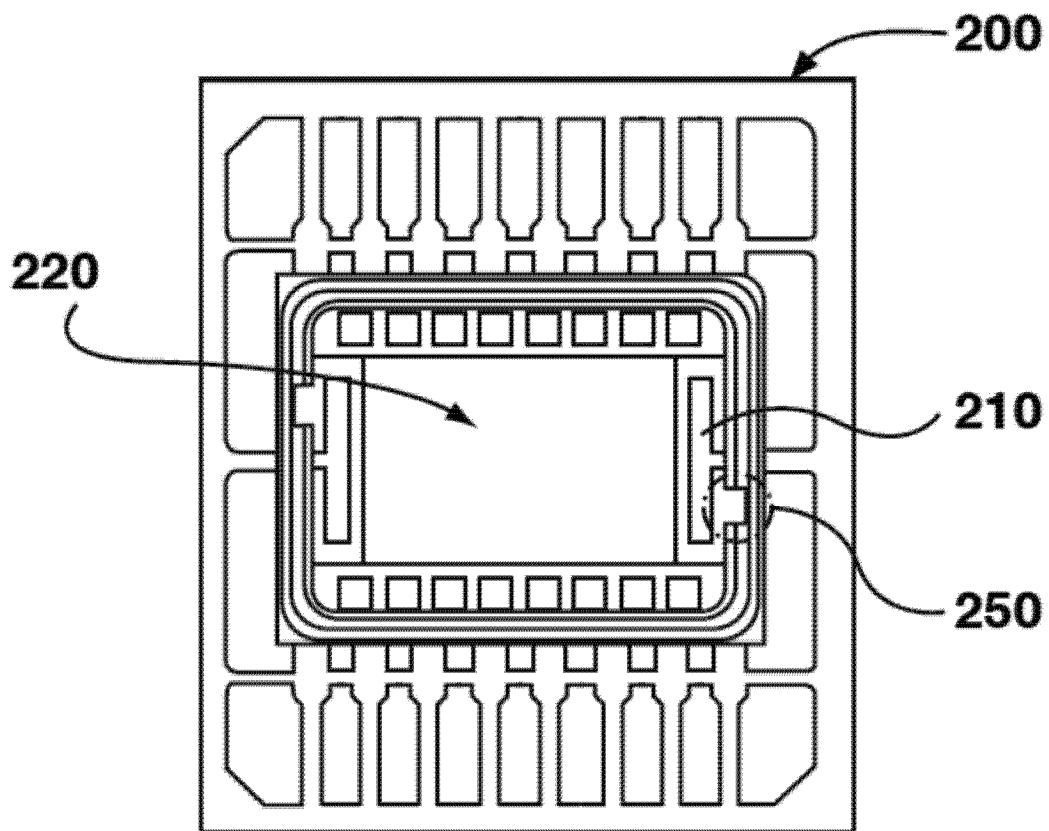


图 4

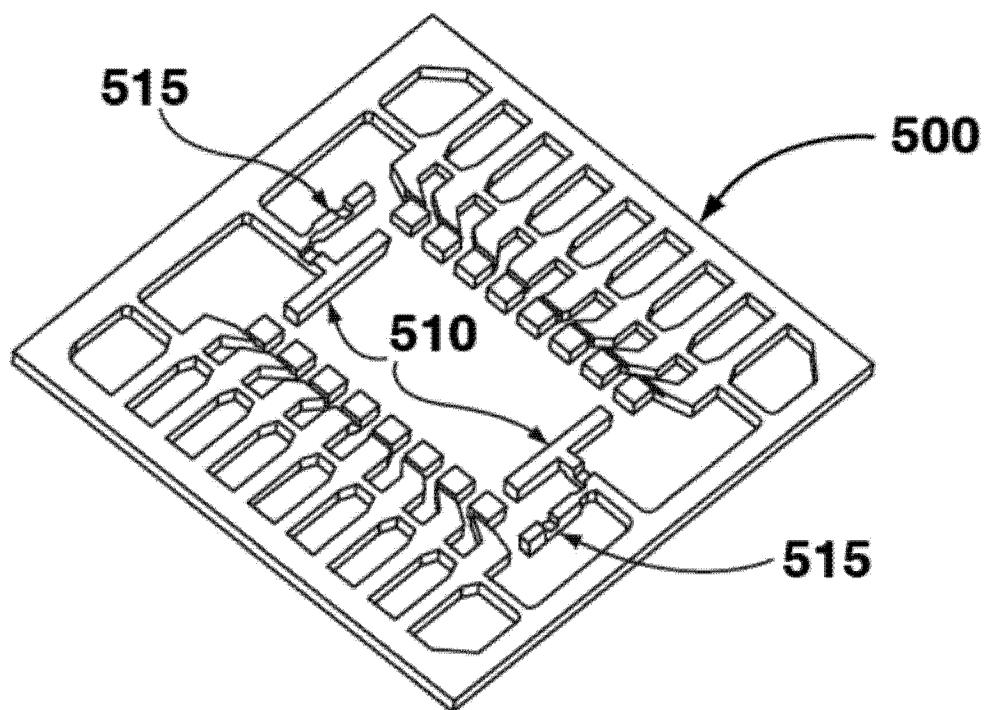


图 5A

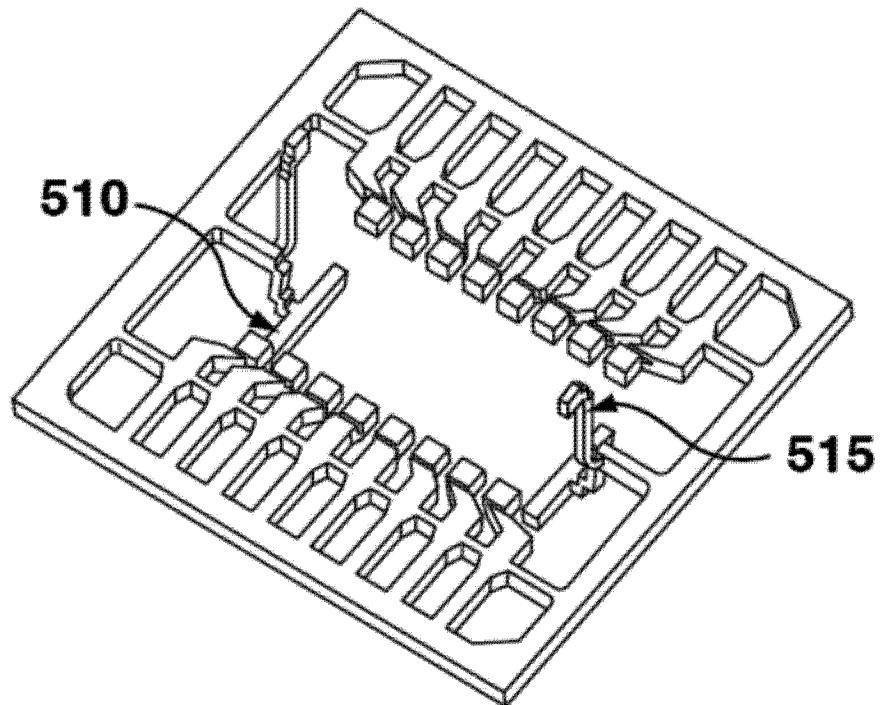


图 5B

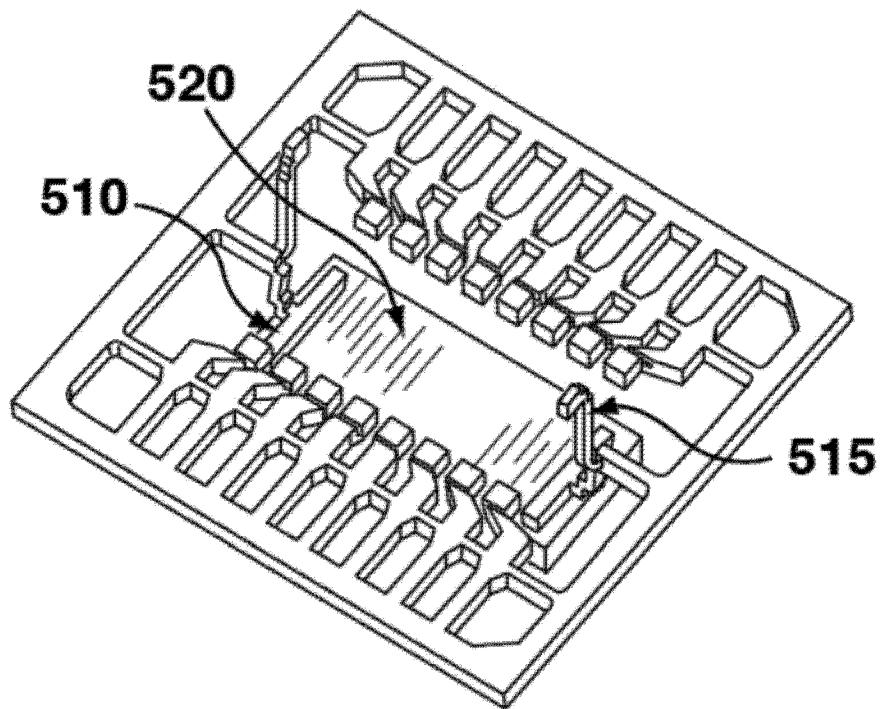


图 5C

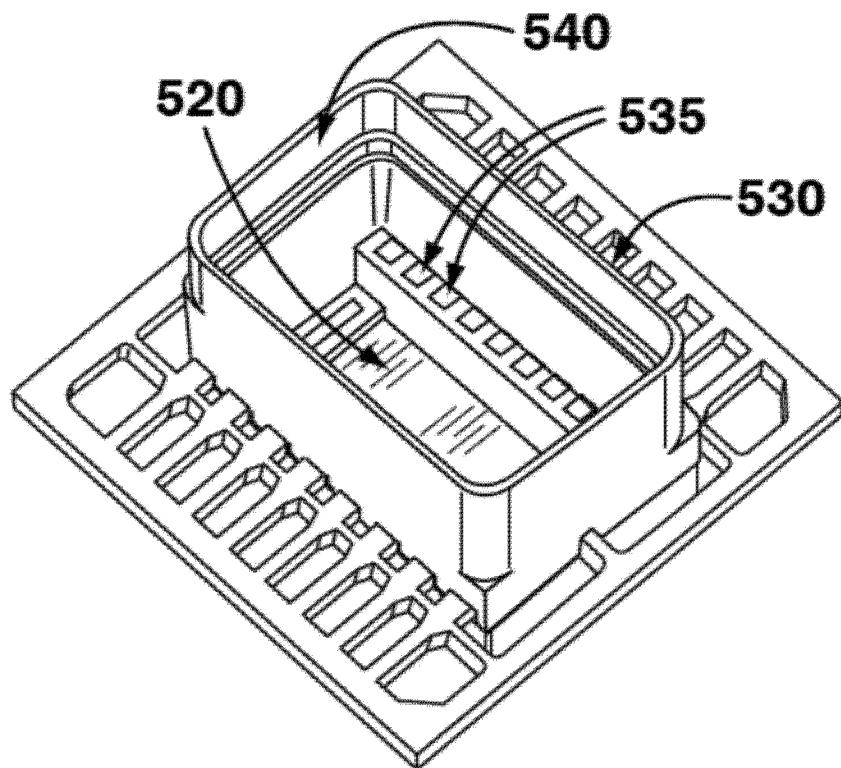
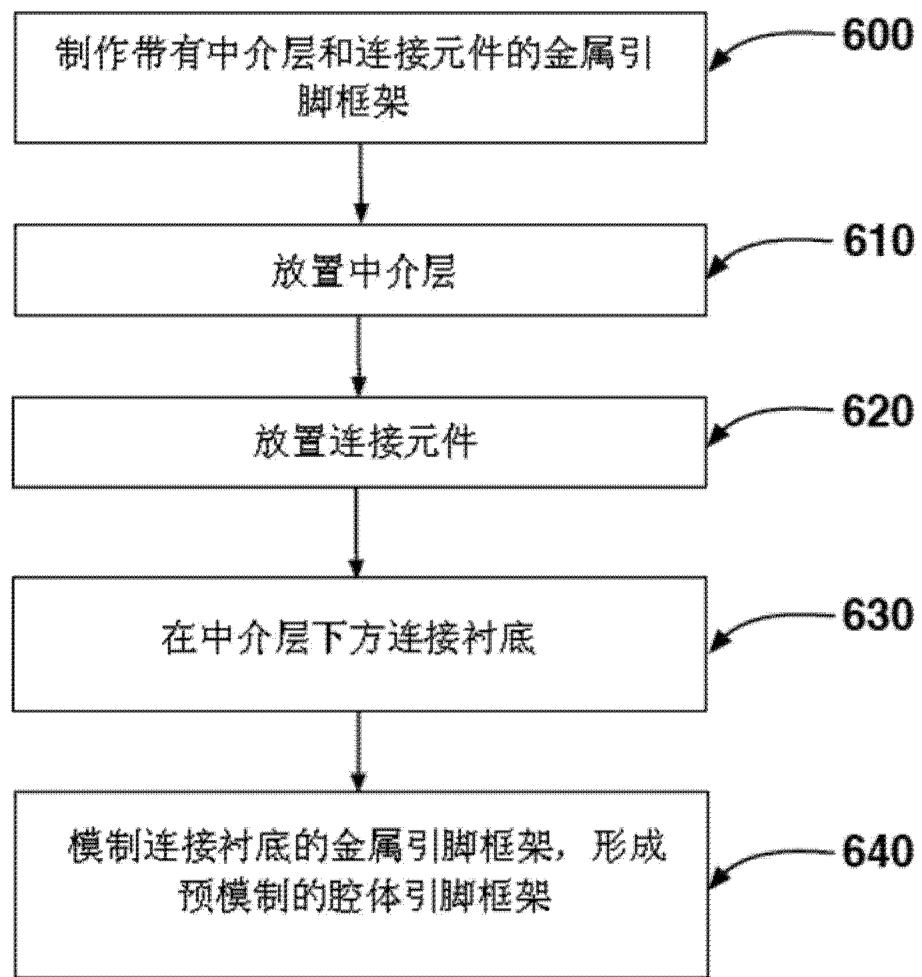


图 5D



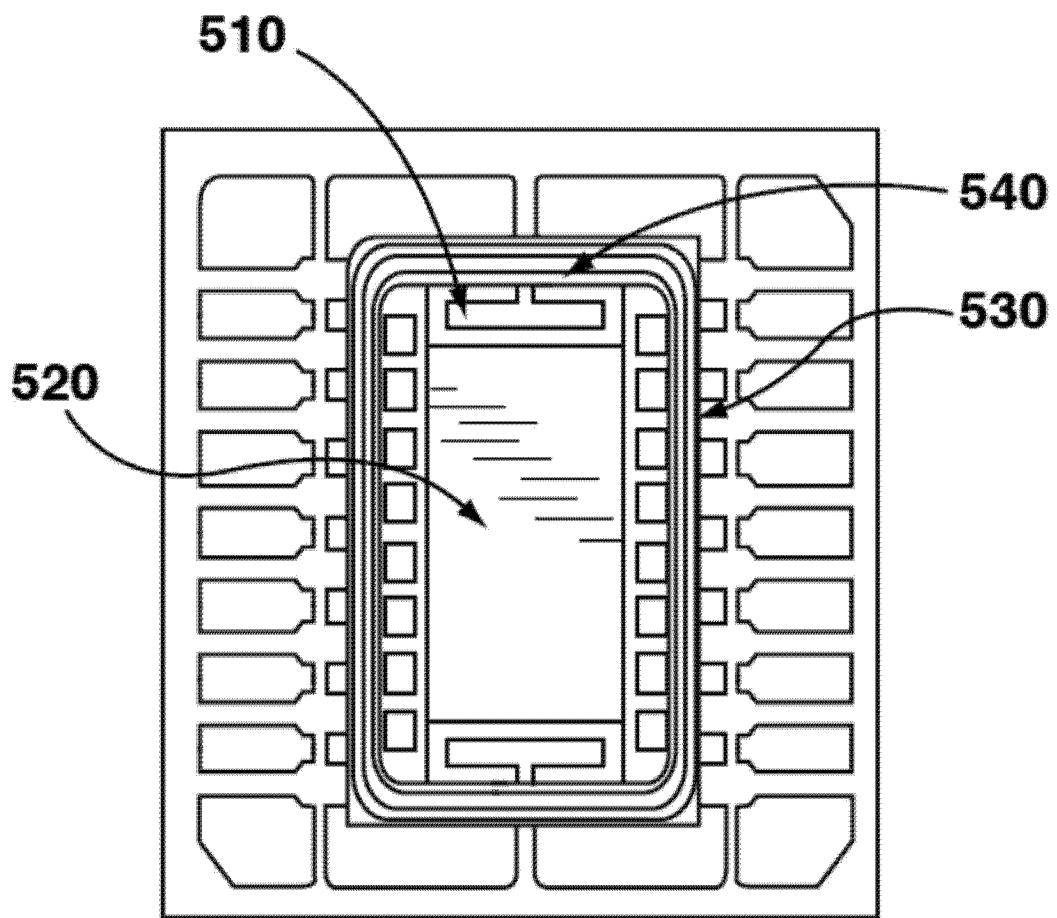


图 7

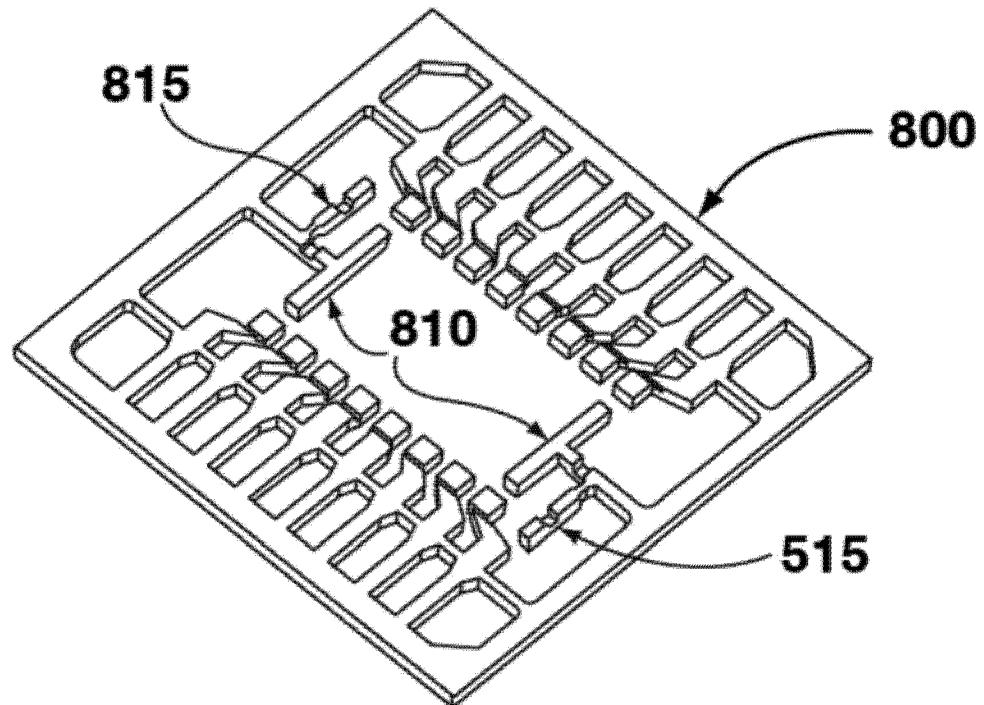


图 8A

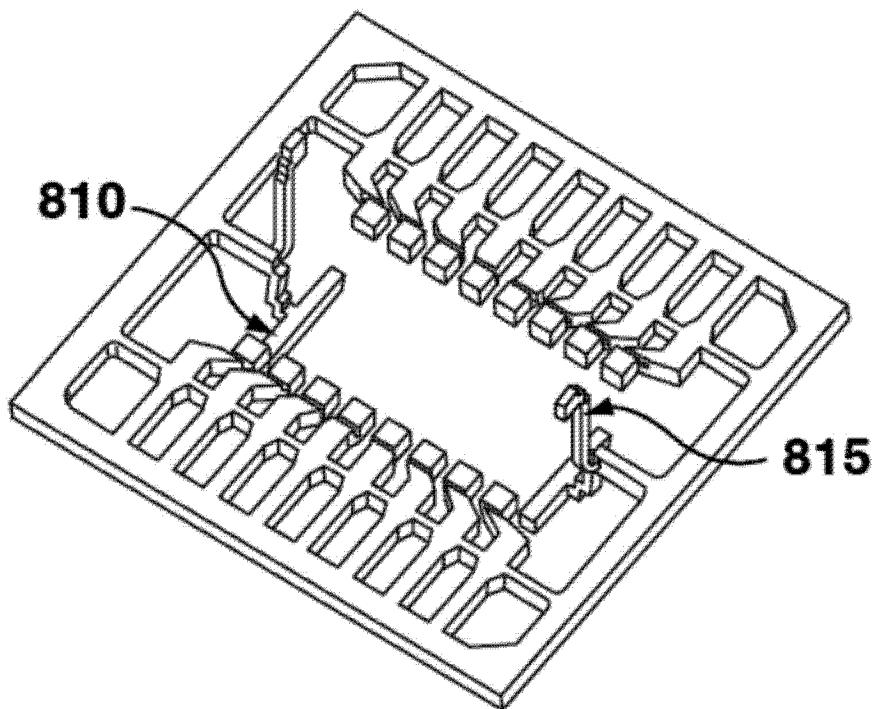


图 8B

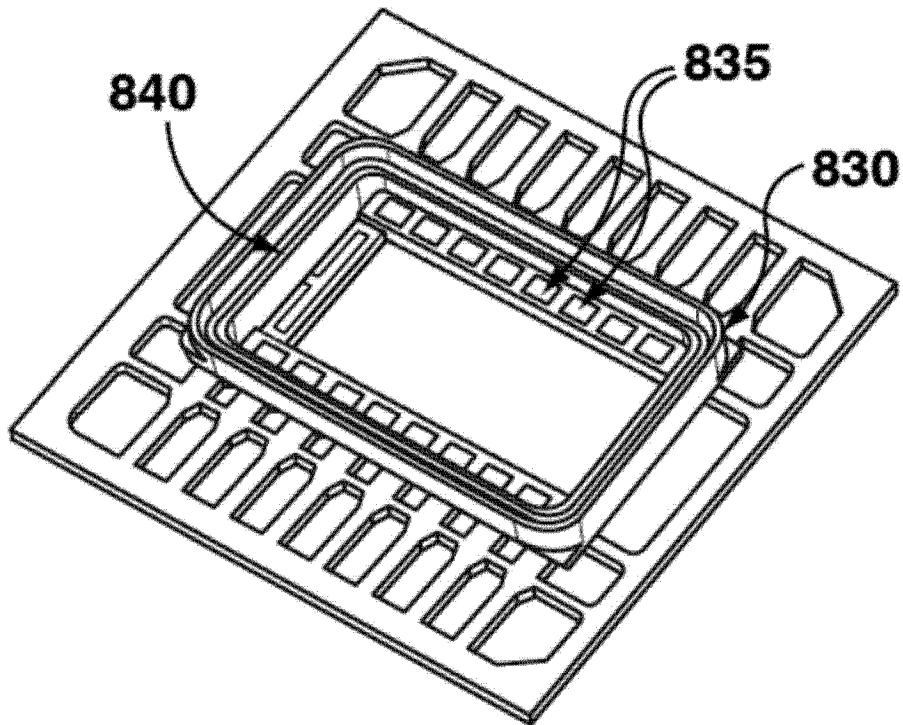


图 8C

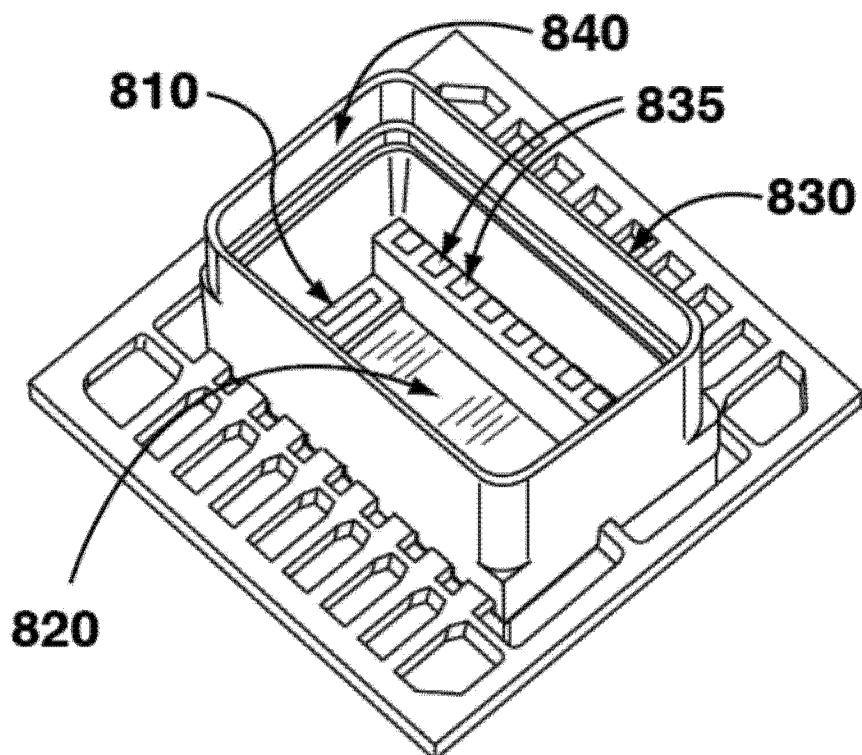


图 8D

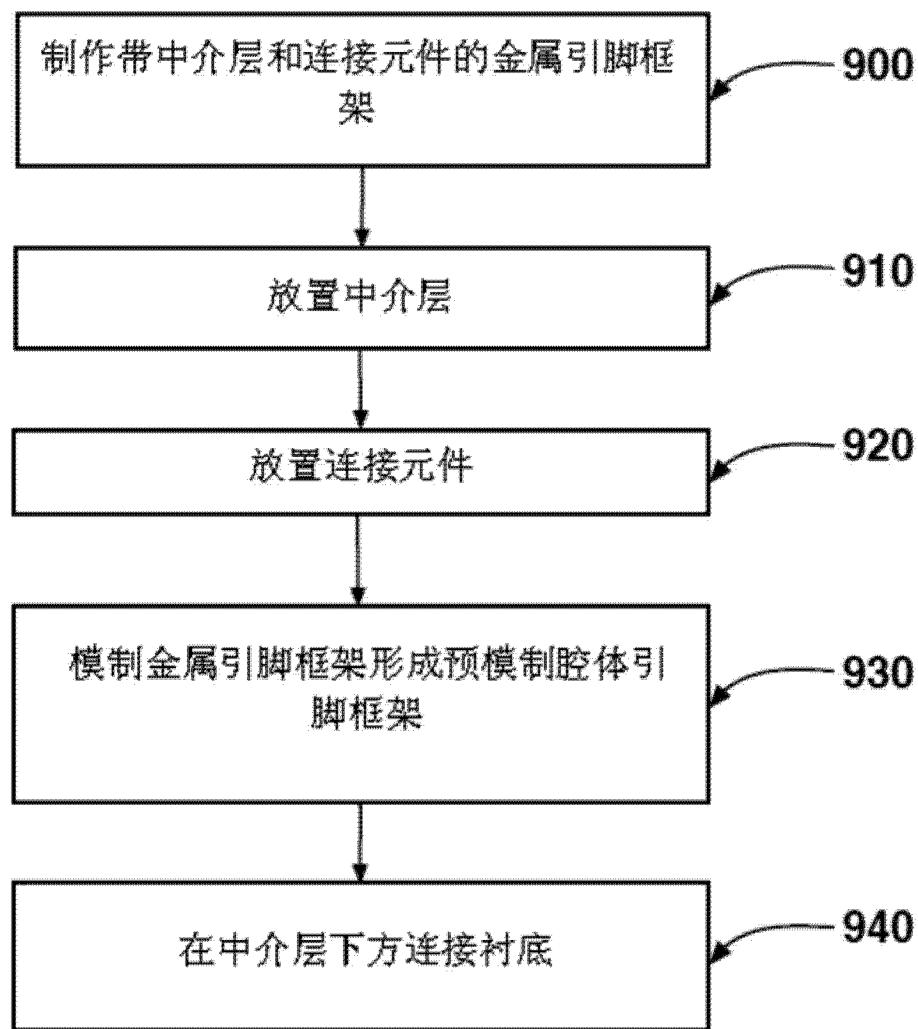


图 9

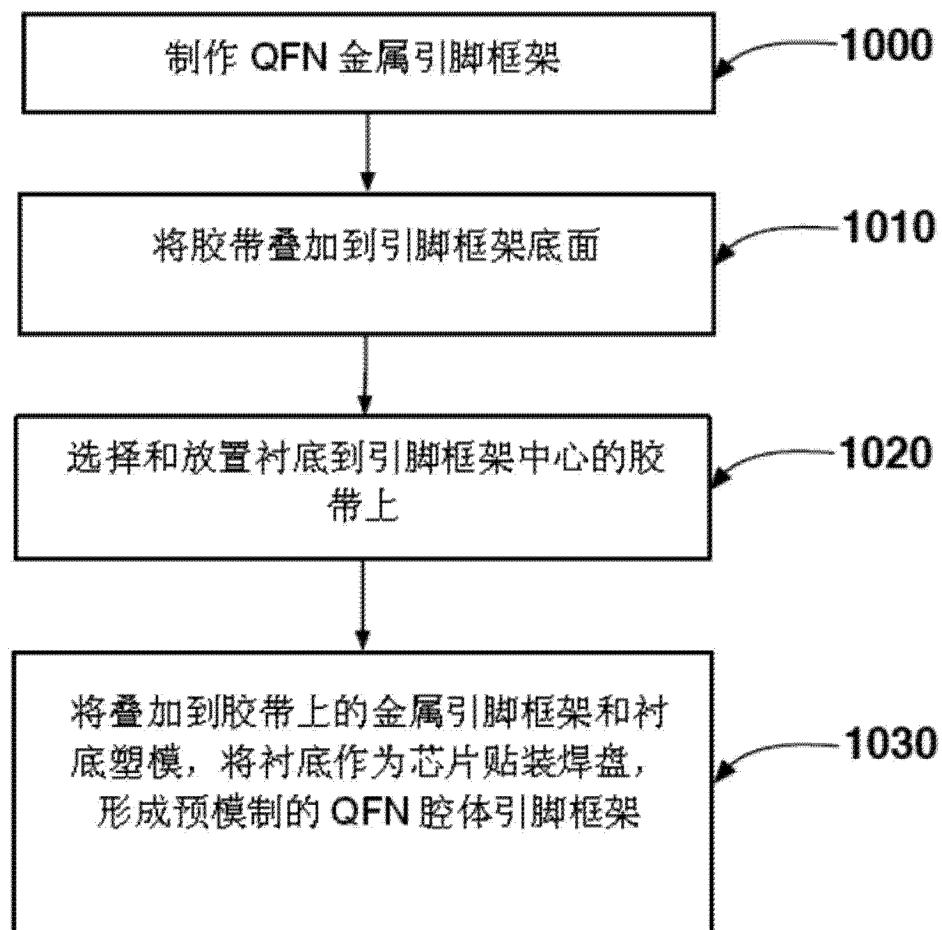


图 10

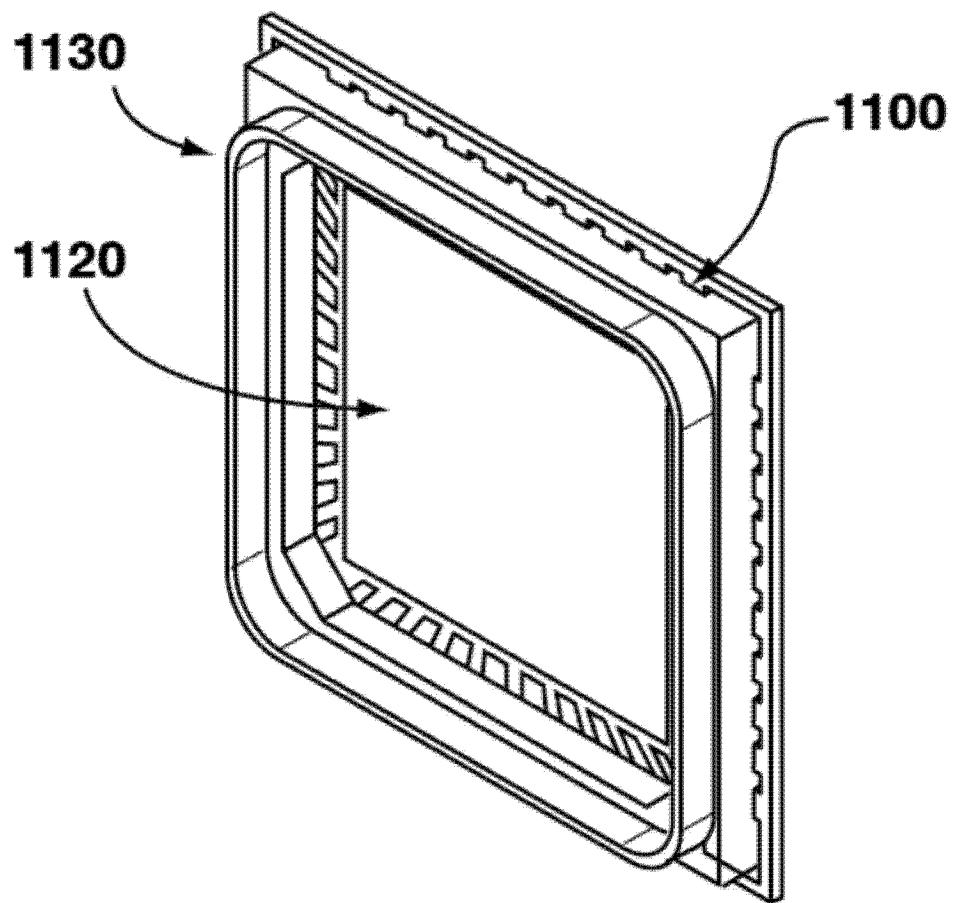


图 11A

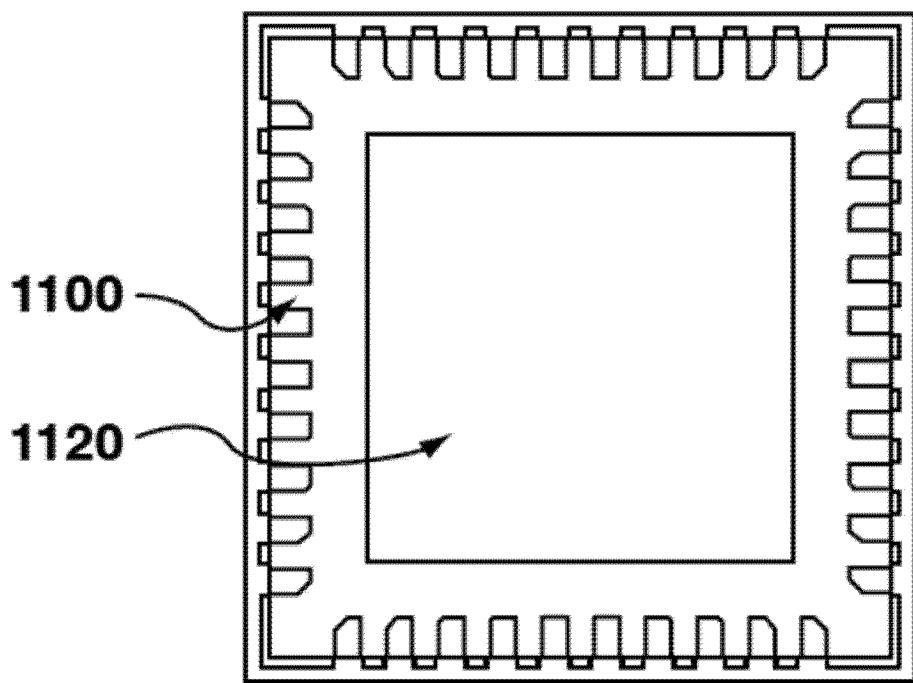


图 11B

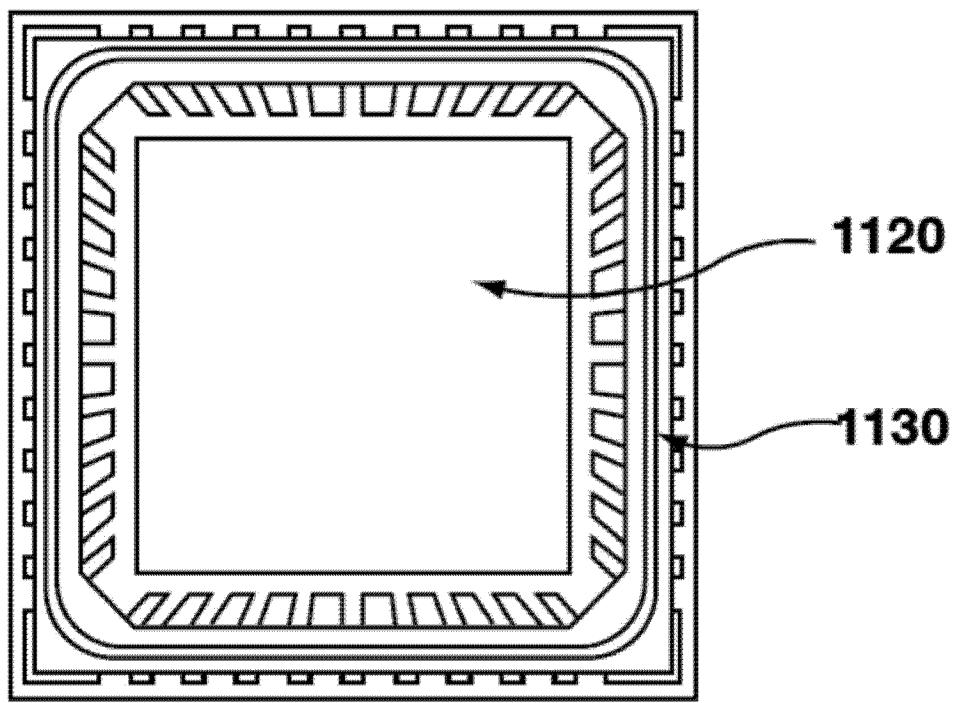


图 11C