

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03L 7/06

H03L 7/08

H03L 7/099



[12] 发明专利说明书

专利号 ZL 02137768.5

[45] 授权公告日 2005 年 10 月 26 日

[11] 授权公告号 CN 1225089C

[22] 申请日 2002.10.31 [21] 申请号 02137768.5

[71] 专利权人 百利通电子(上海)有限公司

地址 200233 上海市桂平路 481 号 20 楼 3 层

[72] 发明人 刘红 姜自力 马怀昌 宋群

郭章其

审查员 董杰

[74] 专利代理机构 上海专利商标事务所有限公司

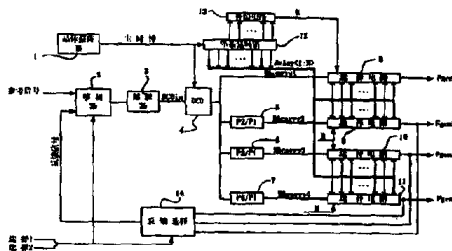
代理人 王月珍

权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称 用一条延时链产生多个频点时钟信号的数字锁相环

[57] 摘要

本发明涉及用一条延时链产生多个频点时钟信号的数字锁相环，所述的数字锁相环能以一路输入信号为参考，对输入信号的抖动进行衰减，产生一路或多路相对稳定的时钟信号，它包括：鉴相滤波电路，比较输出时钟和参考信号之间差别，并滤除高频分量；数控振荡器(简称 DCO)；提供主时钟的晶体振荡器；一条带抽头的延时链，由多级相同的延时单元串联而成；补偿电路，消除温度和工艺偏差对延时链特性的影响选择电路，可将延时链的每级延时选中输出，上述一条延时链可供多个选择电路复用，同时产生多个频点。本发明采用一种新的时序，只用一条延时链产生所有频点，既可提高产生时钟的精度，又使芯片面积大为节省。



1、一种用一条延时链产生多个频点时钟信号的数字锁相环，其特征在于所述的数字锁相环包括：

一晶体振荡器，提供本地主时钟；

一数控振荡器，是以所述的主时钟为基准，计算出需要产生的时钟与主时钟之间的时间关系；

一条带抽头的延时链，其输入为所述的主时钟，用以产生主时钟的多级延时；

一补偿电路，实时的计算产生一个主时钟周期延时，所需的延时单元级数 N ，对所述的数控振荡器的输出加以补偿，以消除温度和工艺偏差对延时链延时特性的影响；

多个选择电路，每一个选择电路由算术逻辑运算器，触发器组，时序切换窗口，和带使能端的 M 选一电路构成，所述的算术逻辑运算器根据所述的数控振荡器输出的余数 R 和所述的补偿电路的输出 N ，计算出需要选择的级数 $TAPdel$ ，并保持在触发器组中；时序切换窗口判断所述的触发器组的输出值 $TAPdel$ 的大小，并产生一个时序窗口，其宽度为主时钟周期 $Tlocal$ ，当所选脉冲的延时小于 $Tlocal/2$ ，该窗口与所述的主时钟上沿同步，当所选脉冲的延时大于 $Tlocal/2$ ，则该窗口被推后 $Tlocal/2$ ，与主时钟下沿同步；由所产生的时序窗口分别采样 $TAPdel$ 数控振荡器溢出信号 $carry$ 的值，生成控制字和 $mask$ 两输出信号，去控制带使能端的 M 选一电路，所述的带使能端的 M 选一电路从延时链上选出所需的脉冲组成输出时钟，采用多个选择电路共用一条所述的延时链，产生多路输出时钟；

一鉴相滤波电路，调整输出时钟与参考信号之间的相位、频率关系，并滤除高频分量后，将信号作为输入到所述的数控振荡器的输入信号 ($DC0in$)。

2、如权利要求 1 所述的用一条延时链产生多个频点时钟信号的数字锁相环，其特征在于所述的延时链是由多级相同的延时单元串联而成。

3、如权利要求 1 所述的用一条延时链产生多个频点时钟信号的数字锁相环，其特征在于所述的输出时钟是通过一反馈选择电路输出的反馈信号到鉴相滤波电路对数控振荡器进行反馈控制，使输出时钟与参考信号取得同步。

4、如权利要求 1 所述的用一条延时链产生多个频点时钟信号的数字锁相环，其特征在于所述的鉴相滤波电路包括：一鉴相器和一滤波器，所述的鉴相器比较参

考信号和反馈信号之间的相差和频差，比较后的信号输入到所述的滤波器，滤除高频分量后得到所述数控振荡器的输入信号（DC0in）。

5、如权利要求 1 所述的用一条延时链产生多个频点时钟信号的数字锁相环，其特征在于所述的数控振荡器是一个满值为 Q 的累加器，由加法器和累加器构成，所述的累加器的加数为 P ，由输入所述数控振荡器的输入信号（DC0in）加上一个常量 K 得到，所述的累加器每个主时钟上沿对 P 进行累加，输出余数 R 和溢出信号 carry。

用一条延时链产生多个频点时钟信号的数字锁相环

(1) 技术领域

本发明涉及一种用一条延时链产生多个频点时钟信号的数字锁相环，尤其是在数字通信系统中，用来产生给 E1 和 T1 数据接口提供时序的时钟信号的数字锁相环。

(2) 背景技术

在数字通信系统中，常需要给 E1 和 T1 数据接口提供时序，这些时序的时钟信号以 1.544MHZ 或 2.048MHZ 输入为参考产生，要求抖动很微弱，有良好的稳定性，且满足 ACCUNET RT1.5 和 ETS1、ETS300 01111 的规范。

可用数字锁相环来产生上述时钟信号：由数控振荡器（以下简称 DCO）产生输出信号，由鉴相器比较参考信号和输出信号（或输出的分频）之间差别，经低通滤波除高频分量后，调整 DCO 的输出，最终使输出跟踪于参考，且满足稳定性要求。

美国专利 US4577163 发明了一种 DCO，它以晶振产生的本地主时钟 F_{local} 为基准，采取吞脉冲的方式，产生一个频率低于 F_{local} 的时钟 F_{gen} ，这里 DCO 计算的最小时间间隔为主时钟周期 T_{local} ，因而 F_{gen} 的抖动不会小于一个 T_{local} ，要使 F_{gen} 满足 ACCUNET 的规范，需要主时钟频率高于 200MHZ。

美国专利 US5602884 和 US20020008557 中在上述 DCO 的基础上，增加了带抽头的延时链（它由多个相同的延时单元串联构成），用以平滑 DCO 输出的抖动。DCO 输出两路信号，分别送入两条延时链，另由 DCO 产生的控制字交替选择两条链中适当的延时信号到输出口，合成一路输出时钟（如在 US5602884 说明书中所述，为了避免时序问题，必需用到两条相同的延时链）。如果产生 T_{local} 延时需要 N 级延时单元，这相当于用延时链将主时钟周期 N 等分，使电路能处理的最小时间单位，由 US4577163 中的一个 T_{local} 缩小为 T_{local}/N ，使输出时钟的精度大为提高，要满足 ACCUNET 的要求，20MHZ 主时钟就已足够。

由于这里需要两条完全相同的延时链，在实际电路中，两条延时链之间总存在差别，这种不匹配，势必降低产生时钟的精度；另据 US200200008557 说明书中所述，MT9042 中的每条 64 级延时链及其选择电路占用约 2 千门的芯片面积，若要产生多个频点，多条链及其选择电路占用的面积成倍增加。

如果采用一种新的时序，只用一条延时链产生所有频点，既可提高产生时钟的精度，又使芯片面积大为节省，这是当前需要解决的问题。

(3) 发明内容

本发明的目的是用一条延时链产生多个频点时钟信号的数字锁相环，该数字锁相环能以至少一路输入信号为参考，对输入信号的抖动进行衰减，产生一路或多路相对稳定的时钟信号。

本发明的目的是这样实现的：

一种用一条延时链产生多个频点时钟信号的数字锁相环，包括：

一高精度的晶体振荡器，提供本地主时钟；

一数控振荡器（DCO），是以所述的主时钟为基准，计算出需要产生的时钟与主时钟之间的时间关系；

一条带抽头的延时链，其输入为所述的主时钟，用以产生主时钟的多级延时；

一补偿电路，实时的计算产生一个主时钟周期延时，所需的延时单元级数 N ，对所述的 DCO 的输出加以补偿，以消除温度和工艺偏差对延时链延时特性的影响；

多个选择电路，每一个选择电路由算术逻辑运算器，触发器组，时序切换窗口，和带使能端的 M 选一电路构成，所述的算术逻辑运算器根据所述的数控振荡器输出的余数 R 和所述的补偿电路的输出 N ，计算出需要选择的级数 $TAPdel$ ，并保持在触发器组中；时序切换窗口判断所述的触发器组的输出值 $TAPdel$ 的大小，并产生一个时序窗口，其宽度为主时钟周期 T_{local} ，当所选脉冲的延时小于 $T_{local}/2$ ，该窗口与所述的主时钟上沿同步，当所选脉冲的延时大于 $T_{local}/2$ ，则该窗口被推后 $T_{local}/2$ ，与主时钟下沿同步；由所产生的时序窗口分别采样 $TAPdel$ 数控振荡器溢出信号 $carry$ 的值，生成控制字和 $mask$ 两输出信号，去控制带使能端的 M 选一电路，所述的带使能端的 M 选一电路从延时链上选出所需的脉冲组成输出时钟，采用多个选择电路共用一条所述的延时链，产生多路输出时钟；

一鉴相滤波电路，调整输出时钟与参考信号之间的相位、频率关系，并滤除高

频分量后，将信号作为输入到所述的数控振荡器的输入信号（DCOin）。

本发明的效果：本发明采用一种新的时序，只用一条延时链产生所有频点，既可提高产生时钟的精度，又使芯片面积大为节省。

为进一步说明本发明的上述目的、结构特点和效果，以下将结合附图对本发明进行详细的描述。

(4)附图说明

图1是本发明的数字锁相环的整体功能框图；

图2是本发明的DCO的结构图；

图3是本发明的选择电路的结构图；

图4是本发明的TAPdel值随时间呈锯齿型变化图；

图5是本发明的时序切换窗口的作用图。

(5)具体实施方式

用一条延时链产生多个频点时钟信号的数字锁相环，该数字锁相环能以至少一路输入信号为参考，对输入信号的抖动进行衰减，产生一路或多路相对稳定的时钟信号，它包括：a)鉴相滤波电路，比较输出时钟和参考信号之间差别，并滤除高频分量；b)数控振荡器（简称DCO）；c)提供主时钟的晶体振荡器；d)一条带抽头的延时链，由多级相同的延时单元串联而成；e)补偿电路，消除温度和工艺偏差对延时链特性的影响；f)选择电路，可将延时链的每级延时选中输出。

将晶振产生的本地主时钟送入延时链，由DCO产生控制字给选择电路，选择电路能预先判断下一个输出脉冲相对于主时钟的位置，生成一个动态的选择窗口，选中主时钟相应的延时脉冲，并使其完整输出，得到输出时钟。上述单条延时链可供多个选择电路复用，同时产生多个频点。温度工艺补偿和所有输出时钟的产生都在同一条延时链上进行。输出时钟通过鉴相滤波部分对DCO的反馈控制，与参考信号取得同步。

下面，根据本发明的实施例，对用一条延时链产生多个频点时钟信号的数字锁相环的结构详述如下：

本发明的数字锁相环能以至少一路信号为参考，对输入信号的抖动进行衰减，产生一路或多路相对稳定的时钟信号，它主要包括：

一个高精度的晶体振荡器，提供本地主时钟；

一个 DCO，它不用来直接产生频率信号，而是以主时钟为基准，计算出需要产生的时钟与主时钟之间的时间关系；

一条带抽头的延时链，由多级相同的延时单元串联而成，其输入为主时钟，用以产生主时钟的多级延时；

补偿电路，实时的计算产生一个主时钟周期延时，所需的延时单元级数 N ，对 DCO 的输出加以补偿，以消除温度和工艺偏差对延时链延时特性的影响；

选择电路，它根据由 DCO 和补偿电路共同产生的控制字，选中延时链中的某一个延时脉冲，同时还产生一个动态的选择窗口，其宽度为主时钟周期 T_{local} ，如果所选脉冲（相对于主时钟）的延时小于 $T_{local}/2$ ，该窗口与主时钟上沿同步；如果所选脉冲的延时大于 $T_{local}/2$ ，则该窗口被推后 $T_{local}/2$ ，与主时钟下沿同步，这样能使被选中的脉冲完整地输出；采用多个选择电路共用一条延时链，可产生多路输出时钟；

鉴相滤波电路，调整输出时钟与参考信号之间的相位、频率关系。

采用上述结构的数字锁相环，可得到频率低于主时钟任何输出时钟，而且抖动小。由于采用了一种新的时序（上述动态选择窗口），使得所有输出时钟的产生，温度工艺补偿均在同一条延时链上进行，这样消除了因多条链不完全匹配而造成的误差，而且缩小了电路规模，减少了整体面积。

参见图 1，图 1 是本发明的数字锁相环的整体功能框图。

晶体振荡器 1，提供主时钟（周期为 T_{local} ）；鉴相器 2 比较参考信号和反馈信号之间的相差和频差，经滤波器 3 滤除高频分量后得到数控振荡器的输入信号 DCO_{in} ，输入到 DCO4，实现频率的调整；DCO 产生一组控制字 R_{carry1} ，控制选择电路 8 产生频点 F_{gen1} ，将 R_{carry1} 进行一定的比例运算，可得到控制字 R_{carry2} 、 R_{carry3} 、 R_{carry4} ，分别控制选择电路 9、10、11，并分别产生其他频点 F_{gen2} 、 F_{gen3} 、 F_{gen4} （也可根据需要产生更多频点）；所有选择电路均以同一条 M 级延时链 12 的输出 $delay<1:M>$ 为选择对象，该延时链的输入为晶体振荡器 1 提供的主时钟，其输出 $delay<1:M>$ 即为主时钟的 $1\sim M$ 级延时，总级数 M 的确定条件为：使整条链能产生的延时总是大于一个主时钟周期 T_{local} ；补偿电路 13 每隔一定的时间（ $2 \times T_{local}$ ），计算一次产生 T_{local} 延时所需的延时单元级数 N ，并及时对 R_{carry1} 、2、3、4 作出补偿，以消除温度和工艺偏差对延时链特性的影响；反馈选择电路 14

从输出信号的分频中选择适当的反馈信号给鉴相器 2，其输入的选择信号：选择 1、选择 2 由外部根据参考信号给定。

参见图 2，图 2 为 DCO 的结构图，它是一个满值为 Q 的累加器，由加数器 21 和累加器 22 构成，它的加数为 P，由输入 DCOin 加上一个常量 K 得到，累加器 22 每个主时钟上沿对 P 进行累加，输出余数 R 和溢出信号 carry。设主时钟频率 Flocal，该 DCO 可控制选择电路产生一个时钟 Fgen，使

$$Fgen = (P/Q) * Flocal$$

余数 R 决定了当前主时钟和之后与它相邻的 Fgen 脉冲之间的延时关系 Tdelay：

$$Tdelay = [1 - (R/P)] * Tlocal$$

若 DCO 无溢出 (carry=0)， $R \geq P$ ， $Tdelay \leq 0$ 无意义，表示当前主时钟脉冲不对应任何 Fgen 脉冲，该舍掉；

若 DCO 有溢出 (carry=1)， $R < P$ ， $0 < Tdelay < Tlocal$ ，表示将当前主时钟脉冲延迟 Tdelay，可得到一个 Fgen 的脉冲。

由于 M 级延时链 12 (图 1 所示) 的各级输出 delay<1:M>已包括了每个主时钟脉冲 0~Tlocal 的延时，因此可从 delay<1:M>中挑选出延时为 Tdelay 脉冲。这一功能由选择电路 8, 9, 10, 11 (图 1 所示) 实现。

参见图 3，图 3 为选择电路的结构图，由算术逻辑运算器 31，触发器组 32，时序切换窗口 33，和带使能端的 M 选一电路 34 构成。算术逻辑运算器 31 计算出产生 Tdelay 的延时需要的级数，并保持在触发器组 32 中；时序切换窗口 33 判断 32 的输出值 TAPdel 的大小，并产生一个时序窗口，决定 control word (控制字) 和 mask 两输出信号的时序，去控制带使能端的 M 选一电路 34，当 mask=1，使能端开启，M 选一电路 34 由 control word 控制，选择 delay<1:M>中的一路输出到 Fgen；当 mask=0，使能端关闭，使 Fgen 恒为低电平。这样，可选出延时链上合适的脉冲输出到 Fgen。具体工作原理如下：

若产生 Tlocal 的延时需要 N 级延时单元 (由图 1 中的补偿电路 13 算出)，那么产生 Tdelay 的延时需要的级数：

$$TAPdel = [1 - (R/P)] * N$$

TAPdel 的计算和保持由算术逻辑运算器 31 和触发器组 32 完成。TAPdel 的值在 [0, N] 之间，且随时间呈锯齿型变化，如图 4 所示，即 TAPdel 的后一个值总

比前一个大,直至 carry=0 到来(DCO 没有溢出),TAPdel 被置为 0,降至最小,之后又逐渐上升。Fgen 与 Flocal 越接近,这种趋势越明显。

参见图 5,时序切换窗口 33 的作用如图 5 所示,TAPdel 的值(TAPdel 1, 2, 3,...)均在主时钟的上沿产生,假如直接用 TAPdel 控制 M 选一,即以 TAPdel 的保持时间 win1,win2,win3...为选择窗口,输出波形为 Fgen_err:

a)若 $TAPdel \leq N/2$ (即 $Tdelay \leq Tlocal/2$),如 TAPdel1,选中脉冲 d1 完全在 win1 的时间范围之内,可以正常输出;

b)若 $TAPdel > N/2$ (即 $Tdelay > Tlocal/2$),如 TAPdel 2,选中脉冲 d2 超出了 win2 的范围,当 d2 还没有完全输出时,win2 就已关闭(win3 打开),导致 d2 的一部分不能正常输出(Fgen_err 中 d2 虚线部分),Fgen_err 中的 d3 也是如此。

为了使 Fgen_err 中的虚线部分也能正常输出,必需改变选择窗口 win1, 2, 3...的时序。图 5 中,shft-win1, 2, 3...为动态的选择窗口,宽均为 Tlocal,且满足:

a)当 $TAPdel \leq N/2$ 时,如 TAPdel 1, shft-win1 与 win1 时序相同;

b)当 $TAPdel > N/2$ 时, shft-win 滞后于 win Tlocal/2。

一旦 $TAPdel > N/2$,如 TAPdel2,使 shft-win2 滞后于 win2 Tlocal/2,这样 d2 完全落在了 shft-win2 之内(shft-win1 与 shft-win2 之间 Tlocal/2 的间隙将 mask 信号置为 0,关闭 M 选一的使能端);由于 TAPdel 值的变化满足图 4 的规律,TAPdel3 肯定大于 TAPdel2,因而 $TAPdel3 > N/2$,其对应的 shft-win3 也滞后 win3,不会与 shft-win2 冲突;直至该舍掉的脉冲(如 ck4)到来,此时 TAPdel 的值无意义(值为 0),因此在 shft-win3 关闭后,也将 mask 信号置为 0,这样 ck4 的所有延时将不被选出;之后 TAPdel5 ($< N/2$)到来,shft-win5 又与 win5 同步,如此周而复始。

图 5 中 control word 的值来自 TAPdel,其每个值的刷新与上述动态窗口 shft-win1, 2, 3... 同步,由 control word 和 mask 共同控制 M 选一,将 $delay < 1:M$ 中合适的脉冲一一选出,可得到满足要求的时钟 Fgen。

本技术领域中的普通技术人员应当认识到,以上的实施例仅是用来说明本发明,而并非用作为对本发明的限定,只要在本发明的实质精神范围内,对以上所述实施例的变化、变型都将落在本发明权利要求书的范围内。

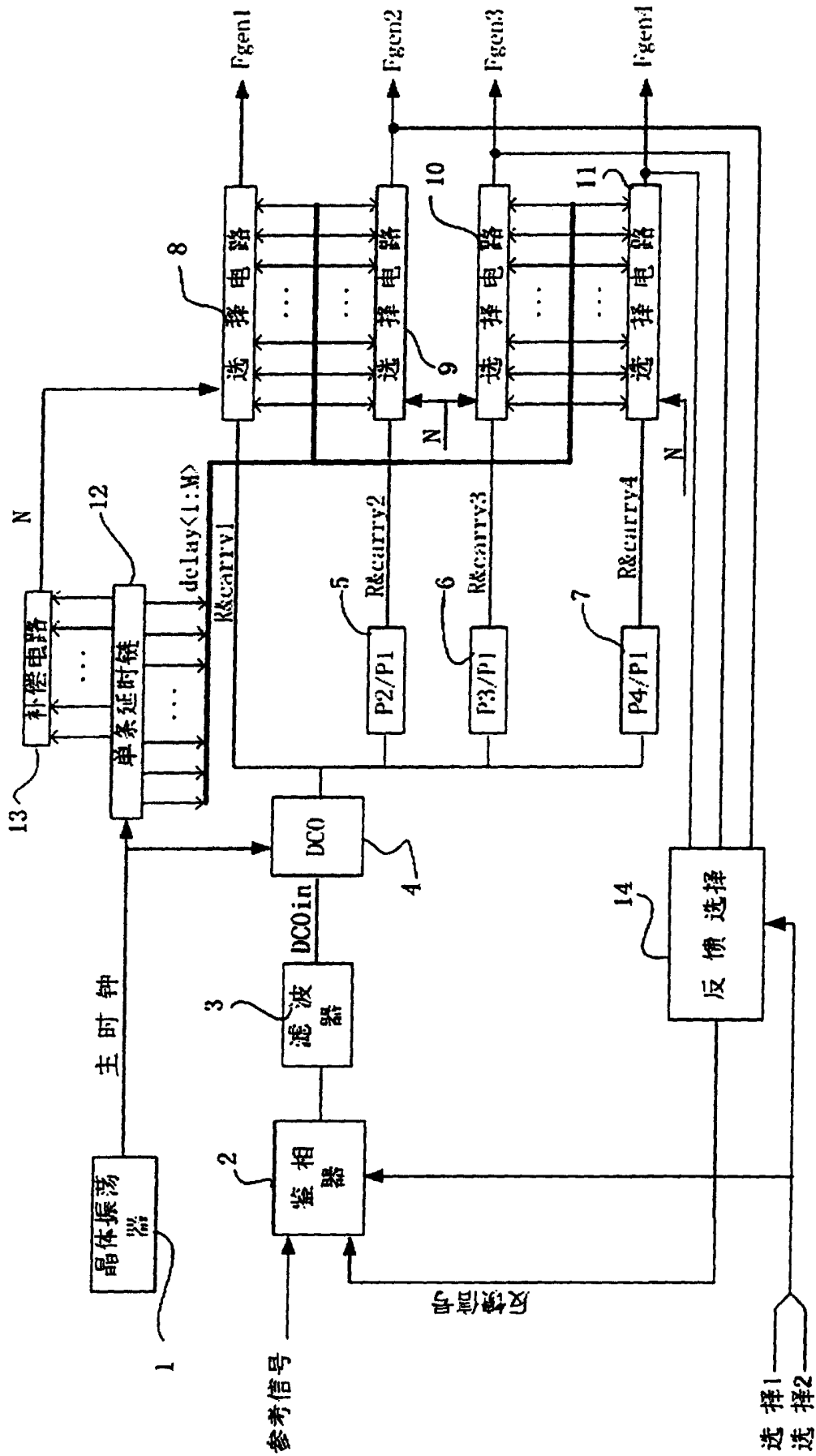


图 1

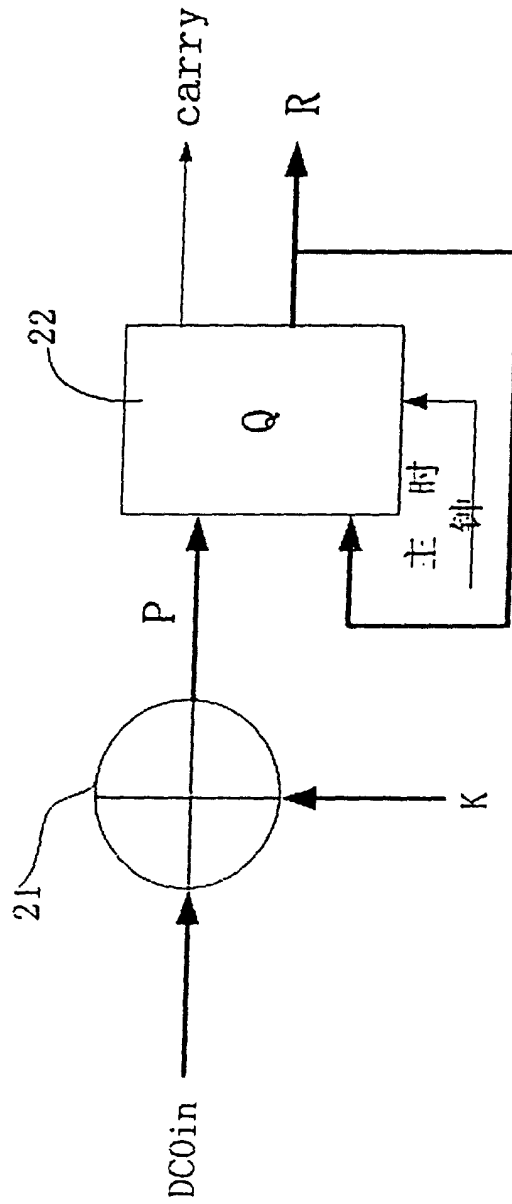


图 2

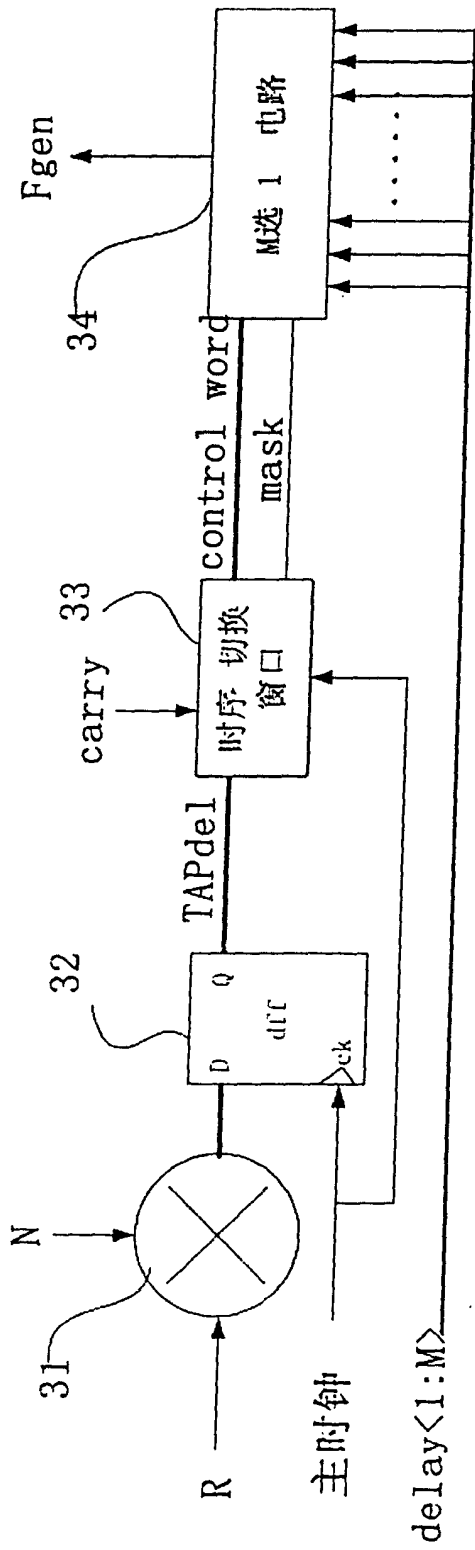


图 3

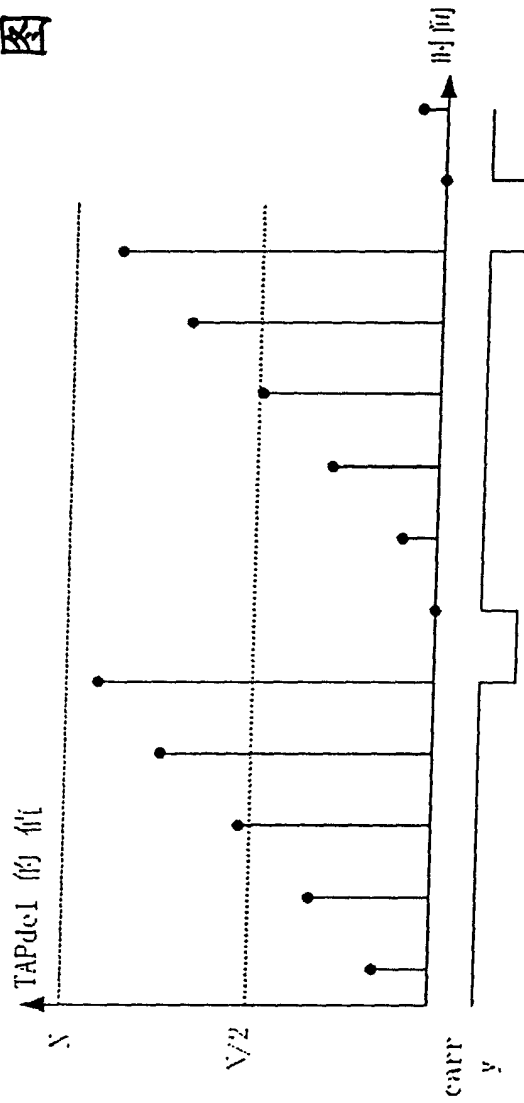


图 4

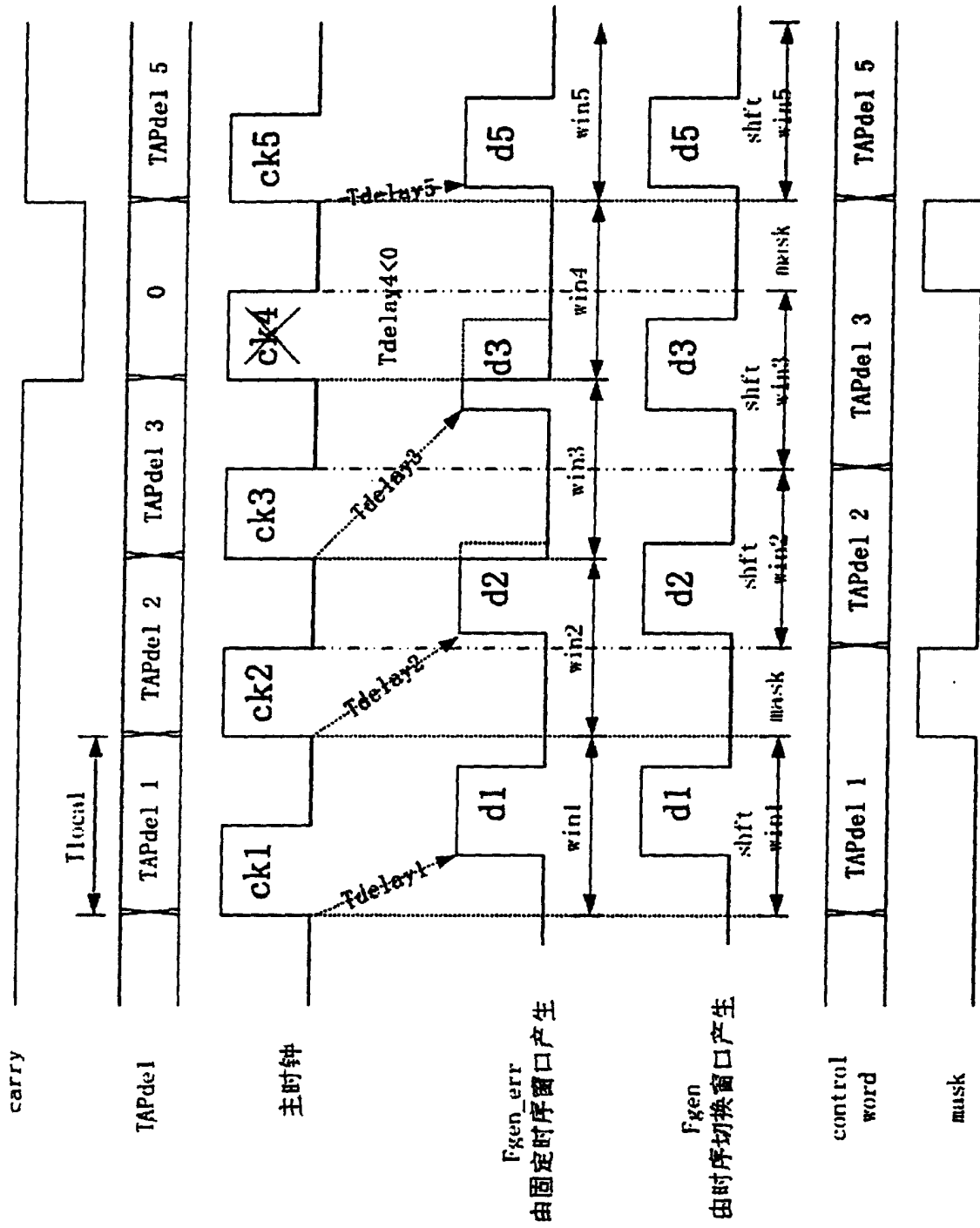


图 5