



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년07월15일  
 (11) 등록번호 10-0970669  
 (24) 등록일자 2010년07월09일

(51) Int. Cl.  
*G02F 1/136* (2006.01)  
 (21) 출원번호 10-2007-0117421  
 (22) 출원일자 2007년11월16일  
 심사청구일자 2007년11월27일  
 (65) 공개번호 10-2008-0045076  
 (43) 공개일자 2008년05월22일  
 (30) 우선권주장  
 200610145218.1 2006년11월17일 중국(CN)  
 (56) 선행기술조사문헌  
 JP03198030 A\*  
 JP08015711 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 베이징 보에 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드  
 중국, 베이징 100176, 비디에이, 지하우안종루 8호  
 (72) 발명자  
**쟡 미**  
 중국 베이징 100176 비디에이 지하우안종루 8호  
**왕 웨이**  
 중국 베이징 100176 비디에이 지하우안종루 8호  
 (74) 대리인  
**리엔목특허법인**

전체 청구항 수 : 총 14 항

심사관 : 김승조

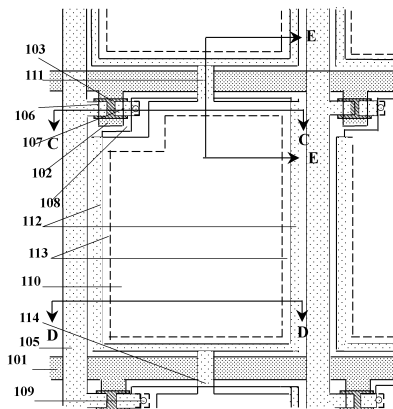
**(54) 박막 트랜지스터 액정 디스플레이 어레이 기판 및 그제조방법**

**(57) 요약**

TFT-LCD 어레이 기판 구조 및 그 제조방법을 제공한다.

해당 TFT-LCD 어레이 기판은 기판과, 상기 기판에 형성되고, 서로 교차하여 화소 영역을 적어도 하나 구성하는 적어도 1개의 게이트 라인과 적어도 1개의 데이터 라인과, 상기 화소 영역에 형성된 화소 전극과, 상기 화소 영역에서의 게이트 라인과 데이터 라인의 교차부에 형성되고, 상기 게이트 라인에 접속하는 게이트 전극과, 상기 데이터 라인에 접속하는 제1 소스 드레인 전극과, 상기 화소 전극에 접속하는 제2 소스 드레인 전극을 가진 박막 트랜지스터와, 상기 기판에 형성되고 상기 데이터 라인에 평행한 적어도 1개의 공공 전극을 구비한다.

**대표도** - 도3a



**특허청구의 범위**

**청구항 1**

기관;

상기 기관에 형성되고, 서로 교차되어 화소 영역을 적어도 하나 구성하는 적어도 1개의 게이트 라인과 적어도 1개의 데이터 라인;

상기 화소 영역에 형성된 화소 전극;

상기 화소 영역에 형성되고, 상기 게이트 라인에 접속하는 게이트 전극과, 상기 데이터 라인에 접속하는 제1 소스·드레인 전극과, 상기 화소 전극에 접속하는 제2 소스·드레인 전극을 가진 박막 트랜지스터;

상기 화소 전극의 테두리부 구역에 위치하는 공통 전극 차광판; 및

상기 기관에 형성되며, 상기 데이터 라인에 평행하고, 게이트 라인과 수직교차 하는 적어도 1개의 공통 전극 연결부;

를 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기관.

**청구항 2**

제1항에 있어서, 상기 공통 전극 차광판과 상기 공통 전극 연결부는 접속하여 일체 구성으로 되어 있는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 3**

제2항에 있어서, 상기 공통 전극 차광판은,

상기 게이트 라인에 평행한 제1 공통 전극 차광판; 및

상기 데이터 라인에 평행한 제2 공통 전극 차광판;

을 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 4**

제3항에 있어서, 상기 제1 공통 전극 차광판과 상기 제2 공통 전극 차광판은 접속하여 폐쇄된 구성으로 되어 있는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 5**

제1항에 있어서, 상기 게이트 라인과 상기 데이터 라인과 상기 박막 트랜지스터의 상기 제1 및 제2 소스·드레인 전극과 상기 공통 전극 연결부와 상기 공통 전극 차광판은 Al, Cr, W, Ta, Ti, Mo 및 AlNi 중 어느 하나, 또는 그들의 임의 조합으로 이루어진 단층, 또는 복합층의 구조로 구성되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 6**

제1항에 있어서, 상기 데이터 라인과 상기 공통 전극 연결부와 상기 공통 전극 차광판은 같은 재료에 의해 동일 공정에서 형성되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 7**

제1항에 있어서, 상기 화소 전극의 재료는 산화인듐주석이나 산화인듐아연, 또는 산화알루미늄아연인 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관.

**청구항 8**

기관에 게이트 금속 박막을 적층하여 패터닝하고, 게이트 라인 및 게이트 전극을 형성하는 공정;

게이트 절연층 박막과 활성층 박막을 연속적으로 적층하고, 상기 활성층 박막을 패터닝하여 활성층을 형성하는

공정;

소스·드레인 금속 박막을 적층하여 패터닝하고, 데이터 라인과, 화소 전극의 테두리부 구역에 위치하는 공통 전극 차광판과, 상기 데이터 라인에 평행하고 상기 게이트 라인과 수직교차 하는 공통 전극 연결부와, 상기 데이터 라인에 접속되어 있는 제1 소스·드레인 전극과, 상기 제1 소스·드레인 전극으로부터 이격되어 있는 제2 소스·드레인 전극을 형성하는 공정;

패시베이션층 박막을 적층하여 패터닝하고, 상기 제2 소스·드레인 전극의 상부에 패시베이션층 비아홀을 형성하는 공정; 및

화소 전극층을 적층하여 패터닝하고, 상기 패시베이션층의 비아홀을 통해 상기 제2 소스·드레인 전극과 접속하는 상기 화소 전극을 형성하는 공정;

을 포함하는 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기판의 제조방법.

#### 청구항 9

제8항에 있어서, 상기 공통 전극 차광판과 상기 공통 전극 연결부는 접속하여 일체 구성으로 되어 있는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 10

제8항에 있어서, 상기 공통 전극 차광판은,

상기 게이트 라인에 평행한 제1 공통 전극 차광판; 및

상기 데이터 라인에 평행한 제2 공통 전극 차광판;

을 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 11

제10항에 있어서, 상기 제1 공통 전극 차광판과 상기 제2 공통 전극 차광판은 접속하여 폐쇄된 구성으로 되어 있는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 12

제8항에 있어서, 상기 게이트 라인과 상기 데이터 라인과 상기 박막 트랜지스터의 상기 제1 및 제2 소스·드레인 전극과 상기 공통 전극 연결부와 상기 공통 전극 차광판은 Al, Cr, W, Ta, Ti, Mo 및 AlNi 중 어느 하나, 또는 그들의 임의 조합으로 이루어진 단층, 또는 복합층의 구조로 구성되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 13

제8항에 있어서, 상기 화소 전극의 재료는 산화인듐주석이나 산화인듐아연, 또는 산화알루미늄아연인 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 14

제8항에 있어서, 상기 게이트 절연층 및 상기 패시베이션층의 재료는 실리콘 질화물, 실리콘 산화물 또는 실리콘 질산화물인 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 제조방법.

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

**청구항 18**

삭제

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은, 박막 트랜지스터 액정 디스플레이(TFT-LCD), 특히 박막 트랜지스터 액정 디스플레이 어레이 기판 및 그 제조방법에 관한 것이다.

**배경기술**

[0002] 패널 디스플레이 기술에서, TFT-LCD는 에너지의 소모가 적고, 제조 비용이 비교적 저렴하고 무복사(輻射) 특징이 있기 때문에 패널 디스플레이 시장에서 주도적인 지위를 차지하고 있다. TFT-LCD 디바이스는 어레이 기판과 컬러 필터 기판 사이에 액정층을 끼워 겹침으로써 형성되었다.

[0003] 도 1a는 지금 주류인 아몰퍼스 실리콘 TFT(박막 트랜지스터) LCD의 어레이 기판의 단일 화소의 상면도이고, 도 1b와 도 1c는 도 1a의 선A-A와 B-B에 따른 단면의 개략도이다. 도면의 TFT가 채워지는 것은 백(裏) 채널 식각의 바텀 게이트 구조이다. 도면에 도시한 바와 같이, 해당 어레이 기판은 복수의 게이트 라인(1)과 거기에 수직하는 복수의 데이터 라인(5)을 구비하고, 인접하는 게이트 라인과 데이터 라인에 의해 복수의 화소 영역이 구성되었다. 각 화소는 TFT 스위치 디바이스와 화소 전극(10)과 공통 전극(11)을 갖는다. 도 1b에 도시한 바와 같이, TFT 디바이스는 게이트 전극(2)과 게이트 절연층(4)과 반도체 활성층(3)과 소스 전극(6)과 드레인 전극(7)으로 이루어진다. 패시베이션층(8)은 상기 각 부분을 피복하고, 또한 드레인(7)의 윗쪽에 패시베이션층의 비아홀(9)이 형성된다. 화소 전극(10)은 패시베이션층의 비아홀(9)을 통해 TFT의 드레인 전극(7)에 접속된다. 소스 전극(6)은 데이터 라인(5)에 접속된다. 화소 전극(10)은 게이트 라인(1)과 중첩하여, 또는 화소 전극(10)은 공통 전극(11)과 중첩하여 기억 콘덴서(13)를 형성한다. 중첩 후의 화소 영역에서의 가능한 광 누설을 저하시키기 위해 화소 전극의 데이터 라인(5)에 평행한 양측에 차광판(12)을 형성한다. 이 TFT 디바이스는 채널에서의 포토 전류 누설을 줄일 수 있다. 차광판(12)의 제조는 게이트 전극(2)과 동일한 재료를 사용하여 동일한 마스크(Mask)(포토리소그래피) 공정에서 완성할 수 있다. 이 공통 전극(11)도 게이트 라인과 동일한 재료로 형성되고, 도 1a와 도 1c에 도시한 바와 같이, 공통 전극(11)과 차광판(12)은 서로 접속된다.

[0004] 5-마스크 (포토리소그래피) 공정은 지금 TFT를 제조하는 전형적인 공정 기술이다. 이 5-마스크 공정은 주로 5개의 단계로 나뉜다. 즉,

- [0005] 1, 게이트 전극 및 그 리드를 형성한다. 또한 그와 동시에 차광판 및/또는 공통 전극을 형성할 수 있는 단계와,
- [0006] 2, 게이트 절연층과 아몰퍼스 실리콘 반도체층을 형성하는 단계와,
- [0007] 3, 소스 전극과 드레인 전극 및 데이터 라인의 리드를 형성하는 단계와,
- [0008] 4, 패시베이션 보호층을 형성하는 단계와,
- [0009] 5, 화소 전극을 형성하는 단계.

[0010] 각 단계에서는, 박막의 적층과, 식각된 마스크 패턴의 형성(포토리소그래피를 도포, 노광, 현상)과 식각의 3가지 주요 공정이 구비된다. 상기한 것은 전형적인 5-마스크 기술이다. 마스크의 설계와 공정 흐름의 변경에 의해 다른 5-마스크 공정 기술도 있을 수 있다.

[0011] 도 1a에 도시한 TFT-LCD 어레이 기판에서 화소 영역의 중앙에 「H」 타입의 공통 전극 구조(차광판과 공통 전극)이 형성되었기 때문에 개구율을 어느 정도 저하시킨다. 「H」형 구조에 의해 제조 공정 및 수리 방법에 대해서도 새로운 요구가 제출된다. 전통적인 TFT-LCD 디바이스에서 공통 전극과 데이터 신호간의 콘덴서는 데이터의 전송에 영향을 준다. 전통적인 공통 전극의 TFT-LCD의 부하 전류 개략도는 도 2에 도시한 바와 같이, 전류는 주로 수평 방향으로 집중하여 흐른다. 통상의 해결 방법으로는 주변 회로의 설계 개선과 입력 신호 방식의 개선

등을 생각할 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0012] 상기 종래 기술의 결함을 극복하기 위하여 본 발명은 TFT-LCD 어레이 기판 구조 및 그 제조방법을 제공하고 세로방향의 공통 전극 연결부의 사용에 의해 공통 전극 밀도와 화소의 개구율이 증대된다.

**과제 해결수단**

[0013] 본 발명의 한 측면에서 TFT-LCD 어레이 기판이 제공되고 해당 TFT-LCD 어레이 기판은, 기판과, 상기 기판에 형성되고, 서로 교차되어 화소 영역을 적어도 하나 구성하는 적어도 1개의 게이트 라인과 적어도 1개의 데이터 라인과, 상기 화소 영역에 형성된 화소 전극과, 상기 화소 영역에 형성되고, 상기 게이트 라인에 접속하는 게이트 전극과, 상기 데이터 라인에 접속하는 제1 소스·드레인 전극과, 상기 화소 전극에 접속하는 제2 소스·드레인 전극을 가진 박막 트랜지스터와, 상기 데이터 라인에 평행하도록 상기 기판에 형성되는 적어도 1개의 공통 전극 연결부를 구비한다.

[0014] 본 발명의 실시예에 관한 TFT-LCD 어레이 기판은, 화소 영역에서 상기 화소 전극의 테두리부 아래쪽에 위치하는 공통 전극 차광판도 갖는 것이 바람직하다. 이 공통 전극 차광판은 공통 전극 연결부와 접속하여 일체 구조가 되어도 좋다. 공통 전극 차광판은 상기 게이트 라인, 또는 데이터 라인에 평행하여 연장되어도 좋다. 예를 들면, 공통 전극 차광판은 상기 게이트 라인에 평행한 제1 공통 전극 차광판과, 상기 데이터 라인에 평행한 제2 공통 전극 차광판을 가져도 좋다. 모든 공통 전극 차광판은 접속하여 일체 구조가 되어 예를 들면, 폐쇄 구조를 형성한다.

[0015] 본 발명의 다른 측면에서 TFT-LCD 어레이 기판의 제조방법이 제공되고, 해당 TFT-LCD 어레이 기판의 제조방법은, 기판에 게이트 금속 박막을 적층하여 패터닝하고 게이트 라인 및 게이트 전극을 형성하는 공정과, 게이트 절연층 박막과 활성층 박막을 연속적으로 적층하고 상기 활성층 박막을 패터닝하여 활성층을 형성하는 공정과, 소스·드레인 금속 박막을 적층하여 패터닝하고, 데이터 라인과, 상기 데이터 라인에 평행한 공통 전극 연결부와, 데이터 라인에 접속하는 제1 소스·드레인 전극과, 제1 소스·드레인 전극으로부터 이격된 제2 소스·드레인 전극을 형성하는 공정과, 패시베이션층 박막을 적층하여 패터닝하고, 제2 소스·드레인 전극의 상부에 패시베이션층 비아홀을 형성하는 공정과, 화소 전극층을 적층하여 패터닝하고, 상기 패시베이션층의 비아홀을 통해 제2 소스·드레인 전극과 접속하는 화소 전극을 형성하는 공정을 갖는다.

[0016] 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 제조방법에서, 데이터 라인과 공통 전극 연결부를 형성함과 동시에, 형성하려는 화소 전극 테두리부 하부에 위치하는 공통 전극 차광판을 형성하는 것도 바람직하다. 상기 공통 전극 차광판은 공통 전극 연결부와 접속하여 일체 구조가 되어도 좋다. 공통 전극 차광판은 상기 게이트 라인 또는 데이터 라인에 평행하게 연장되어도 좋다. 예를 들면, 공통 전극 차광판은 상기 게이트 라인에 평행한 제1 공통 전극 차광판과, 상기 데이터 라인에 평행한 제2 공통 전극 차광판을 가져도 좋다. 모든 공통 전극 차광판은 접속하여 일체 구조가 되고, 예를 들면 폐쇄 구조를 형성한다.

**효과**

[0017] 본 발명의 실시예에 의하면, 중간 부분의 공통 전극 연결부가 취소되어 개구율도 매우 증가됨과 동시에 데이터 주사선과 동일한 금속 재료로 세로방향으로 배열되어 폐쇄 구조가 되는 공통 전극 차광판을 형성하고, 그 우세(優勢)는 기억 콘덴서를 증대시킬 수 있는 것이다.

[0018] 또 본 발명의 실시예에 의하면, 공통 전극 연결부가 세로방향 배열 구조가 되기 때문에 기판의 상하 양단은 모두 공통 전극 전압을 제공할 수 있다. 따라서, 화소내 공통 전극 코팅에 결함이 발생하는 경우, 수리하여 절단된 위치에서 가로 절단만 하면 되고, 디스플레이의 효과에 영향을 미치지 않아 수리에 편리하다.

[0019] 또한 본 발명의 실시예에 의하면, 공통 전극 신호가 가로에서 세로로 변경되고 입력단이 1024개에서 3840개, 또는 그 이상으로 증가될 수 있어 밀도가 높아진다. 이로써 다른 위치에서의 신호의 분산을 감소, 보다 균형잡힌 신호 분포를 유지할 수 있어 명멸 및 흰줄 등에 의한 제품 불량율을 효과적으로 저하시켜 신호 지연에 의한 불량을 더욱 감소시켰다.

**발명의 실시를 위한 구체적인 내용**

- [0020] 첨부 도면을 참조하면서 본 발명의 예시적인 실시예를 설명한다. 그러나, 본 발명은 다른 형식으로 실현할 수 있으며 여기에서 설명하는 실시예에 한정되는 것으로 해석해서는 안 된다. 본문에서 소자 또는 층이 다른 소자 또는 층 위에 있는, 또는 다른 소자 또는 층에 연결된다고 설명하는 경우, 해당 소자 또는 층은 다른 소자 또는 층에 직접 위치하고, 다른 소자 또는 층에 직접 연결되어도 좋고, 중간의 소자 또는 층이 개재되어도 좋다. 또한 해당 설명에 있어서, '세로 방향'과 '가로 방향'은 도면에 있어서 도시된 상대적인 방향이며, 도면은 90도를 더 회전시키면 도면에 있어서 '세로방향'과 '가로방향'은 교환된다.
- [0021] <실시예 1>
- [0022] 도 3a에 도시한 바와 같이, 본 발명의 실시예의 TFT-LCD 어레이 기판에 복수의 게이트 라인(101)과, 게이트 라인(101)에 평행한 제1 공통 전극 차광판(112)과, 게이트 라인(101)과 수직하여 연장되는 공통 전극 연결부(111)와, 제2 공통 전극 차광판(112)과, 복수의 데이터 라인(105)이 있다. 인접하는 게이트 라인(101)과 데이터 라인(105)은 교차되어 화소 영역을 구성한다. 각 화소 영역은 TFT 스위치 디바이스와 화소 전극(110)과 공통 전극 연결부(111)를 갖는다. 도 3b에 도시한 바와 같이, 이 TFT 디바이스는 백(back) 채널 식각된 바텀 게이트 구조가 적용된다. TFT 디바이스는 예를 들면 유리 기판(미도시)에 순차적으로 있는 게이트 전극(102)과 게이트 절연층(104)과 반도체 활성층(103)과 소스 전극(106)과 드레인 전극(107)으로 이루어진다. 게이트 전극(102)은 대응하는 1개의 게이트 라인(101)으로부터 돌출한다. 게이트 라인(101)의 일부로 이루어져도 좋다. 소스 전극(106)과 드레인 전극(107)은 서로 이격되어 활성층(103)의 양단에 형성되고, 소스 전극(106)과 드레인 전극(107) 사이의 활성층(103) 부분은 박막 트랜지스터의 채널 부분으로 형성된다. 패시베이션층(108)은 상기 부분의 윗쪽에 형성되어 그것들을 피복한다. 화소 전극(110)은 패시베이션층(108)에 형성되고, 또한 패시베이션층(108)에서의 비아홀(109)을 통해 TFT의 드레인 전극(107)에 접속된다.
- [0023] 본 발명의 실시예에 있어서, 공통 전극 연결부(111)는 데이터 라인(105)과 동일한 도전 재료(예를 들면, 금속)로 형성되고, 어레이 기판에 세로방향으로 배열된다. 또한, 4개의 공통 전극 차광판(112)(상기 제1 공통 전극 차광판과 상기 제2 공통 전극 차광판)은 상호 접속하여 폐쇄된 공통 전극 차광판 구조를 만들고(도 3a에 도시한 바와 같이), 이 폐쇄된 공통 전극 차광판 구조와 화소 전극(110)의 테두리부는 부분적으로 겹쳐져 차광 기능을 완수함과 동시에 보상 기억 콘덴서(113)도 제공할 수 있다. 이와 같이 설계하는 장점은 증대된 기억 콘덴서를 제공할 수 있어 디스플레이 효과를 개선한다. 또 예를 들면 관련 기술에 의한 화소 구조와 비교하면 화소 영역에서의 「H」형 공통 전극 구조의 중간 공통 전극 연결부가 취소되었기 때문에 개구율이 매우 증가되었다.
- [0024] 도 3a에 도시한 바와 같이, 본 발명의 화소영역의 테두리부는 데이터 라인(105)에 평행한 공통 전극 연결부(111)를 채용하고, 이 공통 전극 연결부(111)는 화소 테두리부의 광 누설을 방지하는 공통 전극 차광판(112)에 접속된다. 공통 전극 차광판은 폐쇄되어 형성되고, 공통 전극 연결부 및 공통 전극 차광판은 데이터 라인과 동일한 도전 재료를 채용한다(예를 들면, 금속). 세로방향에서의 다른 화소 사이에 공통 전극 연결부(111)는 서로 접속한다. 이 공통 전극 연결부(111) 및 공통 전극 차광판(112)은 데이터 라인(105) 및 박막 트랜지스터의 소스 드레인 전극과 동일한 재료로 동일한 식각 공정에서 형성할 수 있다.
- [0025] 도 3b~도 3d의 단면도는 본 발명의 TFT 화소 구조를 거듭 설명했다. 도 3b와 도 1b를 비교하면 알 수 있듯이, 본 발명의 TFT화소 구조는 관련 기술에서의 화소와 유사하다. 그러나 데이터 라인과 동일한 도전 재료를 사용하여 화소 전극 테두리부에 공통 전극 연결부(111)와 공통 전극 차광판(112)을 형성하고, 공통 전극 연결부(111)와 공통 전극 차광판(112)을 더욱 접속시킨다. 도 3c에 도시된 공통 전극 차광판(112)의 단면도와 관련 기술에서의 TFT 디바이스(도 1c에 도시한 바와 같이)의 차이는, 공통 전극 차광판(112)이 데이터 라인과 동일한 도전 재료를 채용하여 폐쇄 구조로 형성된다는 것이다.. 상기 구조는 보다 큰 기억 콘덴서 용량을 획득할 수 있어 화소 영역의 개구율을 향상시켰다.
- [0026] 또 본 발명의 공통 전극 연결부의 세로 배열 구조는 수리에 편리하다. 각 화소 전극의 공통 전극 연결부(111)는 세로 방향으로 접속된다. 또한, 이 기판의 상하 양단은 모두 공통 전극 전압을 제공할 수 있다. 따라서, 화소 내의 공통 전극 연결부(111)에 결함이 발생하는 경우, 수리하여 절단된 위치(114)에서 횡절단만 하면 되므로 디스플레이의 효과에 영향을 미치지 않는다. 이 수리하여 절단된 위치(114)는, 예를 들면 인접 화소간에 있는 공통 전극 연결부에 있다.
- [0027] 도 4는 본 발명의 TFT-LCD 디바이스의 공통 전극 부하의 개략도로서, 관련 기술에서의 공통 전극 부하 개략도(도 2에 도시한 바와 같이)와 비교하면, 본 발명은 세로방향으로 배열되어 형성된 매트릭스 부하에 의해 각 공

통 전극 연결부(111) 사이의 전류와 전위를 유효적으로 평형시킨다. 관련 기술의 TFT LCD 어레이 기판과 비교하여 공통 전극 신호가 가로에서 세로로 변경되고 입력단이 1024개에서 3840개, 또는 그 이상으로 증가할 수 있으며 밀도가 높아져 다른 위치에서의 신호의 불균일을 감소시켜 더욱 균형잡힌 신호 분포를 유지하고, 명멸 및 흰 줄 등에 의한 제품 불량율을 효과적으로 저하시키고 또한 신호 지연에 의한 불량을 감소시켰다.

[0028] 또 상기 실시예에서, 게이트 라인(101)과 데이터 라인(105)과 박막 트랜지스터의 소스 전극(106) 및 드레인 전극(107)과 공통 전극 연결부(111)와 공통 전극 차광판(112)의 재료는 Al, Cr, W, Ta, Ti, Mo, 및 AlNi 중 어느 하나이거나, 또는 그것들의 임의의 조합이어도 좋고, 층구조는 상기 금속 재료의 단층, 또는 복합층 구조여도 좋다. 게이트 라인(101), 공통 전극 연결부(111)와 공통 전극 차광판(112)은 동일한 박막으로서의 적층과, 포토 리소그래피 패터닝과 화학 식각 공정에서 같은 재료로 만들어진 부분이다. 게이트 절연층(104)의 재료는 질화실리콘, 또는 산화알루미늄 등이다. 화소 전극(110)의 재료는 산화인듐주석이나 산화인듐아연, 또는 산화알루미늄아연 등의 투명 도전 재료여도 좋고, 반사형 LCD의 경우에는 알루미늄 등의 금속 재료여도 좋다.

[0029] 상기 명세서에서 TFT의 드레인 전극은 화소 전극에 접속된다고 설명했으나, 당업자는 이하의 것을 이해해야 한다. 즉, TFT에서 소스 전극과 드레인 전극은 교대할 수 있으며, 요컨대 드레인 전극이 데이터 라인에 접속되고, 소스 전극이 화소 전극에 접속되어도 된다. 또한, 소스 전극과 드레인 전극을 통합하여 소스·드레인 전극으로 칭해도 좋다.

[0030] 또한 상기 실시예에서 바텀 게이트 전극 TFT를 예로서 설명했으나, 당업자는 이하의 것을 이해해야 한다. 즉, 만일 화소의 스위치 소자가 톱 게이트 전극 구조 TFT를 채용하는 경우, 그 중에 데이터 라인에 평행한 공통 전극 연결부가 형성되면 마찬가지로 본 발명을 응용할 수 있다. 화소 전극 테두리부의 하방에 공통 전극 연결부와 일체가 되어도 좋은 공통 전극 차광판이 형성되는 것이 바람직하다. 이러한 공통 전극 차광판은 상호 일체 구조가 되는 것이 더욱 바람직하다. 톱 게이트 전극 구조 TFT는 당업자에게 주지의 것으로서, 예를 들면, 형성된 유리 기판에 형성된 활성층과, 게이트 절연층과, 게이트 전극에 접속하는 게이트 전극과, 제2절연층과, 제2절연층에 형성된 데이터 라인과, 제1 및 제2 소스·드레인 전극과, 상기 부재를 피복하는 패시베이션층과, 패시베이션층에 형성된 화소 전극 등의 구조이다. 그것에 대한 상세한 설명은 여기에서 중복하지 않는다. 본 발명의 실시예에 의하면, 공통 전극 연결부와 데이터 라인과는 상호 평행하고, 동시에 형성될 수 있다.

[0031] 상기 화소 구조는 본 발명의 실시예의 모식적 구조로서, 그것에 대해 각 형식적인 변경을 해도 되는 것은 명백하다. 예를 들면, 게이트 라인에 평행한 공통 전극 차광판 외에는 공통 전극 연결부에 접속하지 않거나, 또는 데이터 라인에 평행한 공통 전극 차광판 외에는 공통 전극 연결부에 접속하지 않거나, 또는 게이트 라인에 평행한 공통 전극 차광판 외에는 데이터 라인에 평행한 공통 전극 차광판에 접속하지 않는다. TFT의 공통 전극 연결부를 세로로 배열하여 데이터 라인에 평행하다면, 기타 형상과 패턴의 화소 구조여도 좋고 본 발명의 범위에 합치된다. 또한, TFT의 게이트 전극은, 도3a에 도시된 바와 같이 게이트 라인으로부터 돌출되었다거나 독립한 부분이 아니어도 좋고, 게이트 라인 자신의 일부에 의해 형성될 수 있다. 양자는 모두 '접속되어 있다'라고 간주된다.

[0032] 본 발명의 실시예의 상기 TFT-LCD 구조는 이하의 방법에 의해 제조할 수 있다. 즉, 우선, 예를 들면 자기(磁氣) 제어 스퍼터링법을 이용하여, 예를 들면 유리 기판에 두께가 1000Å~7000Å인 게이트 금속 박막을 만든다. 게이트 금속의 재료는 통상 Mo, Al, Al과 Ni의 합금, Mo와 W의 합금, Cr, 또는 Cu 등의 금속을 사용하고, 상기 재료박막의 조합 구조를 사용해도 좋다. 게이트 전극 마스크로 노광 공정에 의해 패터닝하고, 또 화학 식각 공정에 의해 유리 기판의 일정 영역에 복수의 게이트 라인(101) 및 게이트 라인에서 돌출된 게이트 전극(102)을 형성한다.

[0033] 그리고, 예를 들면 화학기상증착법(CVD)을 이용하여 어레이 기판에 1000Å~6000Å의 게이트 절연층(104)과 1000Å~6000Å의 아몰퍼스 실리콘 박막을 연속으로 퇴적한다. 게이트 절연층의 재료는 통상 질화실리콘으로서, 산화실리콘과 질산화실리콘을 사용해도 좋다. 활성층의 마스크로 노광시켜 현상한 후, 아몰퍼스 실리콘에 대해 드라이 식각을 하여 실리콘 아일랜드인 활성층(103)을 형성한다. 게이트 금속과 아몰퍼스 실리콘 사이의 게이트 절연층은 식각을 저지시키는 역할을 한다. 활성층(103)은 예를 들면 다결정 실리콘의 재료로 형성되어도 좋다. 아몰퍼스 실리콘 박막을 적층한 후, 이 아몰퍼스 실리콘 박막을 예를 들면 금속열(速熱)처리(RTA), 또는 레이저 복사에 의해 결정화시킨다.

[0034] 계속해서 게이트 라인과 게이트 전극의 제조와 유사한 방법을 채용하여 어레이 기판에 게이트 금속과 유사한 두께가 1000Å~7000Å인 소스·드레인 금속 박막을 퇴적하고, 소스·드레인 전극의 마스크로 패터닝 및 식각에 의해 기판상의 일정 영역에서 복수의 데이터 라인(105)과 소스 전극(106)과 드레인 전극(107)과 공통 전극 연결

부(111)와 공통 전극 차광판(112)을 형성한다. 데이터 라인(105)과 소스 전극(106)과 드레인 전극(107)과 공통 전극 연결부(111)와 공통 전극 차광판(112)은 동일한 두께 및 식각 후의 구배를 가진다. 소스 전극(106)과 드레인 전극(107)은 각각 활성층의 양단에 접촉한다. 공통 전극 연결부(111)는 데이터 라인(105)에 평행하게 연장되고, 후술에서 형성되는 화소 전극(110)의 테두리부의 하방에 공통 전극 차광판(112)이 형성된다.

[0035] 그 후, 게이트 절연층 및 활성층과 유사한 방법에 의해 어레이 기관 전체에 두께가 1000Å~6000Å인 패시베이션층(108)을 퇴적한다. 그 재료는 통상 질화실리콘, 실리콘 산화물 또는 실리콘 질산화물이다. 이 때에 게이트 라인(101)의 표면이 게이트 절연층(104)과 패시베이션층(108)으로 피복된다. 데이터 라인(105)과 공통 전극 연결부(111)와 공통 전극 차광판(112) 상면이 동일한 두께의 패시베이션층(108)으로 피복된다. 도 2a에 도시한 바와 같이, 패시베이션층의 마스크로 노광과 식각 공정에 의해 드레인 전극(107) 상방의 패시베이션층 비아홀(109)을 형성한다.

[0036] 마지막으로, 게이트 절연층 및 활성층과 유사한 방법으로 유리 기관 전체에 화소 전극층을 퇴적시키고 화소 전극의 마스크를 이용하여 패터닝과 식각 등의 공정에 의해 최종적으로 화소 전극(110)과, 기억 콘덴서(113)를 화소 전극(110)과 공통 전극 차광판(112)을 중첩되도록 형성한다. 상용(常用)의 투명 전극은 ITO, 또는 IZO이고, 두께는 100Å~1000Å 사이이다. 또한 화소 전극(110)은 비아홀(109)을 통하여 드레인 전극(107)과 접속되어 있다.

[0037] 상기 실시예는 실현 방법으로서, 노광 횟수의 증가 또는 감소, 및 다른 재료 또는 재료의 조합 선택에 의해 본 발명을 실현할 수 있다. 폐쇄형 공통 전극 차광판을 가지고, 또한 공통 전극 차광판이 세로방향의 공통 전극 연결부에 접속하는 어레이 기관 상, TFT 디바이스 구조는 각종 변경과 변화를 가져도 되는 것은 명백하다.

[0038] 상기 실시예는 본 발명의 기술안을 설명하는 것으로서, 한정하는 것은 아니다. 최량의 실시형태를 참조하여 본 발명을 상세히 설명했으나, 당업자에 있어서 필요에 따라 다른 재료나 설비 등으로 본 발명을 실현할 수 있다. 즉, 그 요지를 일탈하지 않는 범위 내에서 각종 형태로 실시할 수 있는 것이다.

[0039] 본원은 2006년 11월 17일에 중국 국가 지식산업국(產權局)에 제출한 200610145218.1호 특허출원 우선권을 주장하고 상기 출원의 모든 내용을 여기에서 원용했다.

**도면의 간단한 설명**

[0040] 도 1a은, 종래 기술에서의 TFT-LCD 디바이스의 어레이 기관에서의 단일 화소 상면도이다.

[0041] 도 1b는, 도 1a에서의 A-A선의 단면도이다.

[0042] 도 1c는, 도 1a에서의 B-B선의 단면도이다.

[0043] 도 2는, 종래 기술에서의 TFT-LCD 디바이스의 공통 전극 부하 개략도이다.

[0044] 도 3a는, 본 발명에 관한 TFT-LCD 디바이스의 어레이 기관에서의 단일 화소 상면도이다.

[0045] 도 3b는, 도 2에서의 C-C선의 단면도이다.

[0046] 도 3c는, 도 2에서의 D-D선의 단면도이다.

[0047] 도 3d는, 도 2에서의 E-E선의 단면도이다.

[0048] 도 4는, 본 발명에 관한 TFT-LCD 디바이스의 공통 전극 부하 개략도이다.

[0049] <부호의 설명>

- |        |                   |                |
|--------|-------------------|----------------|
| [0050] | 1,101: 게이트 라인     | 2,102: 게이트 전극  |
| [0051] | 3,103: 활성층        | 4,104: 게이트 절연층 |
| [0052] | 5,105: 데이터 라인     | 6,106: 소스 전극   |
| [0053] | 7,107: 드레인 전극     | 8,108: 패시베이션층  |
| [0054] | 9,109: 패시베이션층 비아홀 | 10,110: 화소 전극  |
| [0055] | 11,111: 공통 전극     | 12,112: 차광판    |

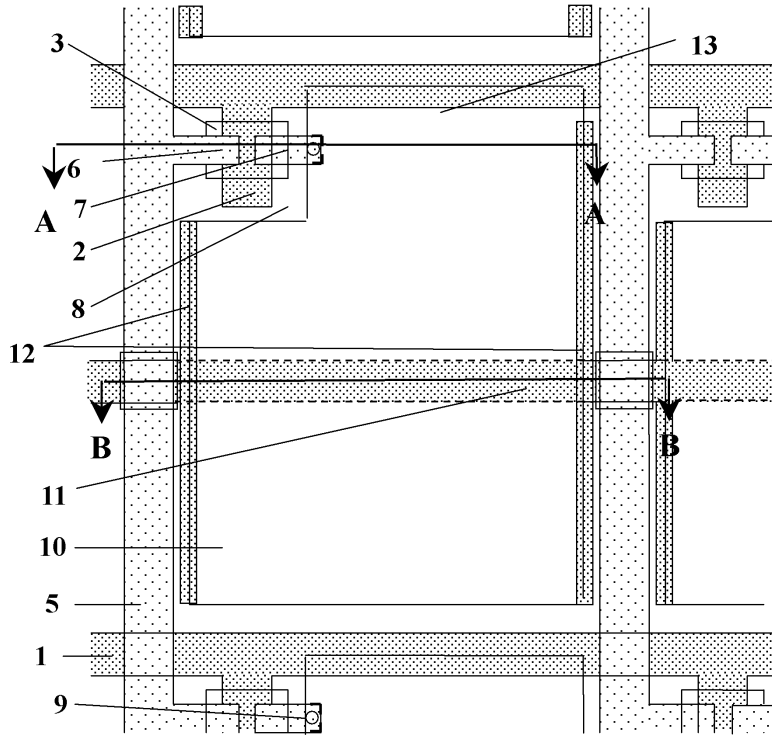


[0056] 13, 113: 기억 콘텐서

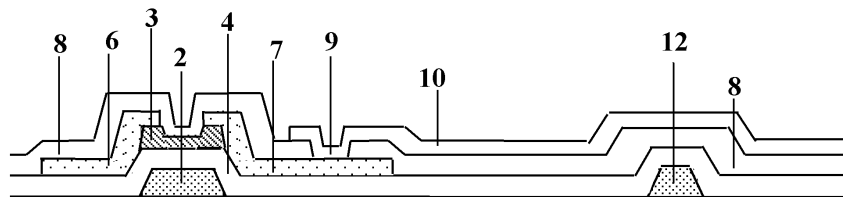
114: 수리 절단 위치

도면

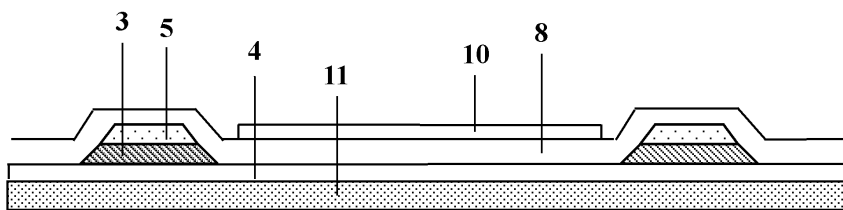
도면1a



도면1b



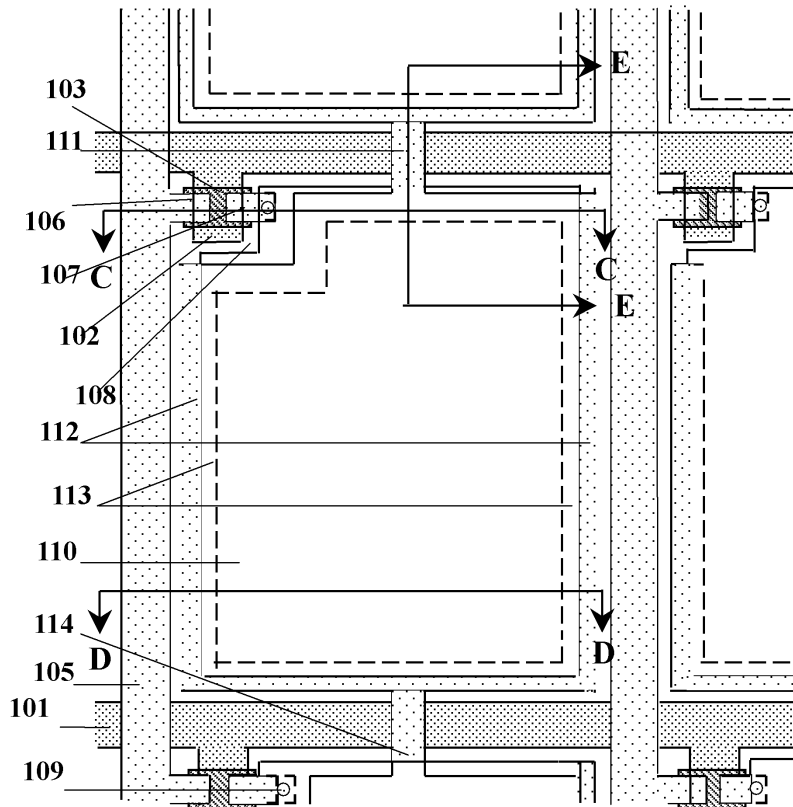
도면1c



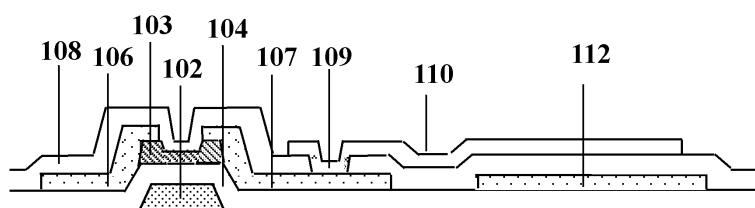
도면2



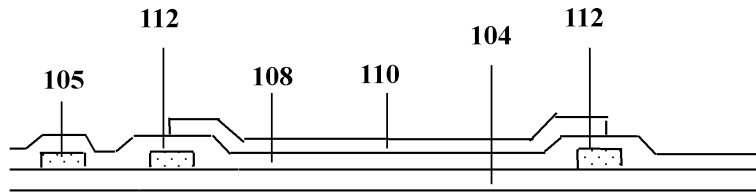
도면3a



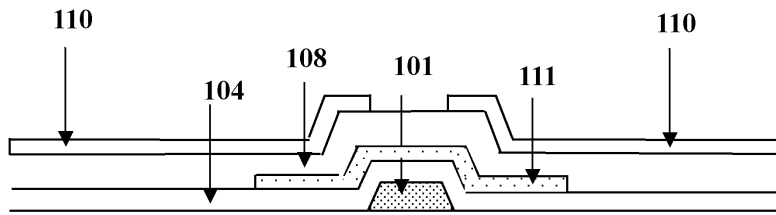
도면3b



도면3c



도면3d



도면4

