



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월11일
 (11) 등록번호 10-1164690
 (24) 등록일자 2012년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/3205 (2006.01) **B82Y 40/00**
 (2011.01)
 (21) 출원번호 10-2006-7001728
 (22) 출원일자(국제) 2004년07월13일
 심사청구일자 2009년07월13일
 (85) 번역문제출일자 2006년01월25일
 (65) 공개번호 10-2006-0056346
 (43) 공개일자 2006년05월24일
 (86) 국제출원번호 PCT/US2004/022434
 (87) 국제공개번호 WO 2005/013320
 국제공개일자 2005년02월10일
 (30) 우선권주장
 10/628,668 2003년07월28일 미국(US)
 (56) 선행기술조사문헌
 JP2002301697 A*
 KR100381885 B1*
 KR1020020009109 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 암 캐논 드라이브 웨스트 6501
 (72) 발명자
레베르, 더글라스, 엠.
 프랑스 에프-38330 스트리트 이스미에 슈맹 드 샹그로 216
홀, 마크, 디.
 미국 78750 텍사스주 오스틴 스위트 체리 드라이브 8404
 (뒷면에 계속)
 (74) 대리인
백만기, 이중희, 주성민

전체 청구항 수 : 총 22 항

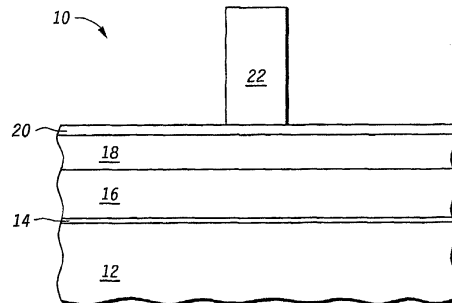
심사관 : 장지혜

(54) 발명의 명칭 유기 ARC를 구비하는 반도체 장치 및 그것을 위한 방법

(57) 요약

반도체 장치(10)를 제조하는 경우, 에칭되는 도전성 재료(16) 위의 패터닝 스택은 하부의 TEOS층(20)을 패터닝 하는데 이용되는 패터닝된 포토레지스트층(22)을 갖는다. TEOS층(20)은 종래보다 낮은 온도에서 피착된다. 저온 TEOS층(20)은 도전층(16) 위에 있는 유기 ARC(18) 위에 존재한다. 저온 TEOS층(20)은 유기 ARC(18)와 포토레지스트(22) 사이의 부착성을 제공하고, 낮은 결합성을 갖고, 하드 마스크로서 동작하며, 유기 ARC(18)와 결합하여, 원치 않는 반사를 감소시키는 것을 돕는 위상 시프트층으로서 기능한다.

대표도 - 도1



(72) 발명자

정커, 커트, 에이치.

미국 78737 텍사스주 오스틴 마드론 모우테인 웨이 13201

패터슨, 카일, 더블유.

프랑스 에프-38190 프로제 슈맹 드 비그네 20

스티븐스, 램 앨런

미국 78759 텍사스주 오스틴 앰벌리 플레이스 6102

테이스, 에드워드, 케이.

미국 78613 텍사스주 시더 파크 트레이시 밀러 레인 1711

다크시나-무르티, 스리칸테스와라

미국 12590 뉴욕주 와핑거스 폴스 타운 뷰 드라이브 258

라이트, 마릴린 아이린

미국 94087 캘리포니아주 서니베일 글렌코 코트 712

특허청구의 범위

청구항 1

반도체 장치를 형성하기 위한 방법으로서,
반도체 기판을 제공하는 단계;
상기 반도체 기판 위에 절연층을 형성하는 단계;
상기 절연층 위에 도전층을 형성하는 단계;
상기 도전층 위에 유기 ARC(anti-reflective coating)층을 형성하는 단계;
상기 유기 ARC층 위에 TEOS(tetra-ethyl-ortho-silicate)층을 피착하는 단계;
상기 TEOS층 위에 포토레지스트층을 피착하는 단계; 및
상기 포토레지스트층을 패터닝하여 패터닝된 포토레지스트 구조를 형성하는 단계
를 포함하는 반도체 장치 형성 방법.

청구항 2

제1항에 있어서, 상기 유기 ARC층은 비결정질 탄소를 포함하는 반도체 장치 형성 방법.

청구항 3

제1항에 있어서, 상기 유기 ARC층은 300 내지 700 옴스트롬의 두께가 되도록 피착되는 반도체 장치 형성 방법.

청구항 4

제1항에 있어서, 상기 TEOS층은 섭씨 250 내지 350도의 온도에서 상기 유기 ARC층 상에 형성되는 반도체 장치 형성 방법.

청구항 5

제1항에 있어서, 상기 TEOS층은 섭씨 350도 이하의 온도에서 상기 유기 ARC층 상에 형성되는 반도체 장치 형성 방법.

청구항 6

제1항에 있어서, 상기 TEOS층은 200 내지 300 옴스트롬의 두께인 반도체 장치 형성 방법.

청구항 7

제1항에 있어서, 상기 패터닝된 포토레지스트 구조의 폭방향 치수(lateral dimension)를 감소시키기 위하여 상기 패터닝된 포토레지스트 구조를 폭방향 트리밍(laterally trimming)하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 8

제7항에 있어서, 상기 패터닝된 포토레지스트 구조 주위로부터 상기 TEOS층의 적어도 일부를 제거하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 9

제8항에 있어서, 패터닝 스택을 생성하기 위하여 상기 패터닝된 포토레지스트 구조 주위로부터 상기 유기 ARC층의 적어도 일부를 제거하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 10

제9항에 있어서, 상기 패터닝 스택 아래에 게이트 전극을 생성하기 위하여 상기 패터닝 스택 주위로부터 상기

도전층을 제거하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 11

제10항에 있어서, 상기 패터닝 스택을 제거하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 12

제1항에 있어서, 상기 패터닝은 248 나노미터 이하의 파장을 갖는 광을 이용하여 수행되는 반도체 장치 형성 방법.

청구항 13

제1항에 있어서, 상기 도전층은 폴리실리콘을 포함하는 반도체 장치 형성 방법.

청구항 14

제10항에 있어서,
상기 게이트 전극 상에 측벽 스페이서들을 형성하는 단계; 및
상기 기판 내로 소스/드레인 영역들을 확산시키는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 15

반도체 장치로서,
반도체 기판;
상기 반도체 기판 위에 형성된 절연층;
상기 절연층 위에 형성된 도전층;
상기 도전층 위에 형성된 유기 ARC(anti-reflective coating)층;
상기 유기 ARC층 위에 형성된 TEOS(tetra-ethyl-ortho-silicate)층; 및
상기 TEOS층 위에 형성된 패터닝된 포토레지스트층을 포함하는 반도체 장치.

청구항 16

제15항에 있어서, 상기 유기 ARC층은 비결정질 탄소를 포함하는 반도체 장치.

청구항 17

제15항에 있어서, 상기 유기 ARC층은 300 내지 700 옹스트롬의 두께가 되도록 피착되는 반도체 장치.

청구항 18

제15항에 있어서, 상기 TEOS층은 섭씨 250 내지 350도의 온도에서 상기 유기 ARC층 상에 형성되는 반도체 장치.

청구항 19

제15항에 있어서, 상기 TEOS층은 섭씨 350도 이하의 온도에서 상기 유기 ARC층 상에 형성되는 반도체 장치.

청구항 20

제15항에 있어서, 상기 TEOS층은 200 내지 300 옹스트롬의 두께인 반도체 장치.

청구항 21

제15항에 있어서, 상기 패터닝된 포토레지스트층은 금속산화물 반도체 트랜지스터의 게이트 전극을 형성하기

위한 것인 반도체 장치.

청구항 22

제15항에 있어서, 상기 도전층은 폴리실리콘을 포함하는 반도체 장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

명세서

기술분야

[0001] 본 발명은 반도체 장치에 관한 것이며, 특히 유기 ARC(anti-reflective coating)를 이용하는 반도체 장치에 관한 것이다.

배경기술

[0002] 반도체 제조시, 막스택 에칭(film stack etching)을 위하여 패터닝된 보호층을 필요로 하는 많은 층들이 존재한다. 그러한 에칭에서 이용된 두 가지 공지된 기술들은 무기(inorganic) ARC 하드 마스크 및 스피온 유기 BARC(bottom anti-reflective coating)이다. 무기 ARC 하드 마스크 패터닝 스킴들은 일부 응용에 대하여 곤란을 야기하는데 그 이유는 하드 마스크 에칭 동안 하드 마스크를 보호하는데 요구되는 포토레지스트의 양은 포토레지스트 두께에 대한 더 낮은 제한을 두기 때문이다. 이 제한은 더 양호한 분해능(resolution)을 제공하는 더 얇은 포토레지스트 막의 이용을 차단할 수 있다. 스피온 BARC는 적용하는 것이 비교적 더 용이하지만, 그 화학 성분 및 따라서 두꺼운 포토레지스트를 또한 요구하는 에칭 속성에 있어서 포토레지스트와 유사한 것이 통상적이다. 이 문제들을 피하기 위하여, 비결정질 탄소 박막들의 이용이 제안되었다. 그런 막들은 반도체 제조시 시도되었지만 제곱센티미터당 3.0 결함 이상의 비교적 높은 결함 농도를 갖는 것으로 밝혀졌다.

[0003] 따라서, 높은 분해능 및 낮은 결함성(defectivity)을 갖는 향상된 마스크 스택이 요구된다.

발명의 상세한 설명

[0013] 일 측면에서, 에칭되는 도전성 재료 위의 패터닝 스택은 하부 TEOS(tetraethyl-ortho-silicate)층을 패터닝하는데 이용되는 패터닝된 포토레지스트층을 갖는다. TEOS층은 통상적인 것보다 낮은 온도에서 피착된다. 저온 TEOS층은 도전층 위의 유기 ARC 위에 있다. 저온 TEOS층은 유기 ARC 및 포토레지스트 모두에 대한 부착을 제공하고, 낮은 결함성을 갖고, 하드 마스크로서 동작하며, 유기 ARC와 결합하여, 원치 않는 반사를 감소시키는 것을 돕는 위상 시프트층으로서 기능한다. 부착과 관련된 문제는 193 나노미터 리소그래피를 위하여 설계된 포토레지스트들의 도입으로 더욱 어려워졌다. 이하의 설명은 다른 대안의 해법뿐만 아니라 본 발명의 바람직한 실시예의 더욱 복잡한 설명을 제공한다.

[0014] 도 1에는 반도체 기판(12), 기판(12) 위의 절연층(14), 절연층(14) 위의 도전성 재료(16), 도전성 재료(16) 위의 유기 ARC층(18), 유기 ARC층(18) 위의 TEOS층(20), 및 패터닝된 포토레지스트층(22)을 포함하는 반도체 장치(10)가 도시된다. 이 경우 패터닝된 포토레지스트층(22)은 MOS 트랜지스터의 게이트를 로케이팅하기 위

하여 패터닝된다. TEOS층(20)은 바람직하게는 섭씨 300도의 온도에서 TEOS를 이용하여 만들어진 산화물층이다. 유효(effective) TEOS층은 5.5 Torr에서 TEOS, 산소, 및 헬륨을 이용하여 어플라이드 머티리얼즈 센츄라 5200 DxZ 피착틀을 이용하여 피착되었다.

[0015] 플로우 속도(flow rates)는 TEOS에 대하여는 분당 840 밀리그램(mgm), 산소에 대하여는 840 sccm, 및 헬륨에 대하여는 560 sccm이다. 전력은 고주파수에 대하여는 510 와트, 저주파수에 대하여는 110 와트로 설정된다. 이 장비 및 이 설정들은 예시적인 것이며 상이하게 될 수 있을 것이다. 온도는 의도적으로 TEOS에 대하여 섭씨 400도의 통상적인 피착 온도보다 낮게 된다. 온도는 바람직하게는 약 섭씨 350도보다 낮다. 온도는 또한 약 섭씨 250도보다 커야 한다. 다른 장비는 거의 확실하게 다소 상이한 조건들에서 동작할 것이며 그러한 설정들은 실험적으로 결정될 것이다. 본 예에서, 기관(12)은 실리콘이고, 절연층(14)은 약 15 옹스트롬의 실리콘 산화물이고, 도전성 재료(16)는 약 1000 옹스트롬의 폴리실리콘이고, 유기 ARC(18)는 당업자에게 공지된 바와 같이 PECVD(plasma enhanced chemical vapor deposition)에 의하여 피착된 수소화 비결정질 탄소막(hydrogenated amorphous carbon film)이고 두께가 500 옹스트롬이며, 패터닝된 포토레지스트(22)는 두께가 2500 옹스트롬이다. 1500 옹스트롬의 더 얇은 포토레지스트가 바람직할 수 있다. 한편, 1500 옹스트롬의 폴리실리콘 두께는 바람직할 수 있다. 또한 폴리실리콘 대신에 금속이 이용된다면, 두께는 1000 옹스트롬보다 적은 것이 바람직하다.

[0016] 도 2에는 박막 포토레지스트(24)를 형성하는 패터닝된 포토레지스트(22)의 측면 박막화(lateral thinning) 이후의 반도체 장치(10)가 도시된다. 이 측면 박막화는 패턴의 폭을 감소시키는 것이다. 이것은 이용 가능한 리소그래피 장비에 의하여 노출될 수 있는 것보다 더 작은 구조 geometries를 획득하기 위한 기술이다. 본 경우에는 예를 들면, 패터닝된 포토레지스트(22)는 0.1 마이크로(100 나노미터)의 노출(exposure)에 의하여 달성될 수 있다. 박막화 이후, 박막화된 포토레지스트는 폭이 약 50 나노미터이며 두께는 약 1500 옹스트롬으로 감소된다. TEOS층(20)은 이 박막화 프로세스에 의하여 최소한으로 영향을 받는다.

[0017] 도 3에는 박막화된 포토레지스트(28) 아래에 TEOS부(26)를 형성하기 위하여 마스크로서 박막화된 포토레지스트(24)를 이용하여 TEOS층(20)이 에칭된 이후의 반도체 장치(10)가 도시된다.

[0018] 도 4에는 ARC 부(30)를 형성하기 위하여 박막화된 포토레지스트(28) 및 TEOS부(26)를 이용하여 유기 ARC층(18)이 에칭된 이후의 반도체 장치(10)가 도시된다. ARC 부(30)는 반응 이온 에치(reactive ion etch)를 이용하여 에칭된다. 이 에치는 ARC(18)의 노출부가 제거된 후 등방성(isotropic)으로 되는 이방성 에치(anisotropic etch)이다. 상기 등방성 효과는 TEOS 부(26) 아래의 ARC(18)를 언더컷팅(undercutting)하여 TEOS부(26) 아래에 ARC 부(30)를 남기게 된다. 이것은 도전층(16)으로부터 형성되는 최종 층의 폭을 더 감소시키기 위한 기술이다. 이 기술은 당업자에게 공지되어 있다.

[0019] 도 5에는 도전성 재료(16)가 마스크로서 ARC부(30)를 이용하여 에칭되어, 도전층(16)을 에칭하는데 이용되는 에천트(etchants)로의 노출로 인하여 ARC부(30)보다 더 작은 ARC부(36) 및 폴리실리콘의 게이트 도체(34)를 남긴 이후의 반도체 장치(10)가 도시된다. 이 게이트 도체(34)는, 금속과 같이, 폴리실리콘과는 상이한 재료일 수 있다. 고려되는 금속들은 탄탈륨 실리콘 질화물, 티타늄 질화물, 및 텅스텐을 포함하지만, 이들로 한정되는 것은 아니다. 더욱이, 금속 게이트들은 층들의 조합일 수 있으며 그 층들 중 하나는 하나 이상의 금속층들 이외에 폴리실리콘을 포함할 수도 있다.

[0020] 도 6에는 도 5에서 노출되는 절연층 부분(14) 및 ARC부(36)를 제거하여 게이트 도체(34) 아래에 게이트 유전체(38)를 남긴 이후의 반도체 장치(10)가 도시된다. ARC 부(36)의 이 제거는 포토레지스트를 제거하는 종래의 프로세스들을 이용하여 달성된다. 도 5에는 포토레지스트가 도시되지 않지만, 통상적으로 애싱(ashing)에 의하여 제거되는 에칭 반응물 및 포토레지스트의 일부 잔존물이 존재할 수 있다. 이 애싱(ashing)은 또한 유기 ARC(18)를 위하여 이용되는 재료를 반응시켜 없애는데 효과적이다. 애싱과 결합하여 모든 ARC(18) 재료를 제거하는 것을 확실하게 하는, 피란하(piranha) 및 SCI와 같은 습식세정들(wet cleans)의 조합도 통상적인 것이다. 따라서, ARC 부(36)를 제거하는데 추가적인 제거 단계가 존재하지 않는다.

[0021] 도 7에는 게이트 유전체 위에 게이트 도체가 형성된 후 종래의 방식으로 형성되는, 측벽(40) 형성 및 소스(42) 및 드레인(44) 임플란트 이후의 완전한 트랜지스터로서 반도체 장치(10)가 도시된다. 따라서, 저온 TEOS의 이러한 이용은 게이트 형성 이후 트랜지스터 형성의 임의의 비상적인 또는 여분의 단계들을 야기하지 않는다.

[0022] 이러한 저온 TEOS의 이용은 포토레지스트가 제거되는 것이 의도되는 영역에서 포토레지스트가 전개되지 않도록 하는 포토레지스트 중독(poisoning)을 본질적으로 제거하므로 유리하다. 상기 중독은 일반적으로 포토레

지스트 내의 산을 중화시키는 포토레지스트 내의 질소에 기인한다. TEOS는 질소가 없으므로, 포토레지스트를 중독시키는 질소가 존재하지 않는다. 저온 TEOS의 다른 장점은 포토레지스트가 그것에 잘 부착된다는 것이다. 이것은 특히 193나노미터 리소그래피에 대하여 설계되는 포토레지스트의 경우에, 포토레지스트가 디라미네이트(delaminate)하는 경향이 있는 종래의 400 도 TEOS와는 대조적이다. 또한 하부 유기 ARC층에 대한 양호한 부착성을 보유한다. 다른 장점은 (193 나노미터에서 n 및 k인) TEOS의 광학 특성은, 유기 ARC와 결합되어, 유효 반반사(anti-reflection) 특성을 제공하는 것이다. 다른 장점은 포토레지스트가 제거되고 재적용될 필요가 있는 부적절한 포토레지스트 패터닝의 경우 포토리소그래피 리워크(rework)의 용이성이다. 그 경우 TEOS는 제거될 필요가 없다. 포토레지스트가 제거될 때 에칭되는 포토레지스트 바로 아래의 막들은 또한 제거되고 재적용되어야 할 것이다. TEOS 층은 그 상황에서 제거 및 재적용될 필요가 없다. 또한, 리워크 프로세스 동안 유기 ARC를 보호한다.

[0023] 전술된 TEOS 해법에 대한 대안은 산화제를 더한 오르가노실란(organosilane)을 이용하여 TEOS층(20) 대신에 ARC(18)와 포토레지스트(22) 사이에 층을 형성하는 것이다. 오르가노실란 및 산화제는 질소가 없어야 한다. TEOS는 적어도 그것을 위한 화학물질이 덜 비싸고 틀 이용 가능성이 더 양호하므로 바람직하다. TEOS는 또한 매우 안정한 막이다. 이 안정성은 필적하기 어려울 수 있다. 이 목적을 위한 통상의 오르가노실란은 트리메틸실란(trimethylsilane)이다. 통상의 산화제는 순수한 산소 또는 이산화탄소일 것이다.

[0024] TEOS 해법에 대한 다른 대안은 SRON(silicon-rich oxynitride) 및 SRO(silicon-rich oxide)층 하나와 결합하여 실리콘 질화물을 사용하는 것이다. 어떤 경우에는 상기 결합은 TEOS층(20)을 대체할 합성층일 것이다. 실리콘 질화물층은 유기 ARC(16)상에 존재할 것이고 SRON 또는 SRO층은 포토레지스트와 실리콘 질화물층 사이에 존재할 것이다. 이것은 필요한 부착 및 낮은 결합성 모두를 제공하는데 효과적이다. 다른 경우 상기 결합은 유기 ARC에 의하여 분리될 것이다. 실리콘 질화물층은 도전층(16)과 ARC층(18) 사이에 존재할 것이다. SRON 또는 SRO층은 ARC층(18)과 포토레지스트 사이에 존재할 것이다. 이것은 또한 적절한 부착성 및 결합성을 제공하는데 효과적이다. 실리콘 질화물과 함께 SRO 또는 SRON을 이용하는 이 두 가지 대안들은 모두 TEOS 해법보다 더 복잡하며 바람직한 프로세스들과의 통합이 더욱 어렵다.

[0025] 이전의 명세서에서, 본 발명은 특정 실시예들을 참조하여 기술되었다. 그러나, 당업자는 이하의 청구범위에 설명된 바와 같은 본 발명의 범위를 벗어나지 않고 다양한 변형 및 변화가 이루어질 수 있는 것을 이해한다. 예를 들면, 유기 ARC는 비결정일 필요가 없을 수 있다. 따라서, 상기 설명 및 도면들은 제한적인 의미가 아닌 예시적인 의미로 간주되며, 모든 그러한 변형들은 본 발명의 범위 내에 포함되는 것이 의도된다.

[0026] 장점, 다른 이점, 및 문제에 대한 해법들은 특정한 실시예들에 관하여 전술되었다. 그러나, 임의의 장점, 이점, 또는 해법이 발생 또는 더욱 공표되도록 할 수 있는 장점, 이점, 문제에 대한 해법, 및 임의의 요소(들)은 청구범위의 일부 또는 전부의 임계적, 필수적, 또는 본질적인 특징으로서 해석되지 않는다. 여기에서 사용된 용어 "포함하다", "포함하는", 또는 임의의 다른 변형은 비배타적인 포함을 커버하려는 것이므로, 구성요소들의 리스트를 포함하는 프로세스, 방법, 품목, 또는 장치는 그 구성요소들뿐만 아니라 그러한 프로세스, 방법, 품목, 또는 장치에 명시적으로 열거되지 않거나 내재적인 다른 구성요소들을 포함할 수 있는 것이다.

도면의 간단한 설명

[0004] 본 발명은 동일한 참조부호들이 유사한 요소들을 가리키는 첨부도면들에 의하여 제한되는 것이 아니라 예시적인 것이다.

[0005] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이고,

[0006] 도 2는 프로세싱에서 후속하는 일 스테이지에서 도 1의 반도체 장치의 단면도이고,

[0007] 도 3은 프로세싱에서 후속하는 일 스테이지에서 도 2의 반도체 장치의 단면도이고,

[0008] 도 4는 프로세싱에서 후속하는 일 스테이지에서 도 3의 반도체 장치의 단면도이고,

[0009] 도 5는 프로세싱에서 후속하는 일 스테이지에서 도 4의 반도체 장치의 단면도이고,

[0010] 도 6은 프로세싱에서 후속하는 일 스테이지에서 도 5의 반도체 장치의 단면도이고,

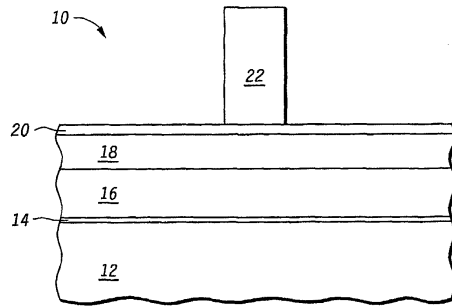
[0011] 도 7은 프로세싱에서 후속하는 일 스테이지에서 도 6의 반도체 장치의 단면도이다.

[0012] 당업자들은 도면 내의 요소들은 단순 및 명료성을 위하여 예시되며 일정 비례로 도시될 필요는 없다는 것을 이해한다. 예를 들면, 도면 내의 구성요소들중 일부의 치수는 다른 구성요소들에 비하여 확대되어 본 발명의

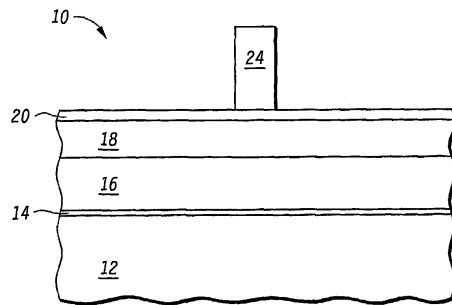
실시예들의 이해를 향상시키는 것을 도울 수 있다.

도면

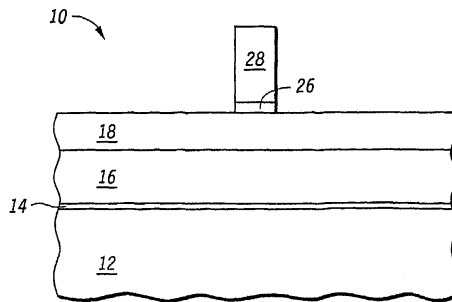
도면1



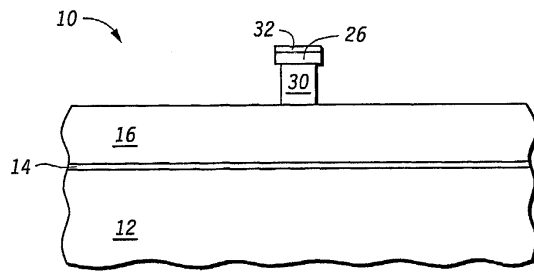
도면2



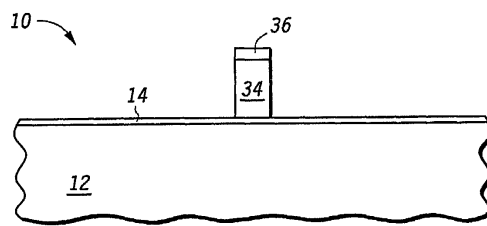
도면3



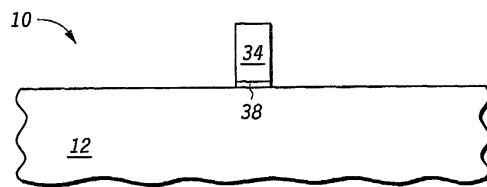
도면4



도면5



도면6



도면7

