

2

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

Ex. SŁUŻBOWY

OPIS PATENTOWY

67151

Patent dodatkowy
do patentu _____

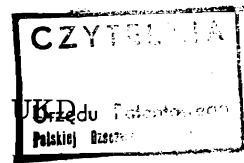
Zgłoszono: 08.VIII.1970 (P 142 582)

Pierwszeństwo: _____

Opublikowano: 28.II.1973

Kl. 42m³,9/12

MKP G06f 9/12



Współtwórcy wynalazku: Romuald Marczyński, Marek Tudruj

Właściciel patentu: Polska Akademia Nauk (Centrum Obliczeniowe),
Warszawa (Polska)

Układ mikroprogramowanego sterowania maszyny cyfrowej

1

Przedmiotem niniejszego wynalazku jest układ mikroprogramowanego sterowania maszyny cyfrowej.

W nowoczesnych maszynach cyfrowych bardzo często stosowany jest układ mikroprogramowanego sterowania zapewniający dużą elastyczność sterowania przy mało rozbudowanym sprzęcie. Układy takie stosowane są w mniejszych maszynach, a ostatnio i w dużych szczególnie takich, które emulują inne maszyny.

W układzie sterowania tego typu wykonanie każdego rozkazu odczytanego z pamięci operacyjnej maszyny, odbywa się poprzez interpretację tego rozkazu za pomocą odpowiedniego ciągu mikrorozkazów, na podstawie których zostaną wygenerowane sygnały sterujące, wywołujące wykonanie odpowiednich czynności elementarnych w maszynie cyfrowej.

Wspomniane ciągi mikrorozkazów czyli mikroprogramy są zapamiętane w specjalnej pamięci sterowania, która może być pamięcią stałą czyli typu „tylko odczyt” lub też pamięcią z zapisem i szybkim odczytem o dowolnej konstrukcji. W obecnie stosowanych rozwiązaniach układu mikroprogramowanego sterowania słowo mikrorozkazu podzielone jest na część zawierającą adres mikrorozkazu, który ma być odczytany z pamięci sterowania, oraz część zawierającą bity określające zespół mikrooperacji, które mają być wykonane. Wśród tych bitów istnieją zwykle takie, które określają operacje, które mają być wyko-

2

nane na wspomnianym adresie następnego mikrorozkazu, w celu wytworzenia nowego adresu, niezbędnego dla realizacji rozgałęzień warunkowych w mikroprogramie. Metoda modyfikacji adresu mikrorozkazu za pomocą informacji zewnętrznych względem układu sterowania, stosowana obecnie jako jeden z podstawowych elementów dla organizacji mikroprogramów, pomimo swojej teoretycznej uniwersalności jest trudna i kłopotliwa w realizacji praktycznej, co znacznie ogranicza możliwość oszczędnego gospodarowania pojemnością pamięci sterowania.

Celem niniejszego wynalazku jest dostarczenie projektantowi mikroprogramowanego sterowania, a przede wszystkim piszącemu mikroprogramy dla pamięci sterowania, takiej struktury mikrorozkazu oraz niezbędnego związanego z nią sprzętu o takiej organizacji, która pozwala na swobodne dysponowanie miejscami w pamięci sterowania, umożliwia w naturalny sposób wielokrotne wykorzystanie fragmentów mikroprogramów przez inne mikroprogramy, umożliwia swobodne, wielokrotne wykorzystanie pojedynczych mikrorozkazów jednokrotnie zapisanych w pamięci sterowania, umożliwia realizację pętli w mikroprogramach.

Istotą niniejszego wynalazku jest układ mikroprogramowanego sterowania maszyny cyfrowej zawierający pamięć sterowania, służącą do przechowywania słów mikrorozkazów, zbudowanych z części operacyjnej i części zawierającej adres na-

stępnego mikrorozkazu, który może być wykonany, rejestr wyjściowy pamięci sterowania do którego odczytywane są słowa z tej pamięci, rejestr adresowy pamięci sterowania do którego wprowadzane są adresy określające słowa, które mają być następnie odczytane z pamięci sterowania do wspomnianego rejestru wyjściowego posiadający dodatkowo dwa rejestry, a mianowicie rejestr — licznik pierwszy oraz rejestr — licznik drugi, mające zdolność sterowanego wykonania operacji przekształcenia swojej zawartości w ustalony sposób logiczny lub arytmetyczny.

Wspomniany rejestr wyjściowy pamięci sterowania połączony jest z każdym z wymienionych rejestrów — liczników drogą przesyłania informacji, w taki sposób, że możliwe jest wykonanie operacji przesłania bitów części adresowej mikrorozkazu ze wspomnianego rejestru wyjściowego pamięci sterowania albo do rejestru — licznika pierwszego, albo do rejestru — licznika drugiego. Każdy z obydwu wymienionych rejestrów — liczników oraz rejestr wyjściowy pamięci sterowania jest połączony ponadto z rejestrem adresowym pamięci sterowania odrębną drogą przesyłania informacji, tak, że możliwe jest wykonanie operacji przesłania do wspomnianego rejestru adresowego, w celu wybrania następnego słowa w pamięci sterowania, albo zawartości rejestru — licznika pierwszego, albo zawartości rejestru — licznika drugiego albo bitów części adresowej mikrorozkazu ze wspomnianego rejestru wyjściowego pamięci sterowania.

Wspomniane wyżej operacje dokonują się w zależności od sygnałów sterujących wytworzonych przez układ dekodująco-kombinujący należący również do układu stanowiącego przedmiot niniejszego wynalazku. W skład układu mikroprogramowanego sterowania wchodzi także układ pamięciowy, którego stan decyduje o tym, czy wyżej wymienione operacje mają dotyczyć rejestru — licznika pierwszego czy rejestru — licznika drugiego czy też żadnego z tych rejestrów.

Wpływ wymienionego układu pamięciowego na działanie układu według wynalazku realizuje się w taki sposób, że sygnały informacyjne reprezentujące stan wymienionego układu pamięciowego są kombinowane logicznie we wspomnianym układzie dekodująco-kombinującym z sygnałami reprezentującymi wartości bitów z ustalonego pola wspomnianej części operacyjnej mikrorozkazu z rejestru wyjściowego pamięci sterowania oraz z sygnałami reprezentującymi stan określonych urządzeń pamięciowych maszyny, w celu wygenerowania wspomnianych sygnałów sterujących przyłożonych do elementów bramkujących umieszczonych na wspomnianych drogach przesyłania informacji oraz wspomnianych sygnałów sterujących przeznaczonych do sterowania wykonaniem się operacji przekształcenia zawartości rejestru — licznika pierwszego albo operacji przekształcenia zawartości rejestru — licznika drugiego, a także wygenerowania sygnałów ustalających stan wspomnianego układu pamięciowego.

Układ mikroprogramowanego sterowania ponadto zawiera dwa rejestry a mianowicie pierwszy rejestr klucza oraz drugi rejestr klucza a także

dodatkowe drogi przesyłania informacji pozwalające na wykonanie się operacji przesłania bitów informacji z dodatkowego ustalonego pola mikrorozkazu zwanego kluczem z rejestru wyjściowego albo do pierwszego rejestru klucza albo do drugiego rejestru klucza. Układ zawiera również dowolny układ porównujący, który realizuje operacje porównania identyczności wprowadzonych na jego wyjścia poprzez odrębne drogi przesyłania informacji, bitów informacji zapisanych w wyżej wymienionym dodatkowym, ustalonym polu mikrorozkazu w rejestrze wyjściowym pamięci sterowania, oraz bitów informacji zapisanych albo w pierwszym rejestrze klucza albo w drugim rejestrze klucza i zapamiętuje wynik porównania. Układ pamięciowy decyduje dodatkowo o tym, który z rejestrów — klucza ma zostać wykorzystany przy zapamiętaniu informacji przesłanej z rejestru wyjściowego pamięci sterowania oraz przy wykonywaniu operacji porównania we wspomnianym układzie porównującym.

Wynik porównania zapamiętany w układzie porównującym wpływa na operacje zachodzące w układzie według wynalazku w taki sposób, iż wymieniony układ dekodująco-kombinujący realizuje dodatkowo kombinacje logiczne sygnałów reprezentujących stan wymienionego układu pamięciowego, z sygnałami reprezentującymi wspomniany wynik porównania, zapamiętany w układzie porównującym, z sygnałami reprezentującymi wartości bitów ze wspomnianego ustalonego pola części operacyjnej mikrorozkazu z rejestru wyjściowego pamięci sterowania oraz z sygnałami reprezentującymi stan wspomnianych określonych urządzeń pamięciowych maszyny w celu wygenerowania dodatkowych sygnałów sterujących przeznaczonych do sterowania elementami bramkującymi umieszczonymi na drogach przesyłania informacji związanych z wymienionymi rejestrami klucza, a także w celu uzależnienia wymienionych poprzednio sygnałów sterujących i innych sygnałów od stanu wspomnianego układu porównującego.

Układ mikroprogramowanego sterowania może zawierać dowolną choć ograniczoną ilość rejestrów — liczników i rejestrów klucza, posiadających identyczne własności jak poprzednio wymienione rejestry — liczniki oraz rejestry — klucza, połączonych odpowiednią ilością dróg przesyłania informacji z rejestrem wyjściowym pamięci sterowania, rejestrem adresowym pamięci sterowania oraz układem porównującym, przy czym wspomniane układy, a mianowicie układ pamięciowy, układ porównujący oraz układ dekodująco-kombinujący spełniają wtedy funkcje identyczne z opisanymi poprzednio lecz odnoszące się do wszystkich rejestrów — liczników oraz wszystkich rejestrów klucza wchodzących w skład układu według wynalazku.

Układ mikroprogramowanego sterowania według wynalazku umożliwia bardziej elastyczne i ekonomiczne wykorzystanie informacji przechowywanej w pamięci sterowania, w porównaniu z dotychczas znanymi rozwiązaniami układów mikroprogramowanego sterowania, pozwalające na łatwe

tworzenie skomplikowanych mikroprogramów, co jest szczególnie istotne dla celów emulacji oraz mikroprogramowanej realizacji systemów zarządzających maszyn cyfrowych.

Układ mikroprogramowanego sterowania maszyny cyfrowej według wynalazku, jest zdolny do sterowanego mikrorozkazem zapamiętywania adresu, spod którego został odczytany z pamięci sterowania aktualnie wykonywany mikrorozkaz oraz zdolny do również sterowanego mikrorozkazem wykorzystania tak zapamiętanego adresu do określenia adresu spod którego ma być odczytany następny mikrorozkaz do wykonania.

W układzie mikroprogramowanego sterowania maszyny cyfrowej, posiadającym wymienioną właściwość, możliwa jest realizacja przejścia do wykonywania jednej sekwencji mikrorozkazów do wykonania innej sekwencji, a po jej zakończeniu powrócenia następnie do kolejnego mikrorozkazu pierwszej sekwencji. Umożliwia to tzw. modułową lub blokową budowę mikroprogramów. Zawartość pamięci sterowania stanowi luźny zbiór sekwencji mikrorozkazów tzw. bloków a wykonanie mikroprogramu odpowiadającego wybranemu rozkazowi polega na kolejnym wykonaniu wybranych bloków mikrorozkazów.

Wspomniane ustalone pole części operacyjnej mikrorozkazu znajdującego w rejestrze wyjściowym pamięci sterowania nazywane odąd **TYP** określa, poprzez konfigurację wartości bitów zapisanych w tym polu, rodzaj (typ) działań, które mają się dokonać w układzie według wynalazku prowadzących do ustalenia adresu, służącego do wybrania następnego słowa z pamięci sterowania, które ma być z niej odczytane, a więc następnego mikrorozkazu do wykonania. Określone są w ten sposób operacje, które mają dokonać się na adresie zawartym w aktualnie wykonywanym mikrorozkazie oraz operacje na zapamiętanych w układzie sterowania adresach poprzednich mikrorozkazów.

W zależności od konfiguracji pola **TYP** i wyniku dokonania się wspomnianych operacji, adresem następnego mikrorozkazu do wykonania jest albo adres zawarty w aktualnie wykonywanym mikrorozkazie, albo przekształcony w ustalony dla danego rozwiązania układu według wynalazku, sposób logiczny lub arytmetyczny jedne z zapamiętanych adresów poprzednich mikrorozkazów albo przekształcony w podany wyżej sposób adres, spod którego został odczytany z pamięci sterowania aktualnie wykonywany mikrorozkaz, przy czym korzystnie jest jeśli obydwie wymienione przekształcenia polegają na zwiększeniu wartości adresu o 1. Jednocześnie w zależności od konfiguracji pola **TYP** oraz w wyniku wykonania wspomnianych operacji zapamiętany zostaje w układzie sterowania adres, pod którym był zapisany w pamięci sterowania aktualnie wykonywany mikrorozkaz oraz adres zawarty w tym mikrorozkazie.

Wykonanie wyżej wymienionych operacji w układzie według wynalazku może być uwarunkowane stanem określonych urządzeń pamięciowych istniejących w maszynie, nazwanych dalej układami warunkującymi.

W najprostszym przypadku rolę tych układów warunkujących spełnia jeden przerzutnik. Alternatywne rozwiązania układu według wynalazku mogą zawierać wiele takich układów, warunkujących w różny sposób wykonanie się operacji na wymienionych wyżej adresach. Wprowadzenie większej ilości układów warunkujących wybieranych przez konfigurację wartości bitów w polu **TYP** mikrorozkazu i w różny sposób warunkujących wykonanie się operacji na wymienionych wyżej adresach. Dopuszczenie większej ilości układów warunkujących wybieranych przez konfigurację pola **TYP** zwiększy się ilość bitów zawartych w tym polu.

W każdym mikrorozkazie w układzie według wynalazku istnieje dodatkowo pole bitów nazywane kluczem, którego zawartość, przy obecności określonych konfiguracji bitów w polu **TYP**, oraz w zależności od tych konfiguracji przy określonym stanie układów warunkujących zostaje zapamiętana w układzie sterowania do dalszego wykorzystania. Zawartość tak przechowanego klucza jest przy wykonywaniu każdego mikrorozkazu porównywana na zgodność z zawartością klucza znajdującego się w aktualnie wykonywanym mikrorozkazie.

Przy obecności określonej konfiguracji bitów w polu **TYP** wynik tego porównania wpływa na rodzaj operacji na adresach, która ma się dokonać decydując w rezultacie o tym czy adresem pamięci sterowania, spod którego ma pochodzić następny mikrorozkaz do wykonania, jest adres zawarty w aktualnie wykonywanym mikrorozkazie, w przykładowym rozwiązaniu układu według wynalazku jest tak w przypadku niezgodności wyżej wymienionych kluczy, czy też wspomnianym adresem następnego mikrorozkazu do wykonania jest przechowywany w układzie sterowania, przekształcony we wspomniany sposób, adres, pod którym był zapisany w pamięci sterowania jeden z poprzednich mikrorozkazów, w rozwiązaniu przykładowym jest, tak w przypadku zgodności wyżej wymienionych kluczy.

Wynalazek zostanie szczegółowo objaśniony na przykładzie układu mikroprogramowanego sterowania maszyny cyfrowej podanego na rysunku, przy czym na fig. 1 podano schemat blokowy przykładowego rozwiązania układu według wynalazku, na fig. 2 podano tablicę określającą sygnały wyjściowe wspomnianego układu dekodująco-kombinującego w zależności od sygnałów podanych na wejściach tego układu w objaśnianym przykładowym rozwiązaniu układu według wynalazku, oraz na fig. 3 podano tablicę wyjaśniającą, poprzez podanie możliwych zestawów sygnałów wyjściowych wspomnianego układu dekodująco-kombinującego, możliwe sposoby działania układu według wynalazku dla każdej z możliwych konfiguracji wartości bitów w ustalonym polu rejestru wyjściowego pamięci sterowania.

Pamięć sterowania — **PST** przeznaczona jest do przechowywania mikrorozkazów, czyli słów zawierających zestaw kodów mikroczynności, które zająć mają w maszynie po odczytaniu mikrorozkazu z pamięci sterowania.

Rejestr wyjściowy pamięci sterowania — **RWY**

przeznaczony jest do przechowywania słów odczytanych z pamięci sterowania podczas całego cyklu wykonania mikrorozkazu.

Rejestr adresowy pamięci sterowania **RAD** przeznaczony jest do sterowania układami wybierającymi pamięci sterowania, które na podstawie wartości wspomnianego rejestru adresowego wybierają słowo pamięci sterowania, które zostaje następnie odczytane do rejestru wyjściowego **RWY**.

W słowie mikrorozkazu przechowywanym w rejestrze wyjściowym **RWY** wyróżnia się następujące istotne dla wynalazku części: część **A**, zawierająca bity od 0 do 8, stanowiącą adres pamięci sterowania, który może być wykorzystany do wybrania następnego słowa tej pamięci, które będzie wprowadzone do rejestru wyjściowego **RWY**; część **K**, zawierająca bity 9 i 10, stanowiącą klucz mikrorozkazu; część **O**, zawierająca bity od 14 do 49, stanowiące zestaw kodów mikroczynności, które mają być wykonane w układach maszyny w czasie trwania cyklu danego mikrorozkazu.

W skład układu przedstawionego na fig. 1 wchodzi dodatkowo: dwa 9-cio bitowe rejestry liczniki, rejestr — licznik pierwszy L_1 i rejestr — licznik drugi L_2 , posiadające zdolność wykonywania operacji następnika na swojej zawartości przy podaniu sygnału na ich wejście oznaczane symbolem **NS**, które służą do zapamiętywania przesyłanych do nich bitów z części **A** rejestru wyjściowego **RWY**;

— dwa 2-u bitowe rejestry, a mianowicie rejestr klucza pierwszy **RK₁** i rejestr klucza drugi **RK₂**, służące do zapamiętywania przesyłanych do nich bitów z części **K** rejestru wyjściowego **RWY**;

— generator impulsów czasowych **ZEGAR**, służący do generowania raz w ciągu trwania cyklu mikrorozkazu po jednym impulsie kolejno na każdym ze swoich wyjść T_0 , T_1 , T_2 , T_3 w odstępach czasu wyznaczonych przez parametry czasowe elementów wchodzących w skład układu według niniejszego wynalazku, przy czym generator **ZEGAR** nie stanowi niezbędnego elementu rozwiązania układu według wynalazku przedstawionego na fig. 1, dostarczając jedynie impulsów warunkujących chwile czasowe wykonywania się rozmaitych przesłań informacji w tym układzie ten sam efekt można wykonać drogą opóźniania odpowiednich sygnałów sterujących w objaśnianym układzie;

— układ porównujący **PK**, który jest układem kombinującym o dowolnej strukturze logicznej i zawiera jednobitowy podukład pamiętający **ZK** o wyjściach **Z** i $\bar{Z}$, przeznaczony do porównywania na zgodność wartości bitów pola **K** rejestru wyjściowego **RWY** z wartościami bitów zapamiętanych w jednym z rejestrów klucza **RK₁** lub **RK₂** i zapamiętania wyniku porównania, przy obecności sygnału t_0 pochodzącego z wyjścia T_0 generatora **ZEGAR** w podukładzie **ZK**, w taki sposób, że gdy nastąpiła zgodność sygnał istnieje na wyjściu **Z**, a gdy nastąpiła niezgodność sygnał istnieje na wyjściu $\bar{Z}$ wspomnianego podukładu **ZK**, przy czym wyjścia **Z** i $\bar{Z}$ są jednocześnie wyjściami układu porównującego **PK**;

— układ pamięciowy π , zbudowany z dwu jednobitowych układów pamiętających π_1 i π_2 , po-

siadających dwa stany stabilne 0 i 1, mający wyjścia π_1 , π_1 , π_2 , π_2 , który może znaleźć się w jednym z trzech stanów określonych następującymi stanami układów pamiętających odpowiednio π_1 i π_2 , a mianowicie 00, 10 oraz 11, oraz odpowiednio następującymi wartościami sygnałów na wyjściach π_1 , π_1 , π_2 , π_2 , a mianowicie 0101, 1001 oraz 1010, którego stan przy odpowiednich konfiguracjach bitów w polu **TYP** rejestru wyjściowego **RWY** decyduje o tym do którego z rejestrów — liczników L_1 albo L_2 oraz rejestrów klucza **RK₁** albo **RK₂** może nastąpić zapis informacji z rejestru wyjściowego **RWY**, z którego z rejestrów — liczników L_1 albo L_2 może nastąpić przesłanie informacji do rejestru adresowego **RAD** oraz stan którego z rejestrów klucza **RK₁** albo **RK₂** ma zostać porównany w układzie porównującym **PK**;

— układ dekodująco-kombinujący **UDK**, stanowiący logiczny układ kombinacyjny posiadający jedenaście wyjść, na którego wejścia za pośrednictwem szyn i torów informacyjnych podane są sygnały informacyjne reprezentujące sobą odpowiednio wartości bitów zapisanych na pozycjach 11, 12, 13 w polu **TYP** rejestru wyjściowego **RWY**, stany wyjść π_1 , π_1 , π_2 , π_2 układu pamięciowego π , stany wyjść **W** i $\bar{W}$ podukładu warunkującego **WAR**, stany wyjść **Z** i $\bar{Z}$ układu porównującego **PK**, i który w zależności od wartości wyżej wymienionych sygnałów podanych na jego wejścia generuje na swoich wyjściach S_0 , S_1 , ... S_{10} sygnały wyjściowe s_0 , s_1 , ... s_{10} , służące do sterowania operacjami zachodzącymi w omawianym układzie według wynalazku, a których dokładne znaczenie dla działania układu sterującego przedmiot niniejszego wynalazku podane będzie poniżej.

— zespół szyn przesyłowych składających się z torów informacyjnych, oznaczonych na fig. 1 grubymi liniami ze strzałkami oznaczającymi kierunek przesyłania informacji, służących do przesyłania informacji na drogach między rejestrami i urządzeniami;

— zbiór elementów wielokrotnego iloczynu logicznego 2, 3, 4, 5, 6, 9, 10, 11, 12, z których każdy działa w ten sposób, że sygnał pojawiający się w każdym z torów szyny wychodzącej z elementu jest iloczynem logicznym sygnału w odpowiadającym mu torze szyny przesyłowej dochodzącej do elementu oraz sygnałów bramkujących przyłożonych na wejścia oznaczone na fig. 1 cienkimi liniami ze strzałkami dochodzącymi do wspomnianych elementów, przy czym wyżej wymienione elementy wielokrotnego iloczynu logicznego umieszczone między odcinkami wymienionych szyn przesyłowych w sposób pokazany na fig. 1, sterują przesyłaniem informacji w tych szynach, tak, że: przesłanie zawartości pola **A** rejestru wyjściowego **RWY** odpowiednio do rejestru adresowego **RAD**, poprzez element wielokrotnej sumy logicznej 1 lub, bezpośrednio do rejestru — licznika pierwszego L_1 albo rejestru licznika drugiego L_2 ma miejsce przy obecności sygnału t_1 i odpowiednio sygnału s_0 lub s_1 albo s_2 ;

— przesłanie poprzez element wielokrotnej sumy logicznej 1 zawartości odpowiednio albo rejestru —

licznika pierwszego L_1 albo rejestru — licznika drugiego L_2 do rejestru adresowego **RAD** ma miejsce przy obecności sygnału t_1 oraz odpowiednio sygnałów s_3 albo s_4 ;

— przesłanie zawartości pola **K** rejestru wyjściowego **RWY** odpowiednio do pierwszego rejestru klucza **RK₁** albo do drugiego rejestru klucza **RK₂** ma miejsce przy obecności sygnału t_1 oraz odpowiednio sygnałów s_3 albo s_4 ;

— przesłanie zawartości odpowiednio pierwszego rejestru klucza **RK₁** albo drugiego rejestru klucza **RK₂** na wejścia układu porównującego **PK** ma miejsce przy obecności odpowiednio sygnału na wyjściu π_2 albo π_2 układu pamięciowego π ;

— przy czym sygnały $s_0, s_1, s_2, s_3, s_4, s_9, s_{10}$ są sygnałami pochodzącymi odpowiednio z wyjść $S_0, S_1, S_2, S_3, S_4, S_9, S_{10}$ układu dekodująco-kombinującego **UDK** a sygnał t_1 jest sygnałem pochodzącym z wyjścia T_1 generatora **ZEGAR**;

— elementy wielokrotnej sumy logicznej **1** i **13**, z których każdy działa w ten sposób, że sygnał pojawiający się w każdym z torów informacyjnych należących do szyny przesyłowej wychodzącej z elementu jest sumą logiczną sygnałów istniejących w odpowiadających mu torach wszystkich szyn dochodzących do elementu, przy czym element wielokrotnej sumy logicznej **1** łączy szyny przesyłowe wychodzące z elementów wielokrotnego iloczynu **2, 3, 4** w celu przesyłania informacji pochodzącej albo z pola **A** rejestru wyjściowego **RWY** albo z rejestru — licznika pierwszego L_1 albo z rejestru — licznika drugiego L_2 do rejestru adresowego **RAD** a element wielokrotnej sumy logicznej **13** łączy szyny przesyłowe wychodzące z elementów wielokrotnego iloczynu **11** i **12** w celu przesyłania informacji pochodzącej albo z drugiego rejestru klucza **RK₂**, albo z pierwszego rejestru klucza **RK₁** na wejście układu porównującego **PK**;

— elementy iloczynu logicznego **7, 8** zapewniające podanie sygnałów odpowiednio na wejścia **NS** rejestru — licznika pierwszego L_1 albo rejestru — licznika drugiego L_2 przy obecności sygnału t_2 oraz sygnału odpowiednio s_5 albo s_6 ;

— elementy iloczynu logicznego **14, 16** zapewniające podanie sygnałów na wejścia zapalające układów pamiętających odpowiednio π_1 albo π_2 przy obecności sygnału t_3 oraz sygnału odpowiednio s_3 albo s_{10} ;

— elementy iloczynu logicznego **15, 17** zapewniające podanie sygnałów na wejścia gaszące układów pamiętających odpowiednio π_1 albo π_2 przy obecności sygnału t_3 oraz sygnału odpowiednio s_7 albo s_8 ;

— przy czym w odniesieniu do elementów iloczynu logicznego **7, 8, 14, 15, 16, 17** wspomniane sygnały $s_5, s_6, s_7, s_8, s_9, s_{10}$ są sygnałami pochodzącymi odpowiednio z wyjść $S_5, S_6, S_7, S_8, S_9, S_{10}$ układu dekodująco-kombinującego **UDK** a sygnały t_2 i t_3 są sygnałami pochodzącymi z wyjść odpowiednio T_2 i T_3 generatora **ZEGAR**.

W układzie według wynalazku układ dekodująco-kombinujący **UDK**, w zależności od wartości sygnałów informacyjnych podanych na jego wejścia, generuje na swoich wyjściach $S_0, S_1, \dots, S_{10}$

jedenastcie różnych kombinacji wartości sygnałów wyjściowych $s_0, s_1, \dots, s_{10}$ nazywanych dalej zestawami, przy czym wymienione zestawy sygnałów wyjściowych $s_0, s_1, \dots, s_{10}$ pojawiają się na wspomnianych wyjściach układu dekodująco-kombinującego **UDK** przy obecności na jego wejściach wspomnianych sygnałów informacyjnych o wartościach podanych w tablicy.

W objaśnionym rozwiązaniu układu według wynalazku przy obecności każdego ze wspomnianych jedenastu zestawów sygnałów wyjściowych $s_0, s_1, \dots, s_{10}$ w kolejnych chwilach t_0, t_1, t_2, t_3 cyklu mikrorozkazu wyznaczonych odpowiednio obecnością kolejnych sygnałów na wyjściach T_0, T_1, T_2, T_3 generatora **ZEGAR**, zachodzą omówione poniżej w szczegółach operacje.

W chwili t_0 niezależnie od wartości sygnałów od s_0 do s_{10} wynik porównania zawartości pola **K** rejestru wyjściowego **RWY** z zawartością jednego z rejestrów klucza **RK₁** albo **RK₂** ustala nowe wartości sygnałów na wyjściach **Z** i $\bar{\mathbf{Z}}$ układu porównującego **PK**, a tym samym nowe wartości sygnałów informacyjnych na odpowiednich wejściach układu dekodująco-kombinującego **UDK**.

W zależności od nowych wartości sygnałów informacyjnych oraz od wartości sygnałów informacyjnych na pozostałych wejściach układu dekodująco-kombinującego **UDK**, przed nadejściem chwili t_1 , na wyjściach wspomnianego układu dekodująco-kombinującego **UDK** pojawia się odpowiedni zestaw wartości sygnałów wyjściowych $s_0, s_1, \dots, s_{10}$, otrzymuje się bez zmiany aż do końca chwili t_3 .

Opisany wyżej przebieg czynności powtarza się niezmiennie w każdym cyklu mikrorozkazu, więc w dalszym ciągu rozpatrzone zostaną jedynie operacje zachodzące w chwilach t_1, t_2, t_3 w obecności każdego z zestawów sygnałów $s_0, s_1, \dots, s_{10}$, oznaczonych w tablicy podanej na fig. 2, cyframi rzymskimi od I do XI.

Przy obecności zestawu I w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD** oraz do rejestru — licznika pierwszego L_1 w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika pierwszego L_1 , w chwili t_3 brak działań w układzie według wynalazku.

Przy obecności zestawu II w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD** oraz do rejestru — licznika drugiego L_2 , w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika drugiego L_2 , w chwili t_3 brak działań w układzie według wynalazku.

Przy obecności zestawu III w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD**, w chwilach t_2 i t_3 brak działań w układzie według wynalazku.

Przy obecności zestawu IV w chwili t_1 następuje przesłanie zawartości rejestru — licznika pierwszego L_1 do rejestru adresowego **RAD** w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika pierwszego L_1 , w chwili t_3 brak działań w układzie według wynalazku.

Przy obecności zestawu V w chwili t_1 następuje przesłanie zawartości rejestru — licznika drugiego L_2 do rejestru adresowego **RAD**, w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika drugiego L_2 , w chwili t_3 brak działań w układzie według wynalazku.

Przy obecności zestawu VI w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD** oraz rejestru — licznika drugiego L_2 , w chwili t_2 dokonuje się następnik zawartości rejestru — licznika drugiego L_2 , w chwili t_3 następuje ustawienie w stan 1 układu pamiętającego π_1 .

Przy obecności zestawu VII w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD**, w chwili t_2 brak działań w układzie według wynalazku, w chwili t_3 następuje ustawienie w stan i układu pamiętającego π_2 .

Przy obecności zestawu VIII w chwili t_1 następuje przesłanie zawartości rejestru — licznika pierwszego L_1 do rejestru adresowego **RAD**, w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika pierwszego L_1 , w chwili t_3 następuje ustawienie w stan O układu pamiętającego π_1 .

Przy obecności zestawu IX w chwili t_1 następuje przesłanie zawartości rejestru — licznika drugiego L_2 do rejestru adresowego **RAD**, w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika drugiego L_2 , w chwili t_3 następuje ustawienie w stan O układu pamiętającego π_1 .

Przy obecności zestawu X w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD** oraz rejestru — licznika pierwszego L_1 , w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika pierwszego L_1 , w chwili t_3 następuje ustawienie w stan O układu pamiętającego π_1 .

Przy obecności zestawu XI w chwili t_1 następuje przesłanie zawartości pola **A** mikrorozkazu z rejestru wyjściowego **RWY** do rejestru adresowego **RAD** oraz rejestru — licznika drugiego L_2 , w chwili t_2 dokonuje się operacja następnika na zawartości rejestru — licznika drugiego L_2 , w chwili t_3 następuje ustawienie w stan O układu pamiętającego π_2 .

W układzie według wynalazku każdy z zestawów sygnałów wyjściowych $s_0, s_1, \dots, s_{10}$ na wyjściach układu dekodująco-kombinującego **UDK**, przedstawionych na fig. 2 w postaci tablicy zostaje wygenerowany przy określonym stałym dla każdego ze wspomnianych zestawów stanie układu pamięciowego. Znaczenie stanu układu pamięciowego π oraz stanu wyjść układu porównującego **PK** dla określenia sposobu działania omawianego rozwiązania układu według wynalazku przy obecności każdej z możliwych konfiguracji wartości bitów w polu **TYP** rejestru wyjściowego **RWY** wyjaśnia szczegółowo tablica pokazana na fig. 3.

Przedmiot wynalazku został objaśniony na przykładzie szczególnego rozwiązania układu mikroprogramowanego sterowania maszyny cyfrowej opartego na tym wynalazku. Alternatywne rozwiązania układu mogą odbiegać w różnych szcze-

gółach realizacji od podanego przykładowego rozwiązania układu według wynalazku, oraz mogą posiadać inne zestawy wartości sygnałów wyjściowych generowanych na wyjściach układu dekodująco-kombinującego **UDK**, powodujące wykonanie się innych zestawów wymienionych operacji w układzie według wynalazku, w innej kolejności, jak również generowanie zestawów sygnałów wyjściowych układu dekodująco-kombinującego **UDK** może odbyć się przy innych wartościach wspomnianych sygnałów informacyjnych, reprezentujących inne stany układu pamięciowego π , układu porównującego **PK**, inne wartości bitów zapisanych w polu **TYP** mikrorozkazu w rejestrze wyjściowym **RWY**, oraz inne stany układu warunkującego **WAR** niż w objaśnionym przykładowym rozwiązaniu układu według wynalazku, bez odbiegania od istoty i zakresu niniejszego wynalazku.

Zastrzeżenia patentowe

1. Układ mikroprogramowanego sterowania maszyny cyfrowej zawierający pamięć sterowania, służącą do przechowywania słów mikrorozkazów, zbudowanych z części operacyjnej i części zawierającej adres następnego mikrorozkazu, który może być wykonany, rejestr wyjściowy pamięci sterowania, do którego odczytywane są słowa z tej pamięci, rejestr adresowy pamięci sterowania, do którego wprowadzane są adresy określające słowa mikrorozkazów, które mają być następnie odczytane z pamięci sterowania do wspomnianego rejestru wyjściowego, **znamienny tym**, że ma dodatkowo dwa rejestry, a mianowicie rejestr — licznik pierwszy (L_1) oraz rejestr — licznik drugi (L_2), mające zdolność sterowanego wykonania operacji przekształcenia swojej zawartości w ustalony sposób logiczny lub arytmetyczny, ma drogi przesyłania informacji łączące każdy z wymienionych rejestrów — liczników z rejestrem wyjściowym (**RWY**) pamięci sterowania, służące do wykonywania operacji przesłania bitów części adresowej mikrorozkazu z rejestru wyjściowego (**RWY**) pamięci sterowania albo do rejestru — licznika pierwszego (L_1) albo do rejestru — licznika drugiego (L_2), oraz odrębne drogi przesyłania informacji łączące każdy z rejestrów — liczników oraz rejestr wyjściowy (**RWY**) pamięci sterowania z rejestrem adresowym (**RAD**) pamięci sterowania służące do wykonywania operacji przesłania do rejestru adresowego (**RAD**) pamięci sterowania, albo zawartości rejestru — licznika pierwszego (L_1) albo zawartości rejestru — licznika drugiego (L_2) albo bitów części adresowej mikrorozkazu rejestru wyjściowego (**RWY**) pamięci sterowania, przy czym wymienione wyżej operacje przesyłania dokonują się w zależności od sygnałów sterujących wytworzonych przez układ dekodująco-kombinujący (**UDK**), a ponadto układ sterowania mikroprogramowanego posiada także układ pamięciowy (π), który decyduje o tym czy wyżej wymienione operacje mają dotyczyć rejestru — licznika pierwszego (L_1) czy rejestru — licznika drugiego (L_2) czy też żadnego z tych rejestrów, tak, iż sygnały reprezentujące stan układu pamięciowego (π) są kombinowane lo-

gicznie w układzie dekodująco-kombinującym (UDK) z sygnałami reprezentującymi wartości bitów z ustalonego pola części operacyjnej mikrorozkazu z rejestru wyjściowego (RWY) pamięci sterowania oraz z sygnałami reprezentującymi stan określonych urządzeń pamięciowych maszyny, w celu wygenerowania sygnałów sterujących przeznaczonych do sterowania elementami bramkującymi umieszczonymi na drogach przesyłania informacji oraz przeznaczonych do sterowania wykonaniem operacji przekształcenia zawartości rejestru — licznika pierwszego (L_1) albo zawartości rejestru — licznika drugiego (L_2), a także w celu wygenerowania sygnałów ustalających stan układu pamięciowego (π), przy czym układ ma dodatkowo dwa rejestry a mianowicie pierwszy rejestr klucza (RK_1) oraz drugi rejestr klucza (RK_2) a także układ porównujący (PK).

2. Układ według zastrz. 1, **znamienny tym**, że pierwszy rejestr klucza (RK_1) oraz drugi rejestr klucza (RK_2) są połączone dodatkowymi drogami przesyłania informacji z rejestrem wyjściowym (RWY) pamięci sterowania, pozwalającymi na wykonanie operacji przesłania bitów informacji z dodatkowego ustalonego pola części operacyjnej mikrorozkazu z rejestru wyjściowego (RWY) albo do pierwszego rejestru klucza (RK_1) albo do drugiego rejestru klucza (RK_2) oraz zawiera układ porównujący (PK), połączony odrębnymi drogami przesyłania informacji z rejestrem wyjściowym (RWY) pamięci sterowania, a także z każdym z rejestrów klucza który realizuje operacje porównania identyczności, wprowadzonych na jego wejścia poprzez odrębne drogi przesyłania informacji, bitów informacji zapisanych w dodatkowym, ustalonym polu części operacyjnej mikrorozkazu w rejestrze wyjściowym (RWY) pamięci sterowania oraz bitów informacji zapisanych albo w pierwszym rejestrze klucza (RK_1) albo w drugim rejestrze klucza (RK_2) i zapamiętuje wynik porównania, przy czym wymienione powyżej operacje wykonywane są w zależności od dodatkowych sygnałów sterujących wygenerowanych przez układ dekodująco-kombinujący (UDK), a układ pamięciowy (π) decyduje dodatkowo czy wyżej wymienione operacje mają dotyczyć pierwszego rejestru klucza (RK_1) czy drugiego rejestru klucza (RK_2), czy też żadnego z rejestrów klucza, a wynik porównania zapamiętany w układzie porównującym

(PK) ma wpływ na operacje zachodzące w układzie tak, iż układ dekodująco-kombinujący (UDK) realizuje kombinacje logiczne sygnałów reprezentujących stan układu pamięciowego (π), z sygnałami reprezentującymi wynik porównania zapamiętany w układzie porównującym (PK) z sygnałami reprezentującymi wartości bitów z ustalonego pola części operacyjnej mikrorozkazu z rejestru wyjściowego (RWY) pamięci sterowania oraz z sygnałami reprezentującymi stan określonych urządzeń pamięciowych maszyny w celu wygenerowania wspomnianych dodatkowych sygnałów sterujących przeznaczonych do sterowania elementami bramkującymi umieszczonymi na drogach przesyłania informacji, a także w celu wygenerowania sygnałów sterujących i innych sygnałów, spełniających uprzednio określone funkcje.

3. Układ według zastrz. 1 i 2, **znamienny tym**, że zawiera dowolną ilość rejestrów — liczników i rejestrów klucza posiadających identyczne własności jak rejestry — liczniki (L_1 i L_2) oraz rejestry — klucza (RK_1 i RK_2), połączonych odpowiednią ilością dróg przesyłania informacji z rejestrem wyjściowym (RWY) pamięci sterowania, rejestrem adresowym (RAD) pamięci sterowania oraz układem porównującym (PK), spełniających funkcje analogiczne jak drogi przesyłania informacji przy czym układ pamięciowy (π) oraz układy porównujące (PK) spełniają funkcje identyczne jak układy pamięciowy (π) i porównujący (PK), lecz odnoszące się do wszystkich rejestrów — liczników oraz wszystkich rejestrów klucza, a układ dekodująco-kombinujący (UDK) spełnia funkcje identyczne jak układ dekodująco-kombinujący (UDK), lecz generuje sygnały sterujące oraz inne sygnały zapewniające odpowiednio sterowanie przesyłaniem informacji w układzie mikroprogramowanego sterowania poprzez sterowanie elementami bramkującymi umieszczonymi na wszystkich drogach przesyłania informacji oraz sterowanie wykonaniem operacji przekształcenia zawartości każdego z rejestrów — liczników wchodzących w skład mikroprogramowanego sterowania, a także ustalanie stanu układu pamięciowego (π).

4. Układ według zastrz. 1—3, **znamienny tym**, że na drogach przesyłania informacji znajdują się elementy realizujące dowolne logiczne funkcje trywialne.

ERRATA

Lam 8 wiersz 26 **jest**: stany wyjść W i $\bar{W}$
powinno być: stany wyjść W i $\bar{W}$

Lam 9 wiersz 8 **jest**: odno sygnałów s_3 albo s_4 ;
powinno być: odpowiednio sygnałów s_9 albo s_{10} :

Lam 10 wiersz 32 **jest**: otrzymuje
powinno być: utrzymuje

Lam 14 wiersz 43 **jest**: mikroprogramowanego
powinno być: układu mikroprogramowanego

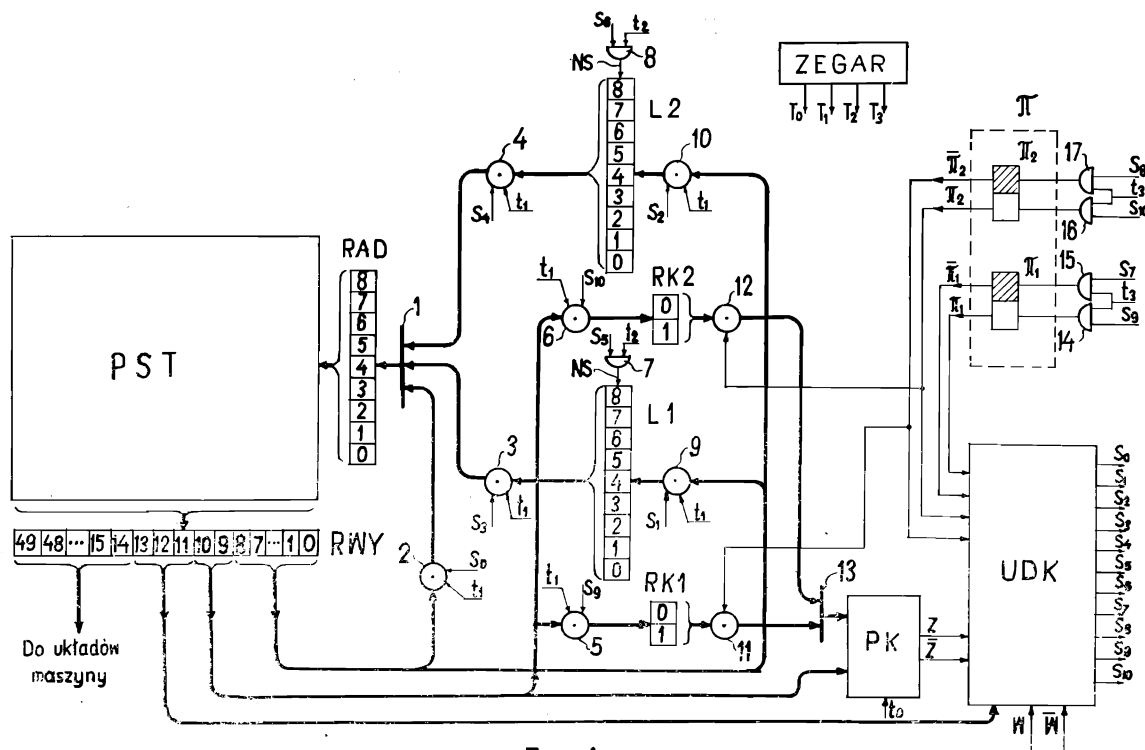


Fig. 1

Sygnaty wyjściowe											Sygnaty wejściowe												
Nr. zestawu	UDK										TYP			π				WAR		PK			
	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9	S_{10}	13	12	11	π_1	π_2	π_3	π_4	$\bar{W}$	$\bar{W}$	$\bar{Z}$	$\bar{Z}$	
I	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
												0	0	1		0	1	0	1	0	0	0	
												0	1	0		0	1	0	1	0	0	0	
												1	0	1		0	1	0	1	0	0	0	
												1	1	0		0	1	0	1	0	0	0	
												1	1	1		0	1	0	1	0	0	0	
II	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0
												0	0	1		1	0	0	1	0	0	0	
												1	0	1		1	0	0	1	0	0	0	
												1	1	1		1	0	0	1	0	0	0	
																1	0	0	1	0	0	0	
III	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
												0	0	1		1	0	1	0	0	0	0	
												0	1	0		1	0	1	0	0	0	0	
												0	1	1		1	0	1	0	0	0	0	
												1	0	1		1	0	1	0	0	0	0	
												1	1	1		1	0	1	0	0	0	0	
IV	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	0
												0	1	1		0	1	0	1	0	0	0	
V	0	0	0	0	1	0	1	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0
												0	1	1		1	0	0	1	0	0	0	
VI	1	0	1	0	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	0	0	0
												0	1	1		0	1	0	1	0	0	0	
VII	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1	0	0	0	0	0
												0	1	1		1	0	0	1	0	0	0	
VIII	0	0	0	1	0	1	0	1	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0
												1	0	1		1	0	0	1	0	0	0	
												1	1	0		1	0	0	1	0	0	0	
												1	1	1		1	0	0	1	0	0	0	
IX	0	0	0	0	1	0	1	0	1	0	0	1	0	0	1	1	0	1	0	0	0	0	0
												1	0	1		1	0	1	0	0	0	0	
												1	1	0		1	0	1	0	0	0	0	
												1	1	1		1	0	1	0	0	0	0	
X	1	1	0	0	0	1	0	1	0	0	0	1	1	0	1	0	0	1	0	1	0	0	0
												1	1	0		1	0	0	1	0	0	0	
XI	1	0	1	0	0	0	1	0	1	0	0	1	1	0	1	0	1	0	0	1	0	0	0
												1	1	0		1	0	1	0	0	0	0	

• oznacza 0 lub 1

Fig. 2

TYP 13 12 11	π $\pi_1 \pi_2$	WAR $\overline{W} \overline{W}$	PK $Z \overline{Z}$	Nr.
				zestawu sygn. $S_0, S_1, \dots, S_{10}$
0 0 0	0 0 1 0 1 1	0 0 0 0 0 0	0 0 0 0 0 0	I II III
	0 0 1 0 1 1	0 1 0 1 0 1	0 0 0 0 0 0	I II III
	0 0 1 0 1 1	1 0 1 0 1 0	0 0 0 0 0 0	IV V III
0 1 0	0 0 1 0 1 1	0 0 0 0 0 0	0 0 0 0 0 0	VI VII III
	0 0 1 0 1 1	0 1 0 1 0 1	0 0 0 0 0 0	VI VII III
	0 0 1 0 1 1	1 0 1 0 1 0	0 0 0 0 0 0	IV V III
1 0 0	0 0 1 0 1 1	0 0 0 0 0 0	0 0 0 0 0 0	I VIII IX
	0 0 1 0 1 1	0 1 0 1 0 1	0 0 0 0 0 0	I II III
	0 0 1 0 1 1	1 0 1 0 1 0	0 0 0 0 0 0	I VIII IX
1 1 0	0 0 1 0 1 1	0 1 0 1 0 1	0 0 0 0 0 0	I VIII IX
	0 0 1 0 1 1	1 0 1 0 1 0	0 0 0 0 0 0	I X XI
	0 0 1 0 1 1	0 0 0 0 0 0	0 1 0 1 0 1	I II III
1 1 1	0 0 1 0 1 1	0 0 0 0 0 0	1 0 1 0 1 0	I VIII IX

ϕ oznacza 0 lub 1

Fig. 3