

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 19 日(19.07.2012)



(10) 国際公開番号

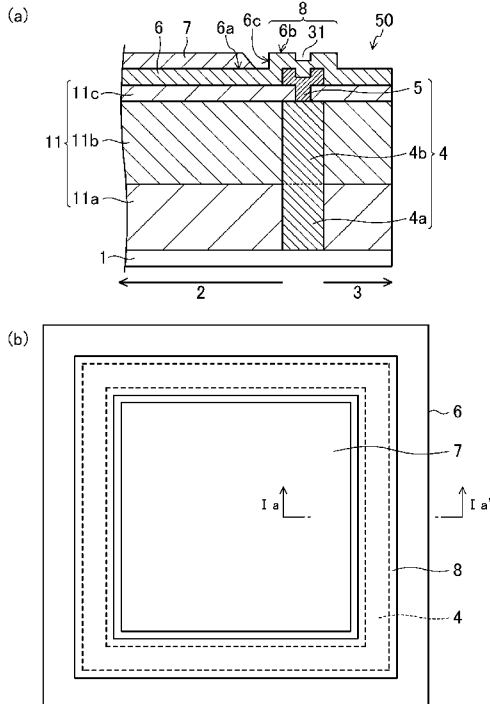
WO 2012/095907 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 23/52 (2006.01)
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2011/005886
- (22) 国際出願日: 2011 年 10 月 20 日(20.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-006207 2011 年 1 月 14 日(14.01.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0
6 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 仲野 純章
(NAKANO, Sumiaki). 永井 紀行(NAGAI, Noriyuki).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町 2 丁目 5 番 7
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCT EMPLOYING FLIP-CHIP MOUNTING

(54) 発明の名称: 半導体装置及びフリップチップ実装品

[図1]



(57) Abstract: A semiconductor device (50) is provided with: a substrate (1) having a circuit forming region (2); an interlayer insulating film (11) formed on the substrate (1); a first seal ring (4), which is formed in the interlayer insulating film (11), and which surrounds the circuit forming region (2); a first protection film (6), which is formed in a region on the interlayer insulating film (11), said region including a region above the circuit forming region and a region above the first seal ring (4); and a second protection film (7), which is formed further toward the inside than the first seal ring (4), said second protection film being formed on the first protection film (6). The first protection film (6) has a first surface that is in contact with the second protection film (7), a second surface positioned directly above the first seal ring (4), and a third surface that is connected to the second surface from the first surface. The end portion of the second protection film (7) is positioned further toward the inside than the surface of the third surface.

(57) 要約: 半導体装置 50 は、回路形成領域 2 を有する基板 1 と、基板 1 上に形成された層間絶縁膜 11 と、層間絶縁膜 11 中に形成され、回路形成領域 2 を取り囲む第 1 シールリング 4 と、層間絶縁膜 11 上における回路形成領域及び第 1 シールリング 4 上方を含む領域に形成された第 1 保護膜 6 と、第 1 保護膜 6 上で且つ第 1 シールリング 4 よりも内側に形成された第 2 保護膜 7 とを備える。第 1 保護膜 6 は、第 2 保護膜 7 と接触する第 1 の表面と、第 1 シールリング 4 の直上に位置する第 2 の表面と、第 1 の表面から第 2 の表面へとつながる第 3 の表面とを有する。第 2 保護膜 7 の端部は、第 3 の表面よりも内側に位置している。

明 細 書

発明の名称：半導体装置及びフリップチップ実装品

技術分野

[0001] 本開示は、チップ領域の周囲に形成されたシールリングを有する半導体装置に関するものである。

背景技術

[0002] 一般に、半導体装置を製造する際には、ウェハ状態の半導体基板に設けられた複数のチップ領域にそれぞれ必要な回路を集積する。複数のチップ領域同士の間は、格子状に設けられたスクライブ領域（スクライブライン）によって隔てられている。このようなスクライブ領域に沿ってウェハのダイシングを行ない、個々のチップに分離される。

[0003] しかしながら、ウェハをダイシングして個々のチップに分割する際、スクライブライン周辺のチップ領域が機械的衝撃を受けて、分離されたチップ（つまり、半導体装置）に影響を与える場合がある。具体的には、半導体装置のダイシング断面にクラック、欠け等が生じて半導体装置の回路形成領域に影響を与える。また、半導体装置の回路形成領域が、外界の雰囲気に含まれる水分、イオン等に影響されることもある。

[0004] このような影響から半導体装置の回路形成領域を保護するために、ダイシング箇所の内側、つまり、チップ（ダイ）のエッジ部近傍に、シールリングと呼ばれる保護構造を設ける場合がある。また、半導体装置の表面を保護する手段として、当該表面に、保護膜を設ける場合もある。

[0005] こうした構成の一例として、特許文献１が挙げられる。以下、その記載について説明する。

[0006] 図１１に、特許文献１の半導体装置１００について、概略構成を示す。半導体装置１００は、半導体基板１０１を用いて構成されている。半導体基板１０１上には、複数層（ここでは３層）の層間絶縁膜１１１ａ、１１１ｂ及び１１１ｃ（以後、まとめて層間絶縁膜１１１と呼ぶことがある）が積層さ

れている。また、配線、回路等が形成される回路形成領域 102 と、ダイシングが行なわれるダイシング領域 103 とが設けられ、その間において、層間絶縁膜 111 中にシールリング 104 が設けられている。

[0007] シールリング 104 は、ダイシングによって露出した層間絶縁膜 111 の切断面から侵入した水分及び応力によって生じたクラック伸張に対して障壁として機能する。また、シールリング 104 は、連続して積層された複数のシール層（個別の図示は省略）を含み、最上部を構成するシール層 105 は例えばアルミニウムにより形成されている。

[0008] 層間絶縁膜 111 上に、シール層 105 についても覆うように、プラズマ窒化により形成されたシリコン窒化膜からなる第 1 保護膜 106 が形成されている。更にその上には、ポリイミド膜からなる第 2 保護膜 107 が形成されている。ここで、第 1 保護膜 106 及び第 2 保護膜 107 は、回路形成領域 102 上、シールリング 104 上及びダイシング領域 103 上に亘って覆っている。

先行技術文献

特許文献

[0009] 特許文献 1：特開 2010-206226 号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、以上に説明した構造において、ポリイミド膜である第 2 保護膜 107 の形状不安定化、更にはそれに起因する剥離等が生じる場合がある。

[0011] この点に鑑み、本開示の目的は、シールリング及び保護膜を有する半導体装置において、保護膜の形状安定性、耐剥離性を確保し、信頼性の高い半導体装置を得ることである。

課題を解決するための手段

[0012] 前記の目的を達成するために、本願発明者らは、ポリイミド膜である第 2

保護膜の形状不安定化、剥離等の不具合が生じる原因について検討した。その結果、シールリング上又はその外側に第2保護膜の端部が位置している場合、第2保護膜を形成する際の形状バラツキ（端部位置精度バラツキ等）、下地形状等が前記不具合の原因であるとの知見を得た。更に、このような不具合を抑えるために、シールリングに対する第2保護膜の端部の位置関係等、シールリングとその近傍における構造を規定することを着想した。

[0013] 以上に基づき、本開示の半導体装置は、回路形成領域を有する基板と、基板上に形成された層間絶縁膜と、層間絶縁膜中に形成され、回路形成領域を取り囲む第1シールリングと、層間絶縁膜上における回路形成領域及び第1シールリング上方を含む領域に形成された第1保護膜と、第1保護膜上で且つ第1シールリングよりも内側に形成された第2保護膜とを備え、第1保護膜は、第2保護膜と接触する第1の表面と、第1シールリングの直上に位置する第2の表面と、第1の表面から第2の表面へとつながる第3の表面とを有し、第2保護膜の端部は、第3の表面よりも内側に位置している。

[0014] このような半導体装置によると、第2保護膜について、シールリングが存在することの影響を抑制して、形状安定性、耐剥離性を向上させることができる。

[0015] 尚、第1保護膜における第1シールリングの直上には、第1の開口部を有していても良い。

[0016] また、第1保護膜における第1シールリングの外側には、第2の開口部を有していても良い。

[0017] このようにすると、ダイシング時等に、シールリングの外側から回路形成領域内に衝撃、応力等が第1保護膜を経路として伝播するのを遮断することができる。これにより、半導体装置の信頼性、耐湿性等の低下をより確実に抑制することができる。

[0018] また、層間絶縁膜中に、第1シールリングを取り囲む少なくとも1つの第2シールリングを有していても良い。

[0019] このようにすると、複数のシールリングが2重以上に回路形成領域を囲む

ことになり、層間絶縁膜の切断面から侵入する水分、応力によるクラックの伸展等から回路形成領域を保護する効果がより顕著になる。ここで、一番内側（回路形成領域側）に第1シールリングが位置しており、その上方に位置する第3の表面よりも内側に第2保護膜の端部が位置しているので、第2保護膜の形状安定性、耐剥離性を向上する効果は確保されている。

[0020] また、第2の開口部は、第1のシールリングと第2のシールリングとの間に配置されていても良い。

[0021] また、第2の開口部は、第1保護膜を貫通するように形成されていても良い。

[0022] これにより、衝撃、応力等の伝播経路を遮断する効果がより確実になる。

[0023] また、第2の開口部は、第1保護膜直下の層間絶縁膜内にまで達するのを避けて形成されていても良い。

[0024] このようにすると、層間絶縁膜中に回路、配線等が形成されていたとしても、それらが露出するのを避けることができる。シールリングの外側にも、例えば、検査用の配線等が設けられる場合があるので、その露出を避けることが望ましい。また、シールリングを構成するシール層自体の露出も避けることができる。

[0025] また、第2の開口部は、第1シールリングを取り囲むように配置されていても良い。

[0026] また、第2の開口部は、第1シールリングを連続的に取り囲むように配置されていても良い。

[0027] このようにすると、衝撃、応力等の伝播経路を遮断する効果がより確実になる。

[0028] また、第1保護膜における前記第1シールリングの直上には、第1の開口部を有しており、第1保護膜における前記第1シールリングの外側には、第2の開口部を有しており、第1の開口部よりも第2の開口部の方が深くなっている。また、第1の開口部よりも第2の開口部の方が深くなっている。

[0029] また、第1保護膜における第2シールリングの外側に、第3の開口部を有

していても良い。

[0030] これにより、衝撃、応力等の伝播経路を遮断する効果がより確実になる。

[0031] また、第2の開口部よりも第3の開口部の方が深くても良い。

[0032] また、第3の開口部よりも第2の開口部の方が深くても良い。

[0033] 第2シールリングは、最も外側に位置するシールリングであっても良い。

[0034] また、第1保護膜における全てのシールリングの直上に開口部が配置されていても良い。

[0035] また、第1シールリングは、積層された複数のシール層と、最上層のシール層上に接続して形成されたキャップ層とを含んでいても良い。

[0036] このようにすると、キャップ層の下のシール層が酸化、腐蝕されて、シールリングによって半導体装置を保護する効果が劣化するのを抑えることができる。この効果は、キャップ層が、その直下のシール層よりも耐酸化性に優れた材料からなるようにすると、より顕著に発揮される。

[0037] 例えば、シール層は銅（Cu）からなり、キャップ層はアルミニウム（Al）からなるのであっても良い。

[0038] また、キャップ層の幅は、最上層のシール層の幅よりも大きくても良い。

[0039] このようにすると、最上層のシール層をキャップ層によって覆うことができるので、キャップ層によりシールリングを保護する効果がより顕著になる。

[0040] また、第2保護膜の端部は、第3の表面と回路形成領域との間に位置していても良い。

[0041] このようにすると、第2保護膜によって回路形成領域を保護すると共に、第2保護膜の形状安定性、耐剥離性を向上できる。

[0042] また、第2保護膜の端部が位置する部分の第1保護膜は、上面が実質的に平坦であっても良い。

[0043] このようにすると、より確実に第2保護膜の形状安定性、耐剥離性を向上できる。

[0044] また、第1シールリングと回路形成領域との間に、回路及び配線の形成を

避けた隔離領域を備え、隔離領域において、第1保護膜の上面は実質的に平坦であり、第2保護膜の端部は、隔離領域上に位置しても良い。

[0045] このようにすると、シールリングと回路形成領域との距離が確保され、水分、クラック等から回路形成領域を保護する効果を高めることができる。また、第2保護膜の端部を位置させることができる領域が広がるので、第2保護膜を形成する際に端部位置精度のバラツキがあっても、必要な領域に端部が位置する第2保護膜を安定して形成することができる。

[0046] また、層間絶縁膜は、低誘電率膜を含んでいても良い。

[0047] また、層間絶縁膜は、超低誘電率膜を含んでいても良い。

[0048] つまり、層間絶縁膜は、全体が低誘電率膜（low-k膜）又は超低誘電率膜（Extremely low-k（ELK）膜）からなるか、低誘電率膜又は超低誘電率膜を含む積層構造からなるものであっても良い。これにより、半導体装置の高速化、低消費電力化を実現することができる。

[0049] また、基板の裏面において、回路形成領域下に、グリッド状に配列された複数のバンプを備えていても良い。

[0050] このようにすると、回路形成領域内に多数のバンプを備え、フリップチップ実装等が可能な半導体装置とすることができる。

[0051] また、バンプは、回路形成領域下にのみ配置され、シールリングの下には配置されていないのであっても良い。

[0052] また、第1保護膜はシリコン窒化膜からなり、第2保護膜はポリイミド膜からなるのであっても良い。

[0053] それぞれの材料の例として、このようになっていても良い。

[0054] また、第2保護膜の表面は、第1保護膜における第2の表面よりも高い位置にあっても良い。

[0055] 次に、本開示のフリップチップ実装品は、本開示のいずれかの半導体装置が実装基板にフリップチップ実装されている構造を有する。

[0056] このようなフリップチップ実装品は、実装された半導体装置の信頼性が高く且つ実装形態の高密度化に対応する。

発明の効果

[0057] 本開示の技術によると、シールリング及び保護膜を備える半導体装置において、チップ表面を保護する保護膜の形状安定性、耐剥離性等を向上し、信頼性の高い半導体装置を得ることができる。

図面の簡単な説明

[0058] [図1]図1（a）及び（b）は、本開示の一実施形態の例示的半導体装置について模式的に示す断面図及び平面図である。

[図2]図2は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図3]図3は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図4]図4は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図5]図5（a）及び（b）は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図及び平面図である。

[図6]図6は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図7]図7は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図8]図8は、本開示の一実施形態の例示的半導体装置について、変形例を模式的に示す断面図である。

[図9]図9は、本開示の一実施形態の例示的半導体装置に設けられたバンプについて模式的に示す平面図である。

[図10]図10は、本開示の一実施形態の例示的半導体装置がバンプを用いてフリップチップ実装された様子を模式的に示す断面図である。

[図11]図11は、背景技術の半導体装置について模式的に示す断面図である。

発明を実施するための形態

- [0059] 以下、本開示の半導体装置について、図面を参照しながら説明する。図 1 (a) 及び (b) は、例示的半導体装置 50 を模式的に示す図であり、断面図である図 1 (a) は、平面図である図 1 (b) の Ia-Ia' 線に対応する。
- [0060] 図 1 (a) に示す通り、半導体装置 50 は、シリコン基板等である半導体基板 1 を用いて形成されている。半導体基板 1 上には、複数層（図 1 の例では 3 層）の絶縁膜 11 a、11 b 及び 11 c が積層された構造を有する層間絶縁膜 11 が形成されている。また、半導体装置 50 の中央側には、配線、回路等が形成される回路形成領域 2 が設けられ、その周囲を囲むように、外側にはダイシング領域 3 が設けられている。
- [0061] 回路形成領域 2 の層間絶縁膜 11 中に、半導体基板 1 上に形成されるトランジスタ等の素子に電氣的に接続するように、配線及びコンタクト部が形成されている（図示は省略）。
- [0062] また、回路形成領域 2 とダイシング領域 3 との間に、層間絶縁膜 11 中に埋め込まれるようにシールリング 4 が形成されている。シールリング 4 は、層間絶縁膜 11 の各層に形成されるコンタクト部及び配線層の形成工程を利用して形成されるシール層 4 a、4 b と、最上部に形成されるキャップ層 5 とが連続して積層された構造を有する。
- [0063] シール層 4 a、4 b は、例えば銅 (Cu) を用いて形成され、シール層と層間絶縁膜 11 との間には、例えば TaN からなるバリアメタル層（図示省略）が形成されている。これにより、シール層（コンタクト部及び配線層）を構成する材料が直接に層間絶縁膜 11 と接触するのを避けている。
- [0064] また、シールリング 4 の最上部には、層間絶縁膜 11 の開口部（より詳しくは、絶縁膜 11 c の開口部）に、層間絶縁膜 11 の上面に対して凸形状（上方に突出する形状）を成すように形成したシール層として、キャップ層 5 を設けても良い。キャップ層 5 は、前記開口部を覆うように形成されている。
- [0065] 層間絶縁膜 11 上には、キャップ層 5 上を含め、回路形成領域 2 からダイシング領域 3 までに亘る範囲を覆うように第 1 保護膜 6 が形成されている。

第1保護膜6は、例えば、プラズマ窒化により形成されたシリコン窒化膜が好適であり、膜厚は0.6 μm 程度とするのが良い。但し、材料、膜厚のいずれも、これに限定するものではない。

[0066] また、キャップ層5の上面は、絶縁膜11cの開口部に沿って凹んだ形状を有し、その上方において第1保護膜6の上面が凹状となって開口部31が形成されている。

[0067] 更に、第1保護膜6上に、第2保護膜7が形成されている。第2保護膜7の材料及び膜厚について、例えば、ポリイミドにより形成し、膜厚を5 μm 程度とするのが好適である。但し、これらには限定されない。

[0068] ここで、第2保護膜7がシールリング4上方又はシールリング4よりも外側（ダイシング領域3）に端部を有するように形成されている場合、第2保護膜7の形状不安定化、更にはそれに起因する剥離等が生じることを本願発明者等が見出している。この原因は、第2保護膜7の形状バラツキ（端部位置精度バラツキ等）、下地形状等の影響による。

[0069] 具体例として、シールリング4（キャップ層5）の幅が4 μm 、その上を覆う第1保護膜6の立上がり部8の幅が10 μm であるとする。また、第2保護膜7の端部が第1保護膜6の立上がり部8上に位置するように設計したとする。このような場合、第2保護膜7の端部の位置精度バラツキが $\pm 5 \mu\text{m}$ 以上であったとすると、第2保護膜7の端部の断面形状は場所に応じて大きな差違を有することになる。結果として、第2保護膜7の形状不安定化、更にはそれに起因する剥離等が生じるおそれがある。

[0070] また、第2保護膜7の端部が（回路形成領域2側から見て）シールリング4の外側に位置する構造も望ましくない。これは、シールリング4と、その上部の形状に追従する第1保護膜6の立上がり度合い（凸の度合い）、表面の形態に依存して、均一な膜厚の第2保護膜7を形成できない場合があるからである。

[0071] 以上から、第2保護膜7の端部が、回路形成領域2からみてシールリング4よりも内側に位置しており、第1保護膜6の立上がり部8には達していな

いようにする。これは、次のように言い換えても良い。つまり、第1保護膜6の表面のうち、シールリング4よりも内側であってほぼ第2保護膜7によって覆われている平坦面を第1の表面6a、シールリング4上方の面を第2の表面6b、第1の表面から第2の表面へと繋がる面を第3の表面6cとする。このとき、第2保護膜7の端部が、回路形成領域側から見て第3の表面6cよりも内側に位置するようにする。この際、第2保護膜7の端部位置精度バラツキが $\pm 5 \mu\text{m}$ であるとする、立上がり部8（第3の表面6c）から $5 \mu\text{m}$ 以上内側に第2保護膜7の端部が位置するようにする。

[0072] 以上により、第2保護膜7の端部が立上がり部8に達するのを避けることができる。

[0073] このようにして、第2保護膜7は、回路形成領域2側に位置する平坦な部分の第1保護膜6上に形成されることになり、形状不安定化、剥離等を抑制することができる。

[0074] 尚、キャップ層5は、例えばアルミニウム（Al）により形成される。このようにすると、アルミニウムは銅に比べて耐酸化性が優れるので、シールリング4の最上層であるキャップ層5の耐酸化性が、その直下のシール層4bの耐酸化性よりも優れた構造となる。この結果、シールリング4が酸化、腐蝕され、半導体装置50を保護する効果が劣化するのを抑制することができる。

[0075] 但し、キャップ層5、その下のシール層4b等の材料は、前記のアルミニウム及び銅には限らない。また、層間絶縁膜11を構成する各絶縁膜11a、11b及び11cは、特に限定するものではないが、例えば、CVD（Chemical Vapor Deposition）法によりTEOS（tetra ethyl orthosilicate）を用いて形成されたシリコン酸化膜（TEOS酸化膜）としても良い。

[0076] （変形例）

次に、本開示の実施形態の変形例を説明する。図2は、変形例の半導体装置50aの模式的な断面を示す図である。

[0077] 図2に示す半導体装置50aに関し、図1（a）及び（b）の半導体装置

50と同様の構成要素については図1(a)と同じ符号を用い、以下には相違点について詳しく説明する。

[0078] 図1(a)の半導体装置50の場合、Cuからなるシール層4b上において、絶縁膜11cに設けられた開口部を埋め込み且つシール層4b上に接するように、Alからなるキャップ層5が設けられている。キャップ層5は、絶縁膜11cの上面よりも突出している。

[0079] これに対し、半導体装置50aの場合、絶縁膜11cの開口部は、めっき法等により形成されたCuからなるシール層9によって埋め込まれ、当該シール層9がシール層4b上面に接している。更に、シール層9を覆うように、絶縁膜11c上に、Alからなるキャップ層5が形成されている。キャップ層5は、シール層9よりも広い幅を有するので、シール層9の上面を完全に覆っている。

[0080] このような構成は、キャップ層5がその直下のシール層9よりも耐酸化性に優れている場合等に特に有効である。

[0081] 半導体装置50aにおいても、第2保護膜7については回路形成領域2からみてシールリング4よりも内側に位置しており、第1保護膜6の立上がり部8には達していないようにする。これにより、第2保護膜7の形状不安定化、剥離等を抑制して信頼性の高い半導体装置を得ることができる。

[0082] 次に、図3は、他の変形例の半導体装置50bの模式的な断面を示す図である。半導体装置50bに関し、図1(a)及び(b)の半導体装置50と同様の構成要素については図1(a)と同じ符号を用い、以下には相違点について詳しく説明する。

[0083] 半導体装置50bは、半導体装置50aと同様のシールリング4に加え、その外側（回路形成領域2から見て外側）に他のシールリング14を備えている。以下、半導体装置50bのシールリング4を第1シールリング4、シールリング14を第2シールリング14と呼ぶ。第2シールリング14は、第1シールリング4と同様に、層間絶縁膜11中に埋め込まれたシール層14a及び14bと、その上に接して形成されたキャップ層15を有する。

- [0084] 尚、第2シールリング14上方にも、第1保護膜6には開口部31が形成されている。更に、第1シールリング4と第2シールリング14との間にも、開口部32が形成されている。ここで、シールリングの間に位置する開口部32は、シールリング上方に位置する開口部31よりも深い。
- [0085] このように、複数列のシールリングにより回路形成領域2を2重に取り囲むことにより、層間絶縁膜11の切断面から侵入する水分、応力によって生じるクラックの伸展等から回路形成領域2を更に確実に保護することができる。ここでは2重に取り囲む例を示しているが、第2シールリング14を複数設けることにより、3重あるいはそれ以上に回路形成領域2を取り囲み、更に確実な保護を行なっても良い。
- [0086] 以上のように複数のシールリングによって回路形成領域2を取り囲む場合、最も内側のシールリング（第1シールリング4）上の形状に追随した第1保護膜6の立上がり部8よりも内側に、第2保護膜7の端部が位置しているようにする。これにより、第2保護膜7の形状不安定化、剥離等を抑制して信頼性の高い半導体装置を得ることができる。
- [0087] 尚、複数列のシールリングを設ける場合にも、第2保護膜7の端部が位置する領域の下地表面（第1保護膜6の表面）は、平坦であることが望ましい。
- [0088] また、半導体装置50bにおいて、層間絶縁膜11を構成する絶縁膜11dとして、低誘電率膜（low-k膜）又は低誘電率膜よりも更に誘電率が低い超低誘電率膜（Extremely low-k（ELK）膜）膜が用いられている。
- [0089] 低誘電率膜（超低誘電率）は一般に膜密度が低いので、吸湿性、透湿性が高い。従って、低誘電率膜を用いる場合、水分の侵入を抑制して、比誘電率の増加、配線の信頼性低下等を抑制することが特に必要になる。同様に、低誘電率膜（超低誘電率）は機械的に脆弱であるから、応力によるクラックの伸展を抑えることも必要になる。そこで、半導体装置50bのように、複数列のシールリングを設けて回路形成領域2をより確実に保護する構成が有効である。

[0090] 尚、低誘電率膜とは、シリコン酸化膜（比誘電率が3.5～4.0程度）に比べて低誘電率の膜であり、比誘電率が2.7～3.0程度の膜である（例えばSiOF膜であるが、これには限らない）。また、超低誘電率は更に低誘電率の膜であって、比誘電率が2.7程度以下の膜である（例えばSiCOH膜であるが、これには限らない）。

[0091] 更に、図4に示すように、最も内側のシールリング（第1シールリング4）と回路形成領域2との間に回路、配線等を設けない隔離領域21を設けると共に、当該隔離領域21内の上面が平坦になった第1保護膜6上に、第2保護膜7の端部が位置するようにしても良い。このような構造とすると、第1シールリング4と回路形成領域2とが隔離されるので、層間絶縁膜11の切断面から侵入する水分、応力によって生じるクラックの伸展等から回路形成領域2を更に確実に保護することができる。更に、第2保護膜7の端部を位置させるための平坦な領域を広く確保することができるので、端部位置精度バラツキが生じる方法によって第2保護膜7を形成する場合にも、安定して第2保護膜7を形成することができる。尚、図4では複数列のシールリングを設ける場合について示しているが、シールリングが単一の場合に隔離領域21を設けることも当然可能である。

[0092] 次に、図5（a）及び（b）に、更に他の変形例の半導体装置50cについて模式的な断面図及び平面図を示す。図5（a）は、図5（b）のVa-Va'線に対応する。

[0093] 半導体装置50cに関し、図1（a）及び（b）の半導体装置50と同様の構成要素については図1（a）及び（b）と同じ符号を用い、以下には相違点について詳しく説明する。

[0094] 半導体装置50cによると、シールリング4の外側（回路形成領域2側から見て外側）において、第1保護膜6に開口部13が設けられている。これにより、ウェハのダイシング時に外側から回路形成領域2内に向かう衝撃、応力等の伝播経路を遮断することができる。つまり、開口部13が存在しない場合、第1保護膜6が伝播経路となって衝撃、応力等が回路形成領域2に

まで伝播するが、開口部 1 3 を設けることによりこれを遮断できる。特に、開口部 1 3 が第 1 保護膜 6 を貫通するようにすると、衝撃、応力等がより伝わり難くなるので、回路形成領域 2 を保護する効果が高められる。尚、開口部 3 1、3 2 についても開口部 1 3 と同様に、応力を緩和する効果が期待できる。

[0095] 但し、開口部 1 3 は、第 1 保護膜 6 直下の層間絶縁膜 1 1 内部にまでは達しないようにすることが望ましい。つまり、仮に開口部 1 3 が層間絶縁膜 1 1 の上部の一部を除去するように形成されていると、層間絶縁膜 1 1 内に設けられた配線等を露出させてしまう危険があるので、これを避けることが望ましい。

[0096] ここで、シールリングの外側にも、例えば、検査用の配線等が設けられることは考えられるので、この露出を避けることが望ましい。また、開口部 1 3 が層間絶縁膜 1 1 内部にまで達していると、開口部 1 3 の幅等によっては、シールリングを構成するシール層自体を露出させることも考えられる。これについても避けることが望ましい。

[0097] また、開口部 1 3 は、半導体装置 5 0 c を平面視した際に、閉ループ形状（一繋がりに閉じた枠状）であることが好ましい。図 5（b）では、シールリング 4 の外側（第 1 保護膜 6 の立上がり部 8 の外側）を一周する閉じた四角形になっている例を示している。このようにすると、どの方向からの衝撃、応力等についても、回路形成領域 2 内に伝わる経路を遮断することができ、保護効果がより確実になる。

[0098] 開口部 1 3 は、複数のシールリングを備える場合にも設けることができる。例えば、図 6 の構成では、図 3 の例と同様に第 1 シールリング 4 及び第 2 シールリング 1 4 を備え、第 2 シールリング 1 4 の外側に開口部 1 3 が設けられている。また、図 7 の構成では、最も内側のシールリング 4 の外側に開口部 1 3 が設けられている。更に、図 8 の構成では、第 1 シールリング 4 と第 2 シールリング 1 4 との間、及び、第 2 シールリング 1 4 の外側にそれぞれ開口部 1 3 が設けられている。

[0099] 以上、図5（a）及び（b）、図6、図7、図8に例示するような各種バリエーションの構造においても、第2保護膜7の端部は、シールリング4の内側（複数のシールリングが設けられている場合には、最も内側である第1シールリング4の内側）に位置しており、シールリング4上部に追従した形状である第1保護膜6の立上がり部8には達しないようにする。これにより、第2保護膜7の形状不安定化、剥離等を抑制して信頼性の高い半導体装置を得ることができる。

[0100] 特に、シールリングが1つであって開口部13を備える場合（図5（a）及び（b）の例）及び最も内側のシールリングの外側に開口部13を備える場合（図7及び図8の例）に、仮に、第2保護膜7の端部が（第1）シールリング4の外側に位置する設計であったとすると、第2保護膜7の形状不安定化及びそれに起因する剥離等はより発生しやすくなる。つまり、各部の寸法、位置精度バラツキ等によっては、第2保護膜7の端部が開口部13上に位置する可能性が生じ、端部形状の異常が生じやすい。従って、このような場合に、（第1）シールリング4よりも内側に第2保護膜7の端部を位置させる効果がより顕著に発揮される。

[0101] 以上に図示して例示したシールリング及び保護膜の構造を有する半導体装置の回路形成領域2において、例えば図9に示すように、複数個（本例では16個）のバンプ24をグリッド状（行列状）に配列することができる。このようなバンプ24を配列することにより、限られた回路形成領域2内に、バンプ24を多数設けることができる。バンプ24は、例えば、Sn-Ag系鉛フリー半田材からなる。但し、これには限らず、Sn-Cu系、Sn-Cu-Ni系等の半田材であっても良いし、更に他の材料でも良い。

[0102] バンプ24の配置間隔は、例えば、160 μ mである。このようにバンプ24を配置した場合、図10に例示するように、有機基板25等にフリップチップ実装して、半導体装置の高密度実装に寄与することができる。尚、図10において、半導体装置50等は保護膜の形成された側が下になるように示されており、半導体基板1の図示は略されている。

[0103] 図 10 に示す通り、半導体装置に形成されるバンプ 24 の下部には、電極パッド 27 が形成されている。電極パッド 27 は、例えばアルミニウムからなり、層間絶縁膜 11 上の第 1 保護膜 6 及び第 2 保護膜 7 が開口された部分に設けられている。図示は省略しているが、層間絶縁膜 11 内において、電極パッド 27 に接続される配線等が設けられている。

[0104] 更に、バンプ 24 と電極パッド 27 との間には、アンダーバリアメタル 28 (UBM) を備えることが望ましい。一般に、アンダーバリアメタル 28 は、電極パッド 27 とその上に形成するバンプ 24 との間の接合強度を補助するメタル層として形成される。その材料としては、例えばニッケル (Ni) が挙げられるが、これに限定するものではない。

[0105] フリップチップ実装した半導体装置と有機基板 25 との間には、アンダーフィル 26 が充填される。アンダーフィル 26 は、外部からの湿気、ゴミ等を防ぐと共に、有機基板 25 の反り等による応力を緩和し、接続の信頼性を確保する機能を有する。材料としては、例えば熱硬化型液状封止材であり、より具体的には、エポキシ樹脂、硬化剤、フィラー等により構成されていても良い。

産業上の利用可能性

[0106] 本開示の技術は、シールリング及び保護膜を有する半導体装置において、保護膜の形状安定性、耐剥離性を確保して信頼性を向上することができるので、チップがアンダーフィルを介して基板にフリップチップ実装されたフリップチップ実装品等にも有用である。

符号の説明

[0107]	1	半導体基板
	2	回路形成領域
	3	ダイシング領域
	4	(第 1) シールリング
	4 a、4 b	シール層
	5	キャップ層

6	第 1 保護膜
7	第 2 保護膜
8	立上がり部
9	シール層
1 1	層間絶縁膜
1 1 a、1 1 b、1 1 c、1 1 d	絶縁膜
1 3	開口部
1 4	(第 2) シールリング
1 4 a、1 4 b	シール層
1 5	キャップ層
2 1	隔離領域
2 4	バンプ
2 5	有機基板
2 6	アンダーフィル
2 7	電極パッド
2 8	アンダーバリアメタル
3 1、3 2	開口部
5 0、5 0 a、5 0 b、5 0 c	半導体装置

請求の範囲

- [請求項1] 回路形成領域を有する基板と、
 前記基板上に形成された層間絶縁膜と、
 前記層間絶縁膜中に形成され、前記回路形成領域を取り囲む第1 シールリングと、
 前記層間絶縁膜上における前記回路形成領域及び前記第1 シールリング上方を含む領域に形成された第1 保護膜と、
 前記第1 保護膜上で且つ前記第1 シールリングよりも内側に形成された第2 保護膜とを備え、
 前記第1 保護膜は、前記第2 保護膜と接触する第1 の表面と、前記第1 シールリングの直上に位置する第2 の表面と、前記第1 の表面から前記第2 の表面へとつながる第3 の表面とを有し、
 前記第2 保護膜の端部は、前記第3 の表面よりも内側に位置していることを特徴とする半導体装置。
- [請求項2] 請求項1 の半導体装置において、
 前記第1 保護膜における前記第1 シールリングの直上には、第1 の開口部を有することを特徴とする半導体装置。
- [請求項3] 請求項2 の半導体装置において、
 前記第1 保護膜における前記第1 シールリングの外側には、第2 の開口部を有することを特徴とする半導体装置。
- [請求項4] 請求項3 の半導体装置において、
 前記層間絶縁膜中に、前記第1 シールリングを取り囲む少なくとも1 つの第2 シールリングを有することを特徴とする半導体装置。
- [請求項5] 請求項4 の半導体装置において、
 前記第2 の開口部は、前記第1 のシールリングと前記第2 のシールリングとの間に配置されていることを特徴とする半導体装置。
- [請求項6] 請求項3～5 のいずれか1 つの半導体装置において、
 前記第2 の開口部は、前記第1 保護膜を貫通するように形成されて

いることを特徴とする半導体装置。

- [請求項7] 請求項4～6のいずれか1つの半導体装置において、
前記第2の開口部は、前記第1保護膜直下の前記層間絶縁膜内にまで達するのを避けて形成されていることを特徴とする半導体装置。
- [請求項8] 請求項4～7のいずれか1つの半導体装置において、
前記第2の開口部は、前記第1シールリングを取り囲むように配置されていることを特徴とする半導体装置。
- [請求項9] 請求項8の半導体装置において、
前記第2の開口部は、前記第1シールリングを連続的に取り囲むように配置されていることを特徴とする半導体装置。
- [請求項10] 請求項1の半導体装置において、
前記第1保護膜における前記第1シールリングの直上には、第1の開口部を有しており、
前記第1保護膜における前記第1シールリングの外側には、第2の開口部を有しており、
前記第1の開口部よりも前記第2の開口部の方が深いことを特徴とする半導体装置。
- [請求項11] 請求項4～10のいずれか1つの半導体装置において、
前記第1保護膜における前記第2シールリングの外側に、第3の開口部を有することを特徴とする半導体装置。
- [請求項12] 請求項11の半導体装置において、
前記第2の開口部よりも前記第3の開口部の方が深いことを特徴とする半導体装置。
- [請求項13] 請求項11の半導体装置において、
前記第3の開口部よりも前記第2の開口部の方が深いことを特徴とする半導体装置。
- [請求項14] 請求項4～13のいずれか1つの半導体装置において、
前記第2シールリングは、最も外側に位置するシールリングである

ことを特徴とする半導体装置。

[請求項15] 請求項4～14のいずれか1つの半導体装置において、
前記第1保護膜における全てのシールリングの直上に開口部が配置されていることを特徴とする半導体装置。

[請求項16] 請求項1～15のいずれか1つの半導体装置において、
前記第1シールリングは、積層された複数のシール層と、最上層の前記シール層上に接続して形成されたキャップ層とを含むことを特徴とする半導体装置。

[請求項17] 請求項16の半導体装置において、
前記キャップ層の幅は、前記最上層のシール層の幅よりも大きいことを特徴とする半導体装置。

[請求項18] 請求項16又は17の半導体装置において、
前記シール層は銅からなり、
前記キャップ層はアルミニウムからなることを特徴とする半導体装置。

[請求項19] 請求項1～18のいずれか1つの半導体装置において、
前記第2保護膜の端部は、前記第3の表面と前記回路形成領域との間に位置することを特徴とする半導体装置。

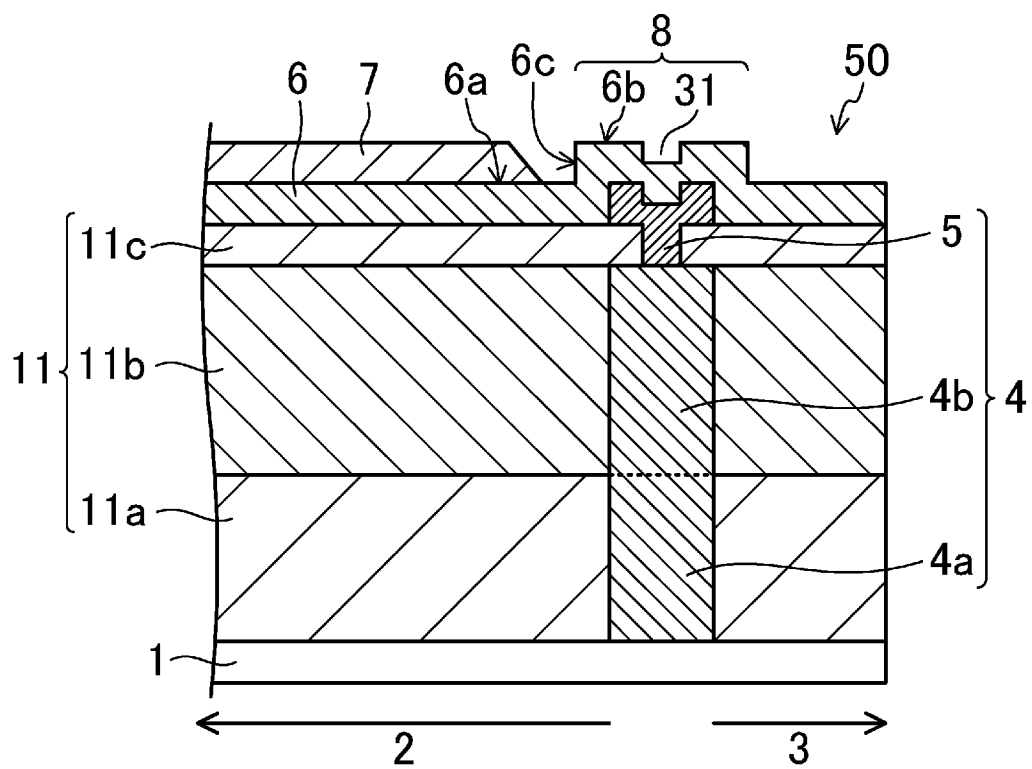
[請求項20] 請求項1～19のいずれか1つの半導体装置において、
前記第2保護膜の端部が位置する部分の前記第1保護膜は、上面が実質的に平坦であることを特徴とする半導体装置。

[請求項21] 請求項1～20のいずれか1つの半導体装置において、
前記第1シールリングと前記回路形成領域との間に、回路及び配線の形成を避けた隔離領域を備え、
前記隔離領域において、前記第1保護膜の上面は実質的に平坦であり、
前記第2保護膜の端部は、前記隔離領域上に位置することを特徴とする半導体装置。

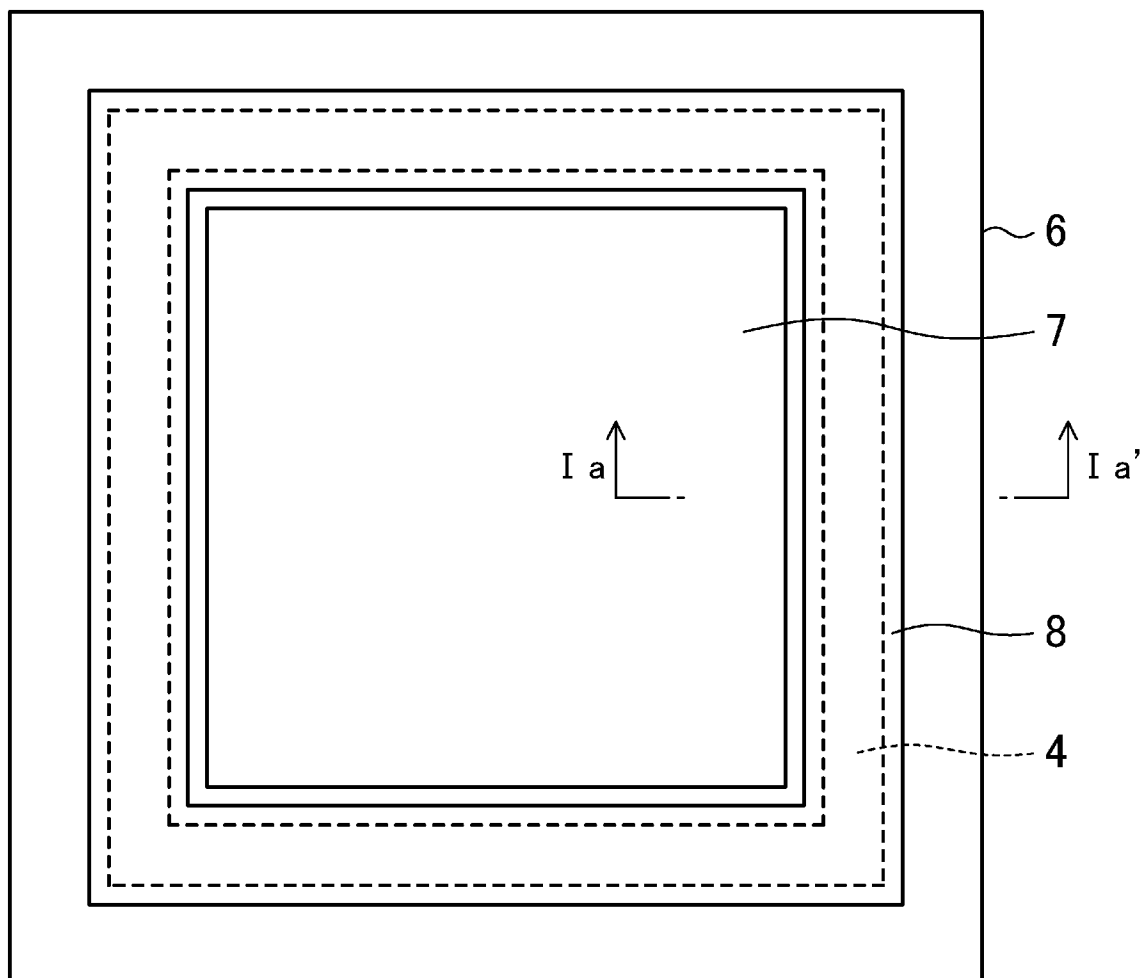
- [請求項22] 請求項1～21のいずれか1つの半導体装置において、
前記層間絶縁膜は、低誘電率膜を含むことを特徴とする半導体装置。
。
- [請求項23] 請求項1～21のいずれか1つの半導体装置において、
前記層間絶縁膜は、超低誘電率膜を含むことを特徴とする半導体装置。
- [請求項24] 請求項1～23のいずれか1つの半導体装置において、
前記基板の裏面において、前記回路形成領域下に、グリッド状に配
列された複数のバンプを備えることを特徴とする半導体装置。
- [請求項25] 請求項24の半導体装置において、
前記バンプは、前記回路形成領域下にのみ配置され、前記シールリ
ングの下には配置されていないことを特徴とする半導体装置。
- [請求項26] 請求項1～25のいずれか1つの半導体装置において、
前記第1保護膜はシリコン窒化膜からなり、
前記第2保護膜はポリイミド膜からなることを特徴とする半導体装
置。
- [請求項27] 請求項1～26のいずれか1つの半導体装置において、
前記第2保護膜の表面は、前記第1保護膜における第2の表面より
も高い位置にあることを特徴とする半導体装置。
- [請求項28] 請求項1～27のいずれか1つの半導体装置が実装基板にフリップ
チップ実装されていることを特徴とするフリップチップ実装品。

[図1]

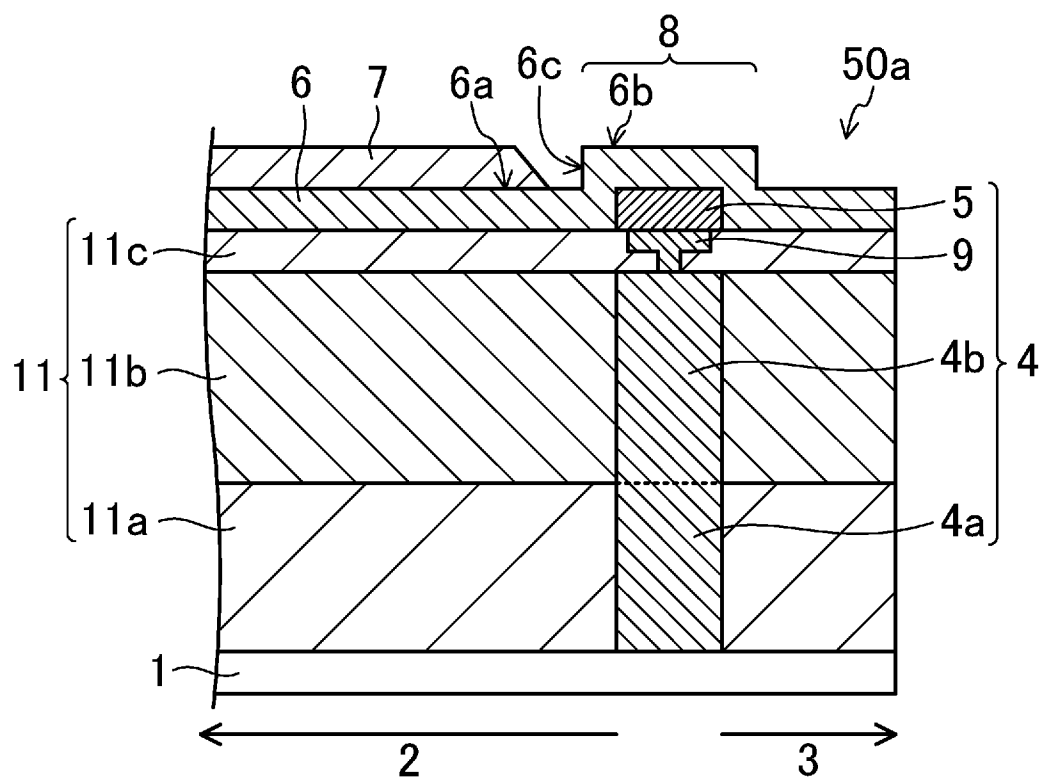
(a)



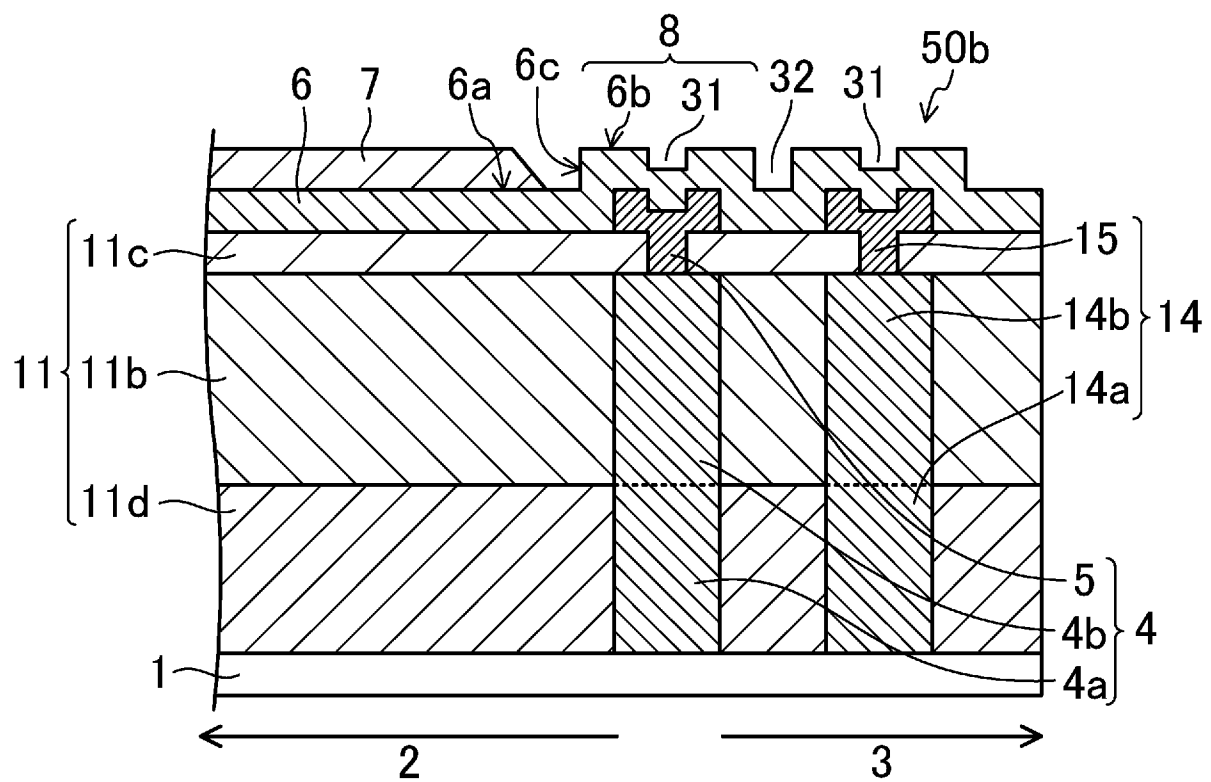
(b)



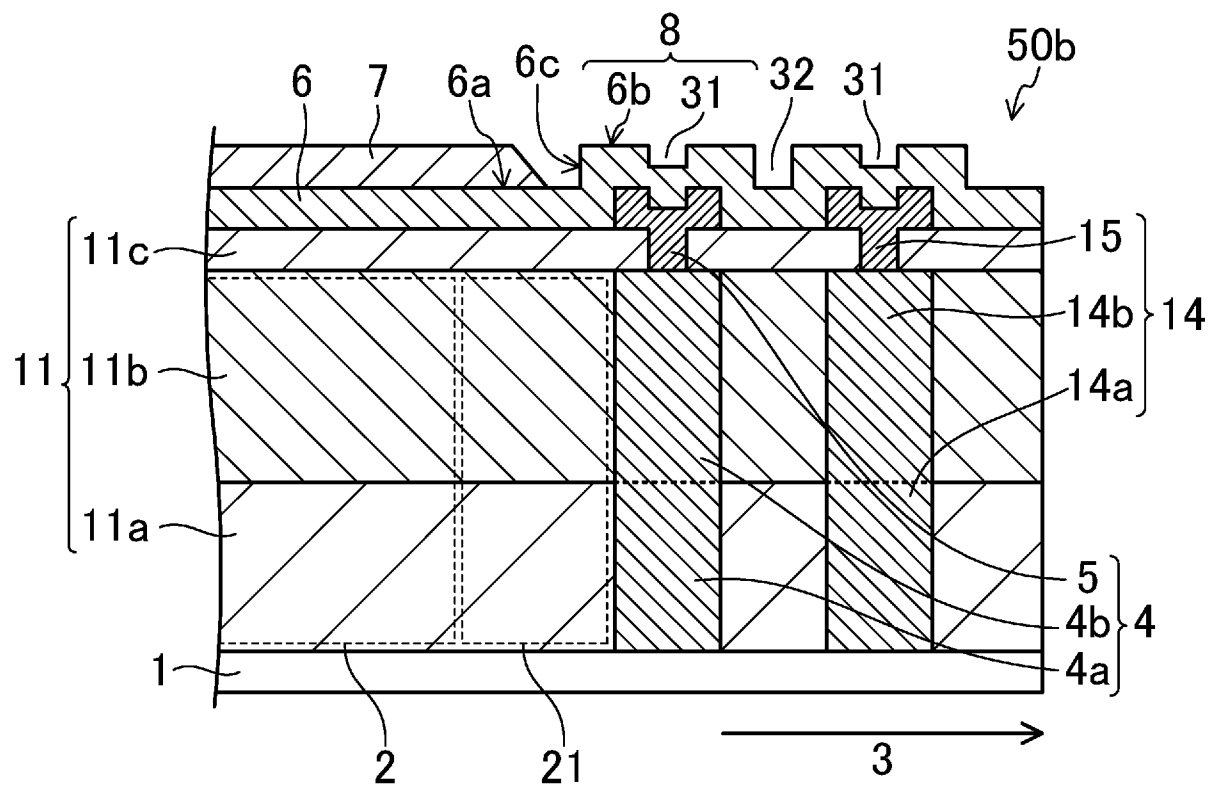
[図2]



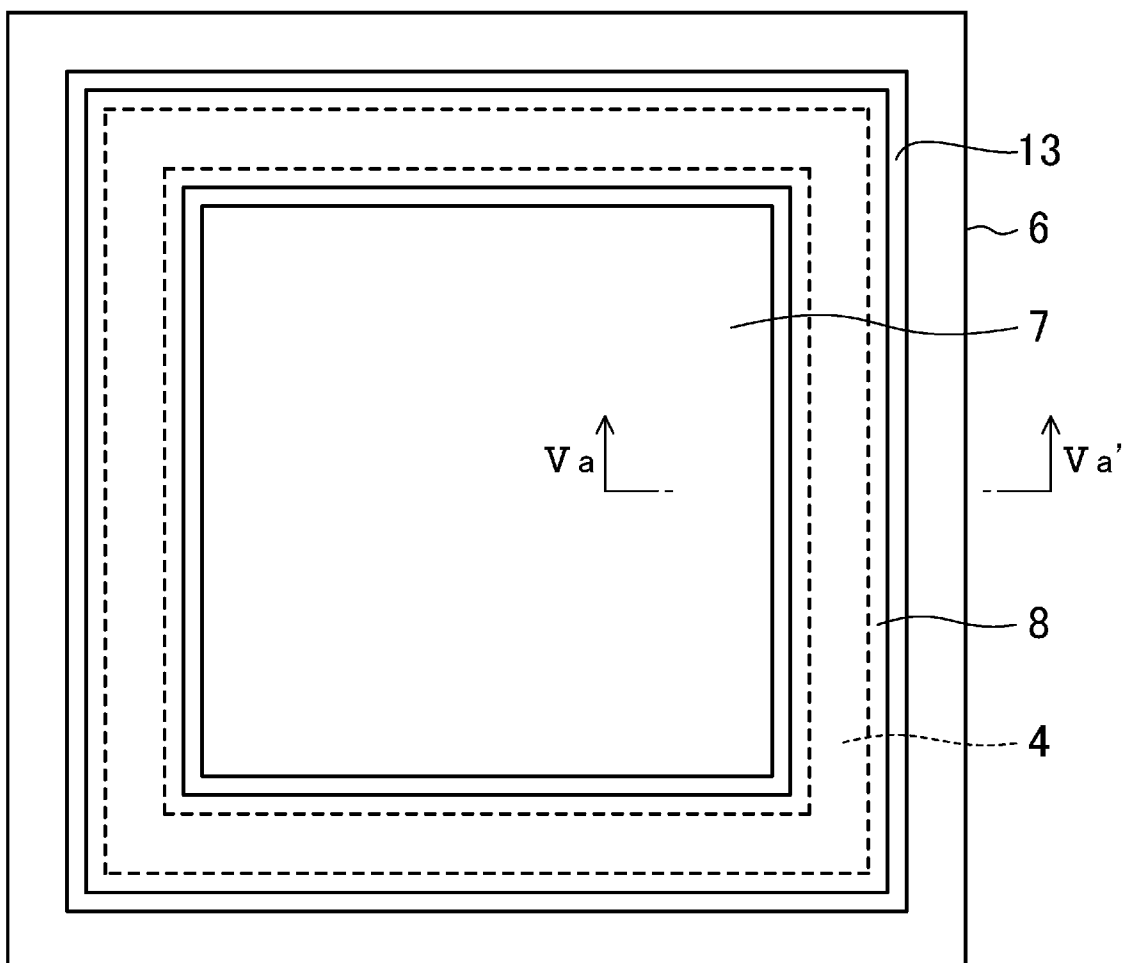
[図3]



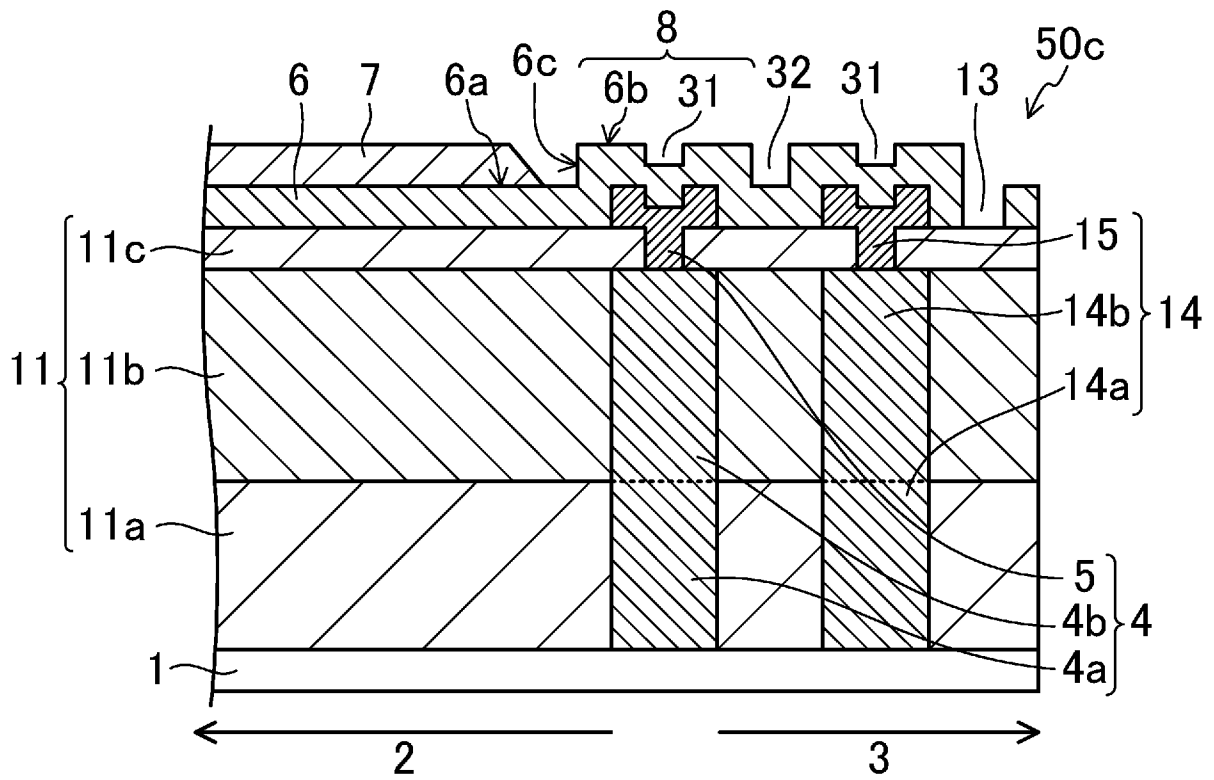
[図4]



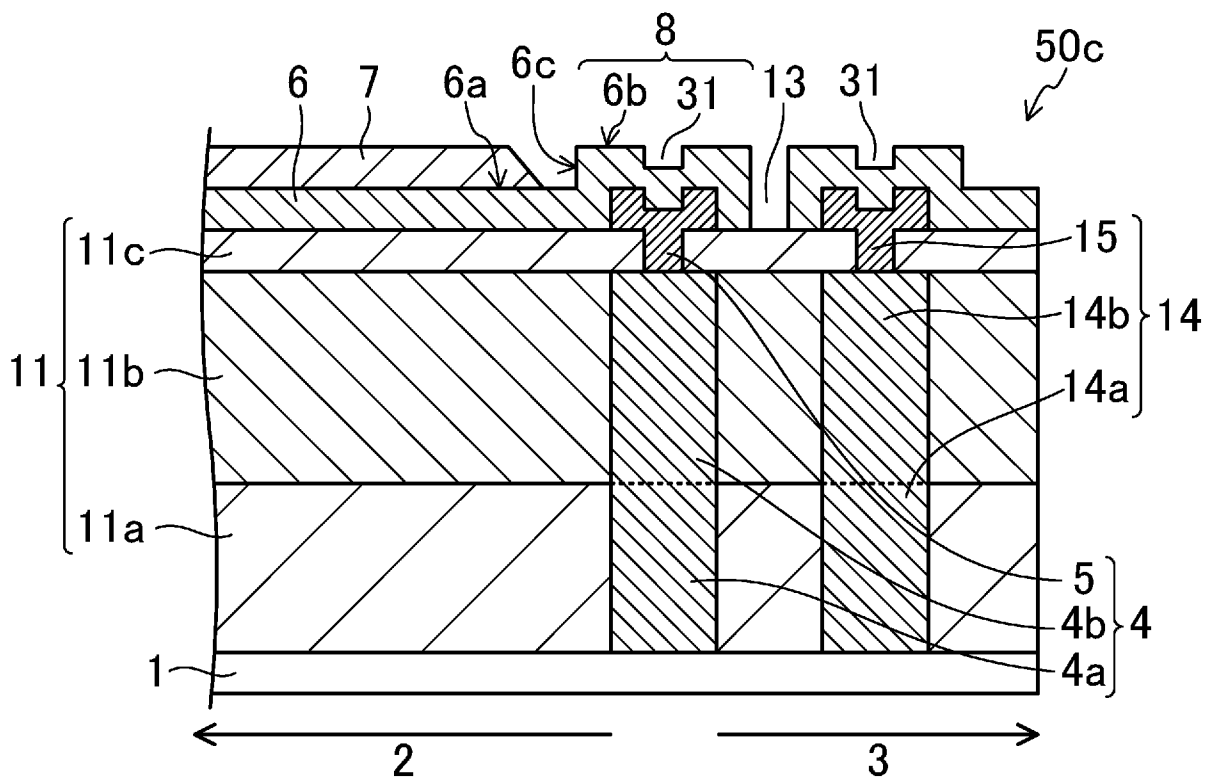
(a)



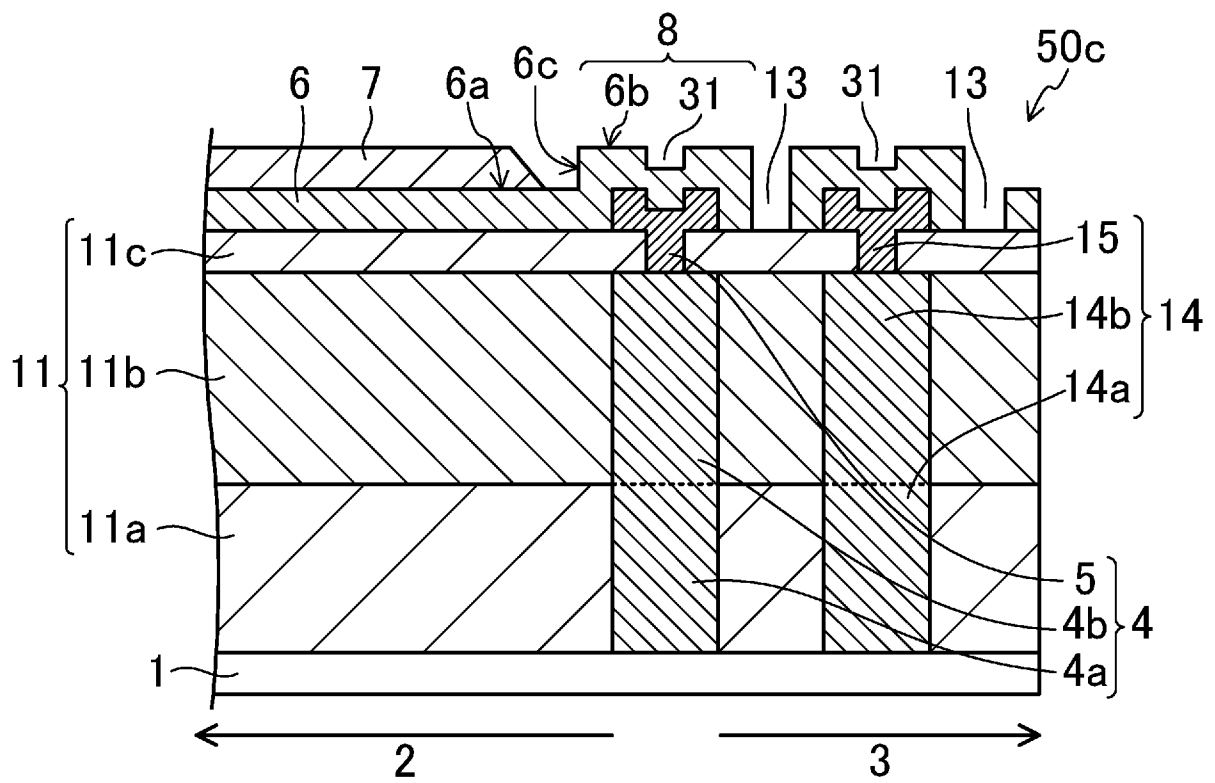
[図6]



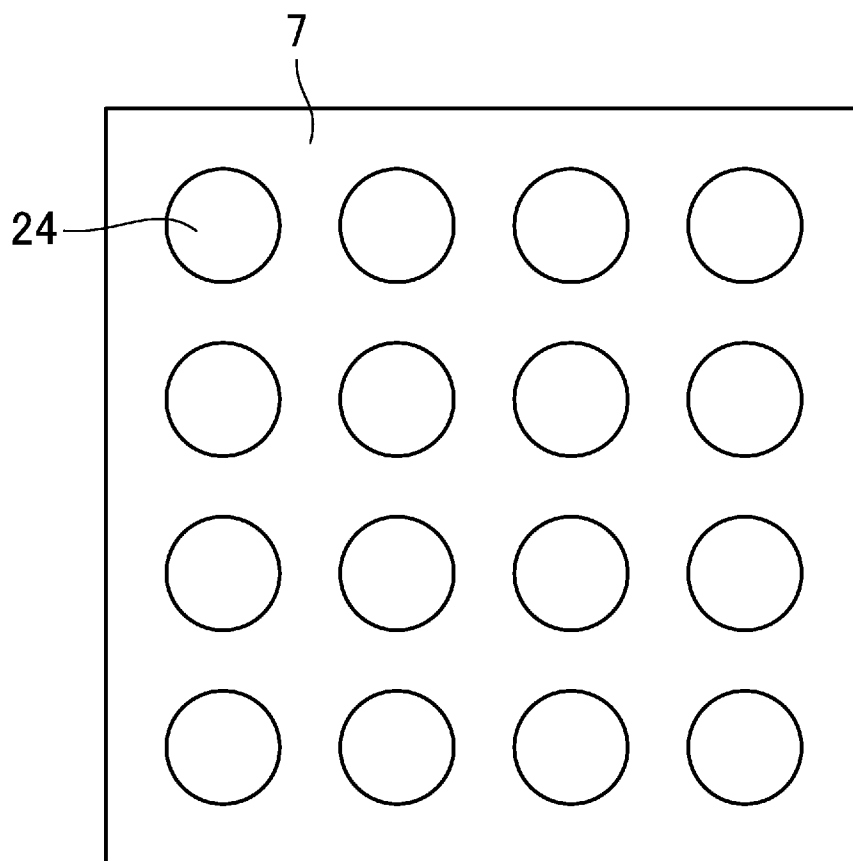
[図7]



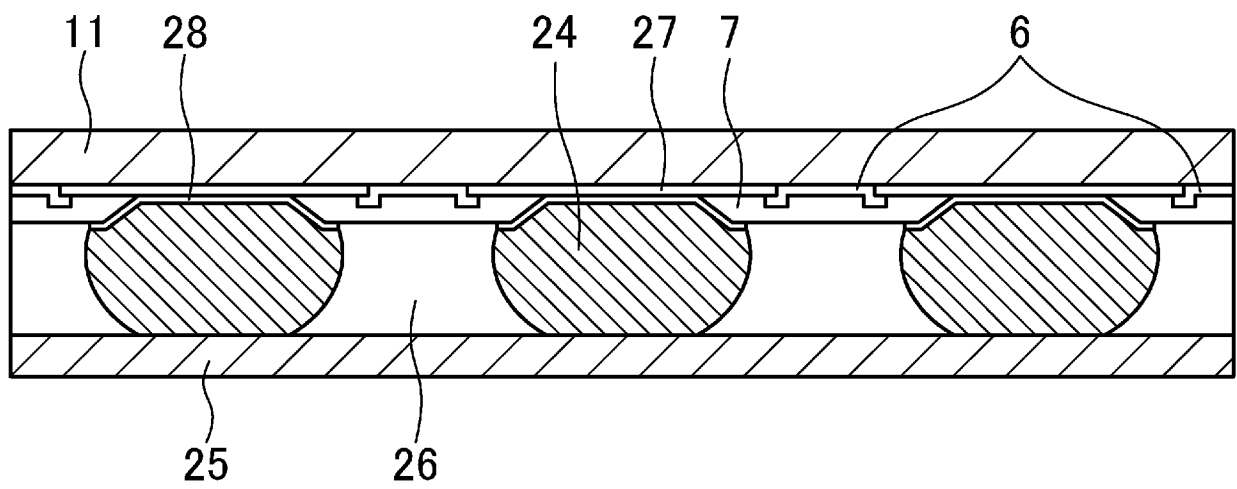
[図8]



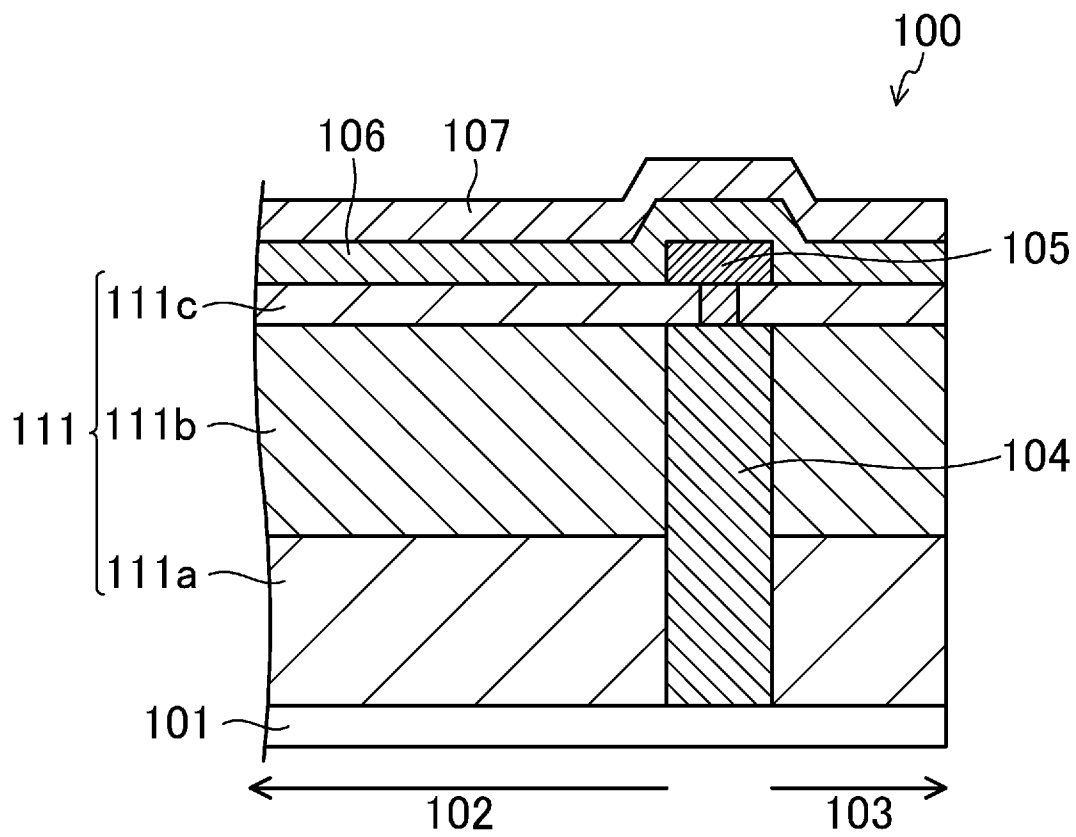
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005886

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/60, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-066716 A (Matsushita Electric Industrial Co., Ltd.), 21 March 2008 (21.03.2008), paragraphs [0038] to [0065]; fig. 1 to 3 & US 2008/0036042 A1	1,16-28 2-15
Y	JP 2004-079596 A (Renesas Technology Corp.), 11 March 2004 (11.03.2004), paragraph [0060] to [0074]; fig. 21 & US 2004/0026785 A1 & DE 10316835 A & TW 224371 B & KR 10-2004-0014904 A & CN 1476072 A	2-15
Y	WO 2010/086952 A1 (Panasonic Corp.), 05 August 2010 (05.08.2010), paragraphs [0075] to [0109]; fig. 1 to 8 (Family: none)	2-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 November, 2011 (24.11.11)Date of mailing of the international search report
06 December, 2011 (06.12.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005886

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-297022 A (NEC Electronics Corp.), 21 October 2004 (21.10.2004), paragraphs [0046] to [0068]; fig. 1 to 10 & US 2004/0150070 A1 & EP 1443557 A2 & CN 1519924 A	4-9, 11-15
A	JP 3-129855 A (Sanyo Electric Co., Ltd.), 03 June 1991 (03.06.1991), entire text (Family: none)	1-28
A	JP 2008-270488 A (Matsushita Electric Industrial Co., Ltd.), 06 November 2008 (06.11.2008), entire text & US 2008/0258266 A1 & CN 101290912 A	1-28
A	WO 2004/097917 A1 (Fujitsu Ltd.), 11 November 2004 (11.11.2004), entire text & CN 1701418 A & JP 4580867 B & KR 10-2005-0050114 A & US 2005/0269702 A1	1-28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005886

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1, and does not have a special technical feature. Consequently, there is no special technical feature among a group of inventions set forth in claims 1-28 for so linking the inventions as to form a single general inventive concept. Therefore, it is obvious that the group of inventions set forth in claims 1-28 does not comply with the requirement of unity of invention.

JP 2008-066716 A (Matsushita Electric Industrial Co., Ltd.), 21 March 2008 (21.03.2008), paragraphs [0038]-[0065], fig. 1-3, & US 2008/0036042 A1

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L23/52(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/3205, H01L21/60, H01L23/52			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 2008-066716 A (松下電器産業株式会社) 2008.03.21, 段落【0038】 - 【0065】, 図1-図3 & US 2008/0036042 A1	1, 16-28 2-15	
Y	JP 2004-079596 A (株式会社ルネサステクノロジ) 2004.03.11, 段落【0060】 - 【0074】, 図21 & US 2004/0026785 A1 & DE 10316835 A & TW 224371 B & KR 10-2004-0014904 A & CN 1476072 A	2-15	
Y	WO 2010/086952 A1 (パナソニック株式会社) 2010.08.05, 段落【0075】 - 【0109】, 図1-図8 (ファミリーなし)	2-15	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 24.11.2011		国際調査報告の発送日 06.12.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 須賀 亮介	4M 4430
		電話番号 03-3581-1101 内線 3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-297022 A (NECエレクトロニクス株式会社) 2004. 10. 21, 段落【0046】 - 【0068】, 図 1-図 10 & US 2004/0150070 A1 & EP 1443557 A2 & CN 1519924 A	4-9, 11-15
A	JP 3-129855 A (三洋電機株式会社) 1991. 06. 03, 全文 (ファミリーなし)	1-28
A	JP 2008-270488 A (松下電器産業株式会社) 2008. 11. 06, 全文 & US 2008/0258266 A1 & CN 101290912 A	1-28
A	WO 2004/097917 A1 (富士通株式会社) 2004. 11. 11, 全文 & CN 1701418 A & JP 4580867 B & KR 10-2005-0050114 A & US 2005/0269702 A1	1-28

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1に係る発明は、文献1に記載された発明に対して、新規性が認められず、特別な技術的特徴を有しない。そうすると、請求項1-28に係る発明に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求項1-28に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

JP 2008-066716 A (松下電器産業株式会社) 2008.03.21, 段落【0038】 - 【0065】, 図1-図3 & US 2008/0036042 A1

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。