

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 27/02

G11C 11/14



# [12] 发明专利说明书

[21] ZL 专利号 02107685.5

[45] 授权公告日 2005 年 1 月 19 日

[11] 授权公告号 CN 1185711C

[22] 申请日 2002.3.29 [21] 申请号 02107685.5

[30] 优先权

[32] 2001. 3.29 [33] JP [31] 096679/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 细谷启司 须之内一正

审查员 朱永全

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

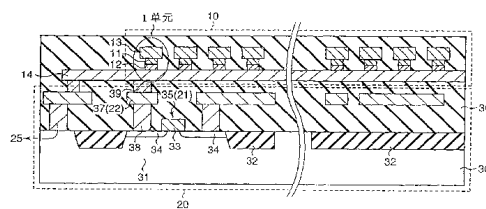
代理人 杜日新

权利要求书 4 页 说明书 19 页 附图 20 页

[54] 发明名称 半导体存储装置

[57] 摘要

存储单元部包括第 1 磁阻效应器件，以及与该第 1 磁阻效应器件成对配置在每一个单元、并将数据写入上述第 1 磁阻效应器件或从第 1 磁阻效应器件读出数据的第 1 电路；外围电路部包括控制第 1 电路的第 2 电路，第 2 电路的至少一部分配置在存储单元部的下部区域。



ISSN 1008-4274

1、一种半导体存储装置，其特征在于包括：

半导体衬底；

5 在所述半导体衬底上配置的存储单元部；

在所述存储单元部中配置的第1磁阻效应器件；

配置在所述存储单元部中，包括位线和字线的第1电路，所述第1电路通过产生电流磁场将数据直接写入所述第1磁阻效应器件或从所述第1磁阻效应器件直接读取数据；

10 不包括在所述第1电路中的第2电路，所述第2电路的至少一部分配置在所述存储单元部的下部区域，该区域在所述第1磁阻效应器件和所述半导体衬底之间。

2、根据权利要求1所述的半导体存储装置，其特征在于：

所述第2电路包括：

15 布线，以及

连接所述布线之间，作为接触使用的第2磁阻效应器件。

3、根据权利要求2所述的半导体存储装置，其特征在于：

所述第2磁阻效应器件配置在与所述第1磁阻效应器件同一层面上。

20 4、根据权利要求1所述的半导体存储装置，其特征在于：

所述第2电路的至少一部分是从所述存储单元部的所述下部区域，引出到所述存储单元部的外部区域的所述外围电路部。

5、根据权利要求1所述的半导体存储装置，其特征在于：

所述第1电路包括：

25 连接到所述第1磁阻效应器件，并配置在构成LSI的布线最上层的第1布线，

所述第2电路包括：

配置在所述第1布线下方的所述存储单元部内的第2布线。

6、根据权利要求5所述的半导体存储装置，其特征在于：

所述第 2 布线是地址布线。

7、根据权利要求 1 所述的半导体存储装置，其特征在于：

所述存储单元部包括：

配置在与所述第 1 磁阻效应器件同一层面的第 3 磁阻效应器件，  
5 所述第 1 和第 3 磁阻效应器件分别具有一端部和另一端部，

互相连接所述第 1 和第 3 磁阻效应器件的所述一端部的第 4 布  
线，

互相连接所述第 1 和第 3 磁阻效应器件的所述另一端部的第 5 布  
线，

10 与所述第 4 布线或第 5 布线分开配置的第 6 布线。

8、根据权利要求 1 所述的半导体存储装置，其特征在于：

所述第 2 电路的至少一部分配置在所述存储单元部的正下方区  
域。

9、根据权利要求 8 所述的半导体存储装置，其特征在于：

15 所述存储单元部的正下方区域是

从所述存储单元部和所述外围电路部的边界附近到所述存储单  
元部的 1 个单元以上内侧的所述存储单元部的所述下部区域。

10、根据权利要求 8 所述的半导体存储装置，其特征在于：

所述存储单元部的正下方区域是

20 从所述存储单元部与所述外围电路部的边界附近跨过多个单元  
的所述存储单元部的所述下部区域。

11、根据权利要求 1 所述的半导体存储装置，其特征在于：

所述第 1 电路包括至少整流器件或晶体管。

12、根据权利要求 1 所述的半导体存储装置，其特征在于：

25 所述第 2 电路包括地址译码器、地址布线、读取放大器电路、电  
源线和接地线之中任一种以上。

13、一种半导体存储装置，包括存储单元部、外围电路和逻辑电  
路，其特征在于：

所述存储单元部包括：

- 第 1 磁阻效应器件，  
与所述第 1 磁阻效应器件成对在每一个单元上，将数据写入所述第 1 磁阻效应器件或从所述第 1 磁阻效应器件所述读出数据的第 1 电路；
- 5 所述外围电路部包括：  
控制所述第 1 电路的第 2 电路；以及  
所述逻辑电路部包括：  
第 3 电路，该第 3 电路的至少一部分配置在所述存储单元部的下部区域。
- 10 14、根据权利要求 13 所述的半导体存储装置，其特征在于：  
所述第 2 电路包括：  
布线，以及  
连接所述布线之间，作为接触使用的第 2 磁阻效应器件。
- 15 15、根据权利要求 14 所述的半导体存储装置，其特征在于：  
所述第 2 磁阻效应器件配置在与所述第 1 磁阻效应器件同一层面上。
- 16、根据权利要求 13 所述的半导体存储装置，其特征在于：  
所述存储单元部包括：  
配置在与所述第 1 磁阻效应器件同一层面的第 3 磁阻效应器件，  
20 所述第 1 和第 3 磁阻效应器件分别具有一端部和另一端部，  
互相连接所述第 1 和第 3 磁阻效应器件的所述一端部的第 4 布线，  
互相连接所述第 1 和第 3 磁阻效应器件的所述另一端部的第 5 布线，  
25 与所述第 4 布线或第 5 布线分开配置的第 6 布线。
- 17、根据权利要求 13 所述的半导体存储装置，其特征在于：  
所述第 3 电路的至少一部分，  
配置在所述存储单元部的正下方区域。
- 18、根据权利要求 17 所述的半导体存储装置，其特征在于：

所述存储单元部的正下方区域是

从所述存储单元部和所述逻辑电路部的边界附近到所述存储单元部的1个单元以上内侧的所述存储单元部的所述下部区域。

19、根据权利要求17所述的半导体存储装置，其特征在于：

5 所述存储单元部的正下方区域是

从所述存储单元部与所述逻辑电路的边界附近跨过多个单元的所述存储单元部的所述下部区域。

20、根据权利要求13所述的半导体存储装置，其特征在于：

所述第1电路包括至少整流器件或晶体管。

10 21、根据权利要求13所述的半导体存储装置，其特征在于：

所述第2电路的至少一部分配置在所述存储单元部的所述下部区域。

22、根据权利要求13所述的半导体存储装置，其特征在于：

所述第3电路是随机逻辑电路。

15

## 半导体存储装置

5

## 相关申请参照

本申请基于 2001 / 3 / 29 提出的在先日本专利申请 No.2001 - 096679 的优先权，在这里结合参照其全部内容。

## 发明领域

10

本发明涉及一种半导体存储装置，特别是，涉及把隧道磁阻效应器件（TMR: Tunneling Magneto Resistive）用作存储器件的磁存储装置（MRAM: Magnetic Random Access Memory）。

## 背景技术

15

近年来，提出了作为信息存储器件，利用磁阻效应的 MRAM（MRAM: Magnetic Random Access Memory）的存储单元。期待着该 MRAM 今后向兼备非易失性、高集成度、高可靠性、高速工作的存储器发展。

20

就磁阻效应器件来说，大家都知道主要有 GMR（Giant Magneto Resistive:大功率磁阻）器件等二种器件。GMR 器件由 2 层的强磁性层和夹入这两层强磁性层的导体构成，该导体的电阻具有随上下强磁性层的自旋方向而变化的效应。然而，GMR 器件的 MR（Magneto Resistive）比低于 10% 以下，因而难以确保读出容限。另一方面，TMR 器件由 2 层的强磁性层和夹入这两层强磁性层的绝缘体构成，该绝缘体的隧道电阻具有随上下强磁性层的自旋方向而变化的效应。该 TMR 器件中，现在能够确保 50% 以上 MR 比。

25

图 24 到图 26 是具有现有技术 TMR 器件的代表性半导体存储装置，并示出该半导体存储装置的存储单元部的单元构造。

图 24A 表示按照第 1 现有技术的半导体存储装置平面图。图 24B

表示沿图 25A 的 XXIVB-XXIVB 线的半导体存储装置剖面图。按照该第 1 现有技术的半导体存储装置是一种把 MOS 晶体管当作连接 TMR 器件上的开关器件的构造。

如图 24A、图 24B 所示，矩阵状配置多条互相垂直位线 13 和写入字线 14，各个按交叉点型配置 TMR 器件 11。该 TMR 器件 11 通过上部电极（未示出）连到位线 13，介以下部电极 70 和接触层 38 连到 MOS 晶体管 35。而且，该 MOS 晶体管 35 的栅电极 33 变成了读出字线。在这里，TMR 器件 11 是由连到下部电极 70 的强磁性层的磁化固着层 41、通过上部电极连到位线 13 的强磁性层的磁记录层 43、及夹入这些磁化固着层 41 与磁记录层 43 间的非磁性层的隧道结层 42 构成。

这样的半导体存储装置中，进行信息的写入·读出工作如下。

磁化固着层 41 的磁化反转阈值比磁记录层 43 要高。因此，一般在写入工作中，磁化固着层 41 的磁化方向不会反转，只是磁记录层 43 的磁化方向反转。而且，将信息写入任意选择单元时，由于反转磁记录层 43 的磁化方向，将 TMR 器件 11 内‘1’、‘0’信息两者之一的状态写入选择单元。这时，如果把信息写入任意的选择单元，就需要利用最低 2 条写入线（位线 13、字线 14），仅仅使其 2 条写入线的交叉点的磁记录层 43 磁化方向反转。

另一方面，磁记录层 43 的磁化方向变成了与磁化固着层 41 的磁化方向相同时，隧道结层 42 的电阻将降到最低，相反两者的磁化方向变成相反时，隧道结层 42 的电阻将升到最高。于是，从外侧夹着 TMR 器件 11，介以上部电极和下部电极 70，在从上下配置的 2 条布线贯通 TMR 器件 11 的方向通过流动电流，读取隧道结层 42 的电阻变化。因此，可能判定‘1’、‘0’的信息存储状态，并读出信息。

图 25A 表示按照第 2 现有技术的半导体存储装置平面图。图 25B 表示沿图 24A 的 XXVB-XXVB 线的半导体存储装置剖面图。按照该第 2 现有技术的半导体存储装置是使用整流器件（例如 PN 结二极管）12 当作连到 TMR 器件 11 的开关器件的构造，是实现交叉点型单元可能

的简单构造。该构造中，用于向磁记录层 43 写入信息的写入布线和用于读出信息的读出布线都是共同的，只用字线 14 和位线 13 到条布线进行信息的写入·读出工作。这时，使 PN 结二极管 12 的整流作用活动，需要分别控制字线 14 和位线 13 上外加偏压，使其可以只对选择单元进行信息的写入·读出。

图 26A 表示按照第 3 现有技术的半导体存储装置平面图。图 26B 表示沿图 26A 的 XXVIB-XXVIB 线的半导体存储装置剖面图。按照该第 3 现有技术的半导体存储装置具有与第 2 现有技术的半导体存储装置同样的交叉点型的构造，但是不用整流器件类。该构造不用整流器  
10 件部分，工艺和构造也变得简单。然而，照样在读出时，选择单元以外的单元上也流过电流，因而读出工作方面需要想办法。即，该单元中，利用读出字线 14b 和写入字线 14a 到的 2 条将信息写入选择的单元内，利用位线 13 和读出字线 14b 的 2 条读出选择单元的信息。这样，只有读出线和写入线之中 1 条共用，合计 3 条布线对单元进行存取。

在以上这种现有技术的半导体存储装置，如图 27 所示，由存储单元部 10 和控制该存储单元部 10 的外围电路部 20 构成。该外围电路部 20 配置在存储单元部 10 的外侧区域，而且存储单元部 10 内没有配置 TMR 器件 11 和开关器件。

因此，如图 24B 所示，按照第 1 现有技术的半导体存储装置中，存储单元部 10 内存在活动的空间 45。并且，如图 25B、图 26B 所示，第 2、第 3 现有技术的半导体存储装置中，存储单元部 10 的下部区域存在的半导体衬底 30 表面不是全面器件隔离区 32，存在着没有活动的空隙。这样，这些空间 45 成为 MRAM 搭载芯片面积进一步缩小的障碍。

## 发明内容

本发明的第 1 方面，一种半导体存储装置，包括：半导体衬底；在所述半导体衬底上配置的存储单元部；在所述存储单元部中配置的第 1 磁阻效应器件；配置在所述存储单元部中，包括位线和字线的第



1 电路，所述第 1 电路通过产生电流磁场将数据直接写入所述第 1 磁阻效应器件或从所述第 1 磁阻效应器件直接读取数据；不包括在所述第 1 电路中的第 2 电路，所述第 2 电路的至少一部分配置在所述存储单元部的下部区域，该区域在所述第 1 磁阻效应器件和所述半导体衬底之间。

本发明的第 2 方面，在具备存储单元部、外围电路和逻辑电路的半导体存储装置中，存储单元部包括第 1 磁阻效应器件，与该第 1 磁阻效应器件成对配置在每一个单元、并将数据写入第 1 磁阻效应器件或从第 1 磁阻效应器件读出数据的第 1 电路；外围电路部包括控制第 1 电路的第 2 电路；逻辑电路部包括第 3 电路，该第 3 电路的至少一部分配置在存储单元部的下部区域。

#### 附图说明

图 1 表示本发明第 1 实施例半导体存储装置的存储单元部平面图。

图 2 表示本发明第 1 实施例半导体存储装置的外围电路部平面图。

图 3 是沿图 1、图 2 的 III-III 线的半导体存储装置剖面图。

图 4A 表示本发明各实施例的 1 重隧道结构造的 TMR 器件剖面图。

图 4B 表示本发明各实施例的 1 重隧道结构造的另一 TMR 器件剖面图。

图 5A 表示本发明各实施例的 2 重隧道结构造的 TMR 器件剖面图。

图 5B 表示本发明各实施例的 2 重隧道结构造的另一 TMR 器件剖面图。

图 6A 表示现有技术的 MRAM 芯片平面图。

图 6B 表示本发明第 1 实施例的 MRAM 芯片平面图。

图 7A 表示沿图 6A 的 VIIA-VIIA 线的现有 MRAM 芯片剖面图。

图 7B 表示沿图 6A 的 VIIA-VIIA 线的第 1 实施例 MRAM 芯片剖面图。

图 8 表示本发明第 2 实施例半导体存储装置的存储单元部平面图。

图 9 表示本发明第 2 实施例半导体存储装置的外围电路部平面图。

图 10 是沿图 8、图 9 的 X-X 线的半导体存储装置剖面图。

图 11A 表示本发明第 3 实施例半导体存储装置的半导体存储装置平面图。

图 11B 表示沿图 11A 的XIA-XIA 线的半导体存储装置剖面图。

图 12 表示现有技术的 MRAM 芯片平面图。

5 图 13A 表示沿图 6A 的XIIIA-XIIIA 线的现有 MRAM 芯片剖面图。

图 13B 表示第 3 实施例 MRAM 芯片剖面图。

图 14 表示现有技术存储器混装的 LSI 芯片布局示意平面图。

图 15A、15B 表示本发明第 3 实施例存储器混装的 LSI 芯片布局示意平面图。

10 图 16 是图 15A 的逻辑部近旁示意剖面图。

图 17 本发明第 4 实施例半导体存储装置的剖面图。

图 18 表示本发明第 5 实施例半导体存储装置的剖面图。

图 19 表示沿图 18 的XIX-XIX线的半导体存储装置剖面图。

图 20 表示沿图 18 的XX-XX线的半导体存储装置剖面图。

15 图 21 表示本发明第 6 实施例半导体存储装置沿位线的剖面图。

图 22 表示本发明第 6 实施例半导体存储装置沿字线的剖面图。

图 23 表示本发明第 7 实施例半导体存储装置的剖面图。

图 24A 表示第 1 现有技术的半导体存储装置平面图。

图 24B 是沿图 24A 的XXIVB-XXIVB 线的半导体存储装置剖面图。

20 图 25A 表示第 2 现有技术的半导体存储装置平面图。

图 25B 是沿图 25A 的XXVIB-XXVIB 线的半导体存储装置剖面图。

图 26A 表示第 3 现有技术的半导体存储装置平面图。

图 26B 是沿图 26A 的XXVIB-XXVIB 线的半导体存储装置剖面图。

图 27 表示现有技术的半导体存储装置平面图。

25

### 具体实施方式

本发明的实施例是有关隧道磁阻效应器件 (TMR: Tunneling Magneto Resistive) 用作存储器件的磁存储装置 (MRAM: Magnetic Random Access Memory)。该 MRAM 中, 已经成为矩阵状配置多个

具备 TMR 器件的存储单元的存储单元阵列构造，并在该存储单元阵列的周围设置译码器和读出电路等的外围电路部，对任意的单元通过随机进行存取，今年感进行信息的写入·读出工作。

下面，参照附图说明本发明的实施例。在本说明的时候，全图范围，对共同的部分标上共同的参照符号。

[第1实施例]

第1实施例的半导体存储装置是组合 TMR 器件和 PN 结二极管，1 个 TMR 器件 + 1 个二极管型的单元构造。

图 1 表示本发明第 1 实施例半导体存储装置的存储单元部平面图。图 2 表示本发明第 1 实施例半导体存储装置的外围电路部平面图。图 3 表示沿图 1、图 2 的 III-III 线的半导体存储装置的示意性的剖面图。

如图 1、图 3 所示，第 1 实施例半导体存储装置的存储单元部 10 由 TMR 器件 11、PN 结二极管 12、位线 13 及字线 14 构成。该存储单元部 10 中，矩阵状周期性配置位线 13 和字线 14，使其互相垂直，并在这些位线 13 和字线 14 的各个交点配置 TMR 器件 11。与该 TMR 器件 11 成对，在每个单元配置 PN 结二极管 12，该 PN 结二极管 12 连到 TMR 器件 11 和字线 14。

如图 2、图 3 所示，第 1 实施例半导体存储装置的外围电路部 20 一部分配置在存储单元部 10 的下部区域。

例如，如图 2 所示，将外围电路部 20 的列系电路一部分配置在存储单元部 10 的下部区域，将外围电路部 20 的行系电路配置在存储单元部 10 的外部区域。即，在存储单元部 10 的下部区域，配置列系电路的位线驱动晶体管 21、电源布线和接地布线 22、列地址线 23、及列译码器 24。另一方面，在存储单元部 10 的外部区域，配置列系电路的读出放大器 25、行系电路的字线驱动晶体管 26、行译码器 27、及行地址布线 28。

具体点说，如图 3 所示，半导体衬底 30 上形成器件区域 31 和器件隔离区 32。该器件区域 31 的半导体衬底 30 上边形成栅电极 33，并且在夹住该栅电极 33 的器件区域 31 内形成源 / 漏扩散层 34。由此，

形成 MOS 晶体管 35, 该 MOS 晶体管 35 成为例如位线驱动晶体管 21。并且, 半导体衬底 30 上的层间绝缘膜 36 内形成布线层 37, 该布线层 37 将变成例如电源布线和接地布线 22。而且, 以第 1 接触层 38 连接该布线层 37 和源 / 漏扩散层 34, 用第 2 接触层 39 连接布线层 37 和字线 14。因而, 电源布线和接地布线 22 把电位加到位线驱动晶体管 21, 该位线驱动晶体管 21 发生写入电流。并且, 在伸向存储单元部 10 外侧的字线 14 上连接 '1'、'0' 判定用的读出放大器 25。

另外, 外围电路部 20 的一部分虽然也可以配置在存储单元部 10 与外围电路部 20 边界附近存储单元部 10 的下部区域, 然而为了提高缩小芯片面积的效果, 如图 3 所示, 理想的是与其配置在存储单元部 10 与外围电路部 20 的边界附近, 不如进而配置在存储单元部 10 内侧的下部区域。例如, 将外围电路部 20 的一部分, 配置在距存储单元部 10 与外围电路部 20 的边界附近, 存储单元部 10 的一个单元以上内侧的存储单元部 10 下部区域。即, 距存储单元部 10 与外围电路部 20 的边界附近, 横跨几个单元, 在存储单元部 10 的下部区域配置外围电路部 20 的一部分。

其次, 说明有关 TMR 器件 11 的构造。该 TMR 器件 11 由磁化固着层 (磁性层)、隧道结层 (非磁性层)、磁记录层 (磁性层) 的至少 3 层构成。而且, TMR 器件 11 变成以下所示的 1 重隧道构造或 2 重隧道构造, 其中之一的构造也行。

图 4A、图 4B 表示 1 重隧道构造的 TMR 器件剖面图。以下, 说明 1 重隧道构造的 TMR 器件 11。

图 4A 中所示的 TMR 器件 11 是由顺序层叠模板 101、初始强磁性层 102、反强磁性层 103 的磁化固着层 41, 该磁化固着层 41 上边形成的隧道结层 42, 及该隧道结层 42 上边顺序层叠自由强磁性层 105 和接点层 106 的磁记录层 43 构成。

同样, 图 4B 中所示的 TMR 器件 11 是由顺序层叠模板 101、初始强磁性层 102、反强磁性层 103、强磁性层 104'、非磁性层 107、及强磁性层 104'' 的磁化固着层 41, 该磁化固着层 41 上边形成的隧道结

层 42, 该隧道结层 42 上边顺序层叠强磁性层 105'、非磁性层 107、强磁性层 105"、及接点层 106 磁记录层 43 构成。

另外, 该图 4B 示出的 TMR 器件 11 中, 由于导入磁化固着层 41 内包括强磁性层 104'、非磁性层 107、强磁性层 104" 的 3 层构造和磁记录层 43 内包括强磁性层 105'、非磁性层 107、强磁性层 105" 的 3 层构造, 因此比图 4A 所示 TMR 器件 11 还能抑制强磁性内部磁极的发生, 能够提供更适合微细化的单元构造。

图 5A、图 5B 表示 2 重隧道构造的 TMR 器件剖面图。以下, 说明 2 重隧道构造的 TMR 器件 11。

图 5A 所示的 TMR 器件 11 是由顺序层叠模板 101、初始强磁性层 102、反强磁性层 103、基准强磁性层 104 的第 1 磁化固着层 41a, 在该第 1 磁化固着层 41a 上边第 1 隧道结层 42a, 在该第 1 隧道结层 42a 上边形成的磁记录层 43, 在该磁记录层 43 上边形成的第 2 隧道结层 42b, 以及在该第 2 隧道结层 42b 上边顺序层叠基准强磁性层 104、反强磁性层 103、初始强磁性层 102、接点层 106 的第 2 磁化固着层 41b 而构成。

图 5B 所示的 TMR 器件 11 是由顺序层叠模板 101、初始强磁性层 102、反强磁性层 103、基准强磁性层 104 的第 1 磁化固着层 41a, 该第 1 磁化固着层 41a 上边形成的第 1 隧道结层 42a, 第 1 磁化固着层 41a 上边形成的第 1 隧道结层 42a, 该第 1 隧道结层 42a 上边顺序层叠由强磁性层 43'、非磁性层 107、强磁性层 43" 的 3 层构造的磁记录层 43, 该磁记录层 43 上边形成的第 2 隧道结层 42b, 该第 2 隧道结层 42b 上边顺序层叠强磁性层 104'、非磁性层 107、强磁性层 104"、反强磁性层 103、初始强磁性层 102、接点层 106 的第 2 磁化固着层 41b 而构成。

另外, 该图 5B 所示的 TMR 器件 11 中, 由于导入构成磁记录层 43 的强磁性层 43'、非磁性层 107、强磁性层 43" 的 3 层构造和第 2 磁化固着层 41b 内包括强磁性层 104'、非磁性层 107、强磁性层 104" 的 3 层构造, 所以比图 5A 所示 TMR 器件 11 还能抑制强磁性内部

磁极的发生，能够提供更适合微细化的单元构造。

因为采用这样的 2 重隧道结构造的 TMR 器件 11，与采用 1 重隧道结构造的 TMR 器件 11 的情况比较，施加同样外部偏压时的 MR 比（‘1’ 状态、‘0’ 状态的电阻变化率）恶化少，可在更高偏压下工作。即，对单元内的信息向外部读出时变得有利。

这种 1 重隧道结构造或 2 重隧道结构造的 TMR 器件 11，使用以下的材料形成。

关于磁化固着层 41、41a、41b 和磁记录层 43 的材料，可以使用例如，Fe、Co、Ni 或它们的合金、自旋极化率大的四氧化三铁、 $\text{CrO}_2$ 、 $\text{RXMnO}_{3-y}$ （R：稀土类，X：Ca、Ba、Sr）等的氧化物以外，使用 NiMnSb、PtMnSb 等的磁性合金。并且，关于其磁性体，只要不失去强磁性就可以，也可以多少含有 Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、Nb 等的非磁性元素。

关于构成磁化固着层 41、41a、41b 一部分的反强磁性层 103 材料，可以使用 Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、 $\text{Fe}_2\text{O}_3$  等。

关于隧道结层 42、42a、42b 的材料，可以使用  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、MgO、AlN、 $\text{Bi}_2\text{O}_3$ 、 $\text{MgF}_2$ 、 $\text{CaF}_2$ 、 $\text{SrTiO}_2$ 、 $\text{AlLaO}_3$  等的各种电介质。这些电介质中，就是存在氧、氮、氟缺损也无妨。

图 6A 表示现有技术的 MRAM 芯片平面图。图 6B 表示本发明第 1 实施例的 MRAM 芯片平面图。图 7A 表示沿图 6A 的 VIIA-VIIA 线的现有 MRAM 芯片剖面图。图 7B 表示沿图 6A 的 VIIA-VIIA 线的第 1 实施例 MRAM 芯片剖面图。

按照上述第 1 实施例，在存储单元部 10 的下部区域配置外围电路部 20 的一部分电路。为此，只有在存储单元部 10 的下部区域配置的外围电路部 20 的电路部分，可以缩小外围电路部 20 的表面面积。其结果，可以缩小 MRAM 芯片的面积。

就是，如图 6A 所示，MRAM 芯片大致可分类为存储单元部 10 和外围电路部 20。如图 7A 所示，存储单元部 10 的下部区域存在没有怎

么使用的空间 45。于是，按照第 1 实施例，如图 7B 所示，在以往存在着空间 45 的存储单元部 10 下部区域，配置外围电路部 20 的一部分电路。因此，有效运用存储单元部 10 的下部区域，如图 6B 所示，可以缩小 MRAM 芯片的面积。

5 并且，配置于存储单元部 10 下部区域的外围电路部 20 的电路，可以利用用于外围电路形成的层。从而，由于配置的区域不同，不需要变更层面，不需要增加工艺，也不担心增加成本。

另外，配置于存储单元部 10 下部区域的外围电路部 20 电路不限于图 2 所示的电路，也可以在存储单元部 10 下部区域，配置存储单元  
10 部 10 的外部区域上配置的读出放大器 25 或字线驱动晶体管 26 等写入布线氧驱动器。

#### [ 第 2 实施例 ]

第 2 实施例的半导体存储装置是只采用 TMR 器件和写入·读出布线的 TMR 器件型单元构造。

15 图 8 表示本发明第 2 实施例半导体存储装置的存储单元部平面图。图 9 表示本发明第 2 实施例半导体存储装置的外围电路部平面图。图 10 表示沿图 8、图 9 的 X - X 线的半导体存储装置示意性剖面图。

如图 8、图 10 所示，第 2 实施例半导体存储装置的存储单元部 10 是由 TMR 器件 11、位线 13、写入字线 14a 和读出字线 14b 构成。该  
20 存储单元部 10 中，矩阵状周期性配置位线 13 和写入字线 14a 使其互相垂直，并在这些位线 13 与写入字线 14a 的各个交点，配置 TMR 器件 11。并且，这样配置读出字线 14b，使其与位线 13 离开间隔，且跟写入字线 14a 垂直。

如图 9、图 10 所示，在存储单元部 10 的下部区域，配置第 2 实施  
25 例半导体存储装置的一部分外围电路部 20。

例如，如图 9 所示，将外围电路部 20 的一部分列系电路配置在存储单元部 10 的下部区域，将外围电路部 20 的行系电路配置在存储单元部 10 的外部区域。就是，把列系电路的位线驱动晶体管 21、电源布线和接地布线 22、列地址线 23、列译码器 24 配置在存储单元部 10

的下部区域。另一方面，把行系电路的读出放大器 25、行系电路的字线驱动晶体管 26、行译码器 27、行地址布线 28 配置在存储单元部 10 的外部区域上。

具体点说，如图 10 所示，在半导体衬底 30 上形成器件区域 31 和器件隔离区 32。该器件区域 31 的半导体衬底 30 上边，形成栅电极 33。在夹着该栅电极 33 的器件区域 31 内，形成源 / 漏扩散层 34。由此，形成 MOS 晶体管 35，而该 MOS 晶体管 35 将变成例如位线驱动晶体管 21。并且，半导体衬底 30 上的层间绝缘膜 36 内形成布线层 37，而该布线层 37 将变成电源布线和接地布线 22。而且，该布线层 37 和源 / 漏扩散层 34 用第 1 接触层 38 进行连接，布线层 37 和读出字线 14b 用第 2 接触层 39 进行连接。于是，电源布线和接地布线 22 将电位传递给位线驱动晶体管 21，使该位线驱动晶体管 21 发生写入电流。并且，伸向存储单元部 10 外侧的位线 13 上，连接有 '1'、'0' 判定用的读出放大器 25。

还有，与第 1 实施例同样，离开存储单元部 10 与外围电路部 20 的边界附近，跨过几个单元，在存储单元部 10 的下部区域，配置一部分外围电路部 20。

按照上述第 2 实施例，可以达到与第 1 实施例同样的效果。

进而，在第 2 实施例中，没有给每个 TMR 器件 11 设置读出用的开关器件，因而存储单元部 10 的下部区域要比第 1 实施例增加。因此，在存储单元部 10 的下部区域，可以比第 1 实施例时配置更多的外围电路部 20 的电路。于是，会进一步缩小外围电路部 20 的表面面积，进而会缩小 MRAM 芯片的面积。

另外，与第 1 实施例同样，在存储单元部 10 的下部区域配置的外围电路部 20 的电路不限定于图 9 所示的电路，也可以在存储单元部 10 的下部区域，配置在存储单元部 10 的外部区域上配置的读出放大器 25 或字线驱动晶体管 26 等的写入用驱动器。

### [ 第 3 实施例 ]

第 3 实施例是把本发明应用于 MRAM 混装逻辑电路的例子，并以



存储单元部的下部区域配置一部分逻辑电路为特征。

图 11A 表示本发明第 3 实施例的半导体存储装置平面图。图 11B 表示沿图 11A 的 XIB - XIB 线的半导体存储装置剖面图。

如图 11A、图 11B 所示，MRAM 混装芯片是用存储单元部 10、外围电路部 20 和逻辑电路部 50 构成。而且，将逻辑电路部 50 的第 1 逻辑电路部 50a 配置在存储单元部 10 的外部区域，逻辑电路部 50 的第 2 逻辑电路部 50b 则配置在存储单元部 10 的下部区域。

还有，逻辑电路部 50 的第 2 逻辑电路部 50b，与第 1 实施例的外围电路部 20 同样，从存储单元部 10 与逻辑电路部 50 的边界附近，跨过几个单元，配置在存储单元部 10 的下部区域。

图 12 表示现有技术的 MRAM 芯片平面图。图 13A 表示沿图 12 的 XIII A - XIII A 线的现有 MRAM 芯片剖面图。图 13B 表示本发明第 1 实施例的 MRAM 芯片剖面图。

按照上述第 3 实施例，在存储单元部 10 的下部区域，配置逻辑电路部 50 的一部分（第 2 逻辑电路部 50b）。因此，在存储单元部 10 的下部区域配置的只是第 2 逻辑电路部 50b 的部分。其结果，可以缩小 MRAM 芯片的面积。

就是，如图 12 所示，MRAM 芯片大致分开，可分类为存储单元部 10 和逻辑电路部 50。如图 13A 所示，现在，存储单元部 10 的下部区域存在着没有什么使用的空间 45。于是，按照第 3 实施例，如图 13B 所示，在现有的空间 45 存在的存储单元部 10 下部区域，配置逻辑电路部 50 的一部分电路（第 2 逻辑电路部 50b）。因此，有效运用存储单元部 10 的下部区域，就可能缩小 MRAM 芯片的面积。进而，也可以等效地增加逻辑电路部 50 的电路。

另外，第 3 实施例中，在存储单元部 10 的下部区域，虽然只是配置逻辑电路部 50 的一部分，但是也可以与部分外围电路部 20 合起来进行配置。

以下，举一个例子，具体地说明第 3 实施例的芯片布局。图 14 是表示现有技术的混装存储器的 LSI 芯片布局示意性平面图。图 15A、

15B 是表示本发明第 3 实施例的混装存储器的 LSI 芯片布局示意性剖面图。图 16 表示图 15A 的逻辑部近旁的示意性剖面图。

如图 14 所示，混装存储器的 LSI 芯片由 MPU 部分、SDRAM 部分、模拟部分、逻辑部、以及 DRAM 部分构成。而且，如图 15A 所示，  
5 第 3 实施例的混装 MRAM 的 LSI 芯片，把图 14 的 DRAM 部分置换为 MRAM，并在该 MRAM 部分的下部区域等配置 MPU 部分或逻辑部。就是，如图 16 所示，采用多层布线技术，形成 CMOS 和多层布线以后，形成 MRAM 单元阵列和电源线·总线的这种布线。因此，在 MRAM 部分的下部区域，变成可能形成逻辑部或 MPU 部分这样的随机逻辑电路。其结果，大幅度缩小形成芯片面积。

另外，如图 15 所示，通过把 SDRAM 置换为 MRAM，并应用第 3 实施例的技术，也可以将 MRAM 部分与逻辑部组合起来。这时，可能进一步缩小芯片面积。

#### [ 第 4 实施例 ]

15 第 4 实施例是与第 2 实施例同样的单元构造，外围电路部也形成存储单元部的 TMR 器件，利用该外围电路部的 TMR 器件作为接触层。

图 17 表示本发明第 4 实施例的半导体存储装置剖面图。该图 17 表示存储单元部 10 与外围电路部 20 的边界附近的情况。

如图 17 所示，与第 2 实施例同样，存储单元部 10 是由 TMR 器件  
20 11、位线 13、写入字线 14a、以及读出字线 14b 构成。

另一方面，将外围电路部 20 的一部分配置在存储单元部 10 的下部区域，外围电路部 20 的其它部分，在与存储单元部 10 相同层面形成布线。即，在半导体衬底 30 上边形成 MOS 晶体管 35，并在 MOS 晶体管 35 的源/漏扩散层 34 上连接第 1 接触层 61。该第 1 接触层 61  
25 上连接第 1 布线层 62a，并在读出字线 14b 下面，配置与该第 1 布线层 62a 分开的一部分第 2 布线层 62b。即，从存储单元部 10 的下部区域向存储单元部 10 的外部区域，引出第 2 布线层 62b。该引出的第 2 布线层 62b 介以第 2 接触层 63，连到第 2 布线层 64，该第 2 布线层 64 介以第 3 接触层 65，连到第 3 布线层 66，该第 3 布线层 66 介以第

4 接触层 67，连到第 4 布线层 68。

在这里，外围电路部 20 的各布线层 64、66、68 都是由存储单元部 10 的各布线层 14b、13、14a 的一部分构成。并且，第 4 接触层 67 是由存储单元部 10 的 TMR 器件 11 一部分构成。从而，在分别与存储单元部 10 的读出字线 14b、位线 13、TMR 器件 11、写入字线 14a 相同层面上，形成外围电路部 20 的第 2 布线层 64、第 3 布线层 66、第 4 接触层 67、以及第 4 布线层 68。

另外，一般地说 TMR 器件 11 的电阻为  $1\text{k}\Omega \cdot \mu\text{m}^2$  左右，然而也可能降低到例如  $100\Omega \cdot \mu\text{m}^2$  或  $10\Omega \cdot \mu\text{m}^2$  左右。因此，把表面积大约  $1\mu\text{m}^2$  的 TMR 器件 11，例如 100 个并联的情况下，获得  $100\Omega \mu\text{m}^2 \times 100 = 1\Omega$ ， $10\Omega \mu\text{m}^2 \times 100 = 0.1\Omega$ 。这样，可以分别降低 TMR 器件 11 的电阻。因此，可以充分运用 TMR 器件 11 作为接触层。

按照上述第 4 实施例，可以达到与上述第 2 实施例同样的效果。

进而，至于外围电路部 20，利用 TMR 器件 11 作为接触层的一部分（第 4 接触层 67）。因此，不会增加工艺步骤，可以运用位于存储单元部 10 的最上层的写入字线 14a、TMR 器件 11、位线 13、及读出字线 14b 等作为外围电路的一部分。因而，可以大幅度提高外围电路布局的自由度。

另外，第 4 实施例存储单元部 10 并不限于第 2 实施例的构造，例如也可以采用将第 1 实施例那样的 TMR 器件和 PN 结二极管组合起来的 1 个 TMR 器件 + 1 个晶体管型的单元构造。

#### [ 第 5 实施例 ]

第 5 实施例的半导体存储装置是组合 TMR 器件和 MOS 晶体管的 1 个 TMR 器件 + 1 个二极管型的单元构造。

图 18 表示本发明第 5 实施例的半导体存储装置平面图。图 19 表示沿图 18 的 XIX-XIX 线的半导体存储装置剖面图。图 20 表示沿图 18 的 XX-XX 线的半导体存储装置剖面图。

如图 18 所示，第 5 实施例的 MRAM 芯片布局是在芯片上边配置多个存储单元部 10，而在这些存储单元部 10 的端部配置外围电路部

20 的列译码器 24 和行译码器 27。而且，沿行方向配置连到列译码器 24 的多条行地址布线 28。这些列地址线 23 和行地址布线 28 横跨多个存储单元部 10，分别连到这些存储单元部 10 多条（例如 4 条或 8 条）的位线或字线（图未示出）上。

5 如图 19 所示，第 5 实施例半导体存储装置的存储单元部 10 由 TMR 器件 11、位线 13、字线 14、及 MOS 晶体管 35 构成。该存储单元部 10 中，使其互相垂直矩阵状周期性配置位线 13 和字线 14，并在位线 13 于字线 14 的各个交点，配置 TMR 器件 11。与该 TMR 器件 11 成对，每个单元都配置 MOS 晶体管 35，该 MOS 晶体管 35 通过第 1、  
10 第 2 接触层 38、39，布线层 37，下部电极 70 连到 TMR 器件 11。

如图 19、图 20 所示，将第 5 实施例半导体存储装置的一部分外围电路部 20（例如，行地址布线 28、列地址线 23）配置在存储单元部 10 的间隙内。即，与存储单元部 10 的例如字线 14 同时形成行地址布线 28，而且配置在位线 13 型的间隙内。并且，与存储单元部 10 的例  
15 如布线层 37 同时形成列地址布线 23，而且配置在字线 14 型的间隙内。而且，把连到 TMR 器件 11 的位线 13 配置在构成 LSI 布线层的最上层。

上述第 5 实施例半导体存储装置的写入·读出工作实行如下。

20 首先，把信息写入任意的单元时，用行地址布线 28 选择字线 14，用列地址线 23 选择位线 13。按照该选定的字线 14 和位线 13，选择写入信息的单元，把‘0’或‘1’的数据写入该选择单元的 TMR 器件 11。该写入的数据种类（‘0’或‘1’）由流过字线 14 的电流极性决定。

25 另一方面，读出任意单元的信息时，使连接选择单元的单元选择晶体管 35 的栅电极 33 变成 ON。因此，读出电流按位线 13~TMR 器件 11~下部电极 70~第 2 接触层 39~布线层 37~接触层 38~单元选择晶体管 35~共同接地线 71 的顺序流动。而且通过读出放大电路（图未示出）读出信息。

按照上述第 5 实施例，在存储单元部 10 的位线 13 或字线 14 下面

的间隙内，配置外围电路部 20 的行地址布线 28 或列地址线 23。所以能够有效运用存储单元部 10 内的间隙，可缩小 MRAM 芯片的面积。

并且，通过例如与字线 14 同时形成行地址布线 28，例如与布线层 37 同时形成列地址线 23，可以减少外围电路部 20 的电路制造工序。

5 并且，将行地址布线 28 或列地址线 23 配置在存储单元部 10 的下部区域。因此，形成行地址布线 28 或列地址线 23 之际，恐怕对作为  $300^{\circ}\text{C} + \alpha$  左右的耐热性的 TMR 器件 11 会发生热处理的恶劣影响。然而，按照第 5 实施例，为了在比 TMR 器件 11 的下面，配置行地址布线 28 或列地址线 23，可在形成行地址布线 28 或列地址线 23 以后  
10 形成 TMR 器件 11。从而，可以抑制因上述热处理对 TMR 器件 11 的恶劣影响发生。

并且，TMR 器件 11 有可能在制造工序中污染净化工作室等里的制造设备。为此，采用把 TMR 器件 11 配置在尽可能靠近最上层的地方的办法，可以减少制造设备的污染。

15 [第 6 实施例]

第 6 实施例是把第 5 实施例的单元构造变更为组合 TMR 器件和 PN 结二极管的 1 个 TMR 器件 + 1 个二极管型的单元构造。

图 21 表示第 6 实施例半导体存储装置沿位线方向的剖面图。图 22 表示第 6 实施例半导体存储装置沿字线方向的剖面图。另外，图 21 是  
20 沿图 18 的 XIX-XIX 线的半导体存储装置剖面图。图 22 表示沿图 18 的 XX-XX 线的半导体存储装置剖面图。

如图 21、图 22 所示，在存储单元部 10 的下部区域沿位线 13 的方向，配置列地址线 23。在该列地址线 23 的下部区域沿字线 14 的方向，配置行地址布线 28。

25 上述第 6 实施例半导体存储装置的写入·读出工作执行如下。

首先，将信息写入任意的单元时，用行地址布线 28 选择字线 14，用列地址线 23 选择位线 13。按照该选定的字线 14 和位线 13，选择写入信息的单元，把‘0’或‘1’的数据写入该选择单元的 TMR 器件 11。该写入的数据种类（‘0’或‘1’）随改变流入位线 13 或字线

14 电流的任一方的极性来决定。

另一方面，读出任意单元的信息时，给连接选择单元的位线 13 和字线 14，施加对与 TMR 器件 11 串联连接的 PN 结二极管 12 为正向这样的电压。这时，给连到非选择单元的位线 13 和字线 14，施加对 PN 结二极管 12 为反向这样的电压。例如，假定该 PN 结二极管 12 是从位线 13 朝向字线 14 的方向为正向的 pn 结二极管时，在位线 13 和字线 14 上，分别施加满足下列关系式 (1)、(2) 的偏置电压  $V_{\text{位线}}$ 、 $V_{\text{字线}}$ 。其结果，只有选择单元内流过读出电流，通过读出放大电路（图未示出）读出信息。

10 选择单元： $V_{\text{位线}} > V_{\text{字线}} \dots (1)$

非选择单元： $V_{\text{位线}} < V_{\text{字线}} \dots (2)$

按照上述第 6 实施例，可以达到与第 5 实施例同样的效果。

进而，第 6 实施例与第 5 实施例比较，在存储单元部 10 的下部区域存在着间隙多。于是，可以在比第 5 实施例多的间隙，配置更多的行地址布线 28 和列地址线 23，因而可能进一步缩小 MRAM 芯片的面积。

另外，第 6 实施例中，虽然在行地址布线 28 的上层配置列地址线 23，但是不限于此。例如，也可以在列地址线 23 的上层配置行地址布线 28。如图 19 所示也可以在与字线 14 同一层面上形成行地址布线 28，如果在最上层的位线 13 下有间隙的话，也可以把列地址线 23 或行地址布线 28 形成于此。

[ 第 7 实施例 ]

第 7 实施例的半导体存储装置是多个 TMR 器件互相并联连接的梯形的单元构造。

25 图 23 表示本发明第 7 实施例的半导体存储装置剖面图。

第 7 实施例半导体存储装置的存储单元部 10 由 TMR 器件 11、写入位线 13a、读出位线 13b、及写入字线 14 构成。该存储单元部 10 中，将多个 TMR 器件 11 并列配置在同一层面上。而且，各 TMR 器件 11 的一端部用写入位线 13a 互相连接，各 TMR 器件 11 的另一端部用读

出位线 13b 互相连接一起。并且，与读出位线 13b 分开在 TMR 器件 11 的下方，分别配置写入字线 14。并且，将写入晶体管（图未示出）连接到写入位线 13a，将读出晶体管（图未示出）连接到读出位线 13b。

第 7 实施例半导体存储装置的外围电路部 20 的一部分，被配置存储单元部 10 的下部区域。该外围电路部 20 的一部分，与第 1 实施例同样，从存储单元部 10 与外围电路部 20 的边界附近跨过几个单元，配置在存储单元部 10 的下部区域。外围电路部 20 的构造因为与上述各实施例同样，所以外围电路部 20 的详细说明省略。

还有，按照第 7 实施例的梯形构造的情况下，给并联连接的多个 TMR 器件 11 之中任意 TMR 器件 11 写入数据，读出该写入后的数据时，按如下的方法执行。

首先，在第 1 周期，使连接到读出位线 13b 的读出用晶体管 ON（导通），第 1 读出电流流入并联连接的多个 TMR 器件 11。而且，将该第 1 读出电流存入读出电路（图未示出）。而后，使读出用的晶体管 OFF（截止），并使读出电流 OFF。

其次，在第 2 周期，写入期待值的‘1’或‘0’数据的写入电流流到写入位线 13a 和写入字线 14，对任意的 TMR 器件 11 再次进行数据的写入。而后，使该写入电流 OFF。

接着，在第 3 周期，使读出用的晶体管 ON，第 2 读出电流流入并联连接的多个 TMR 器件 11。而且，把该第 2 读出电流存入读出电路。然后，比较第 1 周期存入读出电路的第 1 读出电流与第 3 周期存入读出电路的第 2 读出电流。在这里，写入时，执行期待值‘1’数据的写入动作时，如果第 1 和第 2 读出电流不变，就决定向任意的 TMR 器件 11 写入‘1’数据，如果第 1 和第 2 读出电流变化，就决定写入‘0’数据。另一方面，写入时，执行期待值‘0’数据的写入动作的情况下，如果第 1 和第 2 读出电流不变，就决定向任意的 TMR 器件 11 写入‘0’数据，如果第 1 和第 2 读出电流变化，就决定写入‘1’数据。这样以来，就可能将写入任意的 TMR 器件 11 内的数据读出来。

以后，在第 4 周期，电流流到写入位线 13a 和下入字线 14，与初

始（初期）状态相同，使其数据再次写入任意的 TMR 器件 11，读出工作结束。

按照上述第 7 实施例，可以达到与第 1 实施例同样的效果。

5 进而，第 7 实施例中，没有在每个 TMR 器件 11 上设置读出用的开关器件，而是在多个并联连接的各 TMR 器件上设置读出用的开关器件。因此，存储单元部 10 的下部区域比第 1 实施例增大，因而，可以在存储单元部 10 的下部区域，配置比第 1 实施例时还要多的外围电路部 20 的电路。所以，可以进一步缩小外围电路部 20 的表面面积，能够进一步缩小 MRAM 芯片的面积。

10 还有，上述各实施例中，虽然利用 TMR 器件作为存储器件，但是也可以利用由 2 层磁性层和夹到该磁性层内的导体层构成 GMR( Giant Magneto Resistive: 大功率磁阻) 来代替 TMR 器件。

另外的优点和改进，对于本领域普通技术人员将是显而易见。因此，本发明概括起来说并不限于这里表示和描述的具体细节和表现的  
15 各实施例。所以，应该能够作各种各样的修改而不脱离由附属权利要求书及其等同物所限定的本发明总构思的精神或范围。



图 1

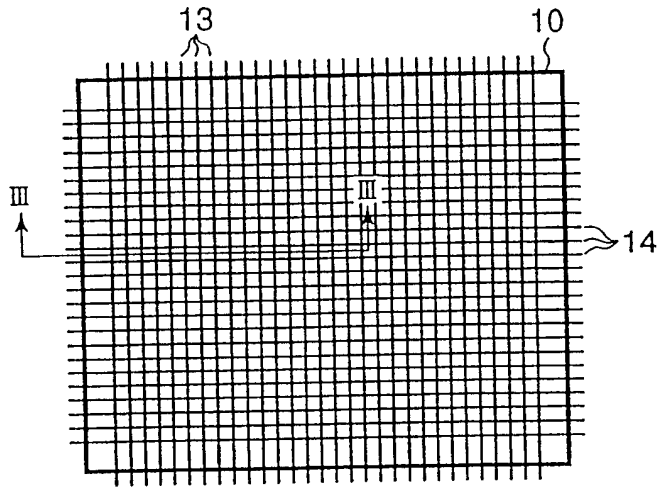
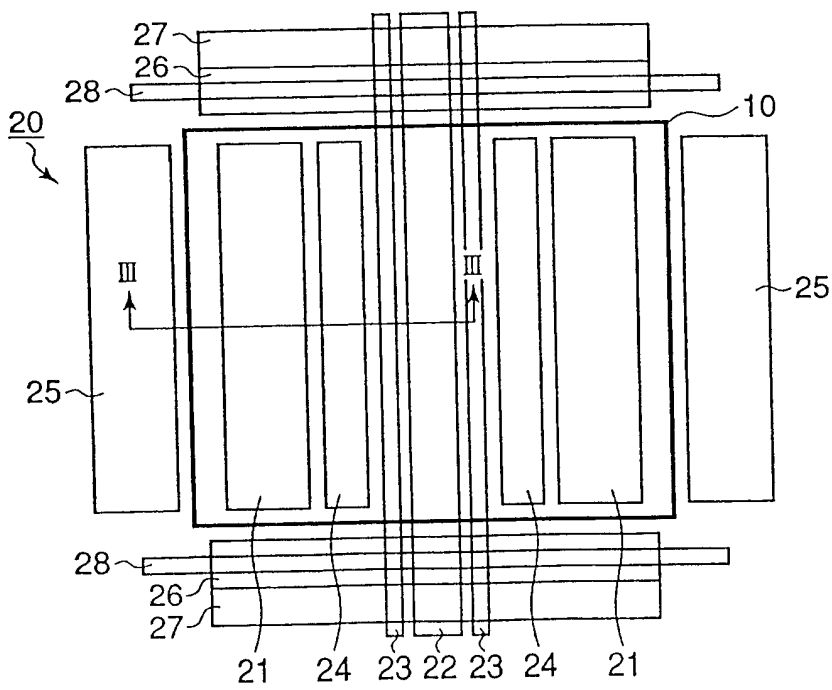


图 2



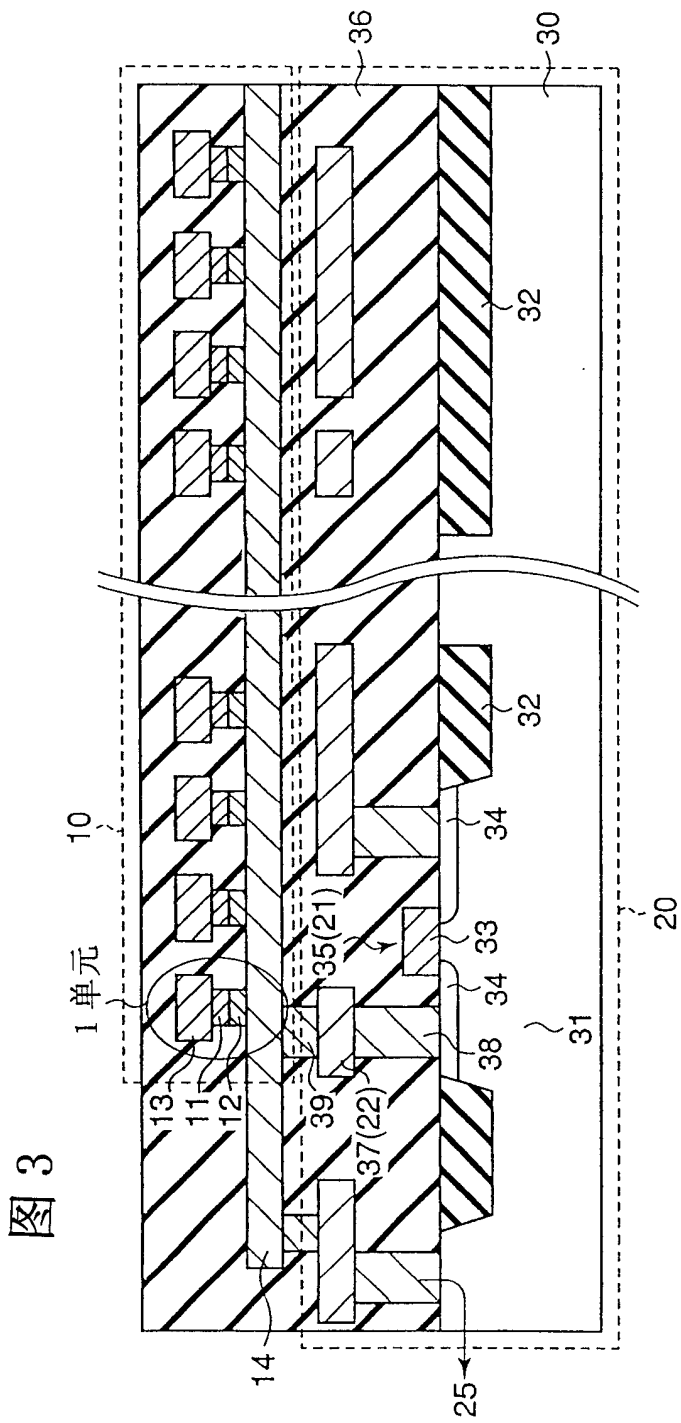


图 3

图 4A <sup>11</sup>

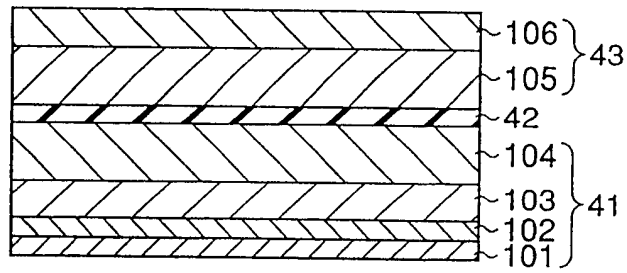
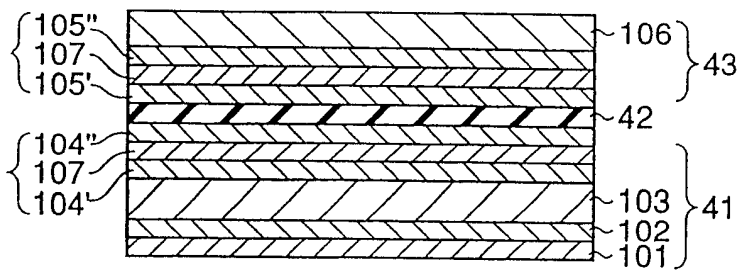
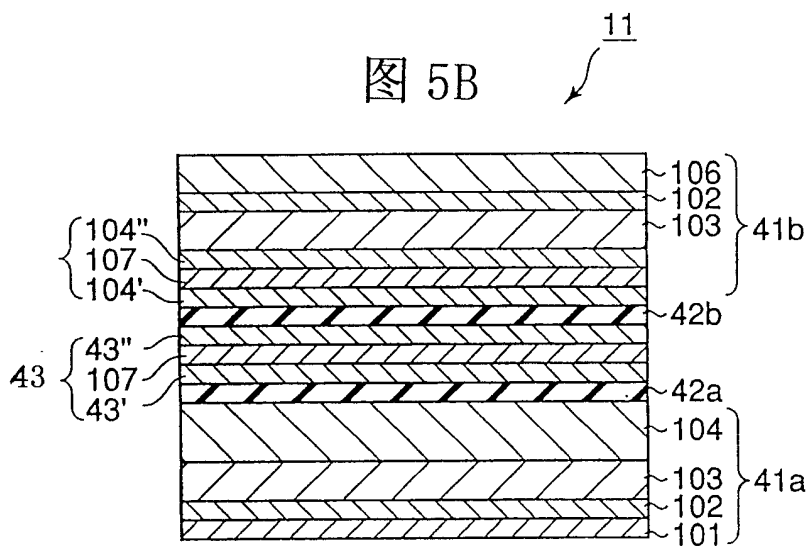
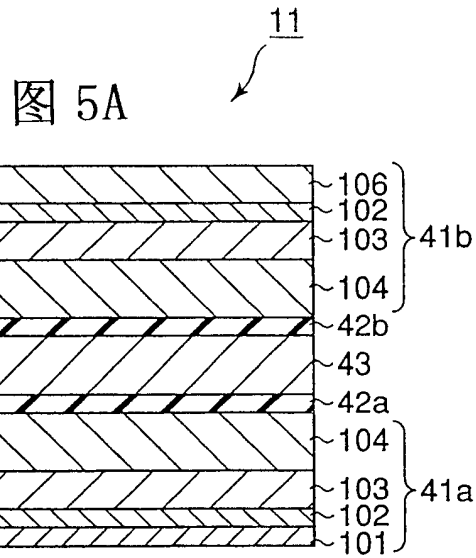


图 4B <sup>11</sup>





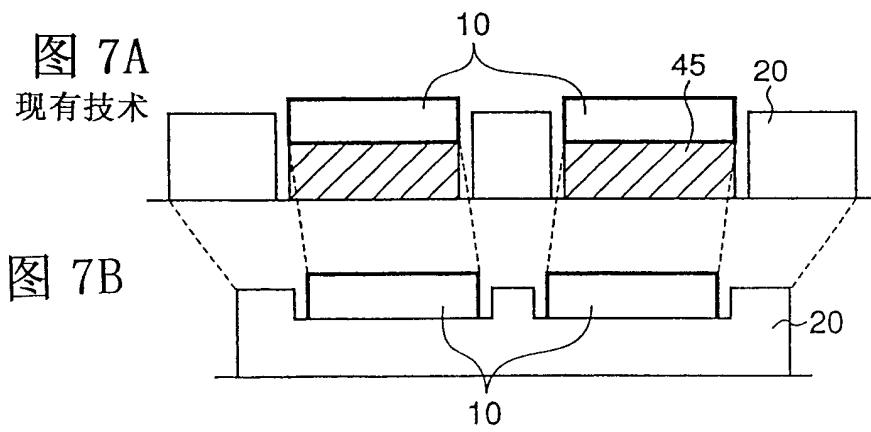
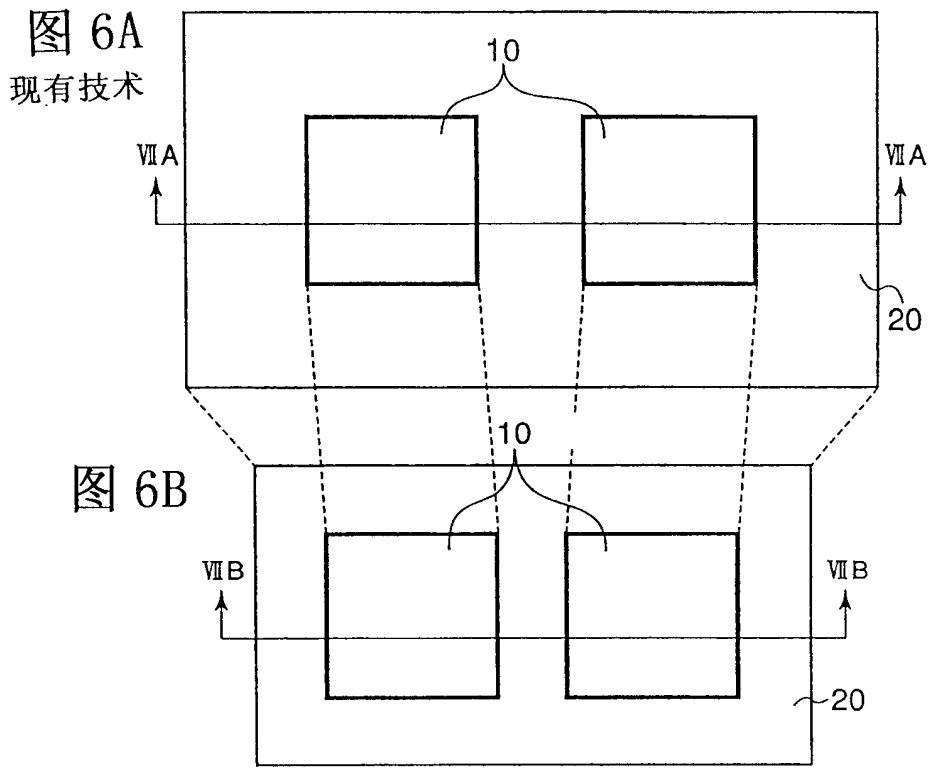


图 8

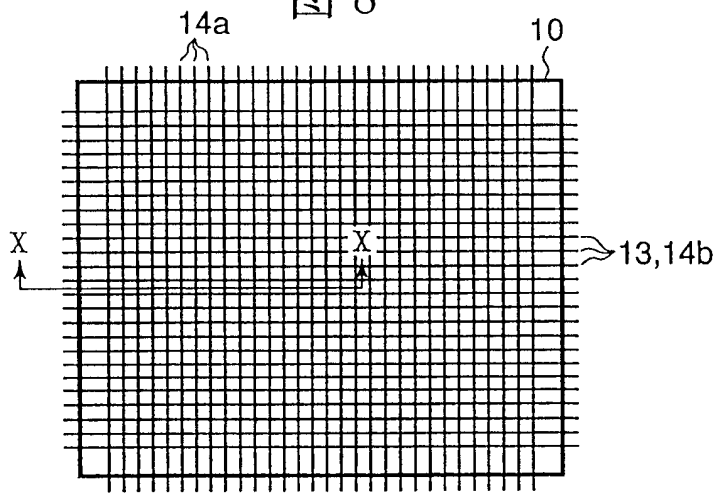


图 9

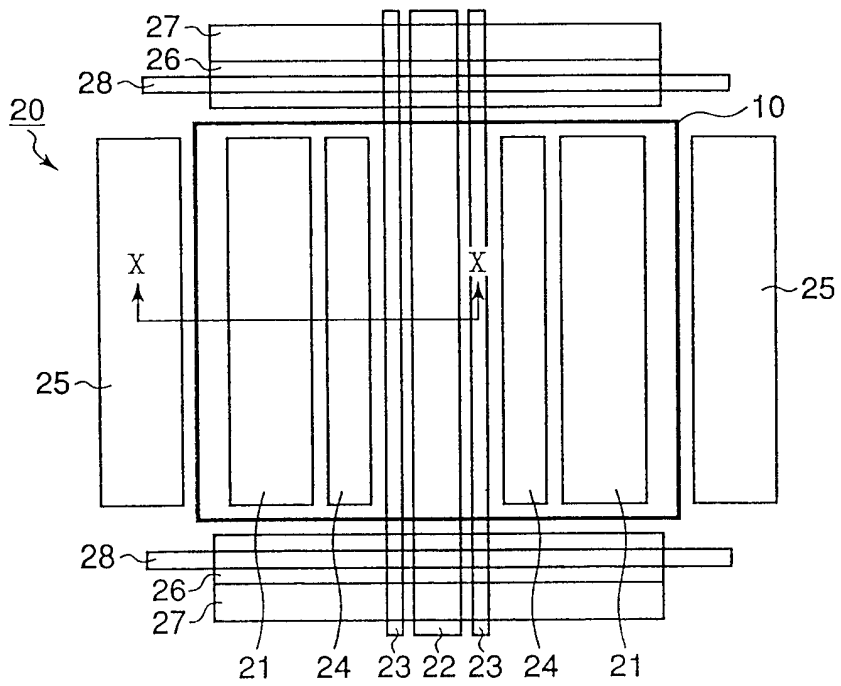


图 10

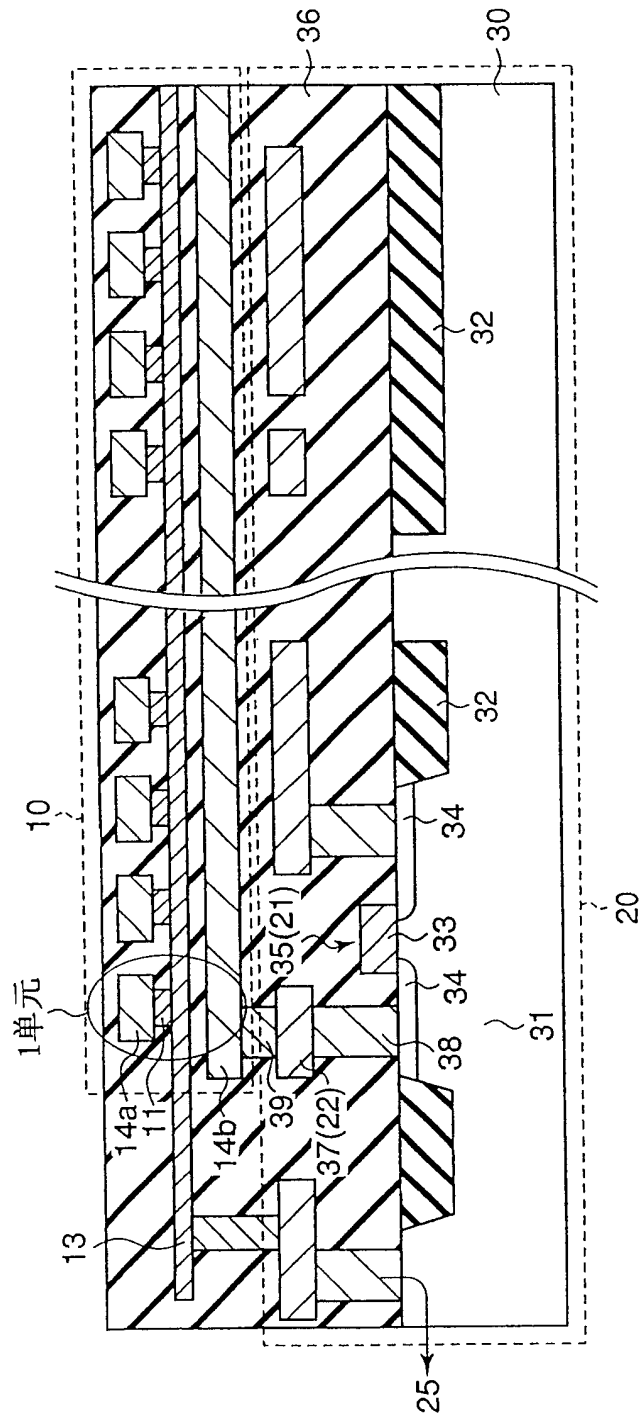


图 11A

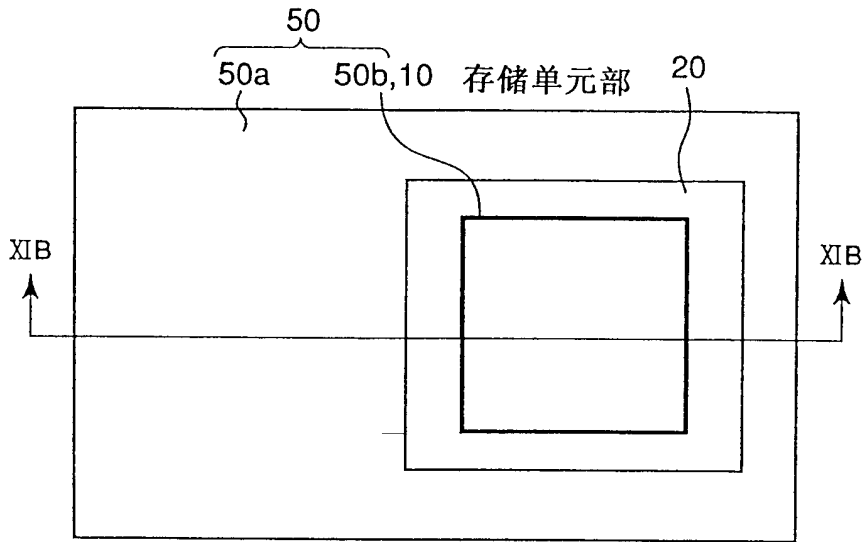


图 11B

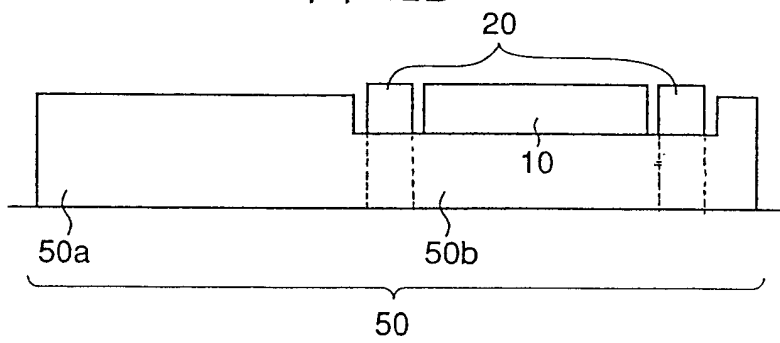




图 12  
现有技术

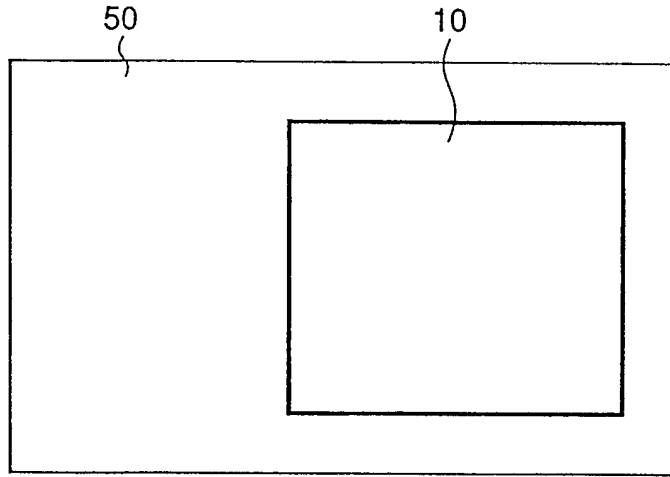


图 13A  
现有技术

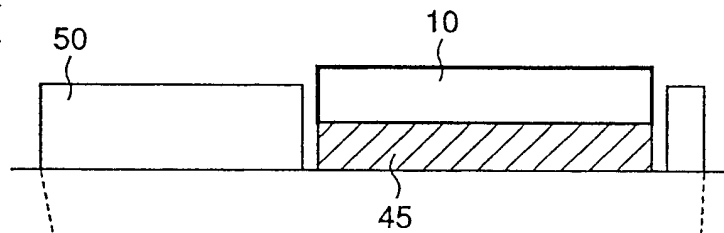


图 13B

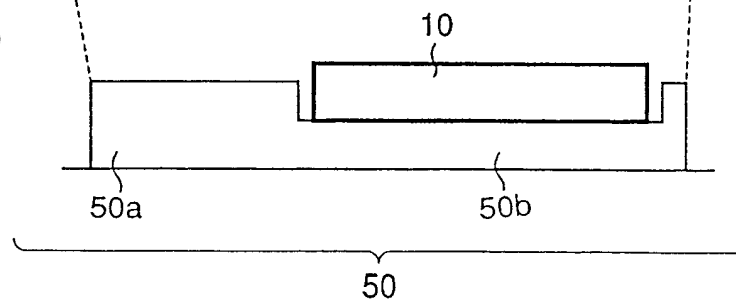


图 14  
现有技术

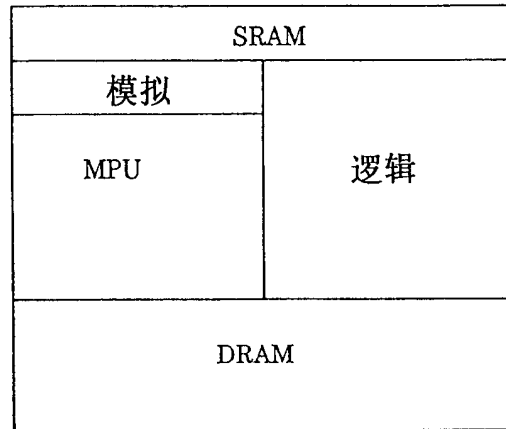


图 15A

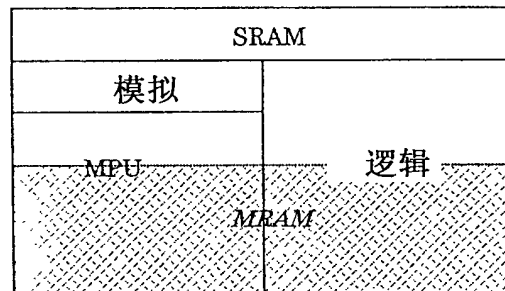


图 15B

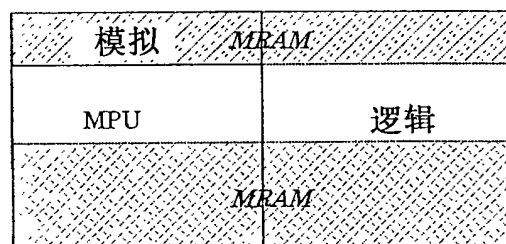


图 16

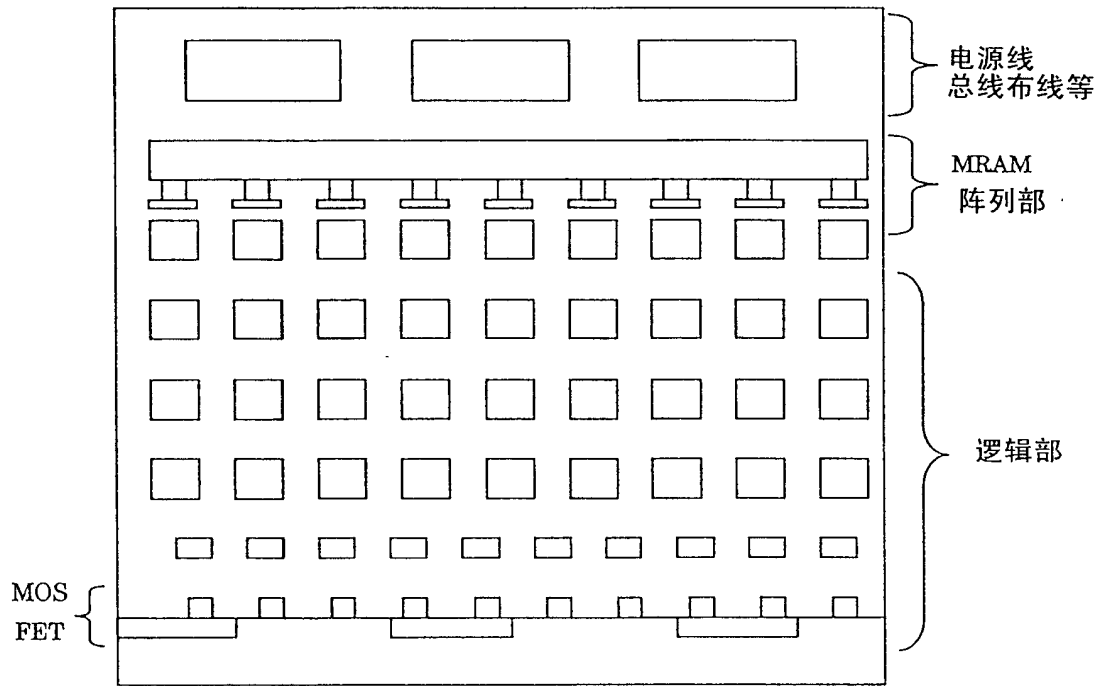
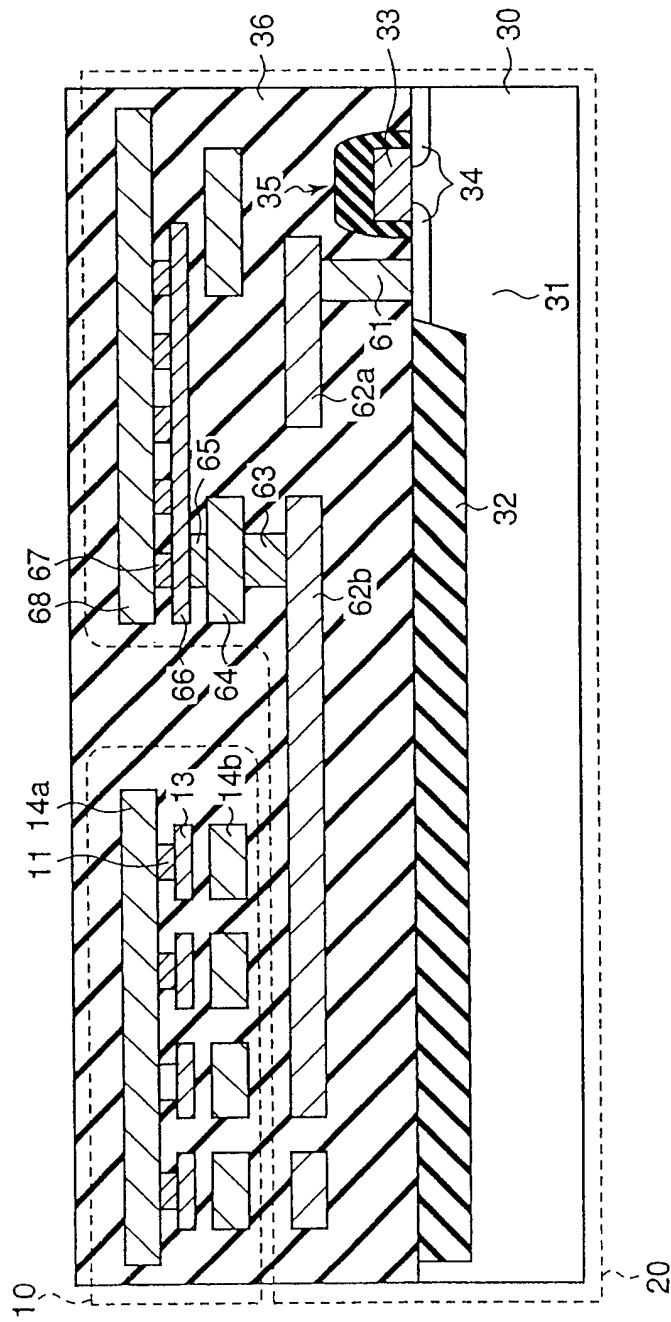


图 17



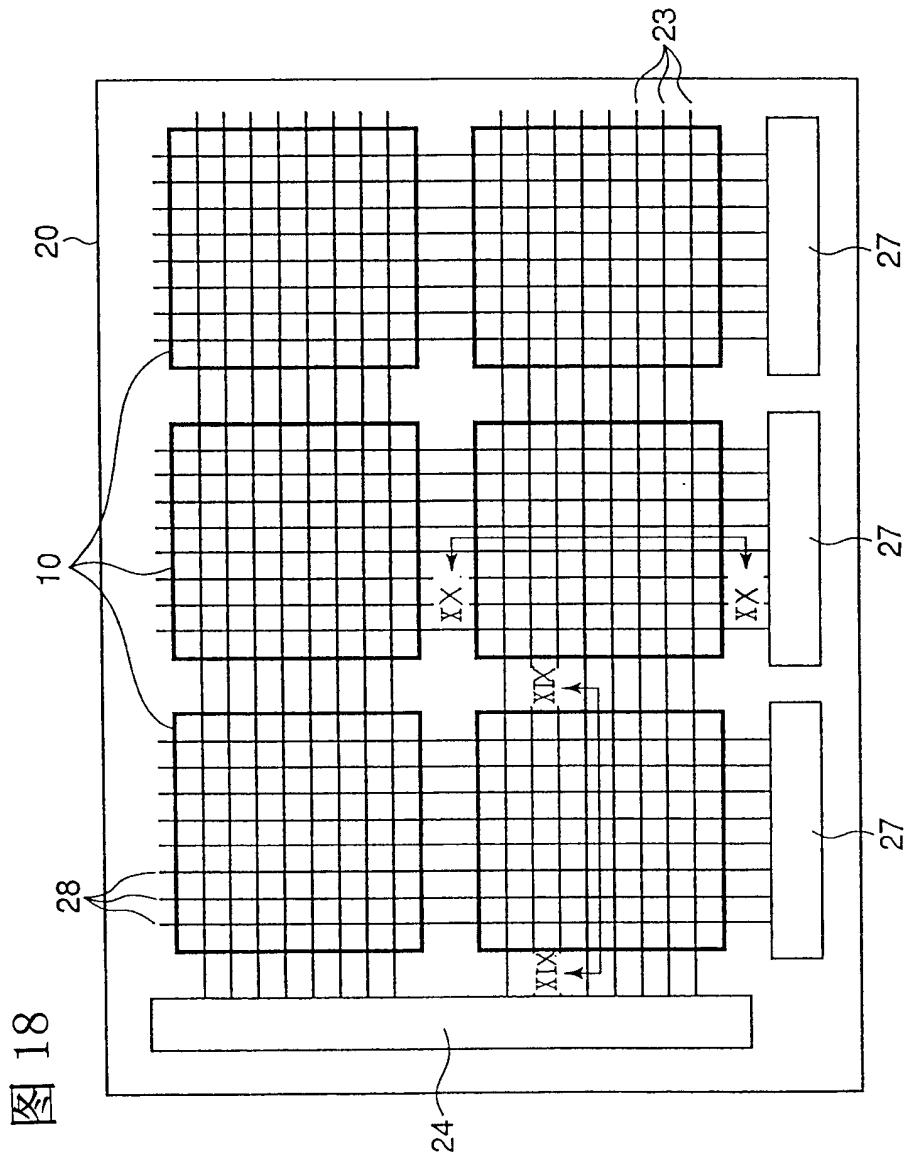


图 18

图 19

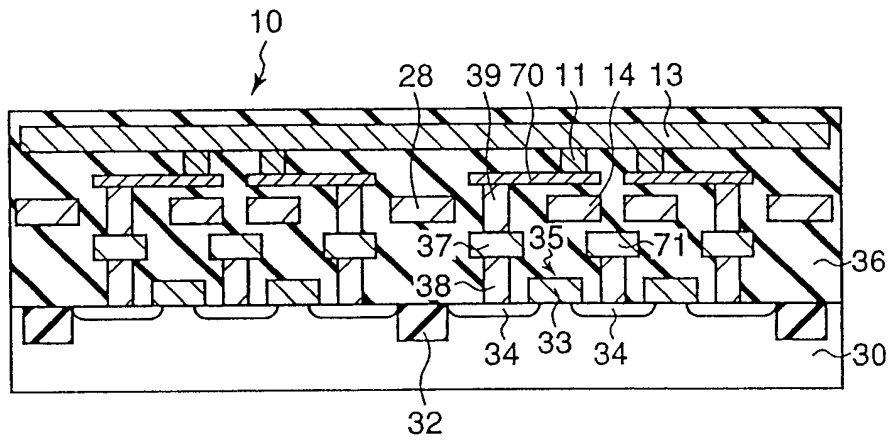


图 20

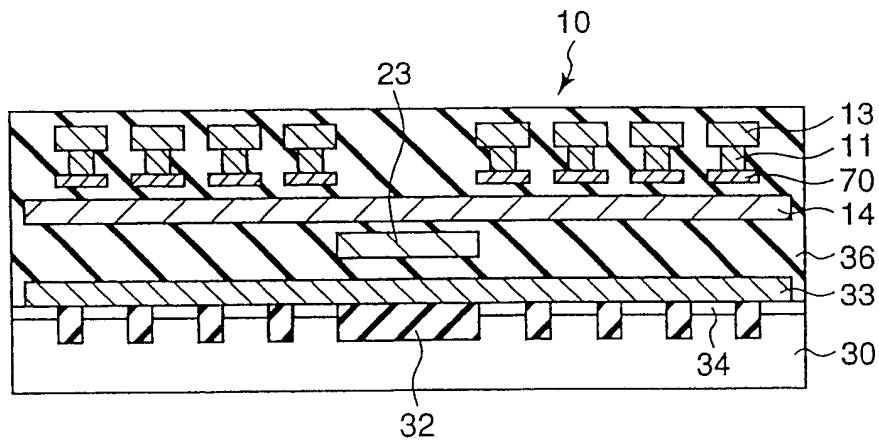


图 21

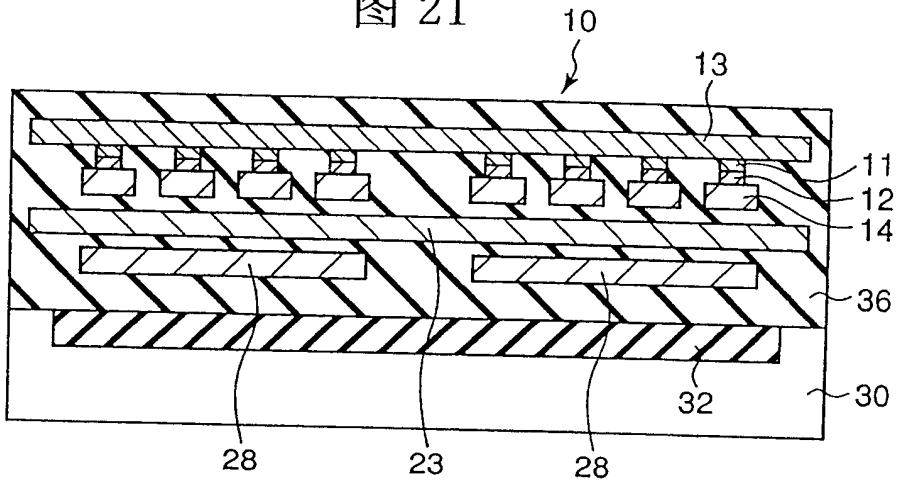
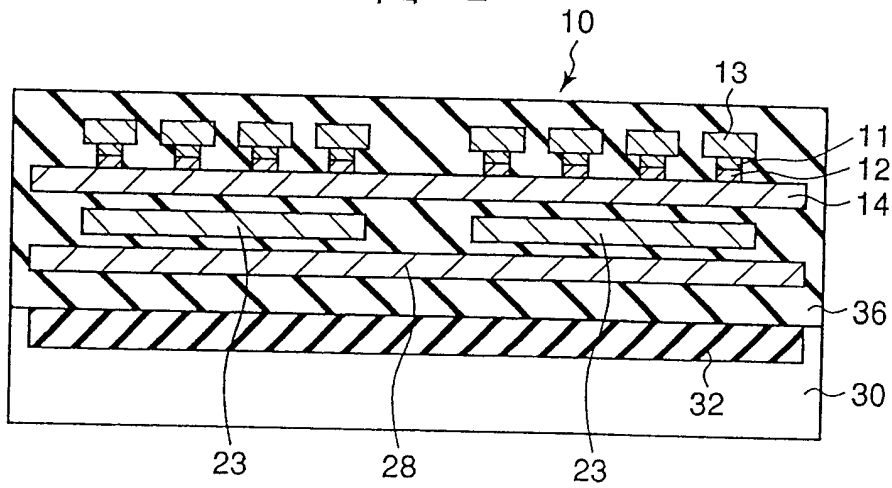


图 22



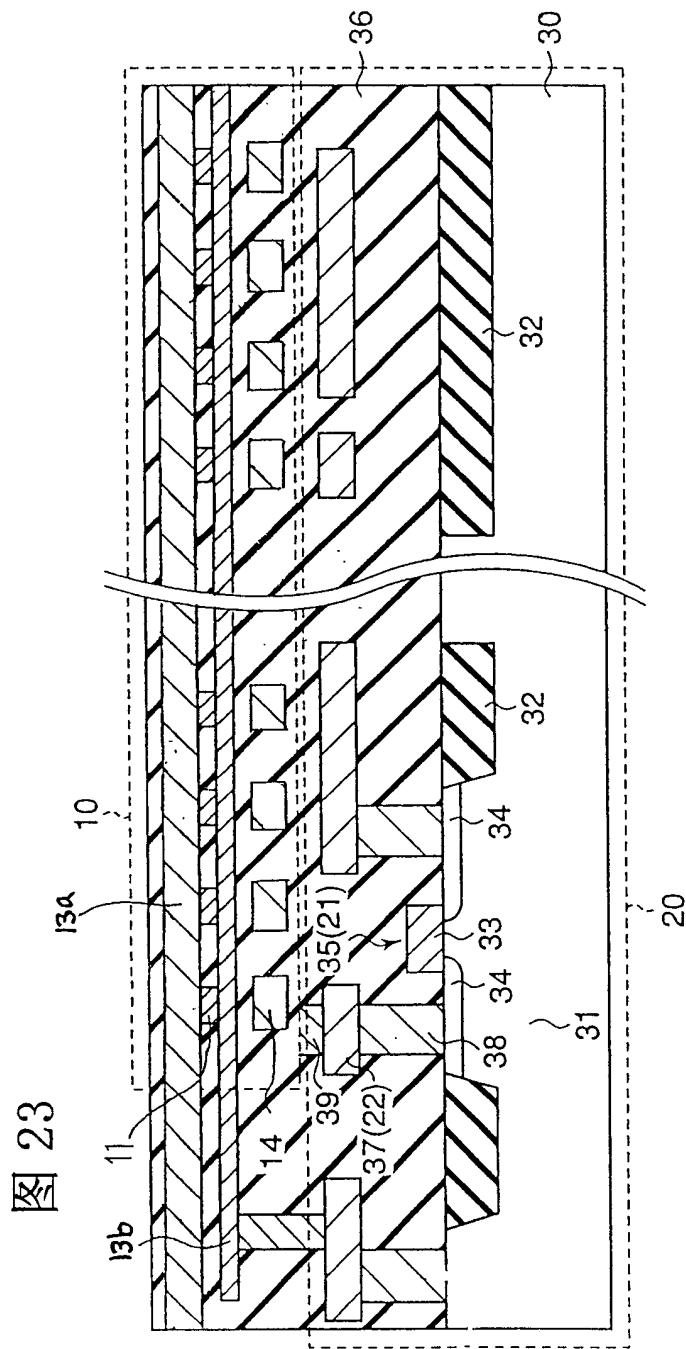


图 23



图 24A

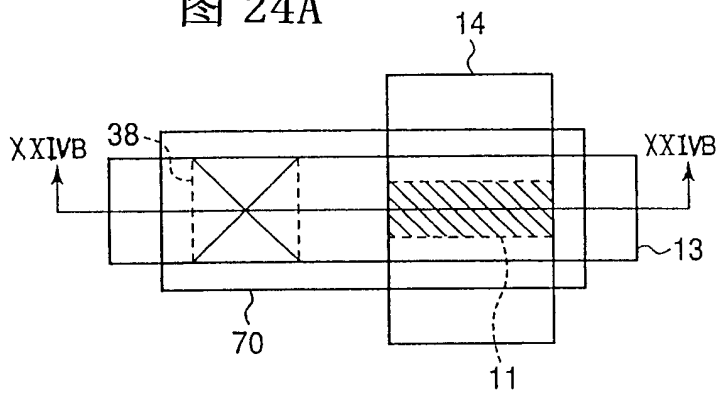


图 24B

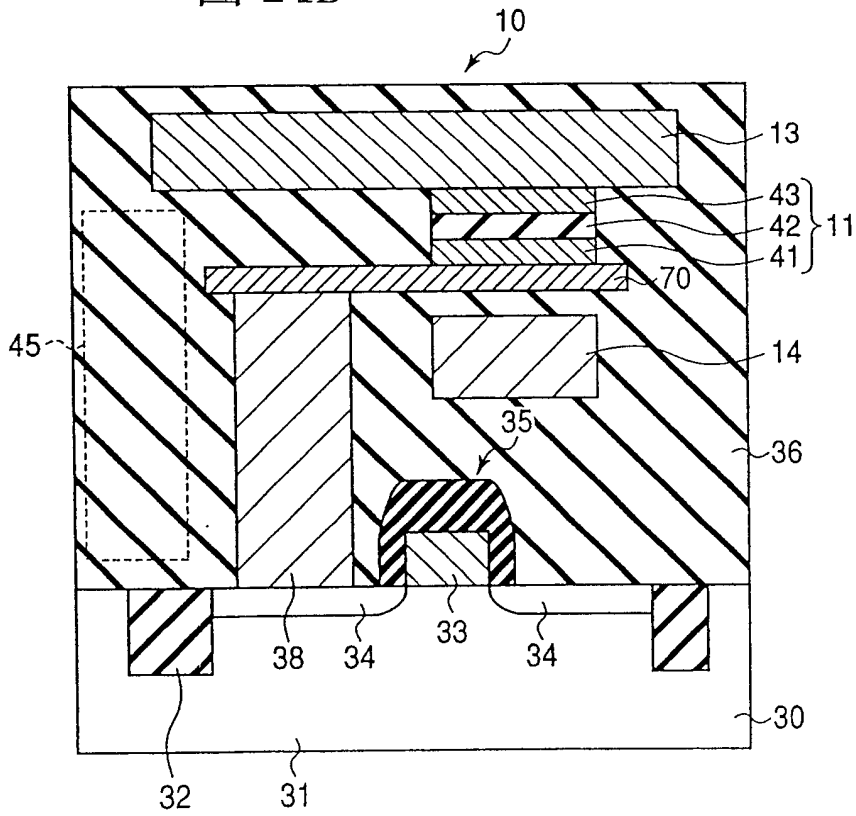


图 25A

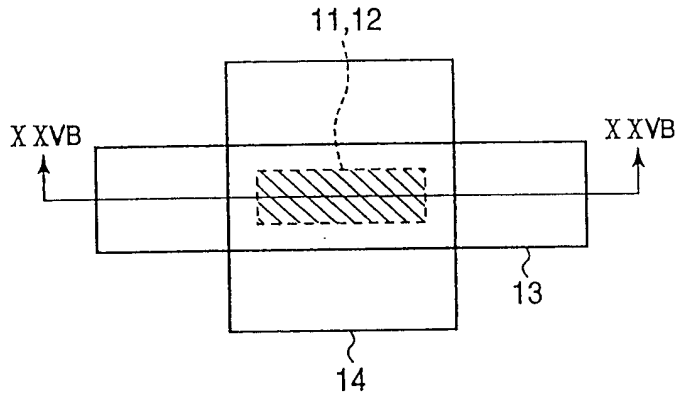


图 25B

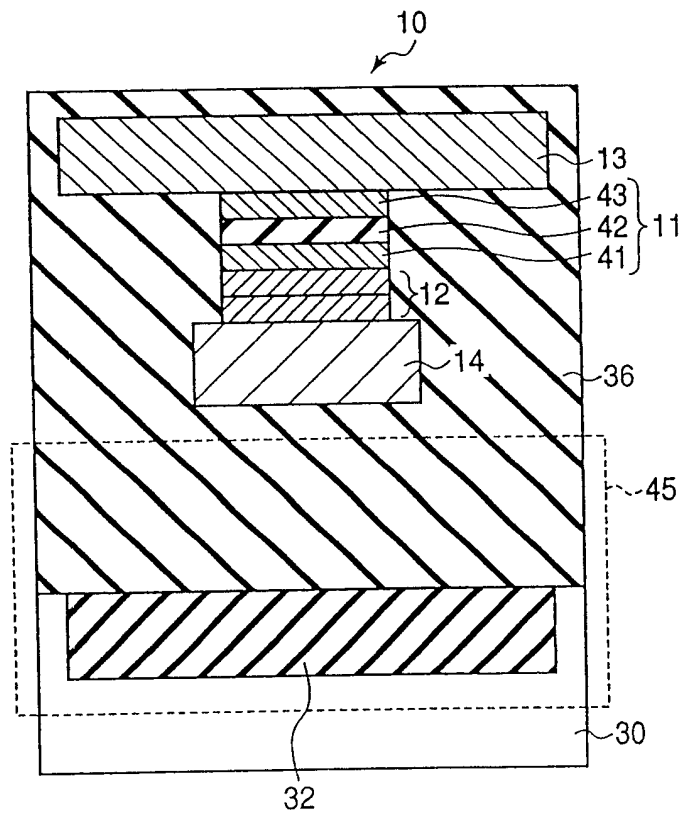


图 26A

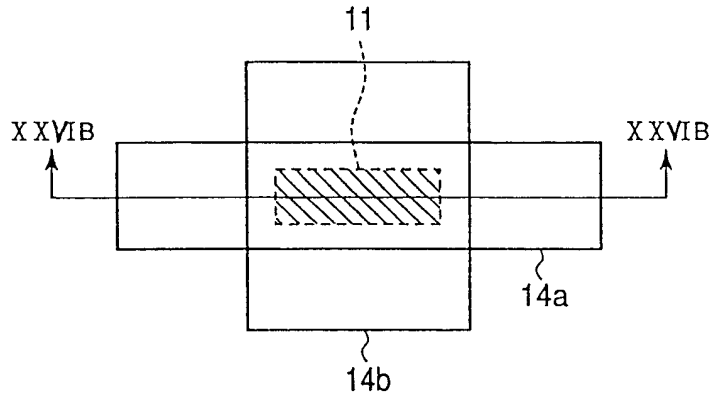


图 26B

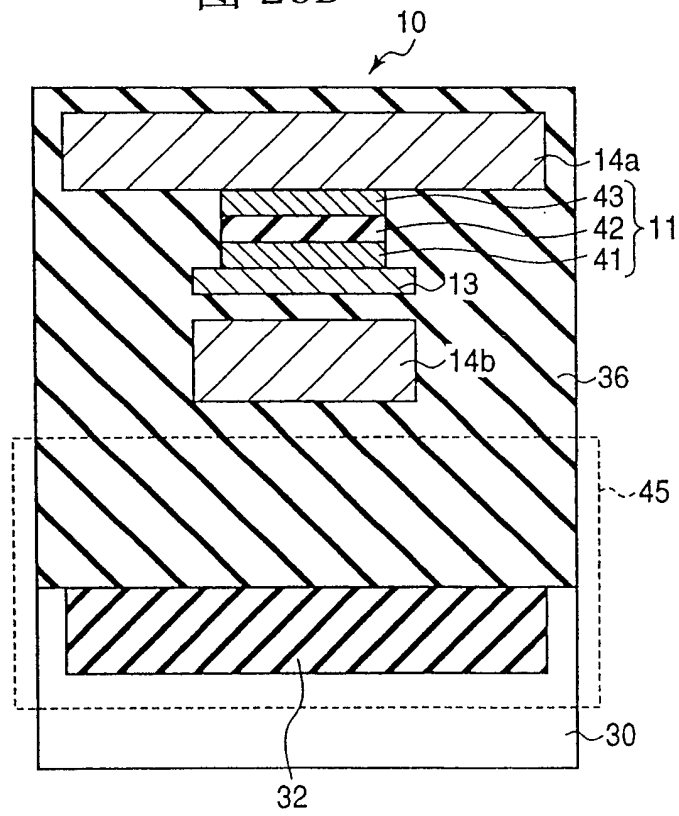


图 27

