[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/316
H01L 21/324
H01L 21/768

[12]发明专利说明书

[21] ZL 专利号 95120132.8

[45]授权公告日 2002 年 4 月 10 日

[11]授权公告号 CN 1082721C

[22]申请日 1995.12.26 [24]颁证日 2002.4.10

[21]申请号 95120132.8

[30]优先权

[32]1994.12.26 [33]JP [31]322950/94

[73]专利权人 株式会社东芝

地址 日本神奈川县

[72]发明人 八寻和之

[56]参考文献

WO94/01885A 1994. 1.20 H01L21/316

审查员 韩 锦

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

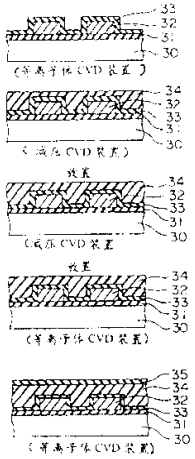
代理人 杜日新

权利要求书 1 页 说明书 9 页 附图页数 3 页

[54]发明名称 半导体装置的制造方法

[57]摘要

本方法提高了半导体基板上形成回流绝缘膜的抗裂性并确保其平坦化所需的膜厚。其特征是具备下述工序:在基板上形成下层布线 32 后,形成厚度大于 0.1μm 的第 1 等离子体 SiO_2膜 33;使 SiH_4气体和 H_2O_2在低于 650Pa 的真空中,在 -10℃以上 +10℃以下范围内相互反应,在基板上形成厚度大于 0.4μm 小于 1.4μm 的回流 SiO_2膜 34;之后,在规定真空中把基板放置 30 秒以上;在高于 300℃不到 450℃的高温中放置 120 秒以上 600 秒以下;在基板上形成厚度大于 0.3μm 的第 2 等离子体 SiO_2膜 35。



ISSN1008-4274

权 利 要 求 书

1. 一种半导体装置的制造方法，其特征是具有：回流膜形成工序，用于向放置形成第 1 绝缘膜后的半导体基板的反应室内导入 SiH_4 气体和 H_2O_2，使上述 SiH_4 气体和 H_2O_2 在低于 650Pa 的真空中，在 - 10℃以上 + 10℃以下的温度范围内相互进行反应，以在上述半导体基板上形成具有回流形状的厚度大于 0.4μm，小于 1.4μm 的回流 SiO_2 膜；用于在形成上述膜之后，在上述反应室内在规定的真空中把上述半导体基板放置 30 秒钟以上的放置工序；和用于接着把上述半导体基板在高于 300℃，不到 450℃的温度中放置 120 秒以上 600 秒以下的时间的放置工序。

2. 根据权利要求 1 所述的半导体装置的制造方法，其特征是：在上述 120 秒以上 600 秒以下的放置工序之后，还具备在上述回流 SiO_2 膜上边形成第 2 绝缘膜的工序。

3. 根据权利要求 2 所述的半导体装置的制造方法，其特征是在形成上述第 2 绝缘膜后，进行 450℃、30 分钟的炉内退火。

说　明　书

半导体装置的制造方法

本发明涉及半导体装置的制造方法，特别是涉及具有多层布线构造的半导体装置的层间绝缘膜的形成方法。

随着半导体装置的集成度的增大，技术发展为在基板上形成多层布线材料的所谓多层布线化，使得具有这种多层布线构造的半导体装置的制造工艺复杂化，长工序化。

特别是多层布线的形成工艺在半导体装置的制造价格中所占比例很大，故在减少多层布线工序方面的要求日益高涨，以求得降低半导体装置的价格。

在此，对现有的多层布线的形成工序进行说明。首先，在淀积好用作下层布线的第 1 布线材料之后，进行下层布线的图形化，并在此下层布线上边形成第 1 绝缘膜的同时在下层布线彼此之间埋入绝缘膜。在这一时刻，取决于上述下层布线的图形等等面在第 1 绝缘膜的表面上存在有台阶，如果不加处理的话，在今后淀积用作上层布线的第 2 布线材料和上层布线图形化时将会产生不利影响，并存在着带来因上层布线在台阶处断开所形成断线、短路等重大缺陷的危险。

所以，通常在上述第 1 绝缘膜的上边淀积第 2 布线材料之前，把作为其基底的第 1 绝缘膜的表面用深腐蚀光刻胶的办法使之平坦化的使台阶平缓之后，在其上边形成第 2 绝缘

膜。

上述这样的把第1绝缘膜和第2绝缘膜叠层之后的现有的层间绝缘膜和形成工序，由于具有第1次成膜→平坦化→第2次成膜这样的多道工序，故对上述那种减少多层布线工序的要求来说成了一个大障碍。

此外，人们知道还有一种可以取代上边所说的那种使第1绝缘膜平坦化的方法。这种方法采用在第1绝缘膜上边形成作为绝缘材料的旋涂玻璃（SOG）的办法来缓和上层布线材料的基底的台阶。

但是，这种在形成（烧成）SOG膜的时候需要多次的热处理工序，必须要用 光刻胶反复刻蚀除去SOG膜的没用的部分以确保上层布线的可靠性。结果是工序数增多，仍然不能充分满足上述那种减少多层布线工序的要求。

可是，最近，作为一种能够满足上述减少多层布线工序的要求的技术，在形成层间绝缘膜之际，通过采用使SiH_4气体和作为氧化剂的H_2O_2（过氧化氢水）在低温（比如说在0℃左右）和真空中进行反应的办法，在下层布线上边形成自我流动型的绝缘膜（以下称之回流绝缘膜）的方法引起了人们的重视。

这种方法，由于可同时实现下层布线的布线相互之间的绝缘膜的埋入和绝缘膜表面的平坦化，用一次的成膜可结束直到平坦化为止的工序，故可以实现减少多层布线的工序的目的。

但是，上述那种回流绝缘膜的形成方法，如从其反应形态所知道的那样，在绝缘膜的成膜过程中产生了水分（H_2O），从而绝缘膜中含有大量的水分，所以在成膜过程中或者成膜之后进行必要的热处

理(例如在450℃，30分钟)时，膜中水分将急剧地放出而使绝缘膜附裂(以下称之为产生裂缝)。

图4示出了实测数据，它实测的是用上述那种回流绝缘膜的形成法形成的回流SiO_2膜上产生了裂缝的状况。在这种情况下，示出了以回流SiO_2膜的膜厚和在回流绝缘膜上用通常的等离子体CVD(气相生长)法形成了SiO膜(以下称之为盖(cap)膜)时的盖膜厚为参数，在成膜之后以450℃进行了30分钟的热处理时的裂缝产生状况。

从图4可知，在不存在盖膜和即使存在盖膜但在回流SiO_2膜的膜厚大于1.1μm的时候也会产生裂缝。换句话说，在抗裂缝性这一点上，在回流SiO_2绝缘膜的膜厚中存在着上限，在本例中膜厚上限较低，约为1.0μm。

但是，在使用上述那样的回流SiO_2膜时，要想把形成于层间绝缘膜上边的上层布线的基底台阶弄成足够平缓(平坦化)，就必须确保某种程度的膜厚，而且，改善抗裂缝性是重要的。

另外，在回流SiO_2膜的上部用通常的等离子体CVD法形成层间绝缘膜时，由于半导体大片尚未充分地升温，故形成了湿法刻蚀速率低的绝缘膜。这样一来，在层间绝缘膜形成之后要进行的用于开贯穿孔或穿透孔的刻蚀中，层间绝缘膜与回流SiO_2膜之间的界面将变为异常的刻蚀形状，使在其后形成的上层布线的敷层恶化，将成为招致上层布线导通不良的原因。

像上述那样在现有的多层布线工序中的层间绝缘膜形成工序里采用回流绝缘膜形成技术的情况下所得到的回流SiO_2膜，即便是想确保已考虑了其平坦化所需的膜厚也还存在着在抗裂缝性这一点

上上限会被压低的问题。

另外，在上述回流 SiO_2 膜的上部的层间绝缘形成之后进行的用于开贯穿孔或穿透孔的刻蚀时，存在着层间绝缘膜与回流 SiO_2 膜之间的界面将形成异常的刻蚀形状、使上层布线的敷层恶化，变成为导致上层布线导通不好的原因这样的问题。

本发明是为了解决这些问题而形成的，所以目的是提供一种半导体装置的制造方法。这种制造方法可以提高在半导体装置的多层布线工序中的层间绝缘膜形成工序里采用回流绝缘膜形成技术时所得到的回流绝缘膜的抗裂缝性，并可确保考虑了回流绝缘膜的平坦化的所需的膜厚，而且可以制造在层间绝缘膜形成后所形成的上层布线的可靠性高的半导体装置。

本发明的半导体制造方法的特征它具有：回流膜形成工序，用于向放置形成第 1 绝缘膜后的半导体基板的反应室内导入 SiH_4 气体和 H_2O_2，使上述 SiH_4 气体和 H_2O_2 在低于 650Pa 的真空中，在 - 10℃以上 + 10℃以下的温度范围内相互进行反应，以在上述半导体基板上形成具有回流形状的厚度大于 0.4μm，小于 1.4μm 的回流 SiO_2 膜；用于在形成上述膜之后，在上述反应室内在规定的真空中把上述半导体基板放置 30 秒钟以上的放置工序；和用于接着把上述半导体基板在高于 300℃，不到 450℃的温度中放置 120 秒以上 600 秒以下的时间的放置工序。

在多层布线工序中的层间绝缘膜形成的工序中，通过采用回流绝缘膜形成的技术，并在形成回流 SiO_2 膜之后在规定的真空中放置规定时间以上，再在规定的高温中放置规定的时间以上的办法，就可以控制回流 SiO_2 膜中的水分显并可改善抗裂缝性。

由于借助于这样地改善回流 SiO_2 膜的抗裂缝性，可以确保已考虑了回流绝缘膜平坦化的所需的膜厚，故可以改善层间绝缘膜的表面的平坦性，并可使在层间绝缘膜形成之后形成的上层布线进一步微细化。

而且，可以防止在层间绝缘膜形成后进行的用于开贯穿孔或穿透孔的刻蚀中的异常刻蚀，并可改善上层布线的可靠性，不使在刻蚀后形成的上层布线的敷层恶化，也不导致上层布线的导通不良。

图 1 的构成说明图概略性地示出了在本发明的半导体装置的制造方法中所用的半导体制造装置的一个例子。

图 2 的剖面图示出在本发明的半导体装置的制造方法中所涉及的层间绝缘膜形成工序里采用了回流绝缘膜形成技术的多层布线工序的一个例子。

图 3 示出了对用图 1 的工序所得到的回流 SiO_2 膜，以其膜厚和形成于回流 SiO_2 膜上的盖 SiO_2 膜的膜厚为参数进行热处理时的裂缝产生状况的实测结果。

图 4 示出了裂缝产生状况的实测结果，这是对在制造现有的半导体装置时在层间绝缘膜形成工序中，用采用了回流绝缘膜形成技术的多层布线工序所得到的回流 SiO_2 膜，以其膜厚和形成于回流 SiO_2 膜上的盖 SiO 膜的膜厚为参数进行热处理时实测到的裂缝产生状况。

实施例

以下参照附图详细说明本发明的一个实施例。

图 1(a)概略性地示出了本发明的半导体装置的制造方法中所用的半导体制造装置结成的一个例子。

在图1(*a*)中，10是等离子体*CVD*装置，20为减压*CVD*装置，1为收容并固定半导体基板的箱式(cassette)装片机室，2为在上述箱体装片室1与上述等离子体*CVD*装置10的反应室或者减压*CVD*装置20的反应室之间运送(送入、送出)半导体基板的机械手。

上述等离子体*CVD*装置10具有通常的构成，其构成情况的一个例子概略性地示于图1(*b*)。图1(*b*)中，11为反应室(*chamber*)，12为上部电极(*shower head*：喷淋头)，13为下部电极(*table*：工作台)，14为排气口，15为工艺气体(*process gas*)供给通路，16为高频电力供给电路。

上述减压*CVD*装置具有通常的构成。图1(*c*)中概略性地示出了它的一个构成例。在图1(*c*)中，21是反应，22是上部电极，23是下部电极，24是排气口，25是SiH_4气体供给通路，26是H_2O_2供给通路。

图2(*a*)到(*e*)示出了在本发明的半导体装置的制造方法中所涉及的多层布线工序中的层间绝缘膜形成工序里采用了回流绝缘膜形成技术的多层布线工序的一个例子。

以下参照图1和图2，说明本发明的半导体装置的制造方法中所涉及的在层间绝缘膜形成工序中采用了回流绝缘膜形成技术的多层布线工序的一个例子。

首先，如图2所示，在半导体基板30上的绝缘膜31的上边比方说用溅射法淀积上用作下层布线的第1布线材料(比如铝)之后，应用光刻技术和反应性离子刻蚀(*RIE*)技术，进行第1布线材料的图形化进而形成下层布线32。

其次，使用上述半导体制造装置，把绝缘膜埋入上述下层布线

32 的布线之间，同时在下层布线上边淀积绝缘膜以形成层间绝缘膜。

在上述层间绝缘膜形成工序中，把形成下层布线后的半导体基板 30 放置于上述箱式装片机重 1 内的比如说石英舟上。

接着，用真空泵(没有画出来)把箱式装片机室 1 内设定为规定的真空状态，并用机械手 2 把上述半导体基板送到等离子体 *CVD* 装置 10 的反应室 11 内。将该等离子体 *CVD* 装置 10 的反应 11 内事先设定为约 300℃，在半导体基板 20 上边的整个面上形成厚度大于 0.1μm(本例中为 100nm)的作为第 1 绝缘膜的第 1 等离子体 SiO_2 膜 33。

其次，用机械手 22，把上述半导体基板 30 从 *CVD* 装置的反应室 11 内运往减压 *CVD* 装置的反应室 21 内。并经由 SiH_4 气体供给通路 25 和 H_2O_2 供给通路 26，从 SiH_4 气体供给源和 H_2O_2 供给源向 该减压 *CVD* 装置的反应室 21 内导入 SiH_4 气体和 H_2O_2，使之在低于 650Pa 的真空中，在－10℃以上＋10℃以下的温度范围内(例如 0℃) 下相互反应，如图 2(*b*)所示，就会在上述半导体基板 30 上得到具 有 回流形状的厚度大于 0.4μm 小于 1.4μm 的回流 SiO_2 膜 34。

接着，如图 2(*c*)所示，把上述半导体基板 30 在上述减压 *CVD* 装置的反应室 11 内在低于 6.5Pa 的真空中放置 30 秒以上(在本例中放置 30 秒)。

其次，用机械手 2，把上述半导体基板 30 从减压 *CVD* 装置的反应室 21 内运往等离子体 *CVD* 装置的反应室 11 内。并如图 2(*d*)所示，在等离子体 *CVD* 装置 10 的反应室内，在高于 300℃且不到

450℃的高温(在本例中为300℃)中放置120秒以上600秒以下的时间(在本例中为120秒)。

之后,如图2(e)所示,在半导体基板30上的整个面上形成厚度大于0.3μm(在本例中为300nm)的作为第2绝缘膜的第2等离子体SiO_2膜35。

此后,从上述半导体制造装置中取出上述半导体基板30,用别的半导体制造装置在450℃下进行30分钟的炉内退火。

然后,进行用于在层间绝缘膜打接触孔或穿透孔的刻蚀,并在淀积好用于上层布线的第2布线材料之后,进行图形化以形成上层布线。

在此,在图3中示出了一个实测结果。它是在用上述实施例制得的回流SiO_2膜34的成膜之后,在450℃下进行了30分钟的热处理的情况下,以回流SiO_2膜34的膜厚和在回流SiO_2膜上边形成了等离子体SiO_2膜(盖膜)时的盖膜厚为参数,实测的产生裂缝的状况。

从图3可知,在本实施例中所制得的回流SiO_2膜34,在盖膜不存在时的裂缝特性与现有例相比没有变化,但在存在盖膜的情况下,不产生裂缝的膜厚上限,从现有例的大体上1.0μm上升到大体上约2.0μm,提高了抗裂缝性。

若采用上述实施例,则在多层布线工序中的层间绝缘膜形成工序中采用回流绝缘膜形成技术,在形成了回流SiO_2膜34之后,安在规定的真空中放置规定的时间以上,还安在规定的高温中放置规定时间以上。

这样一来,即使假定在回流SiO_2膜34的形成工序中,在绝缘膜的成膜过程中产生了水分因而在绝缘膜中含有水分,也可通过进行

控制使得减少绝缘膜中的水分，从而可得到抗裂缝性良好的回流 SiO_2 膜 34。

通过采用这样地改善回流 SiO_2 膜的抗裂缝性的办法，就在可能确保考虑了回流 SiO_2 膜的平坦化的所需的膜厚。

因而，可以提高层间绝缘膜的表面的平坦性，同时还可以防止因上层布线在台阶处断裂而产生断线、短路等重大缺陷的危险而又不会给层间绝缘膜形成后上层布线材料淀积时和上层布线的图形化时带来不良影响。

此外，若采用上述实施例，则在回流 SiO_2 膜的上部用通常的等离子体 CVD 法形成层间绝缘膜时，由于半导体大片上充分升温，故不会形成湿法刻蚀速率慢的绝缘膜，在形成层间绝缘膜后进行的用于开贯穿孔或穿透孔的刻蚀中也不会使层间绝缘膜和回流 SiO_2 膜之间的界面的刻蚀形状变得异常，在其层形成的上层布线的敷层不会恶化，也不会导致上层布线的导通不良。

如上所述，若采用本发明的半导体装置的制造方法，则由于可以提高在多层布线工序中的层间绝缘膜形成工序里，在采用回流绝缘膜形成技术的情况下所得到的抗裂缝性，且可以确保考虑了回流绝缘膜的平坦化的所需的膜厚，所以可以提高层间绝缘膜的表面的平坦性，且可使在层间绝缘膜形成后所形成的上层布线进一步微细化。

而且，可以防止在层间绝缘膜形成后进行的用于开贯穿孔或穿透孔的刻蚀中的异常刻蚀，且不会使在之后形成的上层布线的敷层恶化、或导致上层布线的导通不良，从而可以提高上层布线的可靠性。

说　明　书　附　图

图 1

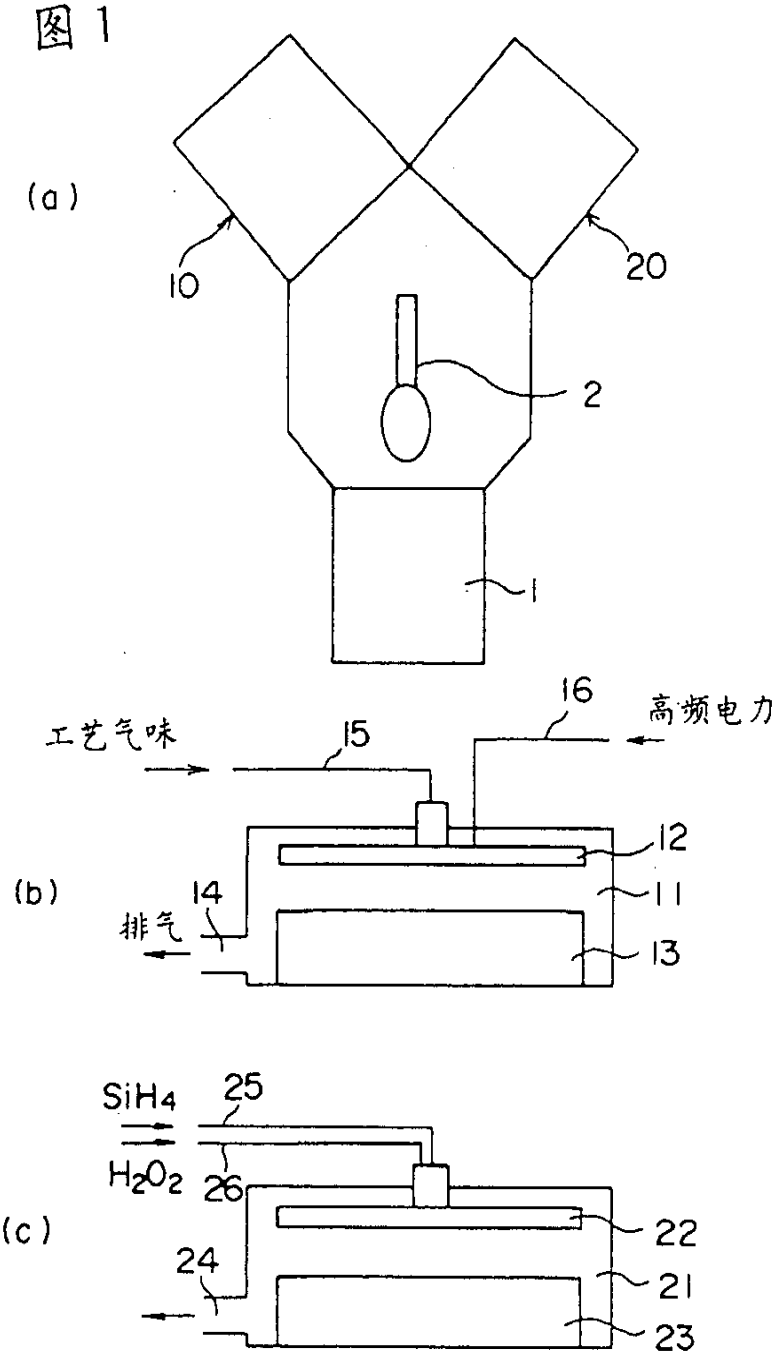
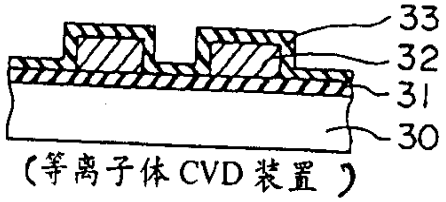

(a)
10
20
2
1
(b)
工艺气味
15
16
高频电力
12
11
14
排气
13
(c)
SiH4
25
H2O2
26
22
24
21
23

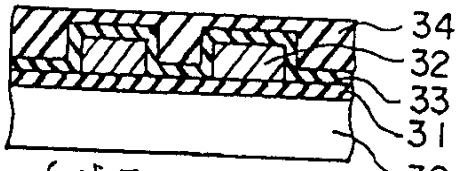
图 2

(a)



(等离子体 CVD 装置)

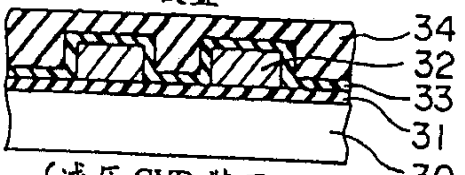
(b)



(减压 CVD 装置)

(c)

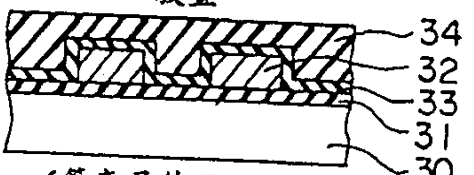
放置



(减压 CVD 装置

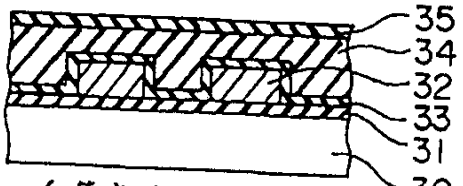
(d)

放置



(等离子体 CVD 装置)

(e)



(等离子体 CVD 装置)

图 3

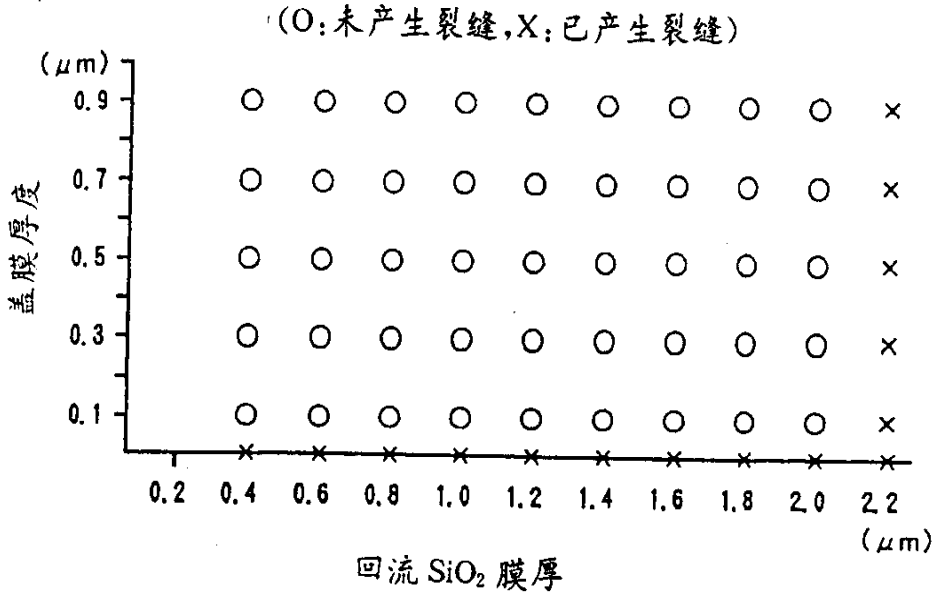
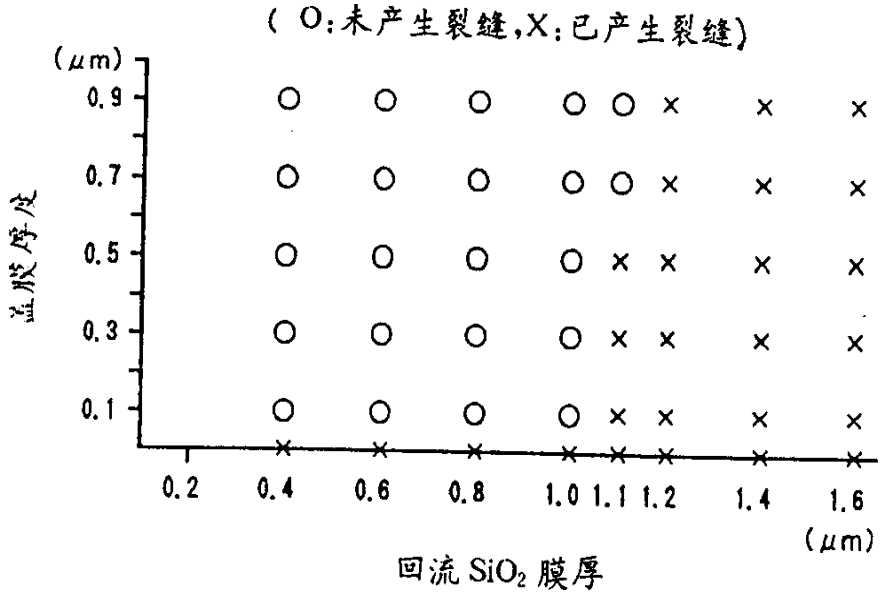

(O:未产生裂缝,X:已产生裂缝)
(μm)
0.9
0.7
0.5
0.3
0.1
盖膜厚度
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
(μm)
回流 SiO2 膜厚

图 4


(O:未产生裂缝,X:已产生裂缝)
(μm)
0.9
0.7
0.5
0.3
0.1
盖胶厚度
0.2
0.4
0.6
0.8
1.0
1.1
1.2
1.4
1.6
(μm)
回流 SiO2 膜厚