



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년07월06일

(11) 등록번호 10-2130054

(24) 등록일자 2020년06월29일

(51) 국제특허분류(Int. Cl.)

G11C 11/15 (2006.01) H01L 21/8247 (2006.01)

H01L 27/115 (2017.01)

(21) 출원번호 10-2013-0060484

(22) 출원일자 2013년05월28일

심사청구일자 2018년05월14일

(65) 공개번호 10-2013-0137531

(43) 공개일자 2013년12월17일

(30) 우선권주장

13/491,568 2012년06월07일 미국(US)

(56) 선행기술조사문헌

US20070297220 A1\*

US20090269617 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

첸, 유진 유준

미국, 캘리포니아 94539, 프레몬트, 올림푸스 애비뉴, 41712

탕, 슈에티

미국, 캘리포니아 95132, 산 호세, 체다크레스트 래인 3136

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 10 항

심사관 : 손윤식

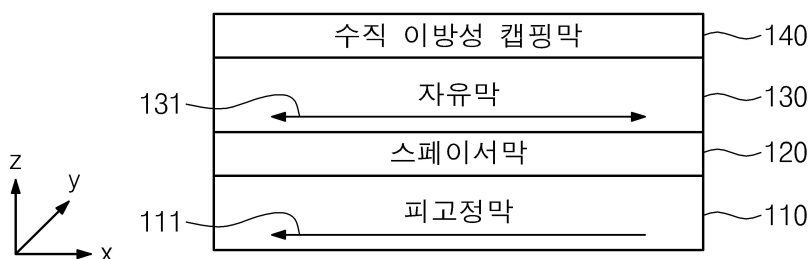
(54) 발명의 명칭 자기 터널링 접합 시드, 캡핑 및 스페이서 막 물질들

## (57) 요약

반도체 장치를 위한 자기 소자는 기준막과, 자유막과, 기준막 및 자유막 사이에 배치된 비자성 스페이서막을 포함한다. 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함한다. 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함한다.

대표도 - 도2

100



## 명세서

### 청구범위

#### 청구항 1

제1 기준막;

자유막;

상기 제1 기준막 및 상기 자유막 사이에 배치된 제1 비자성 스페이서막; 및

상기 제1 기준막 아래에 배치된 시드막을 포함하되,

상기 시드막은 이원, 삼원 또는 다원 합금 산화물을 포함하며,

상기 이원, 삼원 또는 다원 합금 산화물은, Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함하는 반도체 장치를 위한 자기 소자.

#### 청구항 2

제1항에 있어서,

상기 제1 비자성 스페이서막은 절연 터널링 배리어막인 자기 소자.

#### 청구항 3

제1항에 있어서,

상기 제1 비자성 스페이서막은 스핀 밸브(spin valve)로서 기능하는 도전 물질을 포함하는 자기 소자.

#### 청구항 4

제1항에 있어서,

상기 제1 기준막 상에 배치된 캡핑막을 더 포함하되,

상기 캡핑막은 이원, 삼원 또는 다원 합금 산화물을 포함하며,

상기 캡핑막의 상기 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함하는 자기 소자.

#### 청구항 5

제1항에 있어서,

상기 제1 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함하며,

상기 제1 비자성 스페이서막의 상기 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함하는 자기 소자.

#### 청구항 6

제1항에 있어서,

상기 제1 비자성 스페이서막은 (001) 결정 구조를 포함하는 자기 소자.

#### 청구항 7

제1항에 있어서,

상기 자유막을 사이에 두고 상기 제1 기준막으로부터 이격되는 제2 기준막; 및

상기 제2 기준막 및 상기 자유막 사이에 배치되는 제2 비자성 스페이서막을 더 포함하는 자기 소자.

#### 청구항 8

제7항에 있어서,

상기 제2 비자성 스페이서막은 MgO를 포함하는 자기 소자.

#### 청구항 9

제7항에 있어서,

상기 자유막 및 상기 제2 기준막은 면 내 자화 방향을 가지며,

상기 제1 기준막은 수직 자화 방향을 갖는 자기 소자.

#### 청구항 10

제7항에 있어서,

상기 자유막 및 상기 제2 기준막은 수직 자화 방향을 가지며,

상기 제1 기준막은 면 내 자화 방향을 갖는 자기 소자.

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

## 발명의 설명

## 기술 분야

[0001] 본 발명은 자기 메모리들과 같은 자기 장치들에서 사용 가능한 자기 소자들과, 상기 자기 소자들을 사용하는 장치들과 관련된다.

## 배경 기술

[0002] 자기 메모리들, 특히 자성 랜덤 액세스 메모리들(magnetic random access memories, MRAMs)은 높은 읽기/쓰기 속도, 뛰어난 내구성, 비-휘발성 및 작동 중 낮은 전력 소모의 잠재성으로 증가하는 관심을 끌고 있다. MRAM은 자성 물질을 저장-기록 매체로 이용하여 정보를 저장할 수 있다. MRAM의 일 형태는 스핀 전달 토크 랜덤 액세스 메모리(spin transfer torque random access memory, STT-RAM)이다. STT-RAM은 자기 소자를 통해 인가되는 전류에 의해 적어도 일부에 쓰기가 되는 자기 소자들을 이용한다.

[0003] 예를 들면, 도 1은, 일반적인 STT-RAM에서 사용될 수 있는 하나의 예시적인 자기 터널링 접합(magnetic tunneling junction, MTJ, 10)을 도시한다. 일반적인 MTJ(10)는 일반적으로 하부 콘택(11) 상에 형성되고, 일반적인 시드막(12)을 사용하며, 고정막(pinning layer, 14), 예를 들어 일반적인 반강자성(antiferromagnetic, AFM), 일반적인 피고정막(또는 기준막, 16), 일반적인 터널링 배리어막(18), 일반적인 자유막(20) 및 일반적인 캡핑막(22)을 포함한다. 또한, 상부 콘택(24)이 도시된다.

[0004] 일반적인 콘택들(11, 24)은 면에 대하여 수직한 전류(current-perpendicular-to-plane, CPP)에서, 또는 도 1에 도시된 바와 같이 z축을 따라, 전류를 인가하는 것으로 사용된다. 일반적인 터널링 배리어막(18)은 비자성이며,

예컨대, MgO와 같은 얇은 절연체이다. 일반적인 시드막(12)은 일반적으로, 목적하는 결정 구조를 갖는 후속되는 막들, 예를 들면, AFM 막(14)과 같은 막들의 성장을 돕기 위하여 사용된다. 상부 콘택(24)에 대한 일반적인 자유막(20)의 직접적 노출은 불규칙한 계면, 자성을 상실한 영역들(dead magnetic regions) 및 증가된 댐핑(damping)을 야기시킬 수 있다. 결과적으로, 일반적인 캡핑막(22)은 상부 콘택(24)의 적층 전에, 자유막(20) 상에 직접적으로 제공된다. 이러한 일반적인 캡은 확산 방지로서 기능하며, 일반적인 자유막(20)의 표면 질을 향상시킨다. 일반적인 피고정막(16) 및 일반적인 자유막(20)은 자성체이다. 일반적인 피고정막(16)의 자화(17)는 특별한 방향에서, 일반적으로 AFM 막(14)과 교환-바이어스 작용(exchange-bias interaction)에 의해 정해지거나 고정된다. 단순한(단일) 막으로 도시되더라도, 일반적인 피고정막(16)은 다중막들을 포함할 수 있다. 예컨대, 일반적인 피고정막(16)은, Ru과 같은 얇은 도전막들을 통해 반강자성적으로 또는 강자성적으로 결합된 자성막들을 포함하는 합성 반강자성체(synthetic antiferromagnetic, SAF)일 수 있다. SAF과 같은 경우, Ru박막이 삽입된 다중 자성막들이 사용될 수 있다.

[0005] 일반적인 자유막(20)은 변화 가능한 자화(21)를 갖는다. 단일막으로 도시되지만, 일반적인 자유막(20)은 또한 다중 막들을 포함할 수 있다. 예를 들면, 일반적인 자유막(20)은, Ru과 같은 얇은 도전막들을 통해 반강자성적으로 또는 강자성적으로 연결된 자성막들을 포함하는 합성막일 수 있다.

[0006] 스핀 전달 토크(Spin transfer torque)는 일반적인 MTJ(10)에 쓰기 위하여 사용될 수 있다. 특히, 스핀-전환 토크는 자화 용이 축(easy axis)에 따른 두 개의 방향 중 하나로 일반적인 자유막(20)의 자화를 회전시킨다. 쓰기 전류가 상기 층들의 면에 수직인 방향으로 일반적인 MTJ(10)를 통과할 때, 전자들은 일반적인 피고정막(16)을 통한 투과 또는 일반적인 피고정막으로부터의 반사에 의해 스핀 분극될 수 있다. 충분한 전류가 일반적인 MTJ(10)를 통해 인가된다면, 일반적인 자유막(20)의 자화(21)에 대한 스핀 전달 토크는 일반적인 자유막(20)을 스위칭시키기에 적절할 수 있다. 그러므로, 일반적인 자유막(20)은 원하는 상태로 쓰여질 수 있다. 그래서, 일반적인 MTJ(10)는 STT-RAM에서 정보 저장을 위하여 사용될 수 있다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명이 이루고자 하는 일 기술적 과제는 낮은 밴드 갭을 갖는 터널링 물질을 제공하는데 있다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0009] 본 발명의 개념에 따른 일 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 제1 기준막; 자유막; 및 상기 제1 기준막 및 상기 자유막 사이에 배치된 제1 비자성 스페이서막을 포함하되, 상기 제1 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함하며, 상기 이원, 삼원 또는 다원 합금 산화물은, Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함한다.

[0010] 본 발명의 일 실시예에 따르면, 상기 제1 비자성 스페이서막은 절연 터널링 배리어막일 수 있다.

[0011] 본 발명의 다른 실시예에 따르면, 상기 제1 비자성 스페이서막은 스핀 밸브(spin valve)로서 기능하는 도전 물질을 포함할 수 있다.

[0012] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는 상기 제1 기준막 상에 배치된 캡핑막을 더 포함하되, 상기 캡핑막은 이원, 삼원 또는 다원 합금 산화물을 포함하며, 상기 캡핑막의 상기 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함할 수 있다.

[0013] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는, 상기 제1 기준막 아래에 배치된 시드막을 더 포함하되, 상기 시드막은 이원, 삼원 또는 다원 합금 산화물을 포함하며, 상기 시드막의 상기 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함할 수 있다.

[0014] 본 발명의 또 다른 실시예에 따르면, 상기 제1 비자성 스페이서막은 (001) 결정 구조를 포함할 수 있다.

- [0015] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는 상기 자유막의 마주보는 면 상에 배치된 제2 기준막; 및 상기 제2 기준막 및 상기 자유막 사이에 배치되는 제2 비자성 스페이서막을 더 포함할 수 있다.
- [0016] 본 발명의 또 다른 실시예에 따르면, 상기 제2 비자성 스페이서막은 MgO를 포함할 수 있다.
- [0017] 본 발명의 또 다른 실시예에 따르면, 상기 자유막 및 상기 제2 기준막은 면 내 자화 방향을 가지며, 상기 제1 기준막은 수직 자화 방향을 가질 수 있다.
- [0018] 본 발명의 또 다른 실시예에 따르면, 상기 자유막 및 상기 제2 기준막은 수직 자화 방향을 가지며, 상기 제1 기준막은 면 내 자화 방향을 가질 수 있다.
- [0019] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는, 상기 제1 기준막을 덮는 캡핑막을 더 포함하되, 상기 자유막 및 상기 제2 기준막은 면 내 자화 방향을 가지며, 상기 제1 기준막은 수직 자화 방향을 가질 수 있다.
- [0020] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는, 상기 제1 기준막을 덮는 캡핑막을 더 포함하되, 상기 자유막 및 상기 제2 기준막은 면 내 자화 방향을 가지며, 상기 제1 기준막은 수직 자화 방향을 가질 수 있다.
- [0021] 본 발명의 또 다른 실시예에 따르면, 상기 자기 소자는, 상기 제1 기준막 상에 배치된 캡핑막; 및 상기 제2 기준막 아래에 배치된 시드막을 더 포함하되, 상기 캡핑막, 상기 시드막, 또는 이들의 모두는, 상기 제1 및 제2 기준막들 중 인접한 하나와 밀접하게 정합(closely match)되는 결정 구조를 갖는 이원, 삼원 또는 다원 합금 산화물로 형성되며, 상기 캡핑막, 상기 시드막, 또는 이들의 모두의 상기 이원, 삼원 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함할 수 있다.
- [0022] 본 발명의 개념에 따른 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 기준막; 자유막; 상기 기준막 및 자유막 사이에 배치된 비자성 스페이서막; 상기 기준막 상에 배치된 캡핑막; 및 상기 기준막 아래에 배치된 시드막을 포함하되, 상기 비자성 스페이서막, 상기 캡핑막 또는 상기 시드막 중의 적어도 하나는,  $MgAl_2O_4$ , (Mg, Ca, Sr, Ba, Mg)SnO<sub>3</sub>, Mg<sub>2</sub>SnO<sub>4</sub>, 또는 NiMn<sub>2</sub>O<sub>4</sub>을 포함한다.
- [0023] 본 발명의 개념에 따른 또 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막을 포함하되, 상기 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함하고, 상기 이원, 삼원 또는 다원 합금 산화물은 하나 이상의 추가 원소 A를 갖는 MgO를 포함하며, 상기 A는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택되며, 상기 이원 합금 산화물은  $Mg_xA_yO_z$ 을 포함하며, 여기에서,  $x+y>1$  이고,  $z<1$ 이다.
- [0024] 본 발명의 개념에 따른 또 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 일 방향에서 반대 방향으로 스위칭되는 자화 방향을 갖는 자유막; 기준막; 상기 자유막 및 상기 기준막 사이에 배치되는 스페이서막; 및 상기 기준막 또는 상기 자유막에 인접하게 배치되는 시드막 또는 캡핑막을 포함하되, 상기 시드막 또는 캡핑막은, 하나 이상의 추가 원소를 갖고, 인접한 기준막 또는 자유막의 결정 구조에 밀접하게 정합되는 결정 구조를 갖는 이원, 삼원 또는 다원 합금 산화물을 포함하며, 상기 하나 이상의 추가 원소는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된다.
- [0025] 본 발명의 일 실시예에 따르면, 상기 이원, 삼원 또는 다원 합금 산화물은 Mg, O, 및 하나 이상의 추가 원소를 포함하고, 상기 하나 이상의 추가 원소는 MgO에 비하여 상기 산화물의 저항을 감소시킬 수 있다.
- [0026] 본 발명의 다른 실시예에 따르면, 상기 스페이서막은 터널링 배리어막일 수 있다.
- [0027] 본 발명의 또 다른 실시예에 따르면, 상기 터널링 배리어막은, 인접한 자유막 및 기준막의 결정 구조에 밀접하게 정합되는 결정 구조를 갖는 이원, 삼원, 또는 다원 합금 산화물을 포함할 수 있다.
- [0028] 본 발명의 또 다른 실시예에 따르면, 상기 자기 메모리 저장 소자는 스핀 밸브 구조를 제공할 수 있다.
- [0029] 본 발명의 개념에 따른 또 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막; 상기 기준막 아래에 배치된 시드막을 포함하되, 상기 비자성 스페이서막 또는 상기 시드막 중 적어도 하나는 이원, 삼원 또는 다원 합금 물질을 포함하며, 상기 이원, 삼원 또는 다원 합금 산화물은 하나 이상의 추가 원소 A를 갖는 MgO를 포함하며, 상기 A는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택되며, 상기 이원 합금 산화물은  $Mg_xA_yO_z$ 이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 삼원 합금 산화물은

$MgxAyOz$  이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 다원 합금 산화물은  $MgxAl_1y_1A_2y_2\dots An_ynOz$  이고,  $x+y_1+y_2+\dots+y_n+z=1$ ,  $x>y_1+y_2+\dots+y_n$  및  $0<x$ , 또는  $y_1$ , 또는  $y_2, \dots$ , 또는  $y_n$ , 또는  $z<1$ 이다.

[0030] 본 발명의 개념에 따른 또 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막; 상기 기준막 아래에 배치된 캡핑막을 포함하되, 상기 비자성 스페이서막 또는 상기 캡핑막 중 적어도 하나는 이원, 삼원 또는 다원 합금 물질을 포함하며, 상기 이원, 삼원 또는 다원 합금 산화물은 하나 이상의 추가 원소 A를 갖는 MgO를 포함하며, 상기 A는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택되며, 상기 이원 합금 산화물은  $MgxAyOz$  이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 삼원 합금 산화물은  $Mg_xA^1_{y_1}A^2_{y_2}O_z$  이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 다원 합금 산화물은  $Mg_xA^1_{y_1}A^2_{y_2}\dots A^n_{y_n}O_z$  이고,  $x+y_1+y_2+\dots+y_n+z=1$ ,  $x>y_1+y_2+\dots+y_n$  및  $0<x$ , 또는  $y_1$ , 또는  $y_2, \dots$ , 또는  $y_n$ , 또는  $z<1$ 이다.

[0031] 본 발명의 개념에 따른 또 다른 실시예는 자기 소자를 제공한다. 상기 자기 소자는, 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막; 상기 자유막을 덮는 캡핑막; 및 상기 기준막 아래에 배치된 시드막을 포함하되, 상기 비자성 스페이서막, 상기 캡핑막 및 상기 시드막 중 적어도 하나는 이원, 삼원 또는 다원 합금 물질을 포함하며, 상기 이원, 삼원 또는 다원 합금 산화물은 하나 이상의 추가 원소 A를 갖는 MgO를 포함하며, 상기 A는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택되며, 상기 이원 합금 산화물은  $MgxAyOz$  이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 삼원 합금 산화물은  $Mg_xA^1_{y_1}A^2_{y_2}O_z$  이며, 여기서  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는  $y$ , 또는  $z<1$ 이며, 상기 다원 합금 산화물은  $Mg_xA^1_{y_1}A^2_{y_2}\dots A^n_{y_n}O_z$  이고,  $x+y_1+y_2+\dots+y_n+z=1$ ,  $x>y_1+y_2+\dots+y_n$  및  $0<x$ , 또는  $y_1$ , 또는  $y_2, \dots$ , 또는  $y_n$ , 또는  $z<1$ 이다.

[0032] 본 발명의 개념에 따른 일 실시예는 자기 메모리 프로그램하는 방법을 제공한다. 상기 자기 메모리를 프로그램하는 방법에 있어서, 상기 자기 메모리는 다수의 자기 저장 셀들을 포함하며, 상기 다수의 자기 저장 셀들 각각은, 적어도 하나의 자기 소자 및 적어도 하나의 선택 소자를 포함하며, 상기 적어도 하나의 자기 소자는 상기 자기 소자를 통해 쓰기 전류를 흘려주거나, 상기 적어도 하나의 자기 소자에 전압을 인가함으로써 프로그램할 수 있고, 상기 적어도 하나의 자기 소자를 통해 쌍극 또는 단극 전류를 인가하거나 상기 적어도 하나의 자기 소자로 전압을 인가하는 것을 포함하되, 상기 쌍극 또는 단극 전류 또는 전압은 상기 적어도 하나의 자기 소자를 프로그램하기에 충분하고, 상기 적어도 하나의 메모리 소자는: 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막을 포함하되, 상기 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함하고, 상기 이원, 삼원 또는 다원 합금 산화물은 하나 이상의 추가 원소 A를 갖는 MgO를 포함하며, 상기 A는 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된다.

[0033] 본 발명의 개념에 따른 다른 실시예는 자기 메모리 프로그램하는 방법을 제공한다. 자기 메모리를 프로그램하는 방법에 있어서, 상기 자기 메모리는 다수의 자기 저장 셀들을 포함하며, 상기 다수의 자기 저장 메모리 셀들 각각은 적어도 하나의 자기 소자 및 적어도 하나의 선택 소자를 포함하고, 상기 적어도 하나의 자기 소자는 상기 자기 소자를 통해 쓰기 전류를 흘려주거나, 상기 적어도 하나의 자기 소자에 전압을 인가함으로써 프로그램할 수 있고, 상기 다수의 자기 저장 셀들의 일부의 상기 적어도 하나의 자기 소자를 통하지 않고 인접하게 제1 전류를 인가하되, 상기 제1 전류는 자기장 또는 추가적인 스핀 토크를 발생시키는 것; 및 상기 적어도 하나의 자기 소자를 통하여 제2 전류를 인가하거나 전압을 인가하는 것을 포함하되, 상기 제2 전류 또는 전압과; 상기 자기장 또는 상기 추가적인 스핀 토크는 상기 적어도 하나의 자기 소자를 프로그램하기에 충분하며, 상기 적어도 하나의 메모리 소자는, 기준막; 자유막; 및 상기 기준막 및 상기 자유막 사이에 배치된 비자성 스페이서막을 포함하되, 상기 비자성 스페이서막은 이원, 삼원 또는 다원 합금 산화물을 포함하고, 상기 이원, 삼원, 또는 다원 합금 산화물은 Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh으로 이루어진 그룹으로부터 선택된 하나 이상의 추가 원소를 갖는 MgO를 포함한다.

[0034] 본 발명의 일 실시예에 따르면, 상기 제2 전류는 쌍극 또는 단극 전류일 수 있다.

[0035] 본 발명의 다른 실시예에 따르면, 상기 제1 전류를 인가하는 것은, 상기 적어도 하나의 자기 소자에 인접한 도



전 배선에 교류 전류를 인가하는 것을 포함할 수 있다.

[0036] 본 발명의 또 다른 실시예에 따르면, 상기 교류 전류는, 스핀 홀 효과, 또는 라쉬바 효과의 물리적 효과로부터 상기 적어도 하나의 자기 소자에 스핀 전류 또는 스핀 토크를 야기시킬 수 있다.

[0037] 본 발명의 또 다른 실시예에 따르면, 상기 교류 전류는 상기 적어도 하나의 자기 소자를 통해 흐르는 상기 제1 전류를 리드(lead)하고/또는 오버랩할 수 있다.

### 발명의 효과

[0038] 일 실시예들에서, 어닐링 후 MgO와 동일한 기본 결정 방향 (001)을 갖는 이원 합금 산화물(binary alloy oxide), 삼원 합금 산화물(ternary alloy oxide), 또는 다른 다원 합금 산화물(multi-nary alloy oxide)은, MgO의 배리어 높이를 낮추도록 제공될 수 있어, 증가된 두께에서 더 작은 저항을 갖는다. 예를 들면, 새로운 산화물들은 산화물(예컨대, MgO)에 추가적 원소들을 제공하여 형성될 수 있다. 추가적 원소들은 상기 산화물의 저항을 감소시킨다. 추가적 원소들은 예를 들면, 하기의 원소들의 하나 이상을 포함할 수 있다: Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh. 상기 새로운 산화물들이 시드, 캡핑 또는 스페이서/배리어막들로서 사용되어, 자기 메모리 장치와 같은 자기 장치의 터널 자기 저항(tunnel magnetoresistance, TMR) 비율(ratio)을 증가시키고 RA를 감소시킬 수 있다.

[0039] 그러므로 MgO막의 특성들이, 첨가제들 또는 추가적 원소들의 사용을 통해 향상될 수 있다. 첨가제들은 예컨대, 격자 상수를 맞추도록 결정 구조를 늘리거나 줄이기 위하여 사용될 수 있다. 또는, 첨가제들은 격자 불일치로 인한 스트레인(strain)의 영향을 증가시키도록 사용될 수 있다.

[0040] 새로운 산화물들은 더 낮은 밴드 갭, 또는 몇몇의 예시에서 도전성을 갖기 때문에, 더 낮은 RA 값을 제공한다. 더 낮은 밴드 갭은 터널링을 위한 물질의 전기 저항을 감소시킨다. 도전성 산화물들은 예를 들면, 감소된 저항을 갖는 시드 또는 캡핑 막들을 제공하기 위하여 사용될 수 있다. 그리고, 도전성은 스핀 전달 토크 MTJ 구조들에서의 배리어막들에서 일반적으로 회피되어야 하지만, 도전성 스페이서(삽입) 막들은 스핀 밸브 구조들에서 유용하게 사용될 수 있다. 시드, 캡핑 및 배리어/스페이서 막들에서 감소된 RA 값들을 갖는 새로운 산화물을 이용함에 의해, 메모리 쓰기 전류와 전력은 감소될 수 있으며, 읽기 신호 및 속도는 증가될 수 있으며, 쓰기 및 읽기 오류들의 가능성은 크게 감소될 수 있다.

### 도면의 간단한 설명

[0041] 도 1은 일반적인 자기 소자를 도시한다.

도 2는 일 실시예의 자기 소자를 도시한다.

도 3 및 4는 두 개의 스위칭 방향들에서 도 2에 도시된 자기 메모리 구조들에 대하여 다양한 전압에서의 스위칭 속도(switching speed)를 도시한 그래프들이다.

도 5는 도 2에 도시된 구조들에서, MTJ 메모리 비트들의 수와 두 개의 스위칭 방향들(P→AP, AP→P)에 대한 쓰기 전류를 도시한 그래프들이다.

도 6은 DMTJ 구조의 이점들과, 두 개의 배리어들 중 하나가 본 발명 개념의 원리를 따라 배치된 DMTJ 구조의 이점들을 도시한 그래프들의 세트를 제공한다.

도 7은 본 발명의 개념의 원리에 따른 하나 이상의 새로운 산화물들로 형성된 배리어막을 갖도록 형성된 자기 메모리 소자의 개략적 대표도이다.

도 8은 면 내 자화된 및 수직 자화된 기준막들 둘 다를 가지며, 면 내 자화된 자유막을 더 포함하고, 본 발명의 개념의 원리에 따른 하나 이상의 새로운 물질들로 형성된 배리어막을 포함하는 자기 메모리 소자의 개략적 대표도이다.

도 9는 도 8과 유사하되, 본 발명 개념의 추가적인 원리에 따른 하나 이상의 새로운 산화물들로 형성된 캡핑막을 더 포함하는 자기 메모리 소자의 개략적 대표도이다.

도 10은 수직(자화된) 및 면 내(자화된) 기준막들 둘 다와, 수직 자화된 자유막을 가지며, 본 발명의 개념의 또 다른 실시예에 따른 하나 이상의 새로운 산화물들로 형성된 배리어막을 더 갖는 자기 메모리 소자의 개략적 대표도이다.



도 11은 수직(자화된) 및 면 내(자화된) 기준막들 둘 다와, 수직으로 자화된 자유막을 포함하며, 본 발명의 개념의 추가적인 원리에 따른 하나 이상의 새로운 산화물들로 형성된 배리어막을 더 갖는 또 다른 실시예의 자기 메모리 소자의 개략적 대표도이다.

도 12는 본 발명 개념의 또 다른 원리에 따른 하나 이상의 새로운 산화물로 형성된 시드막을 갖는 자기 메모리 소자의 개략적 대표도이다.

도 13은 본 발명의 개념의 추가적인 원리에 따른 하나 이상의 새로운 산화물로 형성된 캡핑막을 갖는 자기 메모리 소자의 개략적 대표도이다.

도 14는 본 발명의 개념의 또 다른 원리에 따른 하나 이상의 새로운 산화물의 하나 이상으로 형성된 캡핑막 및 시드막을 갖는 자기 메모리 소자의 개략적 대표도이다.

도 15는 실질적인 수직으로 자화된 자유막 및 기준막을 가지며, 본 발명의 개념의 원리에 따른 하나 이상의 새로운 산화물로 형성된 배리어막을 더 갖는 자기 메모리 소자의 개략적 대표도이다.

도 16은 실질적으로 수직으로 자화된 기준막 및 자유막을 갖는 자기 메모리 소자의 개략적인 대표도로서, 본 발명의 개념의 추가적인 원리에 따른 캡핑막, 배리어막 및/또는 시드막으로서 하나 이상의 새로운 산화물의 사용을 추가적으로 도시한다.

도 17은 본 명세서의 몇몇 실시예들에 따른 자기 소자를 사용한 자기 메모리의 일 실시예를 도시한다.

도 18은 본 명세서의 원리에 따라 형성된 MTJ 소자를 포함하는 자기 장치의 개략적 단면도이다.

도 19는 상술한 본 발명의 개념의 몇몇 실시예에 따른 자기 장치가 사용된 전자 시스템의 개략적 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0042]

예시적 실시예들은 자기 메모리들과 같은 자기 장치들에서 사용 가능한 자기 소자들과, 상기 자기 소자들을 사용하는 장치들과 관련된다. 하기의 기술은 당해 기술에서 숙련된 자가 만들거나 사용하도록 기술되며, 특허 명세서 및 그것의 자격 요건이 본 명세서 내에서 제공된다. 예시적 실시예들에 대한 다양한 변경들과 일반적인 개념들과 본 명세서에서 기술된 특징들은 매우 명백할 것이다. 예시적 실시예들은 주로, 특별한 실행 내에서 제공되는 특별한 방법들 및 시스템들의 용어들 내에서 기술된다. 그러나, 상기 방법들 및 시스템들은 다른 실행들 내에서 효율적으로 작동할 것이다. "예시적 실시예(exemplary embodiment)", "일 실시예(one embodiment)" 및 "다른 실시예(another embodiment)"와 같은 구문은 다수의 실시예들뿐만 아니라 동일하거나 상이한 실시예들로 간주될 수 있다. 상기 실시예들은 특정 요소들을 갖는 시스템들 및/또는 장치들에 관련하여 기술될 것이다. 그러나, 상기 시스템 및/또는 장치들은 도시된 것보다 많거나 적은 요소들이 포함될 수 있으며, 상기 요소들의 배열 및 형태에 대한 다양성들은 발명의 범위로부터 벗어나지 않도록 만들어질 수 있다. 예시적 실시예들은 또한, 특정 단계들을 갖는 특별한 방법들이 문맥 내에서 기술될 수 있다. 그러나, 상기 방법 및 시스템은 상이하고/또는 추가한 단계들 및 예시적 실시예들과는 불일치하는 다른 순서의 단계들을 갖는 다른 방법에 대하여 효율적으로 작동한다. 그래서, 본 발명은 도시된 실시예들로 한정되는 것을 의도하지 않지만, 본 명세서 내 기술된 원리들 및 특징들을 가지고 일관된 가장 넓은 범위에 부합된다.

[0043]

예시적 실시예들은, 특정 요소들을 갖는 특정 자기 소자들 및 자기 메모리들이 문맥 내에서 기술된다. 본 발명이, 본 발명에 모순되지 않은 다른 요소 및/또는 추가 요소들 및/또는 다른 특성들을 갖는 상기 자기 소자들 및 자기 메모리들의 사용에 일관된다라는 것을 당해 기술에서 숙련된 자는 용이하게 인식할 것이다. 상기 방법 및 시스템은 또한, 스핀 전달 현상을 이해하도록 문맥 내에서 기술된다. 결과적으로, 당업자는 상기 방법 및 시스템의 행동의 이론적 설명들은 스핀 전달의 이해를 기반으로 만들어진다는 것을 용이하게 인식할 것이다. 당업자는 또한, 상기 방법 및 시스템이 기관과의 특별한 관계를 갖는 구조의 문맥 내에 기술된다는 것을 용이하게 인식할 것이다. 그러나, 당업자는 상기 방법 및 시스템이 다른 구조들에서도 일관된다는 것을 쉽게 인식할 것이다. 추가적으로, 상기 방법 및 시스템은 합성 및/또는 단순한 특정 막들을 갖는 어떤 층들의 문맥 내에서 기술된다. 그러나, 당업자는 상기 막들이 다른 구조를 가질 수 있다는 것을 용이하게 인식할 것이다. 더욱이, 상기 방법 및 시스템은 특정 막들을 갖는 자기 소자들의 문맥 내에서 기술된다. 그러나, 당업자는 상기 방법 및 시스템에 모순되지 않은 추가적/또는 상이한 막들을 갖는 자성 소자들이 또한 사용될 수 있다는 것을 용이하게 인식할 것이다. 게다가, 어떤 요소들은 자성, 강자성, 및 페리 자성인 것으로서 기술된다. 본 명세서 내에서 사용된 것처럼, 상기 자성이라는 용어는 강자성, 페리자성 또는 그와 유사한 구조들을 포함할 수 있다. 그래서, 본 명세서 내에서 사용된 바와 같이, "자성(magnetic)" 또는 "강자성(ferromagnetic)"은 강자성체

(ferromagnets) 및 페리자성체(ferrimagnets)를 포함하되, 이에 한정되지는 않는다. 상기 방법 및 시스템은 또한, 단일 요소들의 문맥 내에서 기술된다. 그러나, 당업자는 상기 방법 및 시스템이 다수의 요소들을 갖는 자기 메모리들의 사용에 일관된다는 것을 용이하게 인식할 것이다. 게다가, 본 명세서 내에서 사용된 바와 같이, "면 내(in-plane)"는 자기 소자의 하나 이상의 막들의 실질적으로 면 내에 또는 면에 대하여 평행하다. 반대로, "수직(perpendicular)"은 자기 소자의 하나 이상의 막들에 대하여 실질적으로 수직인 방향에 대응된다.

- [0044] 상기 논의된 바와 같이, 도 1의 MTJ(10)와 같은 MTJ 소자는 MgO 터널링 배리어막을 포함할 수 있다. 일반적으로 MgO는 어닐링 후, bcc (001) CoFe, 또는 CoFeB와의 우수한 결정 구조 정합(match)을 제공하는 (001) ("암염") 결정 구조를 갖는다. 이러한 우수한 결정 구조 정합(match)은, 예를 들면, 메모리 소자 응용들에 적합한 더 높은 터널링 자기 저항(tunneling magnetoresistance, TMR) 비율을 제공한다. 다른 것들 중에서, 높은 TMR 비율(예를 들면, 100% 이상)은 더 빠른 읽기 작동을 가능케 한다. 그리고 대칭 필터링 강화된 스핀 분극(symmetry filtering enhanced spin polarization)은, 스핀 전달 토크(spin transfer torque, STT) 임계 스위칭 전류 밀도의 감소를 야기시킨다.
- [0045] 그러나, 더 작은 소자들로의 경향은, MTJ의 RA를 감소시키기에 바람직하게 한다. 그렇게 하기 위하여, 하나의 접근은 MgO 배리어막의 두께를 감소시키고 있다. 불행하게도, 그러나, 상기 MgO막이 너무 얇은 경우, 이러한 효과를 잃을 수 있다. 특히, 약  $5^{-10} \Omega \mu\text{m}^2$  RA 값 이하에서, 상기 배리어의 질(quality)은 급속하게 떨어지고 TMR 비율이 감소한다. MTJ 셀의 지름이 20nm일 때,  $10 \Omega \mu\text{m}^2$ 의 RA 값을 MTJ 비트가 약 32k $\Omega$ 저항을 갖도록 할 것이다. 높은 MRJ 비트 저항은 쓰기 전압( $V_w$ ) 및 쓰기 에너지( $E_w$ )가 매우 높아지도록 할 것이다.
- [0046] 따라서, MgO와 동일하거나 유사한 효과를 갖지만, 박막 품질이 저하될 정도의 너무 얇은 배리어막의 형성 없이 낮은 RA를 제공하도록 더 낮은 배리어 높이를 갖는, 개선된 터널링 배리어막을 갖는 것이 바람직하다. 예컨대, PMTJ(perpendicular MTJ)을 기반을 하는 20nm 노드 이하의 STT-RAM의 크기를 조정하도록, 더 낮은 RA이 바람직하다.
- [0047] 추가적으로, 가장 높은 TMR 비율과 가장 낮은 스핀 전달 토크 스위칭 전류 밀도를 얻기에 바람직한, 최상의 결정 구조 정합(matching)을 위하여, 얇은 MgO막은 시드막, 캡핑막, 또는 스페이서(삽입)막으로 사용될 수 있다. 이러한 막들은 다양한 바람직한 기능들을 갖는다. 예를 들면, 이러한 막들은 스위칭 동안 MTJ에서 전압 강하를 감소시키는데 도움을 줄 수 있다. 예를 들면, 일반적인 캡핑막은, 반응하여 자성을 잃은 막(magnetic dead layer)을 형성할 수 있는 자성 물질(예컨대, Ta)의 산화 방지를 도울 수 있다. MgO 캡핑막을 가지고, 자성을 잃은 막의 형성은 방지될 수 있으며, 강한 수직 계면 이방성(perpendicular interfacial anisotropy)이 성취될 수 있다. 그러나, 불행하게도, 추가적인 MgO막의 제공은, 너무 큰 저항을 제공함으로써 TMR 비율을 궁극적으로 더 낮출 수 있는 직렬 저항을 추가할 수 있다.
- [0048] 따라서, 더 많이 낮은 RA값을 갖는 우수한 결정 구조 정합을 갖는 시드, 캡핑 및/또는 스페이서(삽입)막을 갖는 것이 또한 바람직하다. 이로써, 그렇지 않으면 발생할 수 있는 성능 저하를 감소시킬 수 있다.
- [0049] 더욱이, 예를 들면, 도 2에 도시된 몇몇 메모리 구조들에서, MgO가 터널링 배리어막, 시드막(들), 및 캡핑막(들)으로만 사용될 때, 상기 최종 메모리(100)은 아래에서 기술되는 몇몇의 쓰기 및 읽기 수행 문제를 겪을 수 있다.
- [0050] 도 2에서, 메모리(100)은 수직 이방성 캡핑막(140), 변화 가능한 자화(131)를 갖는 자유막(130), 스페이서막(120, 예를 들면 터널링 배리어), 및 피고정막(pinned layer, 110)을 포함한다. 자기 소자(100)는 자기 메모리와 같은 자기 장치에 사용되며, 전류는 자기 소자(100)를 통해 인가될 수 있다. 결국, 이러한 장치는 콘택들(도 2에 도시되지 않음)을 포함하되, 콘택을 통해 전류가 자기 소자(100)로부터 제공되고 빠져나갈 수 있다. 또한, 이와 같은 콘택들은 예를 들면, 도 7 내지 16와 관련되고, 도시되지 않더라도 아래에서 논의되는 장치들의 몇 개 또는 전체에서 포함될 수 있다. 본 명세서의 자기 소자들은 또한 도 2에서 도시되지 않은 다른 요소들을 포함할 수 있다. 예를 들면, 시드막들에 추가하여, 자기 소자들은, 피고정막(110)에 인접하며 피고정막(110)의 자화(111)를 고정하기 위한 AFM막(도시되지 않음)을 포함할 수 있다.
- [0051] 도 2에 도시된 실시예에서, 스핀 전달 토크는, 피고정막(110)의 자화(111)에 대하여 평행하게(P) 또는 비평행(AP)하게 자유막(130)의 자화(131)를 스위치하는데 사용될 수 있다. 요구된 중간 스위칭 전류값은, 방향을 스위치하기 어려운 경우(예를 들면, A→AP)에서, 방향을 스위치하기 쉬운 경우(예를 들면, AP→A)의 약 두 배이다. 게다가, 동일한 기술 노드에서 셀 사이즈가 DRAM 셀 사이즈에 필적할 때, 셀 트랜지스터(예를 들면, 도 17의

414)로부터 공급 전류 제한 때문에, 모든 MTJ 비트들이 스위치되는 스위칭 시간의 자릿수가 늘어날 수 있어, 느린 쓰기 동작을 야기시키며, 그것은 다른 메모리 기술들에 경쟁되지 않는다. 방향을 스위치하기 용이할 경우에서조차도, 메모리(100)는 수천 내지 수만 번의 쓰기를 할 때, MTJ 비트들은 더욱 더 나빠져, 몇몇의 쓰기 사이클 동안 스위치되지 않고, 그러고 나서 다시 좋아진다. 이것은, 스핀 토크에 의해 스위치될 때 MTJ 비트가 시간에 따라 변화되는 잠복기를 갖기 때문이다. MTJ비트는 스핀 토크가 적용될 때 그것의 정확한 자화 방향에 의존한다. MgO가 시드막 및 캡핑막으로 사용될 때, 상기 MgO는 직렬 저항을 추가하고, 읽기 신호를 낮추며, 따라서 메모리 읽기 속도를 감소시킨다. 이에 대한 것은 하기에서 더 설명한다.

[0052] 도 3 내지 도 5는 도 2에 도시된 장치 구조에서와 같이, MTJ(100)가 메모리 셀 구조에서 단일 터널링 배리어, 및 하나 이상의 시드막 및 캡핑막으로 MgO를 형성할 때, 메모리(100)으로부터의 쓰기 동작 수행 데이터를 제공한다.

[0053] 도 3 내지 도 5를 참조하면, 단지 MgO만으로 형성된 시드, 캡핑 및 배리어막을 갖는 메모리 구조에서 쓰기 동작에서의 문제점이 논의될 것이다. 도 3은 셀 트랜지스터로 인가된 다양한 게이트 전압들(Vpp)에서, 단일의 쓰기 동작을 통과한 MTJ 셀 수와, 쓰기 펄스 폭을 도시한다. 도 3에 도시된 바와 같이, 방향의 스위치가 용이할 때(예를 들면, AP→A), 상기 쓰기 속도(모든 우수한 MTJ 셀들, 또는 메모리 어레이에서 스위치되는 비트들에 대한)는 20ns로 빠를 수 있다. 그러나, 도 4에서 도시된 바와 같이, 방향의 스위치가 어려운 경우(예를 들면, A→AP), 단일 쓰기 동작 속도는 모든 MTJ 셀들 또는 스위치하는 비트들에 대하여 500ns로 느릴 수 있다. 그러므로 전체적인 쓰기 속도는 상당히 감소될 것이다.

[0054] 도 5는, 쓰기 펄스가 5ns로 고정될 때, 방향의 스위치가 용이한 경우 및 스위치가 어려운 경우 모두에 있어서, 쓰기 동작을 위한 쓰기 전류 분포를 도시한다. 도 5에 도시된 바와 같이, 방향의 스위치가 어려운 경우의 셀을 프로그램 하기에 요구되는 쓰기 전류는 또한 방향의 스위치가 용이한 경우의 셀을 프로그램 하기에 요구되는 쓰기 전류보다 많이 높을 수 있다. 도시된 바와 같이, 방향의 스위치가 어려운 경우의 평균 쓰기 전류는, 표준편차 약 47  $\mu$ A에서, 약 113  $\mu$ A이다. 그러나, 방향의 스위치가 용이한 경우의 평균 쓰기 전류는, 표준편차 9  $\mu$ A에서, 약 86  $\mu$ A밖에 안 된다. 방향의 스위치가 어려운 경우의 쓰기 전류들의 넓은 분포 때문에, 이러한 방식으로 형성된 장치는 효율적으로 기능하기 어려울 수 있다.

[0055] 도 6은 단일 배리어막 MTJ 구조(MTJ 구조 내 자유막이 아래에 배치되는 구조와 같은), 및 논의된 문제점들을 극복하는 본 발명의 개념의 몇몇 원리에 따라 형성된 DMTJ 구조(예를 들면, 도 7에 도시된 바와 같이)에서 스위칭 전류를 비교하는 그래프적인 도시이다.

[0056] 도 6을 참조하면, 단일 터널링 배리어막은 방향의 스위치가 용이한 경우 집중된 스위칭 전류 분포를 갖지만, 방향의 스위치가 어려운 경우 넓은 분포를 갖는다. 본 발명의 개념의 몇몇 원리를 따라 형성된 DMTJ 구조를 사용함으로써, 방향의 스위치가 어려운 경우에서 스위칭 전류의 분포를 상당히 줄일 수 있다.

[0057] 추가적으로, 다중 MgO 배리어막들을 사용한 DMTJ 구조는 두 개의 방향 모두에서 빠른 스위칭 속도(예를 들면, 50ns 이하)를 획득할 수 있음에도 불구하고, MgO 배리어들 모두의 자화 상태들의 총합(cancellation from both MgO barriers)에 의해 낮은 TMR 비율이 가능할 수 있다. 이것은 50% 내지 80%의 TMR 비율과 20  $\Omega$ m<sup>2</sup>보다 큰 RA를 야기시킬 수 있으며, 20nm노드보다 작은 응용제품에 부적합하다.

[0058] 그러므로, 두 개의 MgO 배리어들을 제공하는 것 대신하여, 본 발명 개념의 원리들에 따라 배리어들의 하나(또는 두 개)를 본 명세서에 개시된 하나 이상의 새로운 산화물로 형성된 것으로 대체하면, 더욱 낮은 RA의 새로운 산화물 배리어는 더욱 개선된 TMR 비율을 제공함으로써 이러한 문제를 해소할 것이다.

[0059] 특히 도 7을 참조하면, 본 발명 개념의 일 실시예에 따른 DMTJ 구조가 개시된다. 본 실시예의 DMTJ 구조에서, 두 개의 배리어들 중 하나는 MgO보다는 하나 이상의 새로운 산화물들로 형성될 수 있다.

[0060] 특히, 도 7에서, 자기 메모리와 같은 자기 장치에서 사용되는 자기 소자(70)는 피고정막(또는 하부 기준막, 72), MgO 스페이서막(74), 자유막(76), 새로운 산화물로 형성된 비자성 스페이서막(78), 및 또 다른 피고정막(또는 상부 기준막, 79)을 포함할 수 있다. 새로운 산화물은 예컨대, 어닐링 후의 MgO와 같은 기본 결정 방향(001)을 보유하고 그것의 저항을 감소시키기 위하여 제공되는 추가한 원소를 갖는 이원, 삼원 또는 다원 합금 산화물일 수 있다. 다양한 자성 막들의 자화 방향은 면 내 또는 수직일 수 있다. 몇몇 실시예들에서, 다양한 자성 막들의 자화 방향은 면 내 및 수직 자화 방향의 조합들일 수 있다.

[0061] 더욱 특이하게, 이원 합금 산화물은 예를 들면, 화학식  $Mg_xA_yO_z$ 로 표현되며, 예컨대,  $x+y+z=1$ ,  $x>y$  및  $0<x$ , 또는

y 또는  $z > 1$ 이다. "A"는 MgO에 첨가된 추가 원소를 표현한다. 이러한 원소는 예컨대, 하기의 원소들 중 하나일 수 있다: Ru, Al, Ta, Tb, Cu, V, Hf, Zr, W, Ag, Au, Fe, Co, Ni, Nb, Cr, Mo, 및 Rh. MgO의 일반적인 배리어 높이는 약 2~3eV인데, 추가 원자 A를 갖는 배리어 높이는 2eV보다 아래로 낮출 수 있으며, 더 낮은 RA 값을 제공한다. 이원 합금 산화물  $Mg_xA_yO_z$ 은 여전히 MgO의 (001) 결정 구조를 가질 수 있다.

[0062] 유사하게, 삼원 합금 산화물은 예컨대, 화학식  $Mg_xA^1_{y1}A^2_{y2}O_z$  으로 표현될 수 있으며, 예를 들면,  $x+y1+y2+z=1$ ,  $x > y1+y2$ , 및  $0 < x, y1, y2$ , 또는  $z < 1$ 이다.  $A^1$  및  $A^2$ 는 MgO에 추가된 원소들로서, 배리어 높이를 약 2eV이하로 낮출 수 있으며, 이로 인하여 더 낮은 RA 값을 제공한다.

[0063] 다원 합금 산화물은 예를 들면, 화학식  $Mg_xA^1_{y1}A^2_{y2}\dots A^n_{yn}O_z$ 으로 표현되고, 예컨대,  $x+y1+y2+\dots+y_n+z=1$ , 이고  $0 < x, y1, y2, \dots, y_n$ , 또는  $z < 1$ 이다.  $A^1, A^2, \dots, A^n$ 은 MgO에 추가된 원소들로서 배리어 높이를 약 2eV이하로 낮출 수 있으며, 더 낮은 RA 값을 제공한다.

[0064] 그러나, 몇몇 실시예들에서,  $x+y$  또는  $x+y1+\dots+y_n > 1$ 일 수 있으며,  $z > 1$ 일 수 있다는 점을 확인한다. 예컨대,  $MgAl_2O_4$ , (Mg, Ca, Sr, Ba) $SnO_3$ ,  $Mg_2SnO_4$ , 또는  $NiMn_2O_4$  물질 중 하나 이상은 새로운 산화물로 사용될 수 있다.

[0065] 새로운 산화물들은 예컨대, 목적하는 추가 원자(들)을 갖는 마그네슘 타겟을 스퍼터링하여 형성되고 스퍼터된 필름을 산소에 노출시킴으로써, 형성될 수 있다. 선택적으로 둘, 셋 또는 그 이상의 타겟들이 이원, 삼원, 또는 다원 합금 산화물을 위해 함께 스퍼터될 수 있다. 미리 혼합된 타겟이 또한 제공될 수 있으며, 이 경우 목적하는 금속들이 스퍼터링 되기 전에 미리 혼합되고 산소에 노출된다. 또는, 메모리 장치에서 파티클 수가 너무 많음에도 불구하고, 상기 금속들 및 산소는 스퍼터링 전에 하나의 단일 타겟으로 미리 혼합될 수 있다. 새로운 산화물이 배리어막으로서 사용될 때 도전성이 없더라도, 시드 또는 캡핑막으로 사용될 때나 스핀 밸브 구조에서 스페이서 막으로 사용될 때 상기 새로운 산화물은 도전성일 수 있다.

[0066] 하나 이상의 MgO 배리어막들에 새로운 산화물을 사용하지 않으면, TMR 비율은 MgO 막들의 직렬 저항 때문에 더 낮을 수 있다. 새로운 산화물들 중 하나의 사용으로, 더 높은 TMR 비율과 향상된 스핀 분극이 획득될 수 있다.

[0067] 도 8 내지 도 16은 본 발명 개념의 원리에 따라 형성된 메모리 소자들을 위한 자기 스택 구조의 또 다른 실시예들을 도시한다. 이러한 실시예들 각각에서, 기준막들은 예컨대, 자유막에 대한 바이어스 자기장 효과를 감소시키거나 없애는 SAF 구조일 수 있다. 또한, 상기 자유막은 SAF 구조일 수 있다.

[0068] 도 8에 따르면, 자기 소자 또는 자기 스택 구조(80)은, 면 내 자화 방향(면 내 자화)을 갖는 자유막(86) 상에 배열된 수직 자화 방향(수직 자화)을 갖는 피고정막(또는 상부 기준막, 89)을 포함할 수 있으며, 자유막(86) 및 상부 기준막(89) 사이에 하나 이상의 새로운 산화물로 형성된 비자성 스페이서막(또는 터널링 배리어막, 88)을 갖는다. 또 다른 피고정막(또는 하부 기준막, 82)이, 면 내 자화 방향을 갖도록, 제공될 수 있다. 하부 기준막(82) 및 자유막(86) 사이에 MgO 터널링 배리어막이 형성된다. 본 실시예는 하부의 면 내(자화의) 기준막 및 상부의 수직(자화의) 기준막들로부터의 두 개의 스핀 토크들의 조합으로 매우 빠른 스위칭을 제공할 수 있다. MgO는 더 높은 RA 값을 제공하도록 주터널링 배리어막으로서 본 실시예에서 사용될 수 있다. 그래서, 읽기 신호들은, 더 큰 읽기 신호 및 더 빠른 읽기 작동을 위한 더 높은 TMR 비율을 갖는 주MgO 배리어에 의해 개선될 수 있다. 쓰기 전류가 도 8에 도시된 MTJ구조를 통과될 때, 상부 수직(자화의) 기준막은, 자유막(86)에 대하여 큰 수직 스핀 토크를 제공하며, 자유막 자화를 면에 대하여 바로 기울여지도록 한다. 또한, 하부 기준막(82)으로부터의 스핀 토크는 자유막 자화에 영향을 주어, 자유막(86) 자화가 하부 기준막(82)에 대하여 평행하거나 비평행하도록 할 것이다. 또한, 자유막이 필름 면에 대하여 기울여질 때, 자유막 자화의 세차 회전 효과(precessional rotational effect)가 있을 것이다. 그래서, 자유막 자화의 스위칭을 매우 빠르게 한다(예를 들면, 수십 내지 수백 피코 초).

[0069] 도 9에 도시된 실시예는 피고정막(또는 상부 기준막, 98) 상에 정렬된 하나 이상의 새로운 산화물들로 형성된 캡핑막(99)을 제외하고, 도 8에 도시된 것과 유사하다. 새로운 산화물 캡핑막(99)은, 상부 기준막(98)에서 추가적인 계면 수직 이방성을 야기시키도록 한다. 전술한 실시예들과 후속하여 기술될 실시예들의 각각에서, 상기 구조들은 본 명세서에서 기술된 발명 원리로부터 벗어나지 않으면 그 순서는 바뀔 수 있다는 것을 확인한다. 자기 소자(90)은 또한, 면 내의 자유막(96), 하부 기준막(92), 및 그들 사이의 MgO 막(94)을 포함할 수 있다. 비자성 스페이서막(또는 터널링 배리어막, 97)은 자유막(96) 및 상부 기준막(98) 사이에 배치되고 하나 이상의 새로운 산화물로 형성된다.



- [0070] 도 10은 자기 소자(또는 자기 스택 구조 또는 MTJ 100)을 도시한다. 상기 자기 소자 내의 상부 기준막(109)는 면 내 자화 방향을 가지는 반면, 자유막(106) 및 하부 기준막(102)은 수직 자화 방향을 갖는다. 하나 이상의 새로운 산화물로 형성된 비자성 스페이서막 또는 터널링 배리어막(108)은 상부 기준막(109) 및 자유막(106) 사이에 배치될 수 있으며, MgO 터널링 배리어막(104)은 자유막(106) 및 하부 기준막(102) 사이에 배치될 수 있다. 수직 자화 물질은 면 내 자화 물질보다 더 큰 자기 이방성을 갖기 때문에, 수직 자화 방향들은 상기 자기 장치의 크기를 20nm로 감소하도록 할 수 있다. 쓰기 전류가 도 10에 도시된 MTJ를 통해 인가될 때, 면 내 자화된 상부 기준막(109)은 상기 자유막에 최대 스핀 토크를 제공하여, 상기 자유막이 면 내 방향으로 자화되도록 한다. 그리고, 하부 수직 자화된 기준막(102)으로부터의 스핀 토크에 의해, 상기 자유막은 짧은 시간에 하부 기준막(102)과 평행 또는 비평행하게 스위칭될 것이다. 그러나, 면 내 자화된 상부 기준막(109)이 없으면, 초기 스핀 토크는 0이거나 0에 가깝고, 스위칭되기에 원하지 않게 긴 시간이 걸릴 것이다.
- [0071] 도 11은 자기 소자(또는 자기 스택 구조 또는 MTJ, 110)을 도시한다. 상부 기준막(119) 및 자유막(116)은 수직 자화 방향을 가지며, 하부 기준막(112)은 면 내 자화 방향을 갖는다. MgO 터널링 배리어막(118)은 상부 기준막(119) 및 자유막(116) 사이에 배치되며, 하나 이상의 새로운 산화물들로 형성된 비자성 스페이서막(또는 터널링 배리어막, 114)은 자유막(116) 및 하부 기준막(112) 사이에 배치될 수 있다. 도 10에 도시된 실시예의 면 내 자화된 상부 기준막(109)과 같이, 본 실시예의 면 내 자화된 하부 기준막(112)은 스위칭 작동을 초기화하도록 하여, 더 빠른 스위칭 속도를 제공하도록 할 수 있다.
- [0072] 도 7 내지 도 11의 각각은 본 발명의 개념의 원리들을 따라 형성된 DMTJ 구조를 도시한다. 다양한 단일 배리어막 MTJ 구조들은 또한, 본 발명의 원리의 범위 내에서 고려되며, 몇몇 실시예들은 도 12 내지 도 14를 참조하여 기술될 것이다.
- [0073] 도 12는 자기 소자(또는 자기 스택 구조, 120)를 도시한다. 하나 이상의 새로운 산화물이 시드막(122)으로 사용되며, 자유막(124)이 시드막 상에 형성된다. MgO 터널링 배리어막(126)은 피고정막(또는 상부 기준막, 128)으로부터 자유막(124)을 분리시킨다. 이러한 특별한 실시예에서, 자유막(124) 및 상부 기준막(128) 둘 다는 수직 자화 방향을 갖는다. 전술한 바와 같이, 수직 자화 방향은 더 작은 장치 구조를 가능하게 할 수 있다. Applied Physics Letters, Vol. 99, 042501 (2001), 및 IEEE Magnetics Letters, Vol. 2, 3000204 (2011)에서 상세하게 논의된 바와 같이, 자유막의 활성화 부피(activation volume)가 전체 부피보다 작은 경우, 수직 단일 터널링 배리어막 구조들에서, 스위칭은 도메인들의 빠른 핵생성(nucleation)을 통해 성취될 수 있다.
- [0074] 도 13은 자기 소자(또는 자기 스택 구조 또는 MTJ, 130)를 도시한다. 하나 이상의 새로운 산화물로 형성된 캡핑막(138)이 제공될 수 있다. 캡핑막(138)은 자유막(136) 상에 배치될 수 있으며, 자유막(136)은 MgO 터널링 배리어막(134)에 의해 피고정막(또는 하부 기준막, 132)과 분리될 수 있다. 본 실시예에서, 자유막(136) 및 하부 기준막(132) 모두는 수직 자화 방향을 가질 수 있다.
- [0075] 도 14는 본 발명의 개념의 원리들에 따라 형성된 또 다른 자기 소자(또는 자기 스택 구조, 140)를 도시한다. 도 14에 도시된 바와 같이, 시드막(142)은 본 명세서에 개시된 하나 이상의 새로운 산화물들로 형성될 수 있다. 피고정막(또는 하부 기준막, 144)은 시드막(142) 상에 형성될 수 있다. 자유막(148)은 MgO 터널링 배리어막(146)에 의해 하부 기준막(144)으로부터 분리되어 제공될 수 있다. 마지막으로, 캡핑막(149)은 하나의 새로운 산화물들로 형성될 수 있으며, 자유막(148) 상에 배치될 수 있다. 본 실시예에서, 자유막(148) 및 하부 기준막(144) 모두는 수직 자화 방향을 가질 수 있다.
- [0076] 도 15는, 자성막들의 각각이 수직 자화 방향을 갖는 것을 제외하면, 도 8에 도시된 것과 유사한 자기 소자 또는 DMTJ 자기 스택 구조(150)를 도시한다. 더욱 상세하게, 도 15에 도시한 바와 같이, 피고정막(또는 상부 기준막, 159)은 자유막(156) 상에 배치될 수 있다. 비자성 스페이서막 또는 터널링 배리어막(158)이 피고정막 및 자유막 사이에 배치된다. 스페이서막(158)은 본 명세서에 개시된 하나 이상의 새로운 산화물들로 형성될 수 있다. 다른 피고정막(또는 하부 기준막, 152)은 자유막(156) 아래에 배치될 수 있다. MgO 터널링 배리어막(154)이 자유막(156) 및 하부 기준막(152) 사이에 배치된다. 도면부호 152, 159 각각과 자유막(156)은 수직 자화 방향을 가질 수 있으며, 상부 기준막(159)의 자화 방향은 하부 기준막(152)의 자화 방향과 반대로 배열된다. 전술한 바와 같이, 수직 자화 방향은 더 작은 장치 구조들을 가능하게 할 수 있으며, 활성화 부피가 자유막의 전체 부피보다 작은 경우 빠른 스위칭이 가능할 수 있다.
- [0077] 도 16을 참조하면, 또 다른 실시예에 따른 자기 소자(또는 자기 스택 구조 또는 MTJ, 160)는 하나 이상의 새로운 산화물들로 형성된 시드막(161), 시드막(161) 상에 형성된 피고정막(또는 하부 기준막, 163), 하부 기준막(163) 및 자유막(165) 사이에 배치된 MgO 터널링 배리어막(164), 하나 이상의 새로운 산화물들로 형성되며 자유

막(165) 및 다른 피고정막(또는 상부 기준막, 168) 사이에 배치된 비자성 스페이서막 또는 터널링 배리어막(167), 및 하나 이상의 산화물들로 형성되며 상부 기준막 상에 배치되는 캡핑막(165)을 포함할 수 있다. 자유막 및 기준막 각각은 수직 자화 방향을 가질 수 있으며, 상부 및 하부 기준막들(163, 168)은 서로 반대 방향의 자화 방향을 갖는다.

[0078] 도 17은 전술한 자기 소자를 이용하는 자기 메모리(400)의 일부의 실시예를 도시한다. 본 실시예에서, 자기 메모리는 STT-RAM(400)일 수 있다. STT-RAM(400)은, 워드 라인 셀렉터/드라이버(word line selector/driver, 404)뿐만 아니라 읽기/쓰기 컬럼 셀렉터/드라이버(reading/writing column selector/drivers, 402, 406)을 포함한다. SST-RAM(400)은 또한, 자기 소자(412) 및 선택/분리 소자(414)를 포함하는 메모리 셀(410)을 포함한다. 자기 소자(412)는 도 7내지 도 16에 도시된 어떤 자기 소자일 수 있다. 읽기/쓰기 컬럼 셀렉터/드라이버(402, 406)는 비트 라인들(403) 및 셀들(410)로 선택적으로 전류를 인가하는데 상용될 수 있다. 워드 라인 셀렉터/드라이버(404)는, 선택된 워드 라인(405)에 결합된 선택/분리 소자(selection/isolation device, 414)를 인에이블함으로써, STT-RAM(400)의 열(들)을 선택할 수 있다. 도시된 실시예에서, 쓰기에서 사용된 추가적 자기장은 비트 라인들(403)에 의해 제공될 수 있다.

[0079] 도 17을 참조하면, 본 발명의 개념의 다른 원리들에 따라, 도 17에 도시된 바와 같은 회로 구조는, 시드, 캡핑 또는 배리어막들로서 이원, 삼원 또는 다원 합금 산화물을 포함하는 자기 메모리 소자들을 이용하여 형성될 수 있으므로, 작아진 메모리 셀 크기에서의 실행 특성들, 더 빠른 쓰기 및 읽기 속도, 및 감소된 읽기/쓰기 무작위 에러들을 개선시킬 수 있다.

[0080] 도 18를 참조하면, 액세스 장치들은 기판(10)의 지정된 영역 내 배치된다.

[0081] 기판(10)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판일 수 있으며, SOI(Silicon On Insulator)일 수 있다. 본 경우에서, 액세스 장치들은 MOS 트랜지스터들일 수 있다. 본 경우에서, 액세스 트랜지스터들은, 기판(10)의 지정된 영역 내에 형성된 소자 분리막(11)에 의해 한정된 액티브 영역 내에 배치된다. 특히, 액세스 트랜지스터는 액티브 영역 내에 배치되며, 서로 이격된 소스 영역(13) 및 드레인 영역(12)과, 소스 영역(13) 및 드레인 영역(12) 사이의 채널 영역 상부 영역 상에 형성된 게이트 전극(12)을 포함할 수 있다. 게이트 전극(22)은 워드 라인으로 기능하도록 액티브 영역의 상부를 가로질러 연장할 수 있다. 게이트 전극(22)은 게이트 절연막(21)에 의해 액티브 영역으로부터 절연된다.

[0082] 제1 층간 절연막(20)은 액세스 트랜지스터들을 갖는 기판(10)의 상부 상에 형성되며, 소스 라인(32)은 소스 영역(13)에 대응되는 제1 층간 절연막(20)의 지정된 영역 상에 배치될 수 있다. 소스 라인(32)은 게이트 전극(22)과 동일한 방향으로 연장하도록 형성될 수 있다. 소스 라인 콘택(24) 및 랜딩 콘택(landing contact, 23)은 제1 층간 절연막(20) 내에 형성된다. 소스 라인 콘택(24)은 소스 라인(32)과 소스 영역(13)을 전기적으로 연결하며, 랜딩 콘택(23)은 드레인 영역(12) 상에 형성되어 MTJ 소자를 액세스 트랜지스터들의 드레인 영역(12)에 전기적으로 연결시킬 수 있다.

[0083] 제2 층간 절연막(30)은 제1 층간 절연막(20) 상에 형성될 수 있다. 소스 라인(32)은 제1 층간 절연막(20) 상에 배치된다. 제2 층간 절연막(30) 내에, 랜딩 콘택(24)과 전기적으로 연결되는 하부 전극 콘택(31)이 형성될 수 있다.

[0084] 예를 들면, 도 7 내지 도 16에 관련하여 전술한 본 명세서의 몇몇 실시예들에 따른 MTJ 소자(10)는 전극 콘택(31) 및/또는 제2 층간 절연막(30) 상에 배치될 수 있다. 자기 터널 접합 소자(magnetic tunnel junction element, 10)는 상술되었기 때문에, 이에 대한 상세한 설명은 생략하기로 한다.

[0085] 자기 터널 접합 소자(10) 및 드레인 영역(12)은 랜딩 콘택(23) 및 하부 전극 콘택(31)을 통해 전기적으로 연결된다.

[0086] 제3 층간 절연막(40)은 MTJ 소자(10) 상에 형성될 수 있다. 제3 층간 절연막(40) 상에, 비트 라인(50)이 게이트 전극(22)을 가로지르며 배열될 수 있다. 비트 라인(50) 및 자기 터널 접합 소자(10)는 상부 전극 콘택(41)에 의해 전기적으로 연결된다. 선택적인 공정에서, 상부 전극 콘택(41)은 생략될 수 있다.

[0087] 제1, 제2 및 제3 층간 절연막들(20, 30, 40)은 예컨대, 실리콘 산화막 또는 실리콘 질산화막으로 형성될 수 있다. 랜딩 콘택(23), 소스 라인 콘택(24), 소스 라인(32), 하부 전극 콘택(31), 상부 전극 콘택(41), 및 비트 라인(50)은 예컨대, W, Ru, Ta, Cu, Al, 또는 불순물이 도핑된 폴리실리콘을 사용하여 형성될 수 있다.

[0088] 비트 라인(50) 상에, 주변 회로 영역(도시되지 않음)의 회로들과 전기적인 접촉을 위한 도전 배선들이 더 형성

될 수 있다.

[0089] 도 19는 전술된 본 발명의 개념의 몇몇 실시예들에 따른 자기 소자가 사용된 전기 시스템(900)의 계략적 도면이다. 전기 시스템(900)은 컴퓨터, 노트북 컴퓨터, 울트라 모바일 PC(UMPC), 태블릿 PC, 서버, 워크스테이션, 모바일 텔레커뮤니케이션 장치, 위성, 세트 톱 박스, TV등과 같은 다양한 전기 장치들에 사용될 수 있으나, 상기의 것으로 한정하지는 않는다. 예를 들면, 전기 시스템(900)은 메모리 시스템(912), 프로세서(914), RAM(916), 및 유저 인터페이스(918)를 포함할 수 있으며, 버스(920)를 사용하여 정보 교환을 실행할 수 있다. 메모리 시스템(912)은 전술한 본 명세서의 몇몇 실시예들에 따른 자기 소자를 포함할 수 있다. 프로세서(914)는 마이크로 프로세서 또는 모바일 프로세서(AP)일 수 있다. 프로세서(914)는, 플로팅 포인트 유닛(floating point unit, FPU), 산술 논리 유닛(arithmetic logic unit, ALU), 그래픽 프로세싱 유닛(graphics processing unit, GPU), 및 디지털 신호 프로세싱 코어(digital signal processing core, DSP Core) 또는 이들의 조합을 포함할 수 있는 프로세서 코어(도시되지 않음)를 가질 수 있다. 프로세서(914)는 전기 시스템(900)을 프로그램 및 제어를 실행할 수 있다. RAM(916)은 프로세서(914)의 동작 메모리로서 사용될 수 있다. 예를 들면, 프로세서(914) 또는 RAM(916)은 전술한 실시예들에 따른 자기 메모리를 포함할 수 있다. 선택적으로, 프로세서(914) 및 RAM(916)은 전기 시스템으로/으로부터의 인풋팅/아웃풋팅 데이터에서 사용될 수 있다. 메모리 시스템(912)은 프로세서(914)의 동작을 위한 코드, 프로세서(914)에 의해 진행된 데이터, 또는 외부 인풋 데이터를 저장할 수 있다. 메모리 시스템(912)은 컨트롤러 및 메모리를 포함할 수 있다.

[0090] 전기 시스템(900)은 다양한 전기 장치들을 위한 전기적 컨트롤러들에서 사용될 수 있다.

[0091] 시드막, 캡핑막, 및/또는 배리어 또는 스페이서막으로 하나 이상의 새로운 산화물을 갖는 자기 스택 구조를 형성함으로써, 더 낮은 RA 값 및 더 낮은 STT 쓰기 전류 밀도와 전압과 함께 더 높은 TMR 비율이 제공될 수 있다. 추가적으로, 더 높은 계면 수직 이방성은 이러한 개선된 시드, 캡핑 및 삽입 물질들의 사용으로 성취될 수 있다. 개선된 물질들은 또한, 스위칭을 위한 잘 설정된 방향과 우수한 선택 특성과 함께 읽기 및 쓰기 오류의 대단히 감소된 가능성을 제공한다.

[0092] 예를 들면, 새로운  $Mg_xA_yO_z$  이원 산화물로서  $MgTb_yO$ 을 사용한 배리어막들 중 하나를 형성함으로써, 높은 코히어런트 터널링(coherent tunneling)이 성취될 수 있으며, 높은 TMR 비율이 가능하다. 추가적으로, 배리어막 및 자성 피고정막 또는 자유막 사이에서의 우수한 결정 정합이 획득될 수 있다. 유사하게,  $MgTb_yO$ (또는 새로운 산화물들 중 하나)는 시드 또는 캡핑막을 형성하기 위하여 사용되며, 결정 구조들 사이에서의 우수한 격자 정합이 획득되고, 더 낮은 RA값이 성취될 수 있다. 즉, 바람직하게 Tb이 O와 결합하기 때문에 그래서 더 적은 산소 원자들이 Mg와 반응하여 결과적으로 더 낮은 배리어 높이 및 더 낮은 RA 값이 야기된다.

[0093] 도시된 몇몇 실시예에서, MgO는 일반적으로 배리어막들 중 하나로서 사용되며, 새로운 산화물들이 제2 배리어막, 캡핑막, 또는 시드막으로서 사용된다. 그러나, 본 명세서의 원리들은, MgO와 다른 배리어 물질들이 사용될 때 또한 적용될 수 있다. 새로운 산화물들이 두 개 이상의 배리어막들을 제공하기 위하여 사용된다면, 새로운 산화물막들 중 하나는 바람직하게, 다른 새로운 산화물 배리어막보다 적어도 한 자릿수 높은 RA 값을 가질 수 있다. 자화 상태들의 총합은 RA 값들에 의존하기 때문에, RA 값들이 너무 작으면, 장치의 효율적인 읽기가 어려울 수 있다. 그러므로, 다른 실시예들에서, 주터널링 배리어는 하나 이상의 새로운 산화물 계로부터 형성될 수 있다.

[0094] 몇몇 실시예들에서, 상기 장치들에서의 쓰기 방법들은, 스위칭을 야기하도록 MTJ 장치들을 통해 흐르는 쌍극(bipolar) 또는 단극(unipolar) 전류(또는 전압)를 사용하는 것을 포함할 수 있다. 선택적으로, 쓰기 방법은 MTJ 장치들에 인접하여 보조적인 펄스 전류와 함께 MTJ 장치들을 통해 흐르는 쌍극 또는 단극 전류(또는 전압)를 사용하는 것을 포함할 수 있다. 일 실시예에서, 보조적인 펄스 전류는 자기장을 통해 MTJ와 결합시킬 수 있다. 다른 실시예에서, 보조적인 펄스 전류는 스핀 홀 효과(Spin Hall Effect) 또는 라쉬바 효과(Rashba effect)와 같은 물리적 효과로부터 MTJ로 스핀 전류 또는 스핀 토크를 야기시킬 수 있다. 보조적인 펄스 전류는 MTJ를 통해 흐르는 전류(또는 전압)를 리드하고/또는 중첩할 수 있다. 상기 방법들은 더 낮은 쓰기 에러율과 함께 더 빠른 스위칭하도록 할 수 있다.

[0095] 특히, 일 실시예에 따르면, 도 17에 도시된 바와 같이 다수의 자기 저장 셀들(각각은 전술한 적어도 하나의 자기 소자를 포함)을 포함하는 자기 메모리는 적어도 하나의 자기 소자를 통해 쌍극 또는 단극 전류를 인가하거나, 적어도 하나의 자기 소자로 전압을 인가함으로써 프로그램될 수 있다. 쌍극 또는 단극 전류 또는 전압은 적어도 하나의 자기 소자를 프로그램하기에 충분할 수 있다. 또한 다수의 자기 저장 셀들 각각은 적어도



하나의 선택 소자를 포함할 수 있다. 그래서, 적어도 하나의 자기 소자는 적어도 하나의 자기 소자를 통해 쓰기 전류를 흘려주거나 적어도 하나의 자기 소자로 전압을 인가함으로써, 프로그램할 수 있다.

[0096] 다른 실시예에서, 도 17에 도시된 바와 같이, 다수의 자기 저장 셀들(전술한 적어도 하나의 자기 소자를 포함)을 포함하는 자기 메모리는, 다수의 자기 저장 셀들의 일부의 적어도 하나의 자기 소자를 통해서가 아니라 자기 소자에 인접하게 제1 전류를 인가하고(예를 들면, 적어도 하나의 자기 소자에 인접한 도전 배선으로 교류 전류를 인가하고), 그리고 적어도 하나의 자기 소자를 통해 제2 전류를 인가하거나 또는 전압을 인가함으로써, 프로그램될 수 있다. 제1 전류는 자기장 또는 추가적인 스핀 토크를 형성할 수 있다. 제2 전류 또는 전압; 및 자기장 또는 추가적인 스핀 코트는 적어도 하나의 자기 소자를 프로그램하기에 충분할 수 있다. 본 발명의 개념의 전술한 실시예들을 따르면, 자기 메모리들의 동작에서 더 낮은 오류율을 가지며 더 빠른 스위칭이 실현될 수 있다. 즉, 본 발명 개념의 새로운 산화물들에서, 전술한 보조 쓰기를 더하여, 심지어 가장 작은 메모리 셀 사이즈-예를 들면, 20nm 노드 하에서-가장 빠른 스위칭이 실현될 수 있다.

[0097] 일반적으로 본 명세서에 사용된 용어와 특히 첨부된 청구항들(예를 들면, 첨부된 청구항들의 본문)은 "열린" 용어들(예를 들면, 용어 "including, 포함하는"은 "including but not limited to, 포함하나 이에 한정되지 않는"이라고 해석되어야 하며, 용어 "having가지는"은 "having at least, 적어도 가지는"으로 해석되어야 하며, 용어 "includes, 포함한다"는 "includes but is not limited to 포함하나 이에 한정되지 않는다"로 해석되어야 하는 것 등.)로 사용되게 의도된 것이라는 것은 당업자에게 이해될 것이다. 만약 개시된 청구항의 상술의 특정한 숫자가 의도된 것이라면, 그러한 의도는 청구항에 명백히 이야기될 것이고, 그러한 상술이 존재하지 않으면 그러한 의도는 존재하지 않는다는 것은 당업자에게 이해될 것이다. 예를 들어, 이해를 돕기 위한 의도로, 다음 첨부된 청구항들은 도입구 "at least one, 적어도 하나"와 "one or more, 하나 이상"을 청구항 상술을 도입하기 위하여 포함하고 있다. 그러나 심지어 동일한 청구항이 도입 구절 "하나 이상" 또는 "적어도 하나" 그리고 "a" "an" 같은 불명확한 구절들을 포함할 때, 그러한 구절들의 사용은 불명확한 문구 "a" 또는 "an"에 의한 청구항 상술의 도입이, 단지 하나의 그러한 상술을 포함하는 그러한 발명에 도입된 청구항 상술을 포함하는, 어떤 특정 청구항을 한정한다는 것을 내포하는 것을 막을 수 없다(예를 들어, "하나의" 및/또는 "한"은 통상 "적어도 하나" 또는 "하나 이상"을 의미하는 것으로 해석되어야 한다); 동일한 것은 청구항 상술을 도입하기 위하여 사용된 불명확한 구절들의 사용을 위하여 유효하다. 더욱이, "A, B 및 C 중의 적어도 하나"와 유사한 규칙이 사용된 경우에는, 일반적으로 그러한 해석은 당업자가 그 규칙을 이해할 것이라는 전제가 의도된 것이다(예를 들어, "A, B 및 C 중의 적어도 하나를 갖는 시스템"은, A만을 갖거나, B만을 갖거나, C만을 갖거나, A 및 B를 함께 갖거나, A 및 C를 함께 갖거나, B 및 C를 함께 갖거나, A, B, 및 C를 함께 갖는 시스템을 포함하지만 이에 제한되지 않음). "A, B 또는 C 중의 적어도 하나"와 유사한 규칙이 사용된 경우에는, 일반적으로 그러한 해석은 당업자가 그 규칙을 이해할 것이라는 전제가 의도된 것이다(예를 들어, "A, B 또는 C 중의 적어도 하나를 갖는 시스템"은, A만을 갖거나, B만을 갖거나, C만을 갖거나, A 및 B를 함께 갖거나, A 및 C를 함께 갖거나, B 및 C를 함께 갖거나, A, B, 및 C를 함께 갖는 시스템을 포함하지만 이에 제한되지 않음). 또한 당업자라면, 실질적으로 어떠한 이접 접속어(disjunctive word) 및/또는 두 개 이상의 대안적인 용어들을 나타내는 구절은, 그것이 상세한 설명, 청구범위 또는 도면에 있는 지와 상관없이, 그 용어들 중의 하나, 그 용어들 중의 어느 하나, 또는 그 용어들 두 개 모두를 포함하는 가능성을 고려했음을 이해할 것이다. 예를 들어, "A 또는 B"라는 구절은 "A" 또는 "B" 또는 "A 및 B"의 가능성을 포함하는 것으로 이해될 것이다.

[0098] 본 명세서 전체에 걸쳐 "일 실시예" 또는 "하나의 실시예"에 대한 참조는, 실시예와 관련하여 기술된 특별한 특징, 구조 또는 특성이 본 발명에 포함되는 적어도 하나의 실시예에 포함되는 것을 의미한다. 따라서, 구문 "하나의 실시예" 또는 "일 실시예에서"는 반드시 동일한 실시예를 참조하는 것은 아니다. 또한, 특별 특징, 구조 또는 특성은 도시된 특정 실시예를 제외한 다른 적절한 형태로 형성될 수 있고, 이러한 모든 형태들은 본 출원의 특허청구범위 내에 포함된다. 다양한 자기 메모리 소자 구조들, 그리고 상기 자기 메모리 소자를 사용하여 제조된 자기 메모리 소자 및 메모리를 제공하는 방법들 및 시스템들이 기술된다. 상기 구조들, 방법 및 시스템들이 실시예들에 따라 기술되지만, 본 실시예들에 대한 다양한 변형들이 가능하고, 그러므로 변형들은 본 명세서에 개시된 장치, 방법 및 시스템의 사상 및 범위 내에서 고려된다는 것을 당업자는 쉽게 인식한다. 따라서, 많은 변형들은 당업자에 의해 첨부된 청구항들의 사상 및 범위로부터 벗어나지 않으면 만들어질 수 있다.

## 부호의 설명

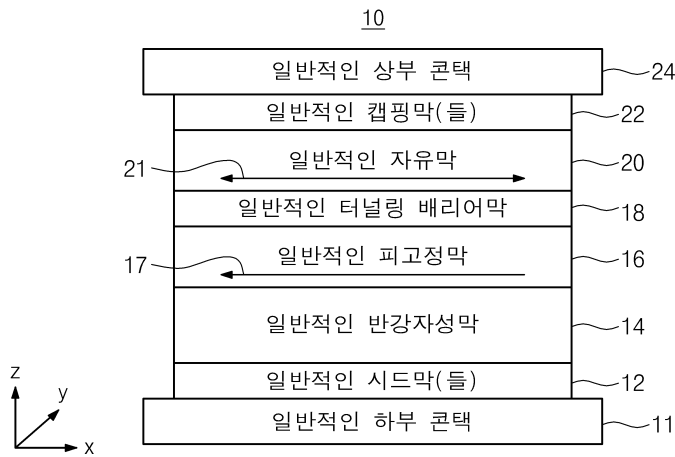
[0099] 110: 피고정막

120: 스페이서막

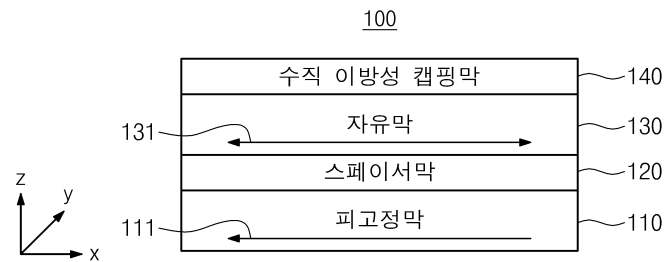
- 130: 자유막
- 140: 수직 이방성 캡핑막

도면

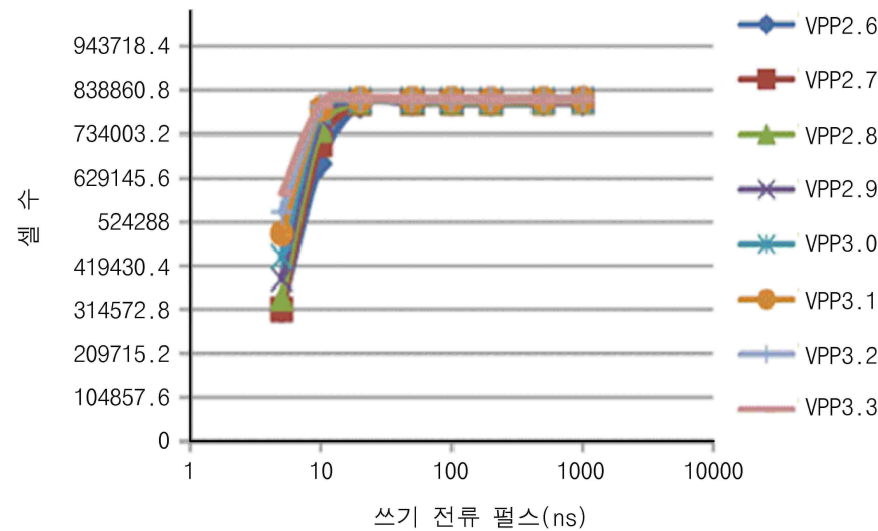
도면1



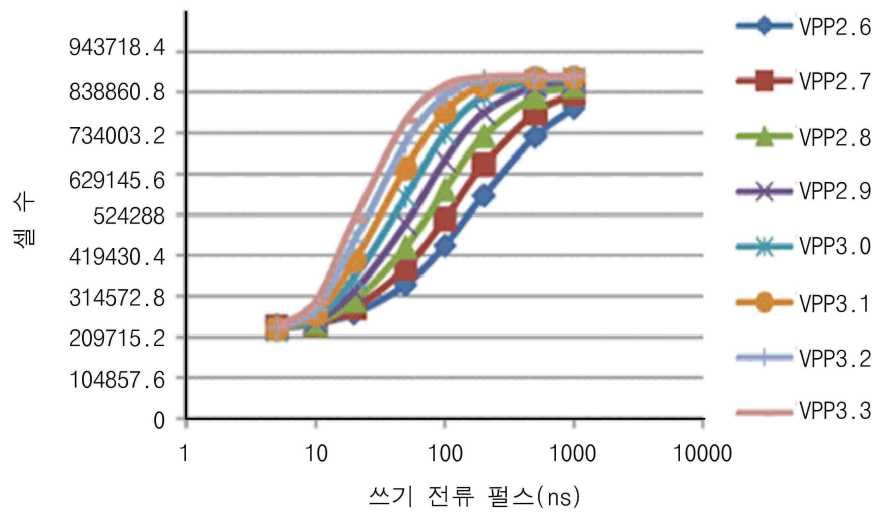
도면2



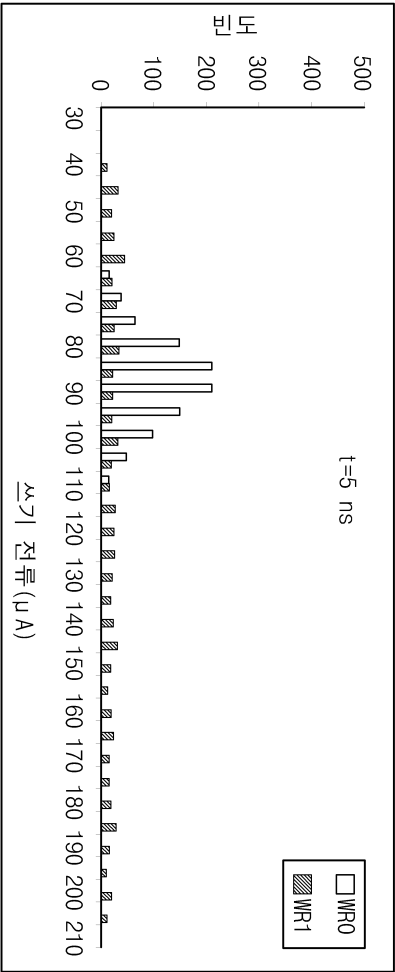
도면3



도면4

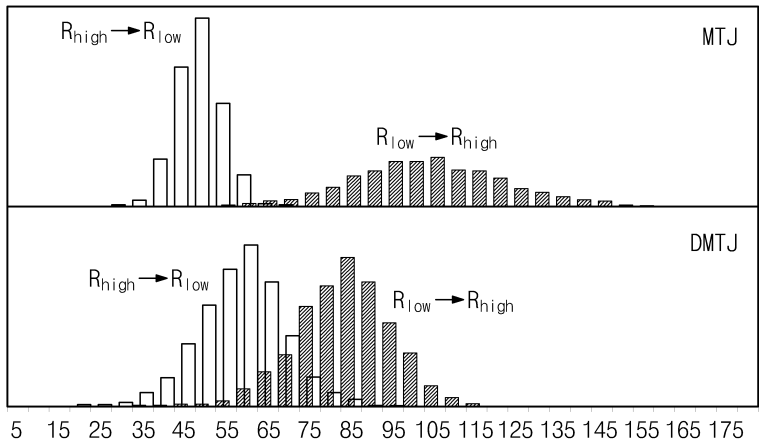


도면5



	$I_W(\mu A)$ P-AP	$I_W(\mu A)$ AP-P
평균값	112.861	85.667
표준 편차	47.241	9.325
최소값	39.125	56.625
최대값	203.135	119.862

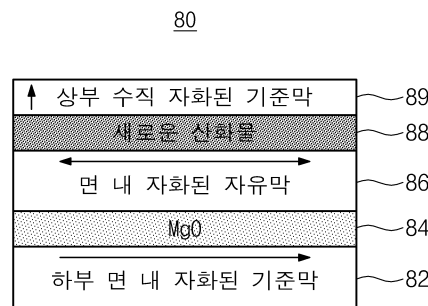
도면6



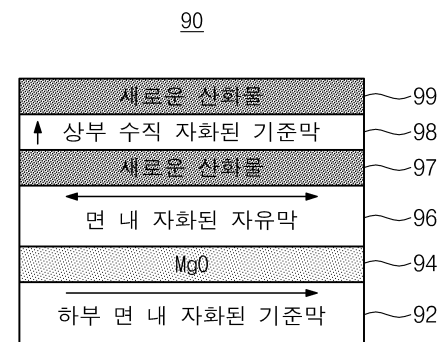
도면7



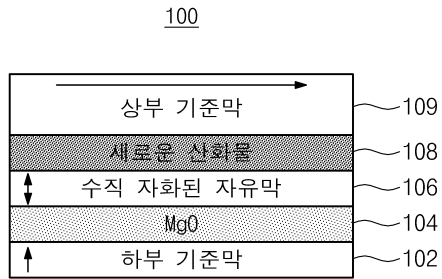
도면8



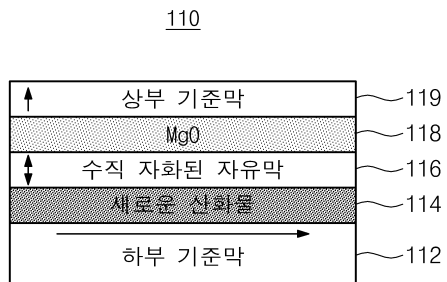
도면9



도면10



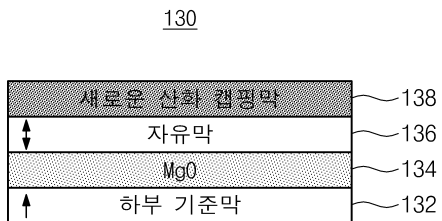
도면11



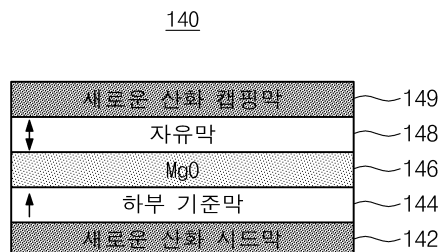
도면12



도면13



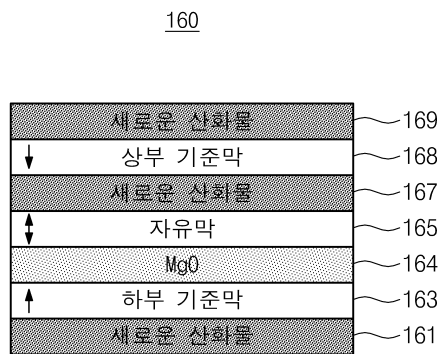
도면14



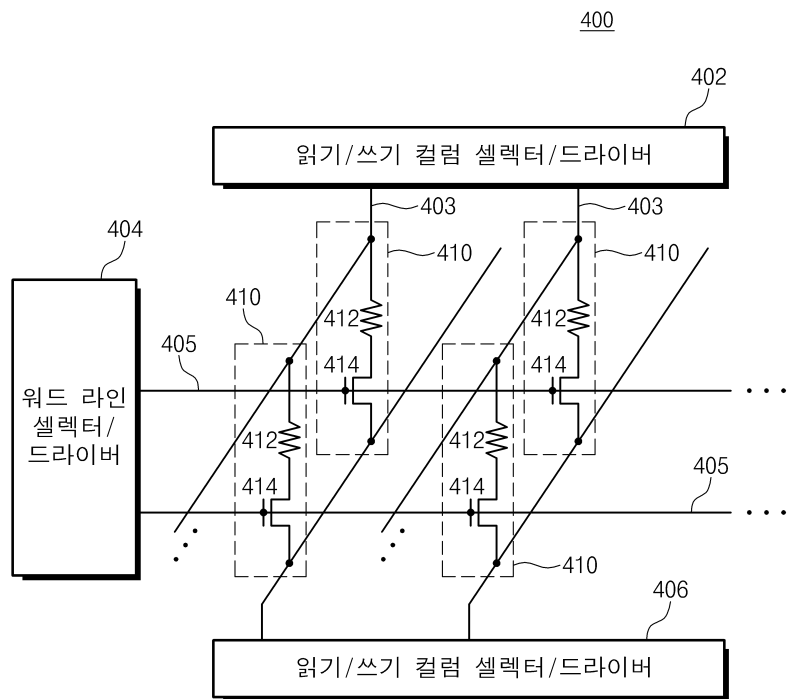
도면15



도면16

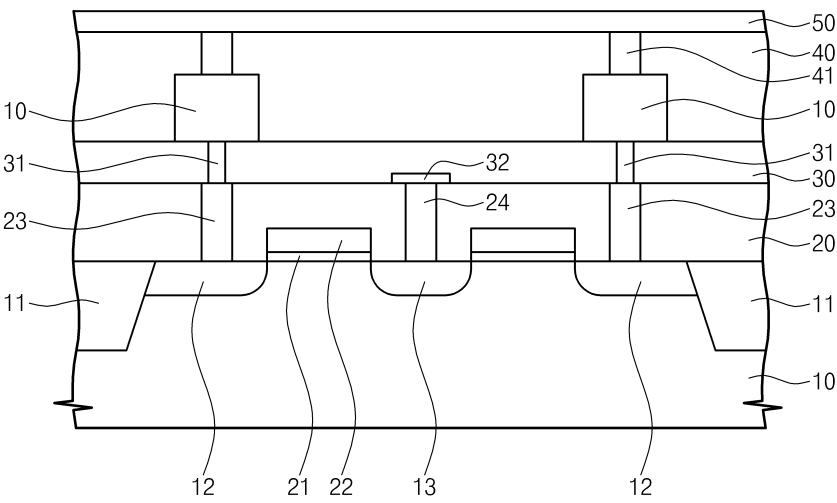


도면17





도면18



도면19

