(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3663258号

(P3663258)

(45)発行日　平成17年6月22日(2005.6.22)　(24)登録日　平成17年4月1日(2005.4.1)

(51)Int.Cl.[7]	F I		
H03F 1/52	H03F	1/52	B
H01L 21/822	H01L	29/78	656B
H01L 21/8234	H01L	29/78	657G
H01L 27/04	H01L	27/04	H
H01L 27/088	H01L	27/08	102A

請求項の数 18　(全 23 頁)　最終頁に続く

(21)出願番号　特願平8-234573
(22)出願日　平成8年9月5日(1996.9.5)
(65)公開番号　特開平9-139633
(43)公開日　平成9年5月27日(1997.5.27)
審査請求日　平成15年4月1日(2003.4.1)
(31)優先権主張番号　特願平7-232397
(32)優先日　平成7年9月11日(1995.9.11)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　坂本　光造
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体事業部内
(72)発明者　吉田　功
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体事業部内

審査官　佐藤　敬介

最終頁に続く

(54)【発明の名称】制御回路内蔵絶縁ゲート型半導体装置

(57)【特許請求の範囲】

【請求項１】

ドレイン端子とゲート端子とソース端子を具備し、

ドレインを前記ドレイン端子に接続しソースを前記ソース端子に接続した第１の絶縁ゲート型トランジスタと、

該第１の絶縁ゲート型トランジスタのゲートと前記ゲート端子との間に設けられた第１のＭＯＳＦＥＴと、

ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続しドレインを前記ゲート端子に接続しゲートを前記ソース端子に接続した第２のＭＯＳＦＥＴから少なくとも構成されることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項２】

ドレイン端子とゲート端子とソース端子を具備し、

ドレインを前記ドレイン端子に接続しソースを前記ソース端子に接続した第１の絶縁ゲート型トランジスタと、

該第１の絶縁ゲート型トランジスタのゲートと前記ゲート端子との間に設けられた第１のＭＯＳＦＥＴと、

ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続し、ドレインを前記ソース端子に接続し、ゲートを前記ゲート端子に接続した第２のＭＯＳＦＥＴから少なくとも構成されることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項３】

請求項２において、ボディとソースを前記第２のＭＯＳＦＥＴのボディに接続し、ドレインを前記第１の絶縁ゲート型トランジスタのゲートに接続した少なくとも１つの第３のＭＯＳＦＥＴを更に設けることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項４】

請求項２において、ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続し、ドレインを前記ゲート端子に接続しゲートを前記ソース端子に接続した第３のＭＯＳＦＥＴを更に設けることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項５】

請求項４において、ゲートを前記第１の絶縁ゲート型トランジスタのゲートに接続し、ドレインを前記ドレイン端子に接続し、抵抗を介してソースを前記ソース端子に接続した第２の絶縁ゲート型トランジスタと、

ボディとソースをソース端子に接続し、ドレインを前記第１のＭＯＳＦＥＴのゲートに接続し、ゲートを前記第２の絶縁ゲート型トランジスタのソースと前記抵抗の間のノードに接続した第４のＭＯＳＦＥＴとを設けることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項６】

請求項２において、ボディを前記第２のＭＯＳＦＥＴのボディに接続し、ドレインを前記第１の絶縁ゲート型トランジスタのゲートに接続し、ソースを前記ソース端子に接続した第３のＭＯＳＦＥＴを更に設けることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項７】

請求項１または２において、前記第１の絶縁ゲート型トランジスタは、ＭＯＳＦＥＴであることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項８】

請求項１または２において、前記第２のＭＯＳＦＥＴは、デプレッション型であることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項９】

ドレイン端子とゲート端子とソース端子を具備し、

ドレインを前記ドレイン端子に接続し、ゲートを前記ゲート端子に接続し、ソースを前記ソース端子に接続した第１の絶縁ゲート型トランジスタと、

ドレインを前記ゲート端子に接続した第１のＭＯＳＦＥＴと、

ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続し、ドレインを前記ゲート端子に接続し、ゲートを前記ソース端子に接続した第２のＭＯＳＦＥＴから少なくとも構成されることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項１０】

ドレイン端子とゲート端子とソース端子を具備し、

ドレインを前記ドレイン端子に接続し、ゲートを前記ゲート端子に接続し、ソースを前記ソース端子に接続した第１の絶縁ゲート型トランジスタと、

ドレインを前記ゲート端子に接続した第１のＭＯＳＦＥＴと、

ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続し、ドレインを前記ソース端子に接続し、ゲートを前記ゲート端子に接続した第２のＭＯＳＦＥＴから少なくとも構成されることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項１１】

請求項１０において、ボディとソースを前記第１のＭＯＳＦＥＴのボディと接続し、ドレインを前記ゲート端子に接続し、ゲートを前記ソース端子に接続した第３のＭＯＳＦＥＴを更に設けることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項１２】

請求項９または１０において、前記第１のＭＯＳＦＥＴのボディ領域と前記第１の絶縁ゲート型トランジスタのボディ領域とが、前記第１の絶縁ゲート型トランジスタのドレイン領域により分離されることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。

【請求項１３】
請求項９または１０において、前記第１の絶縁ゲート型トランジスタは、ＭＯＳＦＥＴであることを特徴とする制御回路内蔵絶縁ゲート型半導体装置。
【請求項１４】
基板と、該基板に設けられた第１導電型の第１領域と、該第１領域に接する第２導電型の第２領域と、該第２領域内に設けられた第１導電型チャネルの第１のＭＩＳＦＥＴとを具備する半導体装置において、
前記第１のＭＩＳＦＥＴのソース又はドレインに第１入力電圧が入力された場合に、前記第２領域をフローティング状態とするか、又は、前記第１のＭＩＳＦＥＴのソース又はドレインと前記第２領域との電位差を変化させるかのいずれかを行うスイッチング手段を具備することを特徴とする半導体装置。
【請求項１５】
請求項１４において、前記スイッチング手段は、前記第１のＭＩＳＦＥＴの前記第１入力電圧が入力されるソース又はドレインにそのソース又はドレインが接続され、前記第１のＭＩＳＦＥＴのボディにそのドレイン又はソースとそのボディとが接続され、そのゲートが第１の動作電位に接続された第２のＭＩＳＦＥＴを有することを特徴とする半導体装置。
【請求項１６】
請求項１４において、前記スイッチング手段は、前記第１のＭＩＳＦＥＴの前記第１入力電圧が入力されるソース又はドレインにそのゲートが接続され、前記第１のＭＩＳＦＥＴのボディにそのソース又はドレインとそのボディとが接続され、そのドレイン又はソースが第１の動作電位に接続された第２のＭＩＳＦＥＴを有することを特徴とする半導体装置。
【請求項１７】
基板と、該基板に設けられた第１導電型の第１領域と、該第１領域に接する第２導電型の第２領域と、該第２領域内に設けられた第１導電型チャネルの第１のＭＩＳＦＥＴとを具備する半導体装置において、
前記第１のＭＩＳＦＥＴのソース又はドレインに第１入力電圧が入力された場合に、前記第２領域をフローティング状態とするか、又は、接続状態とするかのいずれかを行うスイッチ手段を具備し、
前記フローティング状態は、前記第２領域と前記第１のＭＩＳＦＥＴのソース又はドレインとの電位差を第１の電圧とし、
前記接続状態は、前記第２領域と前記第１のＭＩＳＦＥＴのソース又はドレインとの電位差を第２の電圧とし、
前記第１の電圧は、前記第２の電圧よりも大きいことを特徴とする半導体装置。
【請求項１８】
パワーＭＯＳＦＥＴのゲートと入力端子の間に接続される第１ＭＯＳＦＥＴと、前記第１ＭＯＳＦＥＴのゲートに接続される保護回路とを有し、前記保護回路は、前記入力端子に負電圧が発生したのを検出する機能を有することを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、パワーＭＯＳＦＥＴやＩＧＢＴ(Insulated gate bipolar transistor)等の絶縁ゲート型半導体装置に係り、特に、負ゲート電圧保護や過熱保護回路等の制御回路を同一チップ上に備えた制御回路内蔵絶縁ゲート型半導体装置に関する。
【０００２】
【従来の技術】
従来、この種の制御回路内蔵絶縁ゲート型半導体装置としては、例えば信頼性向上のために特開平７－５８２９３号公報に開示されるような同一チップ上に過熱保護回路等の制御回路を内蔵したパワーＭＯＳＦＥＴが知られている。この従来例では、外部ゲート端子と

内部ゲート端子との間にゲート抵抗を接続し、さらに内部ゲート端子と外部ソース端子との間にゲート遮断回路用ＭＯＳＦＥＴを接続している。これにより、チップ温度が規定温度以上に上昇した場合、前記ゲート遮断回路用ＭＯＳＦＥＴをオンさせて前記抵抗にゲート電流を流し、パワーＭＯＳＦＥＴが破壊する前にパワーＭＯＳＦＥＴを遮断させることができる。

【０００３】

この従来例では、同一チップ上に内蔵する制御回路は、プロセスステップの増加を抑さえるために、パワーＭＯＳＦＥＴのドレイン領域に形成する自己分離型素子分離構造の素子を用いて構成している。このため、コストは安く抑さえられるものの、ゲート電圧が負になった場合にゲート遮断回路用ＭＯＳＦＥＴのドレインとパワーＭＯＳＦＥＴのドレインとの間に存在する寄生ｎｐｎトランジスタにより、外部ドレイン端子から外部ゲート端子にリーク電流が流れる可能性が生じる。そこで、この対策として寄生ｎｐｎトランジスタのベース電流を遮断するためのダイオードを、ゲート遮断回路用ＭＯＳＦＥＴと直列に接続し、さらにこのダイオードが降伏するのを防止するダイオードを外部ゲート端子と外部ソース端子との間に接続していた。

【０００４】

また、過熱保護回路を内蔵したパワーＭＯＳＦＥＴの高周波化を図るために上記ゲート抵抗の代わりにＭＯＳＦＥＴを用いた例が、特開平６－２４４４１４号公報に開示されている。この従来例では、外部ゲート端子と内部ゲート端子との間にゲート抵抗を使用する代わりに、ボディの電位がソース端子電圧に固定されているＭＯＳＦＥＴを使用していた。

【０００５】

【発明が解決しようとする課題】

しかしながら、前述した前者の従来例によれば、後者の従来例のようにゲート抵抗の代りにＭＯＳＦＥＴを使用して高周波化を図ろうとしても、高周波化のために内部ゲート端子と外部ゲート端子との間に挿入するＭＯＳＦＥＴのソースとドレインが共にパワーＭＯＳＦＥＴのソース端子に接続されていないため、前述したゲート遮断回路用ＭＯＳＦＥＴとダイオードの直列回路および外部ゲート端子と外部ソース端子との間に設けたダイオードによっては、ゲート電圧が負になった際に、挿入したＭＯＳＦＥＴのドレインとパワーＭＯＳＦＥＴのドレインとの間に存在する寄生ｎｐｎトランジスタが動作するのを防止することができなかった。また、パワーＭＯＳＦＥＴの内部ゲート端子と外部ソース端子との間に挿入される前記直列回路のダイオードの電圧降下により、パワーＭＯＳＦＥＴを完全に遮断できなかったり、制御回路が正常動作するための最小ゲート端子電圧がこのダイオードを挿入した分高くなってしまうという問題点があった。

【０００６】

さらに、高周波化を図った後者の従来例には、ゲート抵抗の代りに基板内に形成したＭＯＳＦＥＴを用いる場合に、基板バイアス効果によりしきい値が高くなり、ゲート抵抗の代りに用いた前記ＭＯＳＦＥＴのオン抵抗が下がらずそれほど高周波化を図れないという難点があった。なお、ゲート抵抗の代りの前記ＭＯＳＦＥＴに基板上に形成した多結晶シリコンのＭＯＳＦＥＴを用いる場合には、多結晶シリコン中のキャリア移動度が低くパワーＭＯＳＦＥＴを十分に駆動できない上にオン抵抗もあまり低くならないので、高周波化は困難である。

【０００７】

そこで、本発明の第１の目的は、制御回路用ＭＯＳＦＥＴのソースとドレインが共にパワーＭＯＳＦＥＴのソース端子に接続されていない場合にも、寄生ｎｐｎトランジスタ動作が問題とならない負ゲート電圧保護を有する制御回路内蔵絶縁ゲート型半導体装置を提供することにある。

【０００８】

また、本発明の第２の目的は、パワーＭＯＳＦＥＴの遮断を確実に行ない、制御回路が正常動作するための最小ゲート端子電圧を従来に比べ低減できる制御回路内蔵絶縁ゲート型半導体装置を提供することにある。

【０００９】
さらに、本発明の第３の目的は、前記ゲート抵抗の代りに用いるＭＯＳＦＥＴの基板バイアス効果の影響を回避するようにボディ電位を制御してオン抵抗を低減し高周波化が可能な制御回路内蔵絶縁ゲート型半導体装置を提供することにある。
【００１０】
また更に、本発明の第４の目的は、ＭＩＳＦＥＴ（絶縁ゲート型電界効果トランジスタ）を用いた半導体装置一般において、前記ＭＩＳＦＥＴのソース・ドレイン経路に逆極性信号（ｎチャネル型ＦＥＴの場合にはその通常のボディ電位に対して負極性）が入力されても、半導体基板とボディとソース又はドレインとで形成される寄生バイポーラトランジスタ動作が問題とならない装置を提供することにある。
【００１１】
【課題を解決するための手段】
上記の目的を達成するために、本発明に係る制御回路内蔵絶縁ゲート型半導体装置は、例えば図１に示すように、ドレイン端子６０とゲート端子６１とソース端子６２を少なくとも具備し、ドレインをドレイン端子６０に接続しソースをソース端子６２に接続したパワーＭＯＳＦＥＴ２９と、該パワーＭＯＳＦＥＴのゲート６４とゲート端子６１との間に設けられたパワーＭＯＳＦＥＴを制御する第１のＭＯＳＦＥＴ３３と、ボディとソースを第１のＭＯＳＦＥＴのボディと接続しドレインをゲート端子６１に接続しゲートをソース端子６２に接続した第２のＭＯＳＦＥＴ３４とから少なくとも構成することを特徴とするものである。
【００１２】
また、前記制御回路内蔵絶縁ゲート型半導体装置において、第２のＭＯＳＦＥＴに代えて、ボディとソースを第１のＭＯＳＦＥＴのボディと接続しドレインをソース端子に接続しゲートをゲート端子に接続した第３のＭＯＳＦＥＴ（図１で言えば、ＭＯＳＦＥＴ４１）、及び／又は、第１のＭＯＳＦＥＴのボディとソース端子との間に接続した第１のダイオード（図４で言えば、ダイオード１８）を用いて構成しても良いし、或いは、第２のＭＯＳＦＥＴと共に前記第３のＭＯＳＦＥＴを用いて構成することもできる。
【００１３】
更に、本発明に係る制御回路内蔵絶縁ゲート型半導体装置は、例えば図５に示すように、ドレイン端子６０とゲート端子６１とソース端子６２を少なくとも具備し、ドレインをドレイン端子６０に接続しソースをソース端子６２に接続したパワーＭＯＳＦＥＴ２９と、該パワーＭＯＳＦＥＴのゲートとゲート端子６１との間に設けられたパワーＭＯＳＦＥＴを制御する第１のＭＯＳＦＥＴ３３と、ボディとソースを第１のＭＯＳＦＥＴ３３のボディと接続しドレインをソース端子６２に接続しゲートをゲート端子６１に接続した第３のＭＯＳＦＥＴ４１との他に、ボディとソースを第３のＭＯＳＦＥＴ４１のボディに接続した少なくとも１つの第４のＭＯＳＦＥＴすなわちＭＯＳＦＥＴ３１やＭＯＳＦＥＴ３２等を設けて構成するか、または、例えば図６に示すように、第３のＭＯＳＦＥＴ４１に代えて第１のダイオード１８を用い、ＭＯＳＦＥＴ３１やＭＯＳＦＥＴ３２等の第４のＭＯＳＦＥＴのボディとソースを第１のダイオードに接続した構成としても良い。
【００１４】
この場合、更に、ボディとソースを第１のＭＯＳＦＥＴ３３のボディと接続しドレインをゲート端子６１に接続しゲートをソース端子６２に接続した第２のＭＯＳＦＥＴ３４を設ければ好適である。
【００１５】
また更に、ボディとソースをソース端子６２に接続した少なくとも１つの第５のＭＯＳＦＥＴすなわち図３で言えばＭＯＳＦＥＴ３６を設けても良い。
この場合、第５のＭＯＳＦＥＴのドレインとゲート端子６１またはパワーＭＯＳＦＥＴのゲートとの間に第２のダイオード１６を更に設ければ好適である。
【００１６】
また、例えば図７に示すように、ボディを第３のＭＯＳＦＥＴ４１のボディに接続しソー

スをソース端子６２に接続した少なくとも１つの第６のＭＯＳＦＥＴ、例えばＭＯＳＦＥＴ３７，ＭＯＳＦＥＴ３８等を更に設けてもよい。
この場合、第６のＭＯＳＦＥＴのドレインとゲート端子６１との間に第３のダイオード１１，１４又は１７を更に設ければ好適である。
【００１７】
また、例えば図１に示すように、更にゲート端子６１とソース端子６２との間に第４のダイオード１２を設けるか、或いは第４のダイオード１２及びこれに直列で逆向きに接続された第５のダイオード１３を設ければ好適である。
更に、例えば図１に示すように、第１のＭＯＳＦＥＴ３３のボディとソース端子６２の間に第１の抵抗５８を更に設ければ好適である。
【００１８】
また、例えば図１に示すように、第１のＭＯＳＦＥＴ３３は、ソースをパワーＭＯＳＦＥＴのゲート６４に接続しドレインをゲート端子６１に接続すれば好適である。この場合、パワーＭＯＳＦＥＴのゲート６４とゲート端子６１の間に第６のダイオード１５及び／又は第２の抵抗５０を設けても良く、更にゲートとドレインをパワーＭＯＳＦＥＴのゲート６４に接続しボディを第１のＭＯＳＦＥＴ３３のボディに接続しソースをゲート端子６１に接続した第７のＭＯＳＦＥＴ４８を設けても良い。
【００１９】
更に、例えば図１に示すように、第１のＭＯＳＦＥＴ３３のゲートとゲート端子６１との間に第３の抵抗５１、及び／又は第７のダイオード１４を設ければ好適であり、また更に第１のＭＯＳＦＥＴ３３のゲートとソースとの間にキャパシタ２５を設ければ好適である。
【００２０】
また、上記第１のＭＯＳＦＥＴ～第３のＭＯＳＦＥＴをデプレッション型とすれば好適である。
そして、本発明に係る制御回路内蔵絶縁ゲート型半導体装置は、例えば図２に示すように、第１のＭＯＳＦＥＴ３３のボディ領域１０４ａとパワーＭＯＳＦＥＴ２９のボディ領域１０７とをパワーＭＯＳＦＥＴのドレイン領域１０２で分離した構造とすれば好適である。
【００２１】
また、本発明に係る制御回路内蔵絶縁ゲート型半導体装置は、例えば図８に示すように、ドレイン端子６０とゲート端子６１とソース端子６２を少なくとも具備し、ドレインをドレイン端子６１に接続しソースをソース端子６２に接続したパワーＭＯＳＦＥＴ２９と、ゲートとソースを接続しドレインをゲート端子６１に接続しパワーＭＯＳＦＥＴ２９の制御回路に用いる少なくとも１つのデプレッション型の第８のＭＯＳＦＥＴすなわちＭＯＳＦＥＴ４３やＭＯＳＦＥＴ４４等と、ボディとソースを第８のＭＯＳＦＥＴのボディと接続しドレインをゲート端子６１に接続しゲートをソース端子６２に接続した第２のＭＯＳＦＥＴ３４とから少なくとも構成することができる。
【００２２】
この場合、第２のＭＯＳＦＥＴに代えて、ボディとソースを第８のＭＯＳＦＥＴのボディと接続しドレインをソース端子に接続しゲートをゲート端子に接続した第３のＭＯＳＦＥＴ４１、及び／又は、第８のＭＯＳＦＥＴのボディとソース端子との間に接続した第１のダイオード（図４で言えば、ダイオード１８）を用いて構成しても良いし、或いは、第２のＭＯＳＦＥＴと共に第３のＭＯＳＦＥＴを用いて構成することもできる。
【００２３】
また、この場合も、第８のＭＯＳＦＥＴのボディ領域とパワーＭＯＳＦＥＴのボディ領域とをパワーＭＯＳＦＥＴのドレイン領域で分離した構造とすれば好適である。
【００２４】
さらに、本発明を一般化して、ＭＩＳＦＥＴを用いた半導体装置に応用する場合には、例えば図１及び図２に示すように、基板と、該基板に設けられた第１導電型の第１領域１０

２と、該第１領域１０２に接する第２導電型の第２領域１０４ａと、該第２領域１０４ａ内に設けられた第１導電型チャネルの第１のＭＩＳＦＥＴ３３とを具備する半導体装置において、前記第１のＭＩＳＦＥＴのソース又はドレイン１０９ｂに該ソース又はドレインと前記第２領域との間のｐｎ接合の順方向となる第１入力電圧が入力された場合に、前記第２領域をフローティング状態とするか、又は、前記第１入力電圧が入力されたソース又はドレインと前記第２領域とを接続するかのいずれかを行うスイッチング手段（３４，４１）を具備すればよい。

【００２５】

この場合に、前記スイッチ手段を、前記第１のＭＩＳＦＥＴの前記第１入力電圧が入力されるソース又はドレインにそのソース又はドレインが接続され、前記第１のＭＩＳＦＥＴのボディにそのドレイン又はソースとそのボディとが接続され、そのゲートが第１の電位に接続された第２のＭＩＳＦＥＴ３４で構成すれば好適である。

【００２６】

また、前記スイッチング手段を、前記第１のＭＩＳＦＥＴの前記第１入力電圧が入力されるソース又はドレインにそのゲートが接続され、前記第１のＭＩＳＦＥＴのボディにそのソース又はドレインとそのボディとが接続され、そのドレイン又はソースが第１の電位に接続された第３のＭＩＳＦＥＴ４１で構成してもよいし、前記第２のＭＩＳＦＥＴ３４と組み合わせてもよい。第３のＭＩＳＦＥＴ４１と第２のＭＩＳＦＥＴ３４とを組み合わせた場合には、前記第１のＭＩＳＦＥＴのボディと前記第３のＭＩＳＦＥＴのソース又はドレイン及びボディとの間に接続された抵抗素子を設ければ好適である。

【００２７】

また、前記スイッチング手段を、前記第１のＭＩＳＦＥＴのボディと第１の電位との間に接続されたダイオードで構成してもよいし、前記第２のＭＩＳＦＥＴ３４と組み合わせてもよい。ダイオードと第２のＭＩＳＦＥＴ３４とを組み合わせた場合には、前記第１のＭＩＳＦＥＴのボディとダイオードとの間に接続された抵抗素子を設ければ好適である。

【００２８】

さらに、前記第１領域１０２は、前記第２領域１０４ａが前記第１の電位に接続されているときに前記第１領域１０２と前記第２領域１０４ａとの間のｐｎ接合に対して逆方向となる電圧が印加される如き第２の電位に接続されれば、ブレークダウンが阻止されて好適である。

【００２９】

【発明の実施の形態】

従来の制御回路内蔵絶縁ゲート型半導体装置では、パワーＭＯＳＦＥＴのドレイン領域に形成した自己分離型素子分離構造の横型ＭＯＳＦＥＴを用いて制御回路を構成していた。従来のようにパワーＭＯＳＦＥＴを制御する第１のＭＯＳＦＥＴを横型ＭＯＳＦＥＴとすると、ゲート端子が負になった場合、第１のＭＯＳＦＥＴのボディをベース、第１のＭＯＳＦＥＴのソースまたはドレインをエミッタ、パワーＭＯＳＦＥＴのドレインをコレクタとする寄生ｎｐｎトランジスタがオンしてしまい、ドレイン端子からゲート端子へリーク電流が流れた。これに対して、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の好適な実施の形態によれば、例えば図１に示すように、第１のＭＯＳＦＥＴ３３のボディに、ボディとソースを接続すると共にドレインをゲート端子６１に接続した第２のＭＯＳＦＥＴ３４を設けたことにより、ゲート端子が負になった場合には第２のＭＯＳＦＥＴがオンするため、第１のＭＯＳＦＥＴ３３に存在する前記寄生ｎｐｎトランジスタのエミッタ・ベース間が順バイアスされてオンするのを防止できる。ここで、第２のＭＯＳＦＥＴをデプレッション型にした場合には、この負ゲート電圧保護が早く働くようになる。

【００３０】

また、第１のＭＯＳＦＥＴ３３のボディとソース端子間に第１のダイオード１８を設けた場合には、この第１のダイオードはゲート端子に正の電圧が印加されているとき順バイアスされるため、第１のＭＯＳＦＥＴのボディはソース電位にほぼ等しいが、ゲート端子に負の電圧が印加されているときには第１のダイオードは逆バイアスされるため、第１のＭ

ＯＳＦＥＴに存在する前記寄生ｎｐｎトランジスタにベース電流は流れない。このため、寄生ｎｐｎトランジスタはオンしない。

【００３１】

また、第１のＭＯＳＦＥＴ３３のボディに、ボディとソースを接続すると共にドレインをソース端子６２に接続しゲートをゲート端子６１に接続した第３のＭＯＳＦＥＴ４１を設けた場合には、この第３のＭＯＳＦＥＴはゲート端子に正の電圧が印加されているときには第１のＭＯＳＦＥＴのボディがソース端子電圧となるようにオンするが、ゲート端子に負の電圧が印加されているときにはオフするため第１のＭＯＳＦＥＴに存在する寄生ｎｐｎトランジスタにベース電流は流れない。このように第３のＭＯＳＦＥＴ４１を設けることにより、従来例のダイオードを用いた負ゲート電圧保護回路に比べてゲート端子電圧の最小値を低減でき、ゲート電圧の動作マージンが増加するという利点がある。さらに、第３のＭＯＳＦＥＴをデプレッション型とした場合には、ゲート端子電圧が低くても第１のＭＯＳＦＥＴのボディ電圧はソース端子電圧に等しくなるため、ゲート電圧の動作マージンをさらに向上することができる。

【００３２】

また、第２のＭＯＳＦＥＴ３４を用いて寄生ｎｐｎトランジスタのエミッタ・ベース間が順バイアスされるのを防止すると共に、第３のＭＯＳＦＥＴ４１または第１のダイオード１８を用いて寄生ｎｐｎトランジスタのベース電流を阻止する場合には、寄生ｎｐｎトランジスタ動作防止効果が増加する。これは、第２のＭＯＳＦＥＴの電流駆動能力が十分高まっているときには、第２のＭＯＳＦＥＴだけでも、たとえ高速にゲート端子電圧が低下しても寄生ｎｐｎ動作防止効果があるが、ゲート電圧の値が０ボルト近辺のため第２のＭＯＳＦＥＴが十分オン状態にならないと寄生ｎｐｎトランジスタ動作の防止効果が現われない可能性があるためであり、一方、第３のＭＯＳＦＥＴまたは第１のダイオードを用いるだけの場合は、ゲート電圧の値が０ボルト近辺でも寄生ｎｐｎトランジスタ動作の防止効果があるが、高速にゲート電圧が低下すると一時的に寄生ｎｐｎトランジスタがオンする可能性があるためである。

【００３３】

また、ドレインもソースも共にソース端子に接続されていない制御回路用ＭＯＳＦＥＴ、例えば図３に示したＭＯＳＦＥＴ３３に関しては、上述した寄生ｎｐｎトランジスタ動作の防止対策を行ない、一方、ソース接地で使用する制御回路用の第５のＭＯＳＦＥＴ、例えばＭＯＳＦＥＴ３６に存在する寄生ｎｐｎトランジスタの動作防止に関しては、これと直列に第２のダイオード１６を接続し、さらに第２のダイオードが降伏するのを防止するため、第２のダイオード１６より耐圧が低い第５のダイオード１３をゲート端子６１とソース端子６２の間に接続してもよい。

【００３４】

第１のＭＯＳＦＥＴのソースをパワーＭＯＳＦＥＴのゲートに接続すると共に第１のＭＯＳＦＥＴのドレインをゲート端子に接続する場合、図２に示したように第１のＭＯＳＦＥＴ３３のボディをパワーＭＯＳＦＥＴ２９のボディと分離することにより、ゲート端子に正の電圧が印加されたときには第１のＭＯＳＦＥＴのボディの電位も上昇することができるので、第１のＭＯＳＦＥＴの基板バイアス効果が軽減される。このため第１のＭＯＳＦＥＴの実効的オン抵抗が低減し、高速にパワーＭＯＳＦＥＴをオンすることができる。

【００３５】

また、ボディとソースをソース端子に接続した第５のＭＯＳＦＥＴ、例えば図３で言えば過電流保護回路に用いているＭＯＳＦＥＴ３６の場合には、第２のダイオード１６をパワーＭＯＳＦＥＴのゲート６４とＭＯＳＦＥＴ３６のドレインとの間に設けることにより、ゲート端子に負ゲート電圧が印加されたときに生じる寄生ｎｐｎトランジスタ動作を防止している。なお、制御回路内に同様のソース接地した第５のＭＯＳＦＥＴがあり、そのドレインがゲート端子側に接続されるような場合には、第２のダイオードは第５のＭＯＳＦＥＴのドレインとゲート端子６１との間に設ければよい。

【００３６】

更に、第１のＭＯＳＦＥＴのボディとソース端子との間に第１の抵抗を接続することにより、第１のＭＯＳＦＥＴのボディ電位が高くなるので、パワーＭＯＳＦＥＴを高速にオンすることができ、定常状態ではボディ電圧はソース電圧近辺に低下するので第１のＭＯＳＦＥＴのオン抵抗の変動がなくなり、パワーＭＯＳＦＥＴの特性を安定させることができる。

【００３７】

また、例えば図１に示すように、第１のＭＯＳＦＥＴ３３のソースをパワーＭＯＳＦＥＴのゲート６４に接続すると共に第１のＭＯＳＦＥＴ３３のドレインをゲート端子６１に接続する場合、第６のダイオード１５をパワーＭＯＳＦＥＴのゲート６４とゲート端子６１との間に接続するか、或いはゲートとドレインをパワーＭＯＳＦＥＴのゲート６４に接続すると共にボディを第１のＭＯＳＦＥＴ３３のボディに接続し、かつ、ソースをゲート端子６１に接続した第７のＭＯＳＦＥＴ４８を更に設けることにより、パワーＭＯＳＦＥＴのゲート電荷を高速に放電することができる。

【００３８】

更に、第２の抵抗５０をゲート端子６１とパワーＭＯＳＦＥＴのゲート６４との間に接続することにより、パワーＭＯＳＦＥＴがオン状態のときのゲート電圧がゲート端子の電圧と等しくなるため、パワーＭＯＳＦＥＴのオン抵抗を低減できる。

【００３９】

また、第１のＭＯＳＦＥＴ３３のゲートとゲート端子６１との間に第７のダイオード１４と第３の抵抗５１とを設けると共に、第１のＭＯＳＦＥＴのゲートとソースとの間にキャパシタ２５を設けたブートストラップ回路構成とすることにより、第１のＭＯＳＦＥＴのゲート電圧が高くなるためオン抵抗が低くなり、パワーＭＯＳＦＥＴのオンタイムが向上する。

【００４０】

第１のＭＯＳＦＥＴ３３には基板バイアスがかかるためオン抵抗が増加するが、第１のＭＯＳＦＥＴをデプレッション型ＭＯＳＦＥＴとすることにより、基板バイアスがかかってもオン抵抗が小さくなるように設定できるためパワーＭＯＳＦＥＴのターンオン速度を向上することができる。

【００４１】

また、第１のＭＯＳＦＥＴのボディ領域とパワーＭＯＳＦＥＴのボディ領域とを、パワーＭＯＳＦＥＴのドレイン領域で分離したことにより、第１のＭＯＳＦＥＴのボディ領域をベースとする寄生ｎｐｎトランジスタがオンしないように、第１のＭＯＳＦＥＴのボディ電位をパワーＭＯＳＦＥＴの電位と独立に制御できる。更に、第１のＭＯＳＦＥＴのボディの電位をパワーＭＯＳＦＥＴのソース電位より高くして、基板バイアス効果による第１のＭＯＳＦＥＴの実効的なオン抵抗の増加を抑えることが可能となる。上記ボディ領域の分離は、追加プロセスなしで実現できる。

【００４２】

また、ゲートとソースを接続しドレインをゲート端子６１に接続しパワーＭＯＳＦＥＴの制御回路に用いる少なくともデプレッション型の第８のＭＯＳＦＥＴのボデイ、例えば図８で言えばアクティブ負荷を構成するＭＯＳＦＥＴ４３～４５、のボディに、ボディとソースを接続しゲートをソース端子６２に接続した第２のＭＯＳＦＥＴ３４を設けることにより、ゲート端子に負ゲート電圧が印加されたときには第２のＭＯＳＦＥＴがオンして、第１のＭＯＳＦＥＴと同様に第８のＭＯＳＦＥＴにも存在する寄生ｎｐｎトランジスタが動作するのを防止する。

【００４３】

また、第８のＭＯＳＦＥＴのボディとソース端子間に第１のダイオードを設けた場合、或いは第８のＭＯＳＦＥＴのボディに、ボディとソースを接続すると共にドレインをソース端子に接続しゲートをゲート端子に接続した第３のＭＯＳＦＥＴを設けた場合、或いは第２のＭＯＳＦＥＴと第３のＭＯＳＦＥＴを設けた場合の作用及び効果は、上述した第１のＭＯＳＦＥＴに対して設けた場合と同様の作用及び効果である。

【００４４】
さらに、本発明を一般化して考えれば、ＭＩＳＦＥＴのソース・ドレイン経路に逆極性信号が入力された時に、通常はそのボディ１０４ａとソース又はドレインとの間のｐｎ接合にｐからｎへの順電圧が印加されることになって、半導体基板とボディとソース又はドレインとで形成される寄生バイポーラトランジスタ動作が発生してしまうという問題があるが、逆極性信号である第１入力電圧が入力された場合に、ボディとなる第２領域１０４ａをフローティング状態とするか、又は、前記第１入力電圧が入力されたソース又はドレインと前記第２領域（ボディ）とを接続して同電位にすることにより寄生バイポーラトランジスタのベース電流が流れないので前記問題は解決される。
【００４５】
【実施例】
次に、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。
【００４６】
＜実施例１＞
図１は本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第１の実施例を示す回路構成図であり、図２は図１に示した回路構成を実現する制御回路内蔵絶縁ゲート型半導体装置の要部断面構造図である。
【００４７】
図２に示した構造を有する本実施例の半導体装置は、従来の縦型パワーＭＯＳＦＥＴと同様のプロセスで形成できる。図２において、参照符号１０１はアンチモン又は砒素を不純物とした抵抗率０．０２Ω・ｃｍ～０．００２Ω・ｃｍ程度の高濃度ｎ型半導体基板を示し、このｎ型半導体基板１０１上には抵抗率１～２Ω・ｃｍ程度のｎ型エピタキシャル層１０２が１０μｍ程度形成されている。
【００４８】
パワーＭＯＳＦＥＴの形成部分には、約５０ｎｍのゲート酸化膜１０５ａ上に形成した多結晶シリコンゲート層１０６ａのパターン間に深さ６μｍ、ドーズ量$1\times10^{15}cm^{-2}$程度の第１のｐ型ウエル拡散層１０３ａと、多結晶シリコンゲート層１０６ａをマスクにして自己整合的に形成した深さ２μｍ、ドーズ量$5\times10^{13}cm^{-2}$程度のボディ用ｐ型拡散層１０７と深さ０．４μｍ、ドーズ量$1\times10^{16}cm^{-2}$程度のソース用ｎ型拡散層１０９ａを設け、ボディ１０７とアルミ電極１１２ａ間のオーミックコンタクトを取るために深さ０．５μｍ、ドーズ量$1\times10^{15}cm^{-2}$程度の高濃度ｐ型拡散層１１０aを設け、多結晶シリコンゲート層１０６ａの上には絶縁層１１１を介してソース電極となるアルミ電極層１１２ａを形成してある。
【００４９】
また、保護回路部には深さ５μｍ、ドーズ量$2\times^{13}cm^{-2}$程度の第２のｐ型ウエル拡散層１０４ａ，１０４ｂをボディとし、前記ｎ型拡散層１０９ａと同一工程で形成される高濃度ｎ型拡散層１０９ｂをドレイン拡散層およびソース拡散層とし、前記高濃度ｐ型拡散層１１０ａと同一工程で形成される高濃度ｐ型拡散層１１０ｂをボディ１０４ａ，１０４ｂとアルミ電極１１２ｂ～１１２ｅとの間のオーミックコンタクトを取るための高濃度ｐ型拡散層とし、前記多結晶シリコンゲート層１０６ａと同じ工程で形成される多結晶シリコンゲート層１０６ｂを保護回路用ＭＯＳＦＥＴのゲート電極とし、低濃度ｎ型領域１０８はドレイン耐圧向上のためのドーズ量$5\times10^{12}cm^{-2}$程度の低濃度ｎ型オフセット領域として形成してある。
【００５０】
更に、２つの電極が共にソース端子６２の電位に対し変動する図１のキャパシタ２５は、ＭＯＳＦＥＴ３３のゲートに接続される一方の電極として多結晶シリコンゲート層１０６ａと同じ工程で形成される多結晶シリコンゲート層１０６ｃを用い、パワーＭＯＳＦＥＴ２９のゲート６４に接続される他方の電極として多結晶シリコンゲート層１０６ｃの形成工程前にドーズ量$1\times10^{15}cm^{-2}$程度の砒素またはリンをイオン打込みにより形成した

ｎ型拡散層１１３を用いて構成している。尚、参照符号１０５ｂはフィールド酸化膜、１１２ｇ，１１２ｆはアルミ電極である。

【００５１】

図１に示した制御回路用ＭＯＳＦＥＴであるソース接地又はドレイン接地のＭＯＳＦＥＴ３１，４１や、ドレインとソースの両方共接地されないＭＯＳＦＥＴ３３を、パワーＭＯＳＦＥＴのドレイン領域であるｎ型エピタキシャル層１０２の中に形成している（尚、図２の要部断面構造図には、ＭＯＳＦＥＴ４１，３３、キャパシタ２５、及びパワーＭＯＳＦＥＴ２９の一部を示す）。このため、従来のパワーＭＯＳＦＥＴプロセスと同様に低コストで制御回路を内蔵できるという利点があるけれども、パワーＭＯＳＦＥＴのドレイン領域１０２をコレクタ、制御回路用ＭＯＳＦＥＴであるＭＯＳＦＥＴ３１やＭＯＳＦＥＴ３３のドレイン・ソース領域１０９ｂをエミッタ、制御回路用ＭＯＳＦＥＴであるＭＯＳＦＥＴ３１やＭＯＳＦＥＴ３３のボディ領域１０４ａ，１０４ｂをベースとする寄生ｎｐｎトランジスタが存在するという問題がある。この問題に対して、本実施例の制御回路内蔵絶縁ゲート型半導体装置では、図１に示すような回路構成を採用することにより解決している。

【００５２】

図１において、参照符号６０はドレイン端子、６１はゲート端子、６２はソース端子、６３は遮断端子である。この遮断端子６３は、ゲート端子６１に正の電圧が印加されている場合にも強制的にパワーＭＯＳＦＥＴ２９を遮断するための端子であり、この図の場合は遮断端子６３の入力電圧がＭＯＳＦＥＴ３１，３２のしきい電圧よりも高い電圧であるとき、強制的にパワーＭＯＳＦＥＴ２９を遮断することができる。

【００５３】

ドレインをＭＯＳＦＥＴ３３のゲートに接続すると共にソースをパワーＭＯＳＦＥＴ２９のソース端子６２に接続したＭＯＳＦＥＴ３２は、通常オフ状態であり、遮断端子６３に遮断するための電圧が印加されたときにオン状態となる。このＭＯＳＦＥＴ３２を用いることにより、パワーＭＯＳＦＥＴ２９をオンするときにはＭＯＳＦＥＴ３２はオフしているのでゲート端子６１の電圧がダイオード１４と抵抗５１の直列回路を介してＭＯＳＦＥＴ３３のゲートに印加される結果ＭＯＳＦＥＴ３３のオン抵抗を下げて高速スイッチングを可能にし、パワーＭＯＳＦＥＴ２９を遮断端子６３により強制的に遮断する場合にはＭＯＳＦＥＴ３２はオン状態となるのでＭＯＳＦＥＴ３３のゲートをソース端子６２の電圧まで下げる結果ＭＯＳＦＥＴ３３のオン抵抗が上がり、ＭＯＳＦＥＴ３１の駆動能力が低くてもパワーＭＯＳＦＥＴ２９を遮断することができる。

【００５４】

本実施例では、ＭＯＳＦＥＴ３４のドレインはゲート端子６１に接続し、ソースとボディはＭＯＳＦＥＴ３３のボディに接続し、ゲートはソース端子６２に接続してある。ＭＯＳＦＥＴ４１のドレインはソース端子６２に接続し、ソースとボディは抵抗５８を介してＭＯＳＦＥＴ３３のボディに接続し、ゲートはゲート端子６１に接続してある。また、ソース接地のＭＯＳＦＥＴ３１にはダイオード１１が、パワーＭＯＳＦＥＴのゲート６４とソース端子６２間に直列に挿入されるように接続され、ソース接地のＭＯＳＦＥＴ３２にはダイオード１４が、ゲート端子６１とソース端子６２間に直列に接続してある。さらに直列で逆向きに接続されたダイオード１２とダイオード１３がゲート端子６１とソース端子６２間に接続してある。ＭＯＳＦＥＴ３３のドレインはゲート端子６１に接続され、ソースはパワーＭＯＳＦＥＴのゲート６４に接続され、ＭＯＳＦＥＴ３３のドレイン・ゲート間にはダイオード１４と抵抗５１の直列回路を接続し、ＭＯＳＦＥＴ３３のゲート・ソース間にはキャパシタ２５を接続してある。なお、抵抗５８はなくてもよいが、抵抗５８があることによりＭＯＳＦＥＴ３３のボディ電位が高くなるので、パワーＭＯＳＦＥＴは高速にオンすることができ、定常状態ではボディ電位はソース電圧近辺に低下するので、ＭＯＳＦＥＴ３３のオン抵抗の変動がなくなり、パワーＭＯＳＦＥＴの特性を安定化させる利点がある。

【００５５】

このように構成される本実施例の半導体装置では、図２の断面構造図から明らかなように、ソース接地のＭＯＳＦＥＴ３１，３２のドレインをエミッタとし、これらのボディをベースとし、パワーＭＯＳＦＥＴ２９のドレインをコレクタとする寄生ｎｐｎトランジスタが存在するが、これに対しては従来例の特開平７－５８２９３号公報で述べた負ゲート電圧保護回路の構成と同様に、ダイオード１１，１４により寄生ｎｐｎトランジスタのベース電流を遮断して寄生ｎｐｎトランジスタの動作を防止し、さらに直列で逆向きに接続されたダイオード１２とダイオード１３の耐圧の合計をダイオード１１，１４の耐圧よりも低く設定することにより、ゲート端子６１が負になった時にダイオード１１，１４が降伏することを防止している。

【００５６】

しかし、ドレインがゲート端子６１に接続され、ソースがパワーＭＯＳＦＥＴのゲート６４に接続された制御回路用ＭＯＳＦＥＴ３３とパワーＭＯＳＦＥＴ２９との間には、ＭＯＳＦＥＴ３３のドレインをエミッタ、ＭＯＳＦＥＴ３３のボディをベース、パワーＭＯＳＦＥＴ２９のドレイン端子６０をコレクタとする寄生ｎｐｎトランジスタが存在する。このようなソースもドレインも共にソース端子６２に接続されていないＭＯＳＦＥＴに起因する寄生ｎｐｎトランジスタに関しては、前記従来の負ゲート電圧保護回路の構成では寄生ｎｐｎトランジスタ動作を防止できない。

【００５７】

そこで、本実施例ではＭＯＳＦＥＴ３４を用い、次のようにしてこの寄生ｎｐｎトランジスタ動作を防止している。負ゲート電圧がゲート端子６１に印加された時にはＭＯＳＦＥＴ３４がオンし、ＭＯＳＦＥＴ３４のドレイン（すなわち寄生ｎｐｎトランジスタのエミッタ）がＭＯＳＦＥＴ３４のソースとボディの接続ノード７１を介してＭＯＳＦＥＴ３３のボディ（すなわち寄生ｎｐｎトランジスタのベース）と接続される。従って、寄生ｎｐｎトランジスタのエミッタ・ベース間ダイオードが短絡されることになり、これによって寄生ｎｐｎトランジスタ動作が防止される。また、ＭＯＳＦＥＴ４１は次のように動作する。ゲート端子６１の電圧が正の時にはＭＯＳＦＥＴ４１はオンしてＭＯＳＦＥＴ３３のボディをソース端子６２に接続してソース端子電圧となるようにするが、ゲート端子６１の電圧が負になった場合にはＭＯＳＦＥＴ４１はオフしてＭＯＳＦＥＴ３３に存在する前記寄生ｎｐｎトランジスタのベース電流を遮断し、寄生ｎｐｎトランジスタ動作を防止している。このようにして、上述の寄生ｎｐｎトランジスタが動作することによって生じるドレイン端子６０からゲート端子６１へのリーク電流を防止できる。

【００５８】

上記寄生ｎｐｎトランジスタの耐圧はパワーＭＯＳＦＥＴ２９の耐圧よりも低いことから、ゲート端子６１に負ゲート電圧が印加され、さらにドレイン端子６０にも高電圧が印加されるときには、寄生ｎｐｎトランジスタにブレークダウン電流が集中して素子破壊する可能性があるけれども、ダイオード１１，１４およびＭＯＳＦＥＴ３４，４１を用いた本実施例回路では寄生ｎｐｎトランジスタはベース・エミッタ間をほぼ短絡してベース開放耐圧BV_{CEO}よりも高い耐圧、すなわち、ほとんどコレクタ・ベース間耐圧BV_{CBO}に近い耐圧となるので、この素子破壊を防止できるという効果がある。

【００５９】

制御回路用ＭＯＳＦＥＴ３３の寄生ｎｐｎトランジスタ動作を防止するためには、ＭＯＳＦＥＴ３４またはＭＯＳＦＥＴ４１だけを使用してもよいが、本実施例では負ゲート電圧保護の効果を高めるためにＭＯＳＦＥＴ３４と４１の両方を使用した場合を示している。これは、ＭＯＳＦＥＴ３４の電流駆動能力が高ければたとえ高速にゲート端子電圧が低下するときでもＭＯＳＦＥＴ３４を使用するだけで寄生ｎｐｎトランジスタ動作の防止効果があるけれども、ゲート端子電圧の値が０ボルト近辺ではＭＯＳＦＥＴ３４が十分オン状態になりにくいため、寄生ｎｐｎトランジスタ動作の防止効果が現れない可能性があり、一方、ＭＯＳＦＥＴ４１だけを用いる場合は、ゲート端子電圧の値が０ボルト近辺でも寄生ｎｐｎトランジスタ動作の防止効果があるけれども、高速にゲート電圧が低下すると一時的に寄生ｎｐｎトランジスタがオンする可能性があるためである。なお、ＭＯＳＦＥＴ

３４をデプレッション型にすることにより、ゲート端子６１に負ゲート電圧が印加され始めたときの電流駆動能力が向上するので、寄生ｎｐｎトランジスタ動作の防止効果を向上することができる。

【００６０】

更に、本実施例回路においては、ゲート端子６１に電圧が印加された時、ＭＯＳＦＥＴ３３のボディ電位は寄生容量の影響で上昇するため、ＭＯＳＦＥＴ３３の基板バイアス効果が軽減される。このため、ＭＯＳＦＥＴ３３の実効的なオン抵抗は低減し、高速にパワーＭＯＳＦＥＴ２９をターンオンできるという効果がある。ゲート端子電圧が高電位で一定となった後には、抵抗５８と寄生容量とで決まる時定数でＭＯＳＦＥＴ３３のボディ電位はソース端子６２の電圧に下がる。ここで、抵抗５８の値が高くなるほどパワーＭＯＳＦＥＴ２９のターンオン速度は向上するが、ドレイン端子６０の電圧が下がったとき、ＭＯＳＦＥＴ３３のボディ領域からパワーＭＯＳＦＥＴのドレイン領域へ注入された少数キャリアの放出に時間がかかるようになるため、パワーＭＯＳＦＥＴのターンオフ時間が長くなる可能性がある。従って、この問題を回避するように抵抗５８の値は最適化する。なお、抵抗５８を短絡させてＭＯＳＦＥＴ４１のオン抵抗を増加するかしきい電圧を増加することによっても同様の効果が得られる。

【００６１】

ＭＯＳＦＥＴ３３は基板バイアス効果がかかるためオン抵抗が増加するが、デプレッション型にすることにより基板バイアスがかかってもオン抵抗が小さくなるようにして、パワーＭＯＳＦＥＴ２９のターンオン速度を向上することもできる。

【００６２】

また、本実施例回路においては、ゲート端子６１に正の電圧を印加するとダイオード１４と抵抗５１を介してＭＯＳＦＥＴ３３のゲートを充電してパワーＭＯＳＦＥＴ３３をオンすると共に、さらにキャパシタ２５を充電する。このため、パワーＭＯＳＦＥＴのゲート６４の電圧が上昇する時には、ダイオード１４とキャパシタ２５はＭＯＳＦＥＴ３３のゲートを昇圧するように働くブートストラップ回路として動作する。従って、ダイオード１４とキャパシタ２５がない場合に比べてＭＯＳＦＥＴ３３のゲート電圧は高くなるので、ＭＯＳＦＥＴ３３は低オン抵抗となり、高速にパワーＭＯＳＦＥＴ２９をオンできるという効果がある。なお、キャパシタ２５については、その容量値が小さくてよい場合にはＭＯＳＦＥＴ３３の寄生容量を用いることも可能である。また、ダイオード１４に関しても、ＭＯＳＦＥＴ３３のドレイン・ゲート間に配置しなくてもよい場合がある。それは、ＭＯＳＦＥＴ３３のゲート電圧がゲート端子６１の電圧より昇圧されなくとも、すなわちブートストラップ原理を用いなくとも、ＭＯＳＦＥＴ３３をオンさせるためのゲート端子６１の電圧が、パワーＭＯＳＦＥＴのゲート６４の電圧よりも高くできる場合である。このような場合はパワーＭＯＳＦＥＴの高周波化が図れるため、ダイオード１４の役割は、ＭＯＳＦＥＴ３２のドレイン・ソース間に負方向ドレイン電流が流れることを防止するだけとなる。従って、ダイオード１４はＭＯＳＦＥＴ３３のゲート・ドレイン間ではなく、ＭＯＳＦＥＴ３３のゲートとＭＯＳＦＥＴ３２のドレインとの間に配置しても構わない。

【００６３】

また更に、ゲートとドレインをパワーＭＯＳＦＥＴのゲート６４に接続し、ソースはゲート端子６１に接続し、ボディはＭＯＳＦＥＴ３３のボディに接続したＭＯＳＦＥＴ４８を追加した場合には、パワーＭＯＳＦＥＴのゲート６４の電荷をより早く引き抜けるので、パワーＭＯＳＦＥＴ２９を高速に遮断できるという効果がある。ダイオード１５をゲート端子６１とパワーＭＯＳＦＥＴのゲート６４との間に追加した場合にも、抵抗５０だけよりもパワーＭＯＳＦＥＴ２９を高速に遮断できるという効果がある。

【００６４】

また、本実施例ではパワーＭＯＳＦＥＴのゲート６４の電位はゲート端子６１の電位より低いが、抵抗５０を追加することによりＤＣレベルにおいてはパワーＭＯＳＦＥＴのゲート６４にもゲート端子６１と同じ電圧が印加され、パワーＭＯＳＦＥＴ２９のオン抵抗を十分下げられるという効果がある。

【００６５】
本実施例の制御回路内蔵絶縁ゲート型半導体装置の特徴は、図２の要部断面構造図に示したように、縦型パワーＭＯＳＦＥＴ２９のボディ領域と制御回路用の横型ＭＯＳＦＥＴ３３のボディ領域を、パワーＭＯＳＦＥＴ２９のドレイン領域により分離している点にある。このようにボディ領域によって分離することにより、前述したように、ゲート端子６１に正のゲート電圧が印加された時にはＭＯＳＦＥＴ３３のボディ電位がパワーＭＯＳＦＥＴのソース電位よりも高くなり、ゲート端子６１とパワーＭＯＳＦＥＴのゲート６４の間に接続するＭＯＳＦＥＴ３３のオン抵抗が低減し、パワーＭＯＳＦＥＴ２９を高速スイッチングできる。
【００６６】
さらに、本実施例の場合にはＭＯＳＦＥＴ４１とＭＯＳＦＥＴ３３の間もパワーＭＯＳＦＥＴ２９のドレイン領域により分離している。これにより、図１の回路で示したように、抵抗５８によりＭＯＳＦＥＴ３３のボディ電位とＭＯＳＦＥＴ４１のボディ電位を分離することが可能となる。
【００６７】
また、キャパシタを構成する２つの電極が共にソース端子６２の電位に対して変動する図１のキャパシタ２５については、ＭＯＳＦＥＴ３３のゲート側に接続される一方の電極として多結晶シリコンゲート層１０６ａと同じ工程で形成される多結晶シリコンゲート層１０６ｃを用い、パワーＭＯＳＦＥＴのゲート６４に接続される他方の電極としてｎ型拡散層１１３を用い、ｎ型拡散層１１３とパワーＭＯＳＦＥＴ２９のドレインとなるｎ型エピタキシャル層１０２の分離を確実に行ない、かつ、負ゲート電圧保護を達成するために、常にＭＯＳＥＴ３３のボディと共に電位が変動するｐ型拡散層１０４ｃをｎ型拡散層１１３の分離に用いる。
【００６８】
図１の回路の場合、ＭＯＳＦＥＴ３３とＭＯＳＦＥＴ３４のボディは直接接続してあるため、１つのボディ領域（ｐ型拡散層１０４ａ）の中に形成できる。また、ＭＯＳＦＥＴ３１とＭＯＳＦＥＴ３２はパワーＭＯＳＦＥＴ２９のボディ領域と接続した領域に、ＭＯＳＦＥＴ３３，４１の第２のｐ型ウエル拡散層１０４ａ，１０４ｂと同じｐ型拡散層を設けて形成する。このような分離構造は、従来のパワーＭＯＳＦＥＴプロセスに対して追加工程なしで実現できるため、低コストであるという利点がある。
【００６９】
なお、ＭＯＳＦＥＴ３３とＭＯＳＦＥＴ４１の周辺には、保護回路用の第２のｐ型ウエル拡散層１０４ａ，１０４ｂより表面濃度が高く、第１のｐ型ウエル拡散層１０３ａと同一工程で形成できる高濃度ｐ型拡散層１０３ｂを設けて、保護回路部のＭＯＳＦＥＴ間や、保護回路部のＭＯＳＦＥＴとパワーＭＯＳＦＥＴのドレイン領域との間にチャネルが形成されることを防止している。また、本実施例で用いる抵抗やダイオードは、従来例の特開平７－５８２９３号公報に開示されているものと同様に、多結晶シリコン層を用いて寄生素子が発生しないようにしている。
【００７０】
＜実施例２＞
図３は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第２の実施例を示す回路構成図である。尚、説明の便宜上、図３において実施例１の図１に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では、ＭＯＳＦＥＴ３１，３２は実施例１のように外部端子６３により制御するのではなく、半導体チップ内の温度が規定以上に上昇した場合とドレイン電流が規定値以上に流れた場合にパワーＭＯＳＦＥＴ２９のドレイン電流を制限または遮断する内蔵回路により制御している点が実施例１と相違する。図１の構成で述べた、ＭＯＳＦＥＴ３３と、ＭＯＳＦＥＴ３３のドレイン・ゲート間に設けたダイオード１４と抵抗５１の直列回路、ＭＯＳＦＥＴ３３のソース・ゲート間に設けたキャパシタ２５等のパワーＭＯＳＦＥＴ２９を高周波駆動するための構成、及びゲート端子６１がソース端子６２より低くなった場合に生

じる寄生ｎｐｎトランジスタ動作を防止するための負ゲート電圧保護回路の構成、並びにそれらの作用及び効果も、実施例１により得られる作用及び効果とほぼ同じである。

【００７１】

図３において、ダイオード９と抵抗５２は定電圧回路を構成し、ノード６５に定電圧を発生する。ダイオード１７はゲート端子６１が負電圧となった場合に、ＭＯＳＦＥＴ３７～４０に存在する寄生ｎｐｎトランジスタ動作を防止するためのものであり、ＭＯＳＦＥＴ３１に対するダイオード１１の役割と同じである。

【００７２】

また、ダイオード列１０と抵抗５３，５４とＭＯＳＦＥＴ４０は温度検出回路を構成し、チップ温度が上昇するとダイオード列１０の順方向電圧が低下するためＭＯＳＦＥＴ４０のゲート６６の電圧が低下する。ゲート６６の電圧がＭＯＳＦＥＴ４０のしきい電圧よりも低くなるとＭＯＳＦＥＴ４０がオフし、抵抗５５，５６とＭＯＳＦＥＴ３７～３９で構成するラッチ回路の入力電圧が増加する。このラッチ回路は、常温ではＭＯＳＦＥＴ３７がオン状態でＭＯＳＦＥＴ３８と３９がオフ状態である。ところが、規定温度以上にチップ温度が上昇してラッチ回路の入力電圧が増加すると、ＭＯＳＦＥＴ３８と３９がオンし、ＭＯＳＦＥＴ３７がオフし、図１の遮断端子６３と同じ働きを持つノード６７の電圧が高くなる。このため、パワーＭＯＳＦＥＴ２９は遮断する。

【００７３】

さらにパワーＭＯＳＦＥＴ部は、セル比率が例えば１０００：１のＭＯＳＦＥＴ２９と３０で構成されており、パワーＭＯＳＦＥＴ２９に流れるドレイン電流の約１／１０００がＭＯＳＦＥＴ３０に流れる。抵抗５７とＭＯＳＦＥＴ３６は過電流保護回路を構成し、ＭＯＳＦＥＴ３０のドレイン電流が増加するとＭＯＳＦＥＴ３６のゲート６８の電圧が増加する。規定以上のドレイン電流が流れるとＭＯＳＦＥＴ３６がオンし始める。このため、ＭＯＳＦＥＴ３３のドレイン・ソース間抵抗が増加し、パワーＭＯＳＦＥＴ２９，３０のゲート６４の電圧が下がることにより、パワーＭＯＳＦＥＴのドレイン電流が規定電流値に収まるように制御される。また、ダイオード１６は、ゲート端子６１が負ゲート電圧となった場合に、ＭＯＳＦＥＴ３６に存在する寄生ｎｐｎトランジスタ動作を防止するために設けたものであり、ＭＯＳＦＥＴ３１に対するダイオード１１の役割と同じである。

【００７４】

尚、本実施例の半導体装置の断面構造に関しては、実施例１で示した図２の構造とほぼ同じである。すなわち、ＭＯＳＦＥＴ３７～４０のボディ電位もパワーＭＯＳＦＥＴ２９のボディ電位と等しいため、ＭＯＳＦＥＴ３１やＭＯＳＦＥＴ３２と同じにパワーＭＯＳＦＥＴのボディ領域と接続したｐ型拡散層の中に形成できる点が異なるだけであり実質的には全く同じである。

【００７５】

＜実施例３＞

図４は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第３の実施例を示す回路構成図である。尚、説明の便宜上、図４において実施例２の図３に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では負ゲート電圧保護としてＭＯＳＦＥＴ４１の代りにダイオード１８を使用している点が実施例２と相違する。このため、ＭＯＳＦＥＴ３３のボディ電位の最小値がゼロボルトにならずに０.５Ｖ程度となるだけで、その他の点に関しては図３に示した構成部分と全く同じである。従って、パワーＭＯＳＦＥＴ２９を高周波駆動するための回路構成、ならびにゲート端子６１がソース端子６２より低くなった場合に生じる寄生ｎｐｎトランジスタ動作を防止するための負ゲート電圧保護の回路構成は、図１及び図３で述べた実施例１及び実施例２と同じであり、得られる効果も同じである。

尚、本実施例の半導体装置の断面構造に関しては、ＭＯＳＦＥＴ４１が不要であるという点を除くと実施例２の場合と同じである。

【００７６】

＜実施例４＞

図５は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第４の実施例を示す回路構成図である。尚、説明の便宜上、図５において実施例２の図３に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では過熱保護回路部分のグランドをソース端子６２に直接接続するのではなくＭＯＳＦＥＴ４１のボディに接続している点及びダイオード１１，１７を省略している点が実施例２と相違する。ダイオード１１，１７を不要にできるのは、ＭＯＳＦＥＴ４１によりＭＯＳＦＥＴ３１，３２，３７～４０のドレインをエミッタとし、これらのボディをベースとし、パワーＭＯＳＦＥＴのドレインをコレクタとする寄生ｎｐｎトランジスタの動作防止を達成できるからである。従って、図３の実施例の場合にはダイオード１１があるためにパワーＭＯＳＦＥＴ２９のゲート電圧は０．５Ｖ程度以下に下げられず、このため過熱遮断状態でのパワーＭＯＳＦＥＴのドレイン電流を十分遮断できない可能性があるのに対して、本実施例の場合には低オン抵抗のＭＯＳＦＥＴ４１を使用することによりパワーＭＯＳＦＥＴを確実に遮断できるという利点がある。

【００７７】

また、図３の実施例の場合に比べダイオード１７での電圧降下がなくなるために、定電圧回路やラッチ回路等の制御回路が正常動作するためのゲート端子電圧の動作マージンが向上するという効果もある。

【００７８】

なお、ＭＯＳＦＥＴ４１をデプレッション型ＭＯＳＦＥＴにした場合には、ゲート端子６１の電圧が低くてもＭＯＳＦＥＴ３１，３２，３７～４０のソース電位をソース端子６２の電圧にそろえることができるため、定電圧回路やラッチ回路のゲート電圧に対する動作マージン向上を達成しやすい。

【００７９】

また、本実施例において、過電流保護回路のＭＯＳＦＥＴ３６のボディとソースは、ＭＯＳＦＥＴ４１のボディに接続せずに図３や図４の実施例と同様にソース端子６２に接続してある。これは、ゲート端子６１に電圧が印加される時ならびにその直後に、ＭＯＳＦＥＴ４１のドレイン・ソース間の電圧が高くなってＭＯＳＦＥＴ３６がオンしにくくなり、過電流保護回路が正常動作しなくなることを防止するためである。

【００８０】

その他の点に関しては、図３に示した構成部分と全く同じである。従って、パワーＭＯＳＦＥＴ２９を高周波駆動するための回路構成、ならびにゲート端子６１がソース端子６２より低くなった場合に生じる寄生ｎｐｎトランジスタ動作を防止するための負ゲート電圧保護の回路構成は、図１及び図３で示した実施例１及び実施例２と同じであり、得られる効果も同じである。

【００８１】

尚、本実施例の半導体装置の断面構造に関しては実施例２の場合とほぼ同じであるが、ＭＯＳＦＥＴ３１，３２，３７～４０のボディはパワーＭＯＳＦＥＴのボディ領域と分離し、ＭＯＳＦＥＴ４１のボディと接続したボディ領域（ｐ型拡散層１０４ｂ）の中に形成する。

【００８２】

＜実施例５＞

図６は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第５の実施例を示す回路構成図である。尚、説明の便宜上、図６において実施例４の図５に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではＭＯＳＦＥＴ４１の代わりに、ダイオード１８を用いている点が実施例４と相違する。従って、図５に示した構成の実施例のように過熱遮断時のパワーＭＯＳＦＥＴを遮断する能力の向上やゲート端子電圧に対する動作マージンの向上はないが、図３や図４に示した構成の実施例で必要であった負ゲート電圧保護用のダイオード１１，１７が不要になる。その他は、図３や図４に示した実施例により得られる作用及び効果と同じである。

【００８３】

尚、本実施例の半導体装置の断面構造に関しては実施例４とほぼ同じある。すなわち、本実施例の場合には図５に示してあるＭＯＳＦＥＴ４１はないので、その代わりにＭＯＳＦＥＴ３１，３２，３７～４０を１つのボディ領域（ｐ型拡散層１０４ｂ）の中に形成した構造となる。

【００８４】

＜実施例６＞

図７は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第６の実施例を示す回路構成図である。尚、説明の便宜上、図７において実施例４の図５に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではＭＯＳＦＥＴＴ３１，３２，３７～４０のソース、ダイオード９、及びダイオード列１０を、ソース端子６２に接続している点とダイオード１１，１７を設けている点が実施例４と相違する。従って、正のゲート電圧が印加されると、ＭＯＳＦＥＴ４１がオンしてＭＯＳＦＥＴＴ３１，３２，３７～４０のボディとソースは同電位となる。尚、本実施例の場合、ダイオード１１，１７がなくてもＭＯＳＦＥＴＴ３１，３２，３７～４０のドレインをエミッタとし、これらのＭＯＳＦＥＴのボディをベースとし、パワーＭＯＳＦＥＴのドレインをコレクタとする寄生ｎｐｎトランジスタのベース電流は遮断できる。しかし、この寄生ｎｐｎトランジスタのコレクタ電流は遮断できないため、過渡的に寄生ｎｐｎトランジスタのベース電流が流れると、ソース端子６２からゲート端子６１に電流が流れる可能性がある。このコレクタ電流が寄生ｎｐｎトランジスタをオンさせる方向に働く可能性があるため、本実施例ではダイオード１１とダイオード１７を設けている。その他は、図３や図４に示した実施例により得られる作用及び効果と同じである。

【００８５】

尚、本実施例の半導体装置の断面構造は、ＭＯＳＦＥＴ３１，３２，３７～４０のボディとソースのコンタクトの取り方が異なるだけで、実施例４の場合とほぼ同じである。

【００８６】

＜実施例７＞

図８は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第７の実施例を示す回路構成図である。尚、説明の便宜上、図８において実施例４の図５に示した構成部分と同一部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では過熱保護回路用の抵抗５４～５６の代わりにデプレッション型でゲートとソースを接続したＭＯＳＦＥＴ４３～４５をアクティブ負荷として用いている点、ＭＯＳＦＥＴ３３及びこれを駆動するＭＯＳＦＥＴ４８と抵抗５０，５１とダイード１４，１５とキャパシタ２５とからなる駆動回路を用いていない点、ゲート６４とゲート端子６１間に抵抗４９を接続している点が実施例４と相違する。尚、ＭＯＳＦＥＴ４３～４５の各ボディはノード７１に接続されている。

【００８７】

このように構成することにより、本実施例では抵抗面積の低減が図れると共に、抵抗５４～５６を用いる場合に比べて、アクティブ負荷のＭＯＳＦＥＴ４３～４５を用いることで、パワーＭＯＳＦＥＴの駆動電力が一定ならば高速に駆動できるし、速度が一定ならば駆動電力を低くできる。また、抵抗４９は、ＭＯＳＦＥＴ３１或いはＭＯＳＦＥＴ３６がオンした場合に、ゲート端子６１から抵抗４９を介して流れる電流の電圧降下によってゲート６４の電位を下げるための抵抗であり、これによりパワーＭＯＳＦＥＴを遮断して過熱保護を行ったり、或いはパワーＭＯＳＦＥＴのドレイン電流を低減して過電流保護を行うことができる。

【００８８】

図８には、実施例１～６で用いたパワーＭＯＳＦＥＴを高周波駆動するためのＭＯＳＦＥＴ及びその駆動回路、すなわちソースとドレインが共にソース端子６２と接続されないＭＯＳＦＥＴ３３及びＭＯＳＦＥＴ３３を駆動するための回路がないけれども、アクティブ負荷として用いるＭＯＳＦＥＴ４３～４５がソースとドレインが共にソース端子６２に接続されていないＭＯＳＦＥＴであるので、ＭＯＳＦＥＴ４３～４５に対しては、ＭＯＳＦ

ＥＴ３３に対してと同様な負ゲート電圧保護回路、すなわちＭＯＳＦＥＴ３４と４１で構成した負ゲート電圧保護回路が必要となる。

【００８９】

尚、本実施例の半導体装置の断面構造に関しては、実施例４の場合と同じである。

また、図３～図７の実施例で述べた抵抗５４～５６を負荷とする構成を、本実施例のようにアクティブ負荷４３～４５で置き換えても同様の作用及び効果が得られることはいうまでもない。

【００９０】

＜実施例８＞

図９は、本発明に係る制御回路内蔵絶縁ゲート型半導体装置の第８の実施例を示す回路構成図である。本実施例では、ＭＯＳＦＥＴ３３のドレインに逆極性信号が入力された時に、寄生バイポーラトランジスタ動作による耐圧不良の発生や、或いは寄生ダイオード動作による逆方向ドレイン電流の発生を阻止できるトランジスタ構成を示す。図９において、参照符号６０はＭＯＳＦＥＴ３３のドレイン端子、６９はＭＯＳＦＥＴ３３のゲート端子、７０はＭＯＳＦＥＴ３３のソース端子をそれぞれ示す。このソース端子７０にＭＯＳＦＥＴ３４のゲートとＭＯＳＦＥＴ４１のドレインが接続され、ＭＯＳＦＥＴ３３のボディにＭＯＳＦＥＴ３４のソースとボディ並びにＭＯＳＦＥＴ４１のソースとボディが接続され、ＭＯＳＦＥＴ３３のドレイン端子６０にＭＯＳＦＥＴ４１のゲートとＭＯＳＦＥＴ３４のドレインが接続されている。

【００９１】

このような回路構成を有する本実施例の半導体装置の断面構造は、実施例１の図２に示した断面構造図及び配線図において、パワーＭＯＳＦＥＴ２９とキャパシタ２５を不要にし、抵抗５８を短絡した状態である。尚、図９に示した本実施例の回路構成の場合、図２に示した構造における抵抗５８が短絡状態であるからｐ型ウエル層１０４ａと１０４ｂは接続しても構わない。また、縦型パワーＭＯＳＦＥＴ２９を内蔵しないため、高濃度ｎ型基板１０１上にｎ型エピタキシャル層１０２を形成する必要は無く、従来のＭＯＳＦＥＴプロセスで使用されるｎ型基板を使用しても良い。或いは、ｎ型基板を使用せずにｐ型基板を使用する場合には、ｐ型ウエル層１０４ａ，１０４ｂを形成しなくとも構わない。

【００９２】

本実施例の半導体装置は、次のように動作する。

(ａ)ゲート端子６９の電圧がソース端子７０の電圧と等しい場合：

ドレイン端子６０の電圧が高くなり、ＭＯＳＦＥＴ４１のゲートにしきい電圧以上の電圧が印加されたときには、ＭＯＳＦＥＴ４１がオンするためＭＯＳＦＥＴ３３のボディはソース端子７０に接続される。この場合、ドレイン端子６０とソース端子７０の間に存在するＭＯＳＦＥＴ３３のソース、ボディ、ドレインを各々エミッタ、ベース、コレクタとする寄生ｎｐｎトランジスタは遮断状態であるため、ＭＯＳＦＥＴ３３のドレイン耐圧低下やドレインリーク電流が生じるのを防止できる。このため、ＭＯＳＦＥＴ３３は遮断状態となる。

【００９３】

一方、ドレイン端子６０の電圧が下がり、ＭＯＳＦＥＴ４１のゲートにしきい電圧以下の正の電圧が印加されたときには、ＭＯＳＦＥＴ４１とＭＯＳＦＥＴ３４は共にオフ状態であるため、ＭＯＳＦＥＴ３３のボディ電位はフローティングとなる。このため、ドレイン端子６０とソース端子７０の間に存在する上記寄生ｎｐｎトランジスタを介してドレイン電流が流れることはない。また、この条件（ゲート端子６９とソース端子７０の電圧が等しく、且つ、ドレイン端子６０の電圧が下がり、ＭＯＳＦＥＴ４１のゲートにしきい電圧以下の正の電圧が印加された状態）では、ドレイン端子６０とソース端子７０の間に低電圧しか印加されないため、上記寄生ｎｐｎトランジスタが降伏することも無い。

【００９４】

(ｂ)ゲート端子６９の電圧がドレイン端子６０の電圧と等しい場合：

ソース端子７０の電圧が高くなり、ＭＯＳＦＥＴ３４のゲートにしきい電圧以上の電圧が

印加されたときには、ＭＯＳＦＥＴ３４がオンするためＭＯＳＦＥＴ３３のボディはドレイン端子６０と接続される。この場合、ＭＯＳＦＥＴ３３のソース、ボディ、ドレインを各々コレクタ、ベース、エミッタとする寄生ｎｐｎトランジスタは遮断状態であるため、ＭＯＳＦＥＴ３３のドレイン耐圧低下やドレインリーク電流が生じるのを防止できる。このため、ＭＯＳＦＥＴ３３は遮断状態となる。

【００９５】

一方、ソース端子７０の電圧が下がり、ＭＯＳＦＥＴ３４のゲートにしきい電圧以下の正の電圧が印加されたときには、ＭＯＳＦＥＴ３４とＭＯＳＦＥＴ４１は共にオフ状態であるため、ＭＯＳＦＥＴ３３のボディ電位はフローティングとなる。このため、ドレイン端子６０とソース端子７０の間に存在する上記寄生ｎｐｎトランジスタを介してドレイン電流が流れることはない。また、この条件（ゲート端子６９とドレイン端子６０の電圧が等しく、且つ、ソース端子７０の電圧が下がり、ＭＯＳＦＥＴ３４のゲートにしきい電圧以下の正の電圧が印加された状態）では、ドレイン端子６０とソース端子７０の間に低電圧しか印加されないため、上記寄生ｎｐｎトランジスタが降伏することも無い。

【００９６】

本実施例の回路構成を有する半導体装置は、以上のように動作するため、バッテリを使用するパワースイッチ回路のスイッチ素子としてＭＯＳＦＥＴ３３を使用する場合に、バッテリが誤って逆接続される状態、すなわち逆極性信号がＭＯＳＦＥＴ３３のドレインに入力された状態が生じても、本実施例の半導体装置ではＭＯＳＦＥＴ３３の逆方向ドレイン電流を阻止できるため、ＭＯＳＦＥＴ３３並びにこれを用いるパワーシステムを保護することが可能となる。

【００９７】

なお、本実施例において、実施例１の図１で示した回路構成のように抵抗５８を入れたり、実施例３の図４で示した回路構成のようにＭＯＳＦＥＴ４１の代わりにカソードをソース端子７０に接続し、アノードをＭＯＳＦＥＴ３３のボディに接続したダイオード１８を用いた構成としても同様の効果が得られる。また、このダイオード１８として多結晶シリコンダイオードを用いた場合には、ＭＯＳＦＥＴ３３のドレイン電圧が正の場合の耐圧を向上できる。これは、ＭＯＳＦＥＴ３３のボディ・ソース間のビルトインポテンシャルよりも多結晶シリコンダイオードのｐｎ接合のビルトインポテンシャルの方が低いため、寄生バイポーラトランジスタ動作が起りにくいからである。

【００９８】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定するものではなく、例えば、前記実施例ではパワーＭＯＳＦＥＴを含む全てのＭＯＳＦＥＴはｎチャネル型ＭＯＳＦＥＴとして説明したが、全ての素子をｐチャネル型ＭＯＳＦＥＴとしても同様の効果が得られ、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【００９９】

また、これまでの実施例ではパワーＭＯＳＦＥＴを用いた制御回路内蔵絶縁ゲート型半導体装置を例にして述べてきたが、パワーＭＯＳＦＥＴの代わりにＩＧＢＴ（Insulated gate bipolar transistor）を用いた制御回路内蔵ＩＧＢＴの場合には寄生ｎｐｎトランジスタではなく寄生サイリスタが発生し、ＩＧＢＴのコレクタ端子からゲート端子にリーク電流が流れるという問題がある。この対策として、これまで述べた回路ならびにデバイス構造と全く同様にして負ゲート電圧を印加した場合の寄生素子の動作の防止や、制御回路内蔵ＩＧＢＴの高周波化等を実現することができる。

【０１００】

【発明の効果】

前述した実施例から明らかなように、本発明によれば、例えば制御回路内蔵型パワーＭＯＳＦＥＴの高周波化を図るために用いるドレインとソースの両方共ソース端子に接続されていない制御用ＭＯＳＦＥＴを、パワーＭＯＳＦＥＴのドレイン領域に形成しても寄生ｎｐｎトランジスタが動作しないようにできる。このため、ソースフォロア回路のように負

ゲート電圧が印加される場合でもドレイン端子とゲート端子との間にリーク電流が発生しないようにできる。

【０１０１】

また、パワーＭＯＳＦＥＴの遮断を確実に行ない、制御回路が正常動作するためのゲート端子電圧の動作マージンを従来に比べ拡大できる。

【図面の簡単な説明】

【図１】本発明に係る半導体装置の第１の実施例を示す回路構成図である。

【図２】図１に示した回路構成を実現する半導体装置の要部を示す断面構造図である。

【図３】本発明に係る半導体装置の第２の実施例を示す回路構成図である。

【図４】本発明に係る半導体装置の第３の実施例を示す回路構成図である。

【図５】本発明に係る半導体装置の第４の実施例を示す回路構成図である。

【図６】本発明に係る半導体装置の第５の実施例を示す回路構成図である。

【図７】本発明に係る半導体装置の第６の実施例を示す回路構成図である。

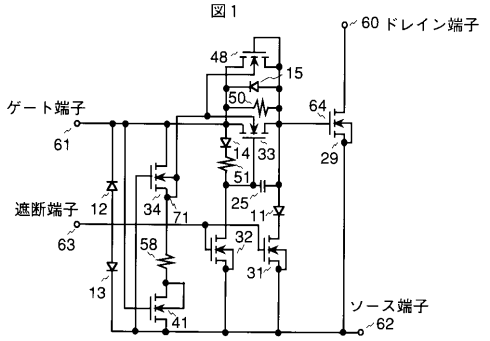
【図８】本発明に係る半導体装置の第７の実施例を示す回路構成図である。

【図９】本発明に係る半導体装置の第８の実施例を示す回路構成図である。

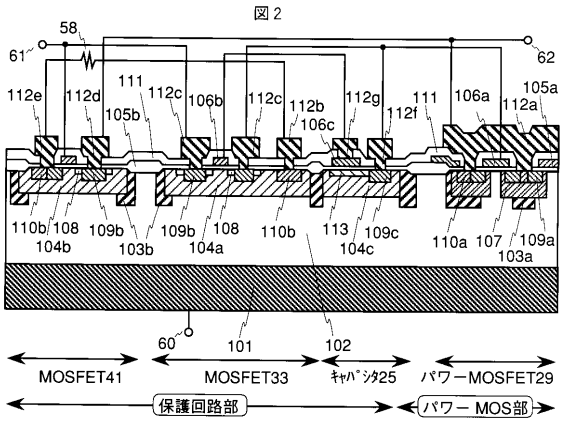
【符号の説明】

９…ダイオード、
１０…ダイオード列、
１１～１７…ダイオード、
２５…キャパシタ、
２９，３０…パワーＭＯＳＦＥＴ、
３１～３４，３６～４１…ＭＯＳＦＥＴ、
４３～４５，４８…ＭＯＳＦＥＴ、
４９～５８…抵抗、
６０…ドレイン端子、
６１…ゲート端子、
６２…ソース端子、
６３…遮断端子、
６４…パワーＭＯＳＦＥＴのゲート、
６５…定電圧回路の出力ノード、
６６…ＭＯＳＦＥＴ４０のゲート、
６７…ラッチ回路の出力ノード、
６８…ＭＯＳＦＥＴ３６のゲート、
６９…ゲート端子、
７０…ソース端子、
７１…ＭＯＳＦＥＴ３４のソースとボディの接続ノード、
１０１…ｎ型基板、
１０２…ｎ型エピタキシャル層、
１０３ａ，１０３ｂ…第１のｐ型ウエル層、
１０４ａ，１０４ｂ，１０４ｃ…第２のｐ型ウエル層、
１０５ａ，１０５ｂ…酸化膜、
１０６ａ，１０６ｂ…ゲート電極、
１０６ｃ…多結晶シリコンゲート層（キャパシタ電極）、
１０７…ｐ型拡散層、
１０８…低濃度ｎ型拡散層、
１０９ａ，１０９ｂ，１１３…ｎ型拡散層、
１１０ａ，１１０ｂ…ｎ型拡散層、
１１１…絶縁層、
１１２ａ～１１２ｇ…アルミ電極。

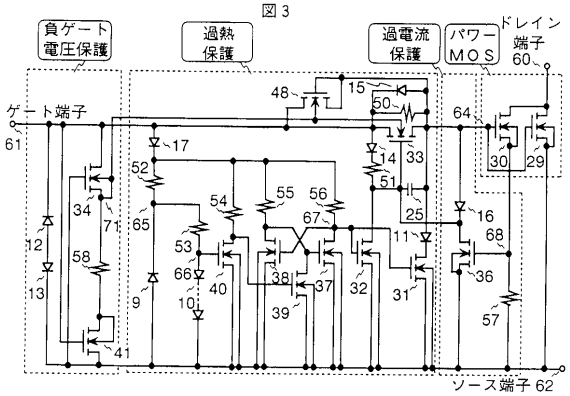
【図１】



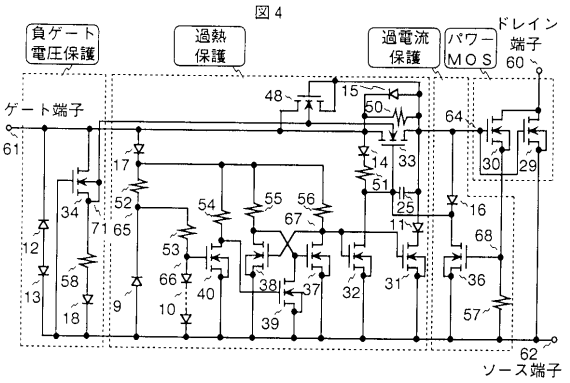
【図２】



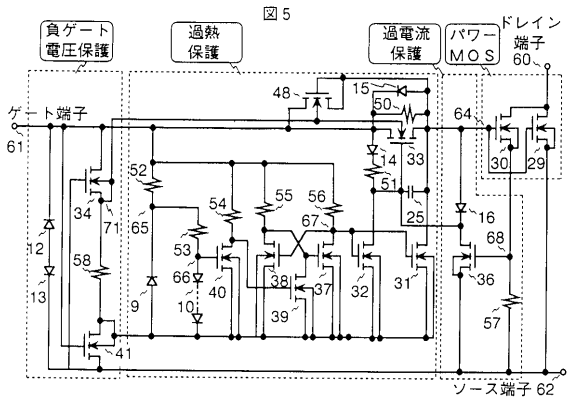
【図３】



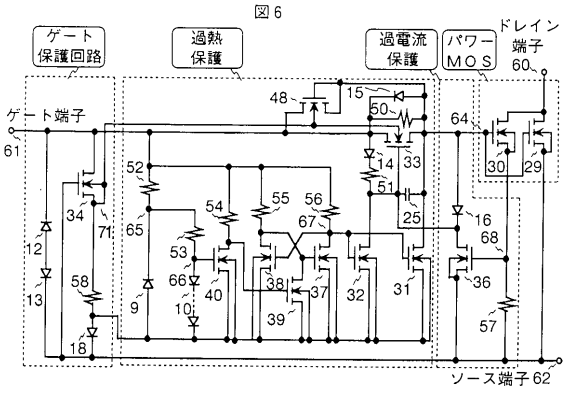
【図４】



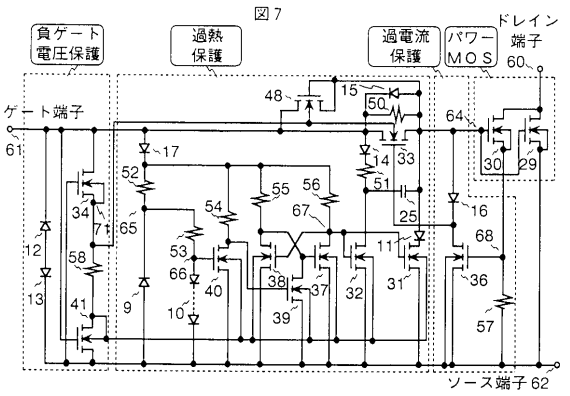
【図５】



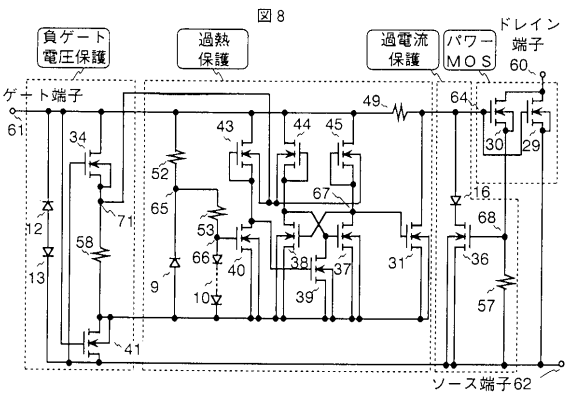
【図６】



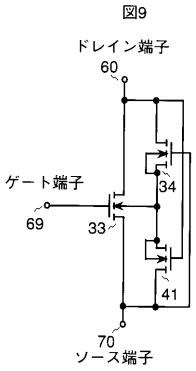
【図７】



【図８】



【図９】



フロントページの続き

(51)Int.Cl.[7] F I
H０１L 29/78

(56)参考文献 特開平０９－１３５０２４（ＪＰ，Ａ）
特開平６－２４４４１４（ＪＰ，Ａ）
特開平６－２４４４１３（ＪＰ，Ａ）
特開平７－１７６７３３（ＪＰ，Ａ）
特開平７－５８２９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03F 1/52
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/088
H01L 29/78 656
H01L 29/78 657