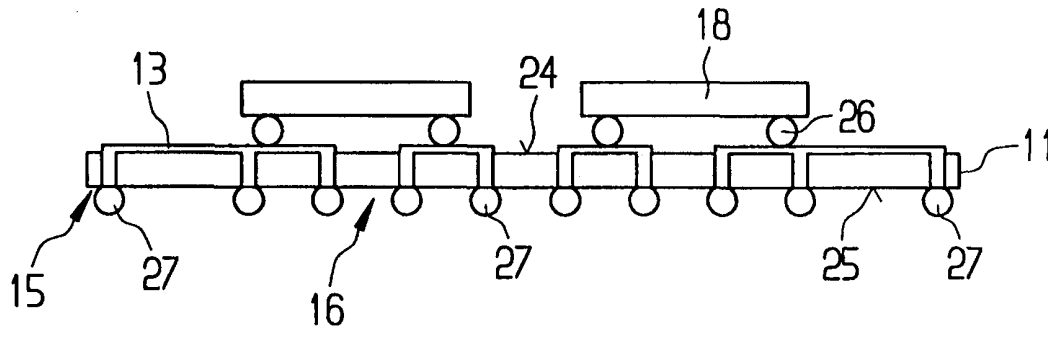


(51) Internationale Patentklassifikation ⁷ : H01L 23/498, 21/66	A2	(11) Internationale Veröffentlichungsnummer: WO 00/04585 (43) Internationales Veröffentlichungsdatum: 27. Januar 2000 (27.01.00)
(21) Internationales Aktenzeichen: PCT/DE99/02110 (22) Internationales Anmeldedatum: 9. Juli 1999 (09.07.99) (30) Prioritätsdaten: 198 31 634.8 15. Juli 1998 (15.07.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): PAC TECH-PACKAGING TECHNOLOGIES GMBH [DE/DE]; Am Schlangenhorst 15-17, D-14641 Nauen (DE). SMART PAC GMBH TECHNOLOGY SERVICES [DE/DE]; Am Schlangenhorst 17, D-14641 Nauen (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): ROHDE, Hartmut [DE/DE]; Lilienweg 7, D-71397 Leutenbach (DE). WENDLAND, Gerhild [DE/DE]; Gudvangerstrasse 12, D-10439 Berlin (DE). (74) Anwalt: TAPPE, Hartmut; Böck + Tappe Kollegen, Kantstrasse 40, D-97074 Würzburg (DE).		(81) Bestimmungsstaaten: JP, KR, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>
(54) Title: CHIP CARRIER DEVICE AND METHOD FOR THE PRODUCTION OF A CHIP CARRIER DEVICE WITH AN ELECTRICAL TEST		
(54) Bezeichnung: CHIPTRÄGERANORDNUNG SOWIE VERFAHREN ZUR HERSTELLUNG EINER CHIPTRÄGERANORDNUNG MIT ELEKTRISCHEM TEST		
		
(57) Abstract A chip carrier device (10) for a housed chip arrangement, comprising a chip carrier (11) having, on one chip contact side (24), a printed circuit board structure (12) with a terminal face (17) that extends to one external contact side (25) of the chip carrier and is associated with at least one chip (18) and provided with respective through-plating. The chip carrier (11) is also provided with additional through-platings that are connected to the printed circuit board structure (12) and which are used for contacting test connections (32) belonging to a test plate (29, 30).		
(57) Zusammenfassung Chipträgeranordnung (10) für eine gehäute Chipanordnung mit einem Chipträger (11), der auf einer Chipkontaktseite (24) eine Leiterbahnstruktur (12) mit zu einer Außenkontaktseite (25) des Chipträgers reichenden und zumindest einem Chip (18) mit jeweils einer Durchkontaktierung (14) zugeordneten Anschlußfläche (17) aufweist, wobei der Chipträger (11) weitere mit der Leiterbahnstruktur (12) verbundene Durchkontaktierungen (14) aufweist, die zur Kontaktierung mit Prüfanschlüssen (32) einer Prüfplatine (29, 30) dienen.		

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

5

10 **Chipträgeranordnung sowie Verfahren zur Herstellung einer Chipträgeranordnung mit elektrischem Test**

Die vorliegende Erfindung betrifft eine Chipträgeranordnung zur Herstellung eines Chipmoduls für eine gehäuste Chipanordnung mit einem
15 Chipträger, der auf einer Chipkontaktseite eine Leiterbahnstruktur mit zu einer Außenkontaktseite des Chipträgers reichenden Durchkontaktierungen aufweist, die Anschlußflächen von zumindest einem Chip zugeordnet sind und zur Ausbildung von Bauteilkontakten auf der Außenkontaktseite
20 des Chipträgers dienen. Des weiteren betrifft die vorliegende Erfindung ein Verfahren zur Herstellung einer Chipträgeranordnung für ein Chipmodul gemäß dem Anspruch 6.

Zur erleichterten Kontaktierung von Chips auf Substraten, die als Basis für den Aufbau elektronischer Baugruppen dienen, ist es bekannt, Chips
25 mit sogenannten „Umverdrahtungen“ zu versehen, die ausgehend von einer peripheren Anschlußflächenanordnung auf der Oberfläche des Chips ein flächig gleichmäßig verteiltes Anschlußflächenraster mit vergrößertem Anschlußflächenabstand zur vereinfachten Kontaktierung mit dem Substrat oder weiteren Bauteilen ermöglichen. In der Regel wird eine
30 solche Umverdrahtung durch Kontaktierung des Chips auf einem Trägermaterial realisiert, das mit einer entsprechenden Leiterbahnstruktur

versehen ist. Derart aus dem Chip und dem Trägermaterial gebildete Chipträgeranordnungen werden anschließend zur vereinfachten Handhabung der Chipträgeranordnung und Erhöhung der Betriebssicherheit zumindest teilweise von einem Kunststoffmaterial umschlossen zur
5 Ausbildung sogenannter „Chipsized-Packages“.

Weiterhin ist es bekannt, die in ihrer Art vorbeschriebenen Chipträgeranordnungen vor Herstellung der Chipgehäuseung einem elektrischen Bauteiltest zu unterziehen, um bereits vor Fertigstellung der Chip-Packages eine Qualitätssicherung durch Überprüfung der Kontaktierung zwischen
10 dem Trägermaterial und dem Chip bzw. der Funktionsfähigkeit des Chips durchführen zu können. Solche unter Temperaturbelastung durchgeführte Tests werden auch als „Burn-In-Tests“ bezeichnet.

Bei den bekannten Chipträgeranordnungen ist daher das in der Regel als Trägerfolie ausgebildete, mit einer Leiterbahnstruktur versehene Trägermaterial neben Durchkontaktierungen, die zur Ausbildung des Anschlußflächenrasters mit Bauteilkontakten auf der Außenkontaktseite des
15 Trägermaterials notwendig sind, mit abweichend von den Durchkontaktierungen ausgebildeten Prüfkontakten versehen, die auf der Chipkontaktseite angeordnet sind. Hierdurch ergibt sich eine einander gegenüberliegende Anordnung der Bauteilkontakte auf der Außenkontaktseite des
20 Trägermaterials und der Prüfkontakte auf der Chipkontaktseite des Trägermaterials. Ausgehend von der Tatsache, daß sowohl zur Kontaktierung der Chipträgeranordnung mit einer Prüfeinrichtung zur Durchführung von Bauteiltests als auch zur Kontaktierung der Chipträgeranordnung bzw. des Chipsized-Package mit einem Substrat eine Handhabung der
25 Chipträgeranordnung bzw. des Chip-Package durchgeführt wird, ergeben sich also aus der einander gegenüberliegenden Anordnung von Prüfkontakten und Bauteilkontakten unterschiedliche Zuführrichtungen für die Chipträgeranordnung bzw. das Chipsized-Package bei den verschiedenen
30 Kontaktierungsvorgängen.

Aufgabe der vorliegenden Erfindung ist es, eine Chipträgeranordnung bzw. ein Verfahren zur Herstellung einer Chipträgeranordnung vorzuschlagen, die bzw. das die vereinfachte Herstellung von Chipmodulen bzw. Chipsize-Packages, die während der Herstellung einem Bauteiltest
5 unterzogen werden, ermöglicht.

Diese Aufgabe wird durch eine Chipträgeranordnung gemäß Anspruch 1 bzw. durch ein Verfahren zur Herstellung einer Chipträgeranordnung gemäß Anspruch 6 gelöst.

Bei der erfindungsgemäßen Chipträgeranordnung weist der Chipträger
10 neben den Durchkontaktierungen zur Ausbildung der Bauteilkontakte auf der Außenkontaktseite weitere mit der Leiterbahnstruktur verbundene Durchkontaktierungen zur Ausbildung von Prüfkontakten auf der Außenkontaktseite auf, die zur Kontaktierung mit Prüfanschlüssen einer Prüfplatine dienen.

15 Bei der erfindungsgemäßen Chipträgeranordnung ist es somit möglich, sowohl die Bauteilkontakte als auch die Prüfkontakte auf der Außenkontaktseite des Chipträgers anzuordnen. Hierdurch kann sowohl die Kontaktierung der Chipträgeranordnung mit einer Prüfplatine zur Durchführung eines elektrischen Bauteiltests als auch die Kontaktierung der
20 Chipträgeranordnung bzw. die Kontaktierung des nachfolgend aus der Chipträgeranordnung gebildeten Chipsize-Package in derselben Kontaktierungsrichtung, also beispielsweise einheitlich in Face-down-Technik durchgeführt werden.

Wenn zur Ausbildung der Chipträgeranordnung, also zur elektrischen
25 Kontaktierung des Chips mit dem Chipträger, die Anschlußflächen des Chips über erhöhte Kontaktmetallisierungen mit der Leiterbahnstruktur bzw. den Durchkontaktierungen des Chipträgers verbunden sind, ist es möglich, nicht nur die Kontaktierung der Chipträgeranordnung mit der Prüfplatine bzw. die Kontaktierung des Chipsize-Package mit dem
30 Substrat in Face-down-Technik durchzuführen, sondern bereits auch die

Kontaktierung des Chips mit der Chipkontaktseite des Chipträgers.
Hierdurch lassen sich also sämtliche notwendigen Kontaktierungsvorgänge in einheitlicher Technik durchführen.

Wenn zur elektrischen Kontaktierung des Chipträgers mit der Prüfplatine die die Prüfkontakte bildenden Durchkontaktierungen auf der Außenkontaktseite des Chipträgers mit erhöhten Kontaktmetallisierungen versehen sind, läßt sich eine Kontaktierung zur nachfolgenden Durchführung des Bauteiltests ohne vorhergehende Präparierung der Kontaktanschlüsse der Prüfplatine mit Verbindungsmaterial durchführen.

Als überaus vorteilhaft erweist es sich, wenn sowohl die Kontaktmetallisierungen der Bauteilkontakte als auch die Kontaktmetallisierungen der Prüfkontakte in gleicher Weise und/oder aus dem gleichen Verbindungsmaterial gebildet sind, da durch die einheitliche Verwendung von Verbindungsmaterial bzw. die einheitliche Art und Weise der Applikation des Verbindungsmaterials eine Reduzierung der Herstellungskosten möglich ist.

Als besonders vorteilhaft erweist es sich in diesem Zusammenhang, wenn sämtliche Kontaktmetallisierungen aus Lotmaterialkugeln gebildet sind, die in einfacher Art und Weise ohne vorbereitende Maßnahmen, wie beispielsweise die Applikation einer Lotmaterialmaske auf dem Chipträger, unmittelbar auf die betreffenden Kontaktstellen applizierbar sind.

Das erfindungsgemäße Verfahren gemäß Anspruch 6 ermöglicht in besonders einfacher Art und Weise die Herstellung einer Chipträgeranordnung, die zur Herstellung eines Chipmoduls für ein Chipsize-Package dient, und eine besonders leichte Integration eines Bauteiltests in das Herstellungsverfahren. Erfindungsgemäß weist das Verfahren die folgenden Verfahrensschritte auf:

- Kontaktierung eines Chips auf einer Chipkontaktseite eines mit einer Leiterbahnstruktur versehenen Chipträgers, derart, daß ein elektrischer Kontakt zwischen Anschlußflächen des Chips und mit der Leiterbahn-

struktur verbundenen Durchkontaktierungen des Chipträgers hergestellt wird,

- Kontaktierung des Chipträgers auf einer mit Prüfanschlüssen versehenen Prüfplatine, derart, daß auf einer Außenkontaktseite des Chipträgers ein elektrischer Kontakt zwischen Durchkontaktierungen des Chipträgers und den Prüfanschlüssen der Prüfplatine hergestellt wird, und
- Heraustrennen eines mit dem Chip über die Kontaktmetallisierungen verbundenen Chipträgerteilstücks des Chipträgers zur Ausbildung eines von einem auf der Prüfplatine verbleibenden Chipträgerrest unabhängigen Chipmoduls.

Das erfindungsgemäße Verfahren ermöglicht es, sowohl die Kontaktierung des Chips mit dem Chipträger als auch die Kontaktierung des Chipträgers mit der Prüfplatine mit ein und demselben Verfahren bzw. mit ein und derselben Vorrichtung durchzuführen, um durch ein den Kontaktierungsvorgängen nachfolgendes Heraustrennen eines mit dem Chip verbundenen Teilstücks des Chipträgers die Ausbildung eines vom Chipträgerrest unabhängigen Chipmoduls zu ermöglichen. Nach Entfernung des Chipträgerrestes kann die Prüfplatine erneut verwendet werden.

Auf besonders vorteilhafte Art und Weise eröffnet das erfindungsgemäße Verfahren die Möglichkeit, nach Belieben zwei Verfahrensvarianten durchzuführen, wobei gemäß der ersten Variante zuerst die Kontaktierung des Chips auf dem Chipträger und nachfolgend die Kontaktierung des Chipträgers auf der Prüfplatine erfolgt, und gemäß der zweiten Verfahrensvariante zuerst die Kontaktierung des Chipträgers auf der Prüfplatine und nachfolgend die Kontaktierung des Chips auf dem Chipträger erfolgt.

Als besonders vorteilhaft erweist es sich, wenn vor der Kontaktierung sowohl auf der Außenkontaktseite des Chipträgers durch die Durchkontaktierungen gebildeten Bauteilkontakte als auch auf der Außenkontaktseite des Chipträgers durch die Durchkontaktierungen gebildete Prüfkontakte mit Verbindungsmaterialdepots versehen werden, um somit die

Kontaktierung sämtlicher Kontakte in einem gemeinsamen Kontaktierungsvorgang durchführen zu können.

Wenn darüber hinaus sämtliche Durchkontaktierungen in derselben Art und Weise mit Verbindungsmaterialdepots versehen werden, entfällt die Notwendigkeit, die für die Kontaktierung mit den Prüfanschlüssen vorgesehenen Prüfkontakte in separater Weise und mit hierdurch bedingtem entsprechend höherem Aufwand für die nachfolgende Kontaktierung mit der Prüfplatine vorzubereiten. Vielmehr wird durch die Anordnung sämtlicher Außenkontakte, also sowohl der zur Kontaktierung des Chips mit weiteren Bauelementen dienenden Bauteilkontakte als auch der zur Kontaktierung mit der Prüfplatine dienenden Prüfkontakte, auf ein und derselben Seite des Chipträgers und die einheitliche Präparierung sämtlicher Kontakte mit Verbindungsmaterialdepots eine Kontaktierung sämtlicher Außenkontakte mit minimalem Aufwand ermöglicht.

Eine besonders günstige Verfahrensvariante besteht darin, zur Ausbildung der Verbindungsmaterialdepots Lotmaterialformstücke auf die Durchkontaktierungen zu applizieren, die nachfolgend zur Ausbildung von erhöhten Kontaktmetallisierungen umgeschmolzen werden. Durch diese selektive Applikation von Verbindungsmaterial kann ohne die Durchführung besonderer vorbereitender Maßnahmen, wie etwa die Aufbringung einer Lotmaske bei einem Schablonenbelotungsverfahren, und ohne den damit verbundenen hohen apparativen Aufwand zur Durchführung einer Vielzahl einzelner Verfahrensschritte in einfacher Art und Weise die unmittelbare Applikation von Lotmaterial in genau dosierter Menge erfolgen.

Alternativ zu der vorgenannten Verfahrensvariante ist es auch möglich, die Prüfkontakte und die Bauteilkontakte in voneinander abweichender Art und Weise mit Verbindungsmaterialdepots zu versehen. Übereinstimmend mit der vorstehend erläuterten vorteilhaften Verfahrensvariante werden sämtliche Außenkontakte mit Verbindungsmaterialdepots verse-

hen, so daß zwar auch in diesem Fall eine nachfolgende Kontaktierung der Prüfkontakte mit den Prüfanschlüssen der Prüfplatine möglich ist, jedoch können für das Verbindungsmaterial der Prüfkontakte einerseits und das Verbindungsmaterial der Bauteilkontakte andererseits unterschiedliche Verbindungsmaterialien gewählt werden.

So besteht eine vorteilhafte Ausführungsform der vorgenannten Variante darin, zumindest für die Prüfkontakte des Chipträgers als Verbindungsmaterial einen leitfähigen Haftkleber vorzusehen, wobei für die Bauteilkontakte hiervon abweichend ein Lotmaterial vorgesehen sein kann.

Nachfolgend werden ein bevorzugtes Ausführungsbeispiel der erfindungsgemäßen Chipträgeranordnung sowie eine bevorzugte Variante zur Herstellung der erfindungsgemäßen Chipträgeranordnung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Chipträgeranordnung mit einer Mehrzahl darauf kontaktierter Chips in einer Draufsicht;

Fig. 2 eine Schnittdarstellung der in **Fig. 1** dargestellten Chipanordnung gemäß Schnittlinienverlauf II-II in **Fig. 1** mit Darstellung einer Leiterbahnstruktur der Chipträgeranordnung und damit verbundener Durchkontaktierungen;

Fig. 3 die in **Fig. 2** dargestellte Chipträgeranordnung mit erhöhten Kontaktmetallisierungen auf einer Außenkontaktseite;

Fig. 4 die in **Fig. 3** dargestellte Chipträgeranordnung nach Kontaktierung auf einer Prüfplatine mit Darstellung der Trennlinien zum Heraustrennen von Chipträgerteilstücken aus der Chipträgeranordnung zur Ausbildung von Chipmodulen;

Fig. 5 einen nach Heraustrennen der Chipträgerteilstücke auf der Prüfplatine verbleibenden Chipträgerrest;

Fig. 6 die Entfernung des in **Fig. 5** dargestellten Chipträgerrests von der Prüfplatine als vorbereitende Maßnahme zur erneuten Kontaktierung einer weiteren Chipträgeranordnung auf der Prüfplatine gemäß **Fig. 4**.

5 **Fig. 1** zeigt eine Chipträgeranordnung 10 mit einem aus einem vorzugsweise flexiblen Folienmaterial gebildeten Chipträger 11, der auf seiner Oberfläche mit einer Mehrzahl von Leiterbahnstrukturen 12 versehen ist. Die Leiterbahnstrukturen 12 sind jeweils aus einer Anzahl von Leiterbahnen 13 zusammengesetzt, die an zumindest einem Ende in eine Durch-

10 kontaktierung 14 (**Fig. 2**) münden.

Wie ferner aus den **Fig. 1 und 2** zu ersehen ist, sind die Durchkontaktierungen 14 der jeweiligen Leiterbahnstrukturen 12 gruppenweise zusammengefaßt und bilden dabei eine Gruppe von Prüfkontakten 15 sowie eine Gruppe von Bauteilkontakten 16, deren Funktion nachfolgend noch näher

15 erläutert wird. Die Bauteilkontakte 16 der Leiterbahnstrukturen 12 sind über die Leiterbahnen 13 mit Chipanschlußflächen 17 einer auf einem Chip 18 peripher angeordneten Chipanschlußflächenanordnung 19 kontaktiert. Zur deutlichen Darstellung der durch die Kontaktierung der Chipanschlußflächen 17 mit den Bauteilkontakten 16 des Chipträgers 11

20 durchgeführten Umverteilung der Kontaktanordnung von der peripheren Chipanschlußflächenanordnung 19 zu einem durch die Bauteilkontakte 16 gebildeten Bauteilkontaktraster 20 des Chipträgers 11 mit hier gleichmäßiger Flächenverteilung sind die auf dem Chipträger 11 kontaktierten Chips 18 transparent dargestellt.

25 Die in **Fig. 1** dargestellte Chipträgeranordnung 10 zeigt deutlich die Anordnung einer Mehrzahl von Chips 18 auf einer entsprechenden Anzahl von Leiterbahnstrukturen 12, die jeweils so angeordnet sind, daß die Bauteilkontakte 16 bzw. die Bauteilkontaktrasteranordnungen 20 spiegelsymmetrisch zu einer Längssymmetrieachse 21 des Chipträgers 11 ange-

30 ordnet sind und die Leiterbahnen 13 sich davon ausgehend zu Außenrän-

dern 21, 22 des Chipträgers 11 erstrecken mit einer zu den Außenrändern 21 bzw. 22 parallelen Anordnung der Prüfkontakte 15.

Fig. 2 zeigt eine Querschnittsansicht des in **Fig. 1** dargestellten Chipträgers 11, aus der besonders gut die Anordnung der die Prüfkontakte 15 sowie die Bauteilkontakte 16 bildenden Durchkontaktierungen 14, die sich ausgehend von den auf einer Chipkontaktseite 24 angeordneten Leiterbahnen 13 zu einer Außenkontaktseite 25 des Chipträgers 11 hin erstrecken, zu ersehen ist. Bei dem in **Fig. 2** dargestellten Ausführungsbeispiel der Chipträgeranordnung 10 sind die Chips 18 über erhöhte Kontaktmetallisierungen 26 mit den zugeordneten Durchkontaktierungen 14 unmittelbar oder mittelbar über die Leiterbahnen 13 verbunden. Zur Herstellung der in **Fig. 2** dargestellten Chipträgeranordnung 10 können entweder die Chips 18 in einem vorhergehenden Arbeitsgang auf ihren Chipanschlußflächen 17 mit den erhöhten Kontaktmetallisierungen 26 versehen werden, um anschließend in Flip-Chip-Technik auf den Chipträger 11 kontaktiert zu werden. Ebenso ist es möglich, die Leiterbahnen 13 bzw. die Durchkontaktierungen 14 an den entsprechenden Stellen mit erhöhten Kontaktmetallisierungen 26 zu versehen, so daß die Verbindung zwischen den Chipanschlußflächen 17 und den Kontaktmetallisierungen 26 erst bei Kontaktierung der Chips 18 mit dem Chipträger 11 erfolgt.

Fig. 3 zeigt, daß in einem nachfolgenden Arbeitsgang sowohl die Prüfkontakte 15 als auch die Bauteilkontakte 16 auf der Außenkontaktseite 25 des Chipträgers 11 mit erhöhten Kontaktmetallisierungen 27 versehen werden, die in gleicher Weise wie die Kontaktmetallisierungen 26 auf der Chipkontaktseite 24 des Chipträgers 11 ausgebildet sein und appliziert werden können. Zur Applikation der Kontaktmetallisierungen 27 auf der Außenkontaktseite 25 sowie der Kontaktmetallisierungen 26 auf der Chipkontaktseite 24 bzw. den Chipanschlußflächen 17 des Chips 18 ist die Anwendung eines sogenannten Single-Bond-Verfahrens, etwa mittels „Solder-Ball-Bumping“ möglich, bei dem Lotmaterialformstücke, beispielsweise Lotkugeln, auf die Bauteilkontakte 16 und Prüfkontakte 15

der Außenkontaktseite 25 und die Leiterbahnen 13 bzw. die Durchkontaktierungen 14 auf der Chipkontaktseite 24 bzw. den Chipanschlußflächen 17 des Chips 18 aufgebracht werden und anschließend zur Ausbildung der Kontaktmetallisierungen 27 umgeschmolzen werden.

5 **Fig. 4** zeigt die nachfolgende Kontaktierung der Chipträgeranordnung 10 bzw. des Chipträgers 11 mit einer Prüfplatinenanordnung 28 mit zwei Prüfplatinen 29 und 30. Hierbei dient die linke Prüfplatine 29 zur Kontaktierung mit einer in **Fig. 1** links einer Längssymmetrieachse 21 angeordneten Chipreihe 31, wobei zur Kontaktierung der den einzelnen Chips 18 zugeordneten Prüfkontakte 15 jeweils eine Anordnung entsprechend
10 angeordneter Prüfanschlüsse 32 über die auf den Prüfkontakten 15 angeordneten Kontaktmetallisierungen 27 mit den Prüfkontakten 15 elektrisch verbunden wird. Auf dieselbe Art und Weise wird infolge der Kontaktierung der Chipträgeranordnung 10 auf der Prüfplatinenanordnung 28 eine
15 elektrische Verbindung zwischen den Prüfkontakten 15 einer in **Fig. 1** rechts der Längssymmetrieachse 21 angeordneten Chipreihe 43 und der zugeordneten Prüfplatine 30 hergestellt.

In der in **Fig. 4** dargestellten Konfiguration, in der sich die Chipträgeranordnung 10 in elektrisch leitendem Kontakt mit der Prüfplatinenanordnung 28 befindet, kann eine Überprüfung der elektrischen Funktionen der
20 Chips 18 bzw. der Chipanordnung 10 erfolgen. Hierzu erstrecken sich von den Prüfanschlüssen 32 der Prüfplatinen 29, 30 Prüfleiterbahnen 33 zu einem Anschlußrand 34 der Prüfplatine 29 bzw. 30, über den, wie in **Fig. 4** schematisch dargestellt, jeweils ein Anschluß, beispielsweise über eine
25 elektrische Steckverbindung 34, mit einer nicht näher dargestellten Prüfeinrichtung herstellbar ist.

Nach erfolgter elektrischer Überprüfung der Chips 18 bzw. der Chipträgeranordnung 10 erfolgt längs eines in **Fig. 4** durch Trennlinien 36 angedeuteten, jeweils einen Chip 18 umschließenden Trennkantenverlaufs
30 37 (**Fig. 5**) ein Heraustrennen der einzelnen Chips 18 zusammen mit den

den Chips 18 durch die Kontaktmetallisierungen 26 zugeordneten Chipträgerteilstücken 38, 39 und ein Heraustrennen der Chipträgerteilstücke 38, 39 aus dem Chipträger 11. Dabei bilden die herausgetrennten Chipträgerteilstücke 38, 39 zusammen mit den zugeordneten Chips 18 Chipmodule 40, 41. Diese Chipmodule 40, 41 sind von einem Chipträgerrest 42, der infolge der Kontaktierung mit der Prüfplatinenanordnung 28 auf dieser verbleibt, unabhängig handhabbar. Die Chipmodule 40, 41 können dann bei Ausbildung einer das Chipmodul umgebenden, hier nicht näher dargestellten Gehäusung zur Herstellung sogenannter Chipsize-Packages dienen.

Wie in **Fig. 6** dargestellt, kann nachfolgend der auf der Prüfplatinenanordnung 28 verbliebene Chipträgerrest 42 von der Prüfplatinenanordnung 28 entfernt werden, um die in **Fig. 4** dargestellte Kontaktierung der Prüfplatinenanordnung 28 mit einer neuen Chipträgeranordnung 10 zur Wiederholung des vorstehend beschriebenen Verfahrens durchzuführen. Durch die wiederholte Verwendung der Prüfplatine ergeben sich enorme Kostenvorteile.

Für den Fall, daß, wie vorstehend beschrieben, die Kontaktmetallisierungen 27 auf der Außenkontaktseite 25 des Chipträgers 11 einheitlich ausgebildet sind, also sowohl die Kontaktmetallisierungen 27 der Bauteilkontakte 16, die zur Kontaktierung des Chipmoduls 40, 41 bzw. des Chip-Package mit weiteren Bauteilen, wie beispielsweise einer Platine, dienen, als auch die Kontaktmetallisierungen 27 der Prüfkontakte 15 übereinstimmend aus einem aufschmelzbaren Lotmaterial gebildet sind, muß vor der in **Fig. 6** dargestellten Entfernung des Chipträgerrests 42 von der Prüfplatinenanordnung 28 ein erneutes Aufschmelzen der Kontaktmetallisierungen 27 zum Lösen der Verbindung zwischen dem Chipträgerrest 42 und der Prüfplatinenanordnung 28 durchgeführt werden.

Alternativ dazu besteht jedoch auch die Möglichkeit, die Kontaktmetallisierungen 27 der Bauteilkontakte 16 und die Kontaktmetallisierungen 27

- der Prüfkontakte 15 unterschiedlich auszubilden, so daß beispielsweise die Kontaktmetallisierungen der Prüfkontakte 15 aus einem leitfähigen, also etwa mit metallischen Zusätzen versehenen Haftkleber, gebildet sein können, um hierdurch elektrisch leitfähige Verbindungen zwischen dem
- 5 Chipträger 11 und der Prüfplatinenanordnung 28 herzustellen, die durch Aufbringung einer ausreichenden Trennkraft rein mechanisch oder chemisch, etwa mittels Lösungsmitteln, lösbar sind. Darüber hinaus hat eine derartige Ausbildung der Kontaktmetallisierung für die Prüfkontakte 15 auch den Vorteil, daß auch bereits zur Herstellung der Verbindung
- 10 zwischen dem Chipträger 11 und der Prüfplatinenanordnung 28 kein Aufschmelzen erforderlich ist, sondern eine zur Sicherung der elektrischen Leitfähigkeit ausreichende mechanische Verbindung durch leichten Anpreßdruck zwischen dem Chipträger 11 und der Prüfplatinenanordnung 28 erzielbar ist.
- 15 Eine weitere Möglichkeit abweichend von der Ausbildung der Kontaktmetallisierungen der Bauteilkontakte einen sicheren Kontakt zwischen dem Chipträger und der Prüfplatinenanordnung herzustellen, besteht darin, zwischen den Prüfkontakten des Chipträgers und den Prüfanschlüssen der Prüfplatinenanordnung eine Steckverbindung, eine Klemmverbin-
- 20 dung oder eine Rastverbindung vorzusehen.

Patentansprüche

1. Chipträgeranordnung zur Herstellung eines Chipmoduls für eine gehäuste Chipanordnung mit einem Chipträger, der auf einer Chip-
5 kontaktseite eine Leiterbahnstruktur mit zu einer Außenkontakt-
seite des Chipträgers reichenden Durchkontaktierungen aufweist,
die Anschlußflächen von zumindest einem Chip zugeordnet sind
und zur Ausbildung von Bauteilkontakten auf der Außenkontakt-
seite des Chipträgers dienen,
10 dadurch gekennzeichnet,
daß der Chipträger (11) weitere mit der Leiterbahnstruktur (12)
verbundene Durchkontaktierungen (14) aufweist, die zur Ausbil-
dung von Prüfkontakten (15) für die Kontaktierung mit Prüfan-
schlüssen (32) einer Prüfplatine (29, 30) auf der Außenkontaktseite
15 (25) des Chipträgers (11) dienen.
2. Chipträgeranordnung nach Anspruch 1,
dadurch gekennzeichnet,
daß zur elektrischen Kontaktierung des Chips (18) mit dem Chip-
träger (11) die Anschlußflächen (17) des Chips (18) über erhöhte
20 Kontaktmetallisierungen (26) mit der Leiterbahnstruktur (12) bzw.
den Durchkontaktierungen (14) des Chipträgers (11) verbunden
sind.
3. Chipträgeranordnung nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
25 daß zur elektrischen Kontaktierung des Chipträgers (11) mit der
Prüfplatine (29, 30) die die Prüfkontakte (15) bildenden Durch-
kontaktierungen (14) auf der Außenkontaktseite (25) des Chipträ-
gers (11) mit erhöhten Kontaktmetallisierungen (27) versehen sind.

4. Chipträgeranordnung nach einem oder mehreren der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß die Kontaktmetallisierungen (27) der Bauteilkontakte (16) und
5 die Kontaktmetallisierungen (27) der Prüfkontakte (15) gleich ausgebildet sind.
5. Chipträgeranordnung nach Anspruch 4,
dadurch gekennzeichnet,
daß die Kontaktmetallisierungen (27) aus Lotmaterialformstücken
10 gebildet sind.
6. Verfahren zur Herstellung einer Chipträgeranordnung für ein Chipmodul mit den Verfahrensschritten:
- Kontaktierung eines Chips (18) auf einer Chipkontaktseite (24) eines mit einer Leiterbahnstruktur (12) versehenen Chipträgers (11), derart, daß ein elektrischer Kontakt zwischen Anschlußflächen (17) des Chips (18) und mit der Leiterbahnstruktur (12) verbundenen Durchkontaktierungen (14) des Chipträgers (11) hergestellt wird,
15
 - Kontaktierung des Chipträgers (11) auf einer mit Prüfanschlüssen (32) versehenen Prüfplatine (29, 30), derart, daß auf einer Außenkontaktseite (25) des Chipträgers (11) ein elektrischer Kontakt zwischen Durchkontaktierungen (14) des Chipträgers (11) und den Prüfanschlüssen (32) der Prüfplatine (29, 30) hergestellt wird, und
20

– Heraustrennen eines mit dem Chip (18) über die Kontaktmetallisierungen (26) verbundenen Chipträgerteilstücks (38, 39) des Chipträgers (11) zur Ausbildung eines von einem auf der Prüfplatine (29, 30) verbleibenden Chipträgerrest (42) unabhängigen Chipmoduls (41, 42).

7. Verfahren nach Anspruch 6,
dadurch gekennzeichnet,
daß zuerst die Kontaktierung des Chips (18) auf dem Chipträger (11) und nachfolgend die Kontaktierung des Chipträgers (11) auf der Prüfplatine (29, 30) erfolgt.
8. Verfahren nach Anspruch 6,
dadurch gekennzeichnet,
daß zuerst die Kontaktierung des Chipträgers (11) auf der Prüfplatine (29, 30) und nachfolgend die Kontaktierung des Chips (18) auf dem Chipträger (11) erfolgt.
9. Verfahren nach einem oder mehreren der Ansprüche 6 bis 8,
dadurch gekennzeichnet,
daß vor Kontaktierung des Chipträgers (11) sowohl durch die Durchkontaktierungen (14) auf der Außenkontaktseite (25) des Chipträgers (11) gebildete Bauteilkontakte (16) als auch durch die Durchkontaktierungen (14) auf der Außenkontaktseite (25) gebildete Prüfkontakte (15) mit Verbindungsmaterialdepots versehen werden.
10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet,
daß sämtliche Durchkontaktierungen (14) in derselben Art und Weise mit Verbindungsmaterialdepots versehen werden.

11. Verfahren nach Anspruch 10,
dadurch gekennzeichnet,
daß zur Ausbildung der Verbindungsmaterialdepots Lotmaterial-
formstücke auf die Durchkontaktierungen (14) appliziert werden,
5 die nachfolgend zur Ausbildung von erhöhten Kontaktmetallisie-
rungen (27) umgeschmolzen werden.
12. Verfahren nach einem oder mehreren der Ansprüche 6 bis 9,
dadurch gekennzeichnet,
daß die Bauteilkontakte (16) des Chipträgers (11) und die Prüf-
10 kontakte (15) des Chipträgers (11) in voneinander abweichender
Art und Weise mit Verbindungsmaterialdepots versehen werden.
13. Verfahren nach Anspruch 10 oder 12,
dadurch gekennzeichnet,
daß zumindest die Prüfkontakte (15) des Chipträgers (11) mit ei-
15 nem leitfähigen Haftkleber als Verbindungsmaterial versehen wer-
den.

FIG 1

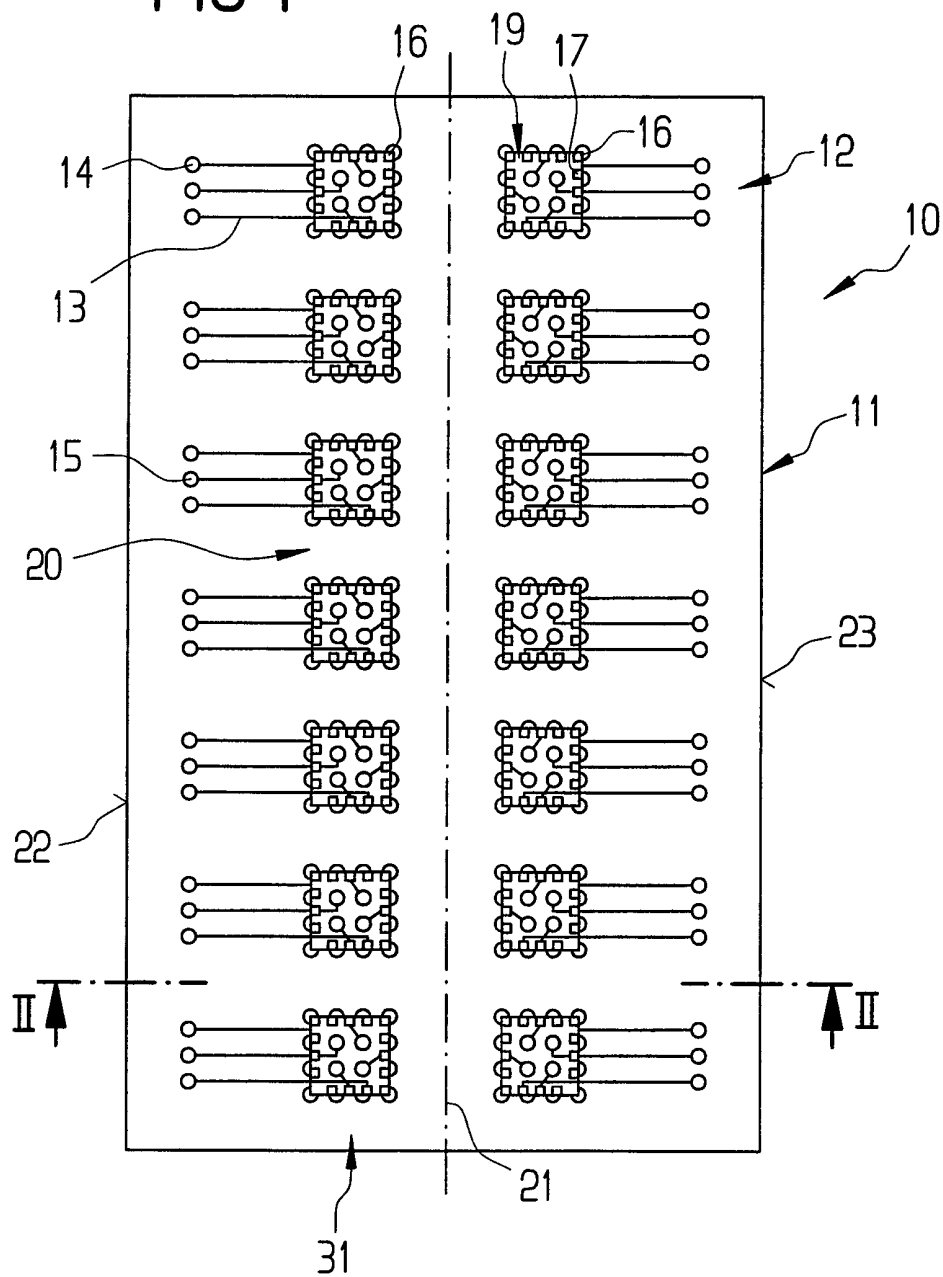


FIG 2

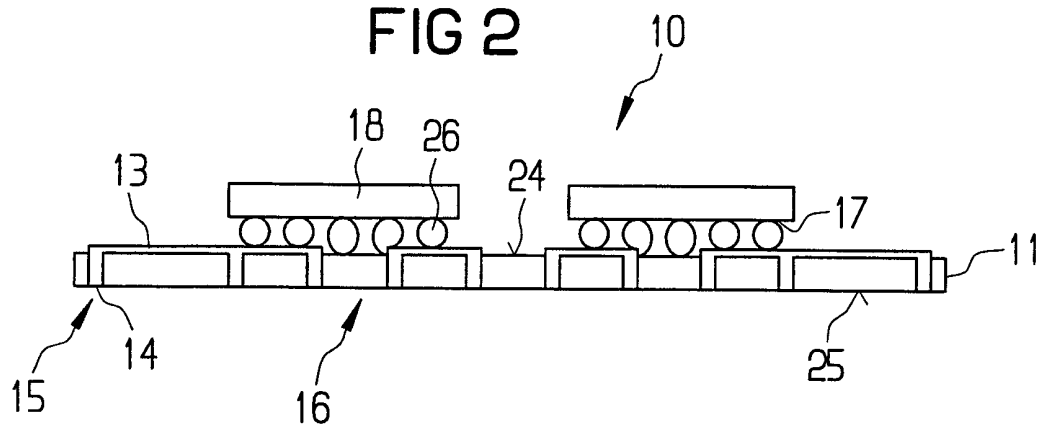
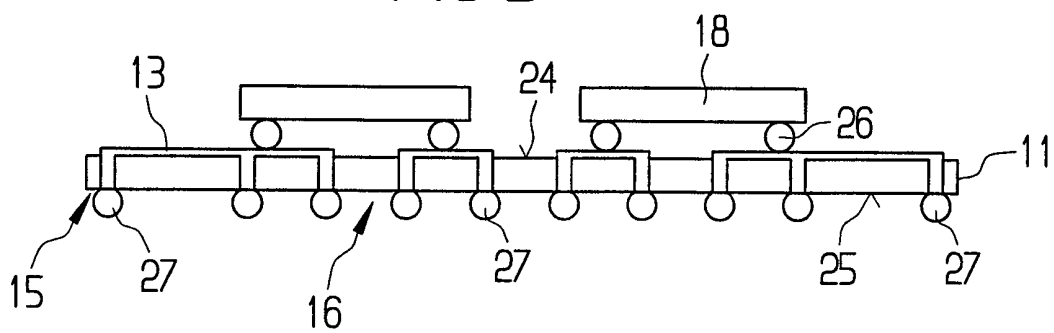


FIG 3



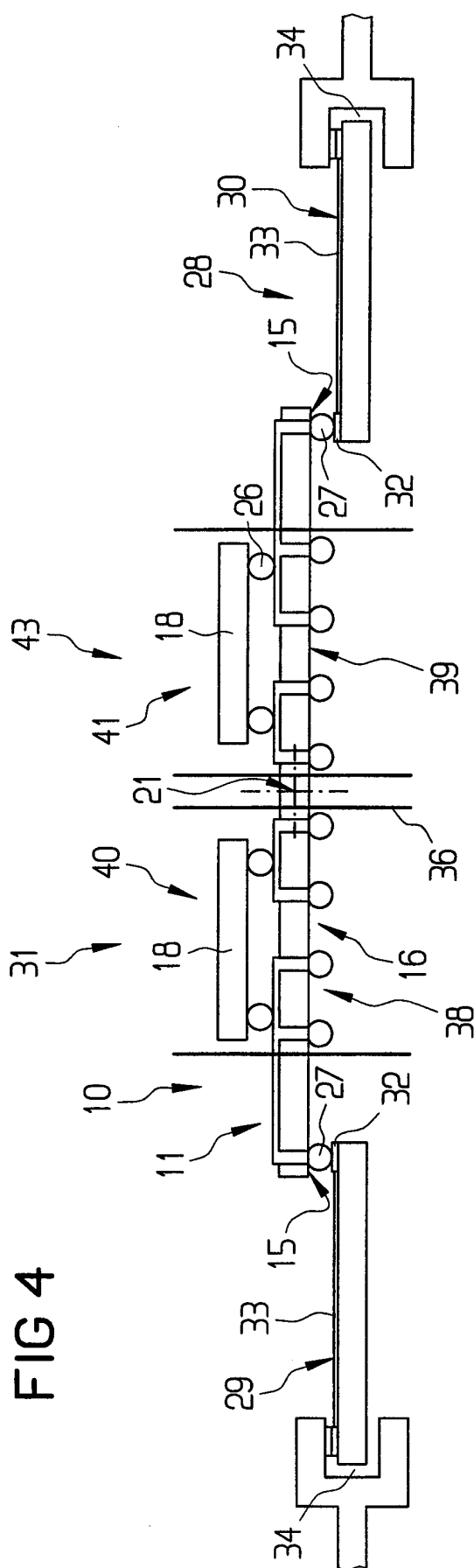


FIG 5

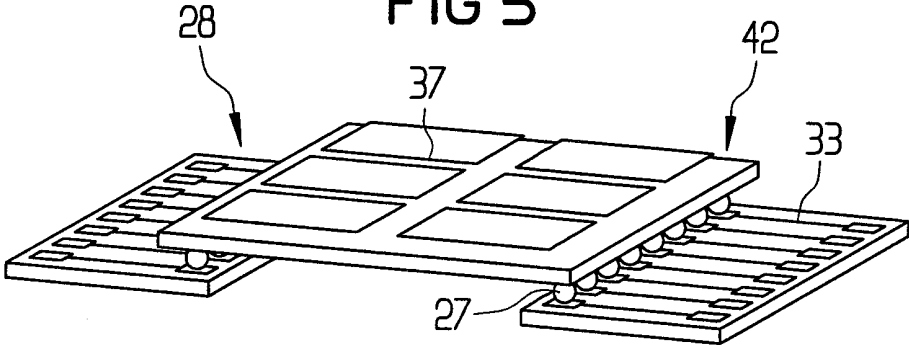


FIG 6

