

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4083064号
(P4083064)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 P
	G 1 1 C 17/00 6 0 1 Q

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2003-109252 (P2003-109252)	(73) 特許権者	000005049 シャープ株式会社
(22) 出願日	平成15年4月14日(2003.4.14)		大阪府大阪市阿倍野区長池町2番2号
(65) 公開番号	特開2004-318950 (P2004-318950A)	(74) 代理人	100114476 弁理士 政木 良文
(43) 公開日	平成16年11月11日(2004.11.11)	(72) 発明者	福本 克巳 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
審査請求日	平成17年8月10日(2005.8.10)	審査官	滝谷 亮一
		(56) 参考文献	特開平09-069066 (JP, A) 特開2002-366436 (JP, A)

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ装置の誤動作防止回路

(57) 【特許請求の範囲】

【請求項1】

メモリアレイからデータを読み出す第1読み出しモード、前記メモリアレイへデータを書き込むプログラムモード、前記メモリアレイのデータを消去する消去モード、及び、前記メモリアレイ以外のデータを読み出す第2読み出しモードを少なくとも含む複数の動作モードの中から、制御コマンドの入力に応じて少なくとも1つの前記動作モードを設定し、その設定された前記動作モードで規定された処理を行う電氣的にデータ書き換え可能な不揮発性メモリ装置の誤動作防止回路であって、

所定のデータ保護のための制御信号によって前記プログラムモードと前記消去モードの設定が禁止されているデータ保護状態において、前記制御コマンドの入力内容に拘わらず前記第1読み出しモードを設定する動作モード強制回路を備えていることを特徴とする不揮発性メモリ装置の誤動作防止回路。

【請求項2】

前記メモリアレイの内の指定されたデータ保護領域のみ前記データ保護状態が有効となるように前記データ保護領域の指定を行うデータ保護領域指定部を備え、前記動作モード強制回路は、前記データ保護状態において、前記データ保護領域がアドレス入力により指定された場合に、前記制御コマンドの入力内容に拘わらず前記第1読み出しモードを設定することを特徴とする請求項1に記載の不揮発性メモリ装置の誤動作防止回路。

【請求項3】

10

20

前記動作モード強制回路は、前記制御信号によって前記プログラムモードと前記消去モードの設定が禁止されていない状態において、前記動作モードが前記制御コマンドの入力内容に応じて設定されることを許可することを特徴とする請求項 1 または 2 に記載の不揮発性メモリ装置の誤動作防止回路。

【請求項 4】

メモリアレイからデータを読み出す第 1 読み出しモード、前記メモリアレイへデータを書き込むプログラムモード、前記メモリアレイのデータを消去する消去モード、及び、前記メモリアレイ以外のデータを読み出す第 2 読み出しモードを少なくとも含む複数の動作モードの中から、制御コマンドの入力に応じて少なくとも 1 つの前記動作モードを設定し、その設定された前記動作モードで規定された処理を行う電氣的にデータ書き換え可能な不揮発性メモリ装置の誤動作防止回路であって、

10

所定のデータ保護のための制御信号によって前記プログラムモードと前記消去モードの設定が禁止されているデータ保護状態において、前記制御コマンドの入力レベルに拘わらず前記制御コマンドの入力回路内の内部レベルを前記第 1 読み出しモードに対応する内部レベルに強制的に設定する動作モード強制回路を備えていることを特徴とする不揮発性メモリ装置の誤動作防止回路。

【請求項 5】

前記メモリアレイの内の指定されたデータ保護領域のみ前記データ保護状態が有効となるように前記データ保護領域の指定を行うデータ保護領域指定部を備え、

前記動作モード強制回路は、前記データ保護状態において、前記データ保護領域がアドレス入力により指定された場合に、前記制御コマンドの入力レベルに拘わらず前記制御コマンドの入力回路内の内部レベルを前記第 1 読み出しモードに対応する内部レベルに強制的に設定することを特徴とする請求項 4 に記載の不揮発性メモリ装置の誤動作防止回路。

20

【請求項 6】

前記動作モード強制回路は、前記制御信号によって前記プログラムモードと前記消去モードの設定が禁止されていない状態において、前記制御コマンドの入力回路内の内部レベルを前記制御コマンドの入力レベルに対応する内部レベルに設定することを特徴とする請求項 4 または 5 に記載の不揮発性メモリ装置の誤動作防止回路。

【請求項 7】

前記制御信号は、独立して設けられたデータ保護機能専用の制御信号、データ書き込み用高電圧入力、データ消去用高電圧入力、データ書き込み消去用高電圧の少なくとも何れか 1 つを含むことを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の不揮発性メモリ装置の誤動作防止回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的にデータ書き換え可能な不揮発性メモリ装置に関し、より詳しくは、メモリアレイからデータを読み出す第 1 読み出しモード、前記メモリアレイへデータを書き込むプログラムモード、前記メモリアレイのデータを消去する消去モード、及び、前記メモリアレイ以外のデータを読み出す第 2 読み出しモードを少なくとも含む複数の動作モードの中から、制御コマンドの入力に応じて 1 つの前記動作モードを設定し、その設定された前記動作モードで規定された処理を行う不揮発性メモリ装置の誤動作防止回路に関する。

40

【0002】

【従来の技術】

データを不揮発的に且つ電氣的に書き換え可能に記憶する半導体記憶装置の 1 つにフラッシュメモリがある。フラッシュメモリにおいては、メモリアレイへのデータの書き込み動作は、データ書き込み(プログラム)コマンドにより実行される。また、メモリアレイに書き込まれたデータの消去動作は、消去コマンドにより実行され、ブロック単位でメモリアレイの全てのメモリセルが同時に消去状態とされる。

50

【 0 0 0 3 】

そのため、フラッシュメモリに対して読み出し動作、書き込み(プログラム)動作、ブロック毎(またはセクタ毎)の消去動作等を行うためには、各動作に対応する制御コマンドを前もってフラッシュメモリに読み込み、コマンド状態解読回路にて動作内容を解読させる必要がある。フラッシュメモリは一般にデータ保持特性を高品位に保つために、書き込み/消去制御回路によって複雑な書き込み及び消去用のアルゴリズムに従って当該書き込み及び消去動作が制御される。また、書き込み動作や消去動作の開始や終了等の処理状態はステータスレジスタに格納されることから、ステータスレジスタの記憶内容を読み出すことで、書き込み/消去制御回路の現在の処理状態が外部から確認できる。フラッシュメモリの制御コマンドの一例を表1に示す。

10

【 0 0 0 4 】

【表1】

コマンド	第1書き込み サイクル	第2書き込み サイクル
	データ入力	データ入力
アレイ読み出し / リセット	FFH	
プログラム	40H	書き込みデータ
ブロック消去	20H	DOH
ステータスレジスタ読み出し	70H	
ブロック ロック	60H	01H
ブロック アンロック	60H	DOH
ブロック ロック-ダウン	60H	2FH

20

【 0 0 0 5 】

例えば、アレイ読み出し動作はフラッシュメモリが、データ端子(一般的にデータ入力とデータ出力は同じデータ端子を使用しているものが多い)を経由してコマンドデータ"FFH"(「H」は、データが16進表記であることを示す。)を受け取り、その後チップイネーブル信号CE#、アウトプットイネーブル信号OE#が共にアクティブとなると、メモリアレイからのデータの読み出しが開始され(信号名の「#」は入力レベルが低レベル時にアクティブになる信号を便宜的に意味する。)、開始後から所定時間が経過すると、フラッシュメモリは、メモリアレイ内のアドレス入力端子の入力レベルに対応して指定されるアドレス領域に記憶されているデータをデータ端子から出力する。

30

【 0 0 0 6 】

各制御コマンドをフラッシュメモリに読み込ませるには、表1に示すコマンドに対応したコードをデータ端子に入力すると同時に、チップイネーブル信号CE#、ライトイネーブル信号WE#を共にアクティブにすればよい。

【 0 0 0 7 】

図10(a)は、フラッシュメモリにおける1個のメモリセルを形成するメモリセルトランジスタの断面構造を概略的に示す図である。図10(a)において、メモリセルトランジスタは、例えばp型半導体基板(またはウェル)の表面領域に形成される。例えば、n型の不純物の注入された領域ソースS及びドレインDと、ソースS及びドレインDの間のチャンネル領域上にゲート絶縁膜を介して形成されるフローティングゲートFGと、フローティングゲートFG上に層間絶縁膜を介して形成されるコントロールゲートCGを備えて構成される。フローティングゲートFGはその周囲が絶縁膜により取り囲まれており、電氣的にフローティング状態とされている。図10(b)は、図10(a)に示すメモリセルの電氣的な等価回路図である。

40

【 0 0 0 8 】

図示しないが、コントロールゲートCGはワード線WLに接続され、ワード線駆動回路(

50

ローデコーダ)で駆動される。また、ドレインDはビット線BLに接続され、ビット線駆動回路(コラムデコーダ)及びセンスアンプ回路(センス回路)で駆動されるか、ビット線の電位をセンスアンプにて増幅し、メモリセルに記憶されているデータを読み出す。ソースSは、通常、ソース線を介してソース線駆動回路に結合される。

【0009】

フラッシュメモリにおいては、このメモリセルがアレイ状に配置され、1本のワード線WLには1行のメモリセルが接続され、1本のビット線BLには1列のメモリセルが配置されメモリセルアレイを形成している。図10に示すメモリセルへのデータの書き込み、消去及び読み出しは、以下のようにして行なわれる。

【0010】

書き込み時においては、コントロールゲートCGへ約12Vの高電圧Vppがワード線WLを介して印加され、ドレインDへはビット線BLを介して約6Vの電圧が印加され、且つ、ソースSへはソース線駆動回路により接地電位が印加される。この状態では、ドレインDからソースSへとチャンネル領域を介して電流が流れる。このドレインDからの電流内の電荷がドレインDの近傍に形成される高電界により励起され、ホットエレクトロンが発生する。このホットエレクトロンによりアバランシェ降伏が生じ、大量のホットエレクトロンが連鎖的に発生する。このアバランシェ降伏により発生したホットエレクトロンはコントロールゲートCGへ印加された高電圧によりフローティングゲートFGへ向って加速され、このフローティングゲートFG内に注入し捕獲される。フローティングゲートに電子が捕獲された状態においてはこのメモリセルトランジスタの閾値電圧Vthが正の方向へ移動する(データ「0」を記憶)。

【0011】

消去時においては、コントロールゲートCGへは接地電位が印加され、ソースSへはソース電位発生回路から約12Vの高電圧Vppが印加され、ドレインDはフローティング状態とされる。この電圧印加状態においては、ゲート絶縁膜(極めて薄いトンネル絶縁膜)を介してフローティングゲートFGからソースSへとトンネル現象により電子が引き抜かれる。フローティングゲートFGから電子が引き抜かれた状態においてはこのメモリセルトランジスタの閾値電圧Vthが負の方向へ移動する(データ「1」を記憶)。上述のように、フローティングゲートFGに存在する電子の量に従ってメモリセルはデータ「0」と「1」を記憶する。尚、消去動作はメモリアレイを複数ブロックに分割してなるブロック毎に行われる(消去メカニズムやメモリアレイサイズによっては、メモリアレイ全体を一括して消去する場合もある)。

【0012】

電源立ち上げ後や、リセット動作からの復帰後には、フラッシュメモリは、図10のメモリセルのデータを読み出す動作モード(アレイ読み出しモード)になっている。このため、フラッシュメモリにプログラムコード等を格納しているコンピュータシステムにおいて、上記状況にあってCPUは当該プログラムコードを読み出すことができる。しかし、ステータスレジスタ読み出しコマンドが発行されると、フラッシュメモリはステータスレジスタ読み出しモードになり、メモリアレイからのデータではなく、ステータスレジスタからのデータを出力するため、フラッシュメモリからデータ(プログラムやデータ等)を読み出ししていたCPUは間違っただータを読み込むことになる。このように、誤ってステータスレジスタ読み出しモードになるとコンピュータシステム(CPU)は暴走(誤動作)を始める。

【0013】

一方、消去コマンドまたはプログラムコマンドがフラッシュメモリに対して発行されると、書き込み/消去制御回路が消去動作または書き込み動作を開始する。書き込み/消去制御回路が消去動作または書き込み動作を開始すると、フラッシュメモリはステータスレジスタ読み出しモードに自動的になる。これは、プログラムモード或いは消去モード時において処理状態の確認のためにわざわざステータスレジスタ読み出しコマンドの入力を不要とするためである。従って、かかる正常な動作状況下では問題ないが、ノイズ等の影響で

10

20

30

40

50

誤ってプログラムモード或いは消去モード状態となってしまうと、フラッシュメモリは間違っただデータを出力するため、それを読み込んだコンピュータシステム（CPU）は暴走（誤動作）を始めることになる。

【0014】

ここで、ステータスレジスタのビットの中でビット7（8番目のビット）は、アレイ読み出しモード等で書き込み/消去制御回路が待機状態にあると、「1」（Ready）となっているが、書き込み/消去制御回路が消去動作または書き込み動作の制御を開始すると、ステータスレジスタのビット7は「0」（Busy）となり、消去動作や書き込み動作が完了すると、ビット7は再び「1」（Ready）に戻り、消去動作や書き込み動作が完了したことを知らせる。

10

【0015】

ステータスレジスタ読み出しモードから、メモリアレイからデータを読み出す動作モード（アレイ読み出しモード）に戻すには、アレイ読み出しコマンド（FFH）を発行することで実現する。その後は、フラッシュメモリはメモリアレイからデータを読み出すことができるようになる。

【0016】

図11にフラッシュメモリの端子配置図の一例を示す。図11は、フラッシュメモリが48ピンTSOPパッケージに封止されている製品例を示す。

【0017】

上記以外でステータスレジスタ読み出しモードになる場合として、以下の場合がある。VPP端子（書き込み用、消去用高電圧の入力端子）を低レベルにすると、書き込み動作または消去動作が禁止されるが、フラッシュメモリはステータスレジスタ読み出しモードになり得る。また、WP#端子（ライトプロテクト制御信号入力端子）を低レベルにすると、メモリアレイの特定のブロックへのデータの書き込み及び消去が禁止されるが、フラッシュメモリはステータスレジスタ読み出しモードになり得る。

20

【0018】

それ以外では、特定のブロックへの書き込み動作と消去動作を禁止する方法として下記の特許文献1及び特許文献2に開示されている。特許文献1には、各ブロックに保護状態設定部を配置し、保護状態設定部に保護状態を必要とするブロックを設定すると、該当ブロックへの書き込み/消去が禁止され、保護状態設定部の保護状態を解除すると、該当ブロックへの書き込み/消去が可能になる方法が、特許文献2には、各ブロックに書き換え可能な不揮発性メモリを有する回路またはシステムにおいて、保護エリア指定部で保護状態を指定されたブロックへの書き込みがなされた場合WE#端子へは高レベル信号のみが印加され、逆に、保護エリア指定部で保護状態を指定されなかったブロックへの書き込みがなされた場合WE#端子へはアクティブな信号（低レベル）が印加され、コマンドとデータの書き込みがなされる事例が示されている。

30

【0019】

しかし、上記2つの方法において、システムノイズ等により、万が一WE#信号が誤ってアクティブ（低レベル）になる事態（誤書き込み状態）が起きると、保護エリア指定部では書き換え禁止で読み出しのみであることから、WE#信号は高レベルに固定して使用することから、一旦、間違っただ制御コマンドが取り込まれると、ステータスレジスタ読み出しモード状態から復帰できない危険性がある。

40

【0020】

【特許文献1】

特開平9-69066号公報

【特許文献2】

特開2002-366436号公報

【0021】

【発明が解決しようとする課題】

電源立ち上げ時や通電時に突発的に発生するシステムノイズ等によりフラッシュメモリに

50

FFH以外の制御コマンド（例えば、20H、40H、70H）が誤って読み込まれると、フラッシュメモリは、ステータスレジスタ読み出しモードに自動的にになる。その後、チップイネーブル信号CE#、アウトプットイネーブル信号OE#を共にアクティブにするとステータスレジスタの読み出しが開始され、開始後から所定時間が経過すると、フラッシュメモリはステータスレジスタの値をデータ端子に出力する。

【0022】

フラッシュメモリは、メモリアレイ内のアドレス入力端子の入力レベルに対応して指定されるアドレス領域に記憶されているデータ（プログラムコード等）をデータ端子に出力しなくなるので、このデータを読み込んでいるCPUは暴走（誤動作）することになる。また、特許文献2に開示された各ブロックに書き換え可能な不揮発性メモリを有する回路またはシステムにおいて、保護エリア指定部で保護状態を指定されたブロックへの書き込みがなされた場合、書き換えが禁止され読み出し動作のみとなるためWE#端子へは高レベル信号のみが印加され、逆に、保護エリア指定部で保護状態を指定されなかったブロックへの書き込みがなされた場合WE#端子へはアクティブな信号（低レベル）が印加され、制御コマンドと書き込みデータの読み込みがなされる事例が示されている。

10

【0023】

この場合にも、電源立ち上げ時や通電時に突発的に発生するシステムノイズ等によりWE#信号レベルが変動して、万が一フラッシュメモリがFFH（アレイ読み出し/リセット）以外の制御コマンド（例えば、20H、40H、70H）を誤って読み込むと、フラッシュメモリは、ステータスレジスタ読み出しモードに自動的にになる。保護エリア指定部で保護状態を指定されたブロックへの書き込みがなされた場合WE#端子へは通常、高レベル信号のみが印加されるので、フラッシュメモリはステータスレジスタ読み出しモードを解除することができない危険性がある。

20

【0024】

本発明は、上記問題点に鑑みてなされたもので、その目的は、不揮発性メモリ装置において、メモリアレイのデータを読み出さなければならない状態において、システムノイズ等の影響により誤って回路内部の他のデータを読み出してしまう誤動作を防止する誤動作防止回路を提供し、フラッシュメモリにプログラムコード等を格納しているコンピュータシステムにおいて安定した動作を保證することにある。

【0025】

【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性メモリ装置の誤動作防止回路は、メモリアレイからデータを読み出す第1読み出しモード（例えば、アレイ読み出しモード）、前記メモリアレイへデータを書き込むプログラムモード、前記メモリアレイのデータを消去する消去モード、及び、前記メモリアレイ以外のデータを読み出す第2読み出しモード（例えば、ステータスレジスタ読み出しモード）を少なくとも含む複数の動作モードの中から、制御コマンドの入力に応じて少なくとも1つの前記動作モードを設定し、その設定された前記動作モードで規定された処理を行う電氣的にデータ書き換え可能な不揮発性メモリ装置の誤動作防止回路であって、所定のデータ保護のための制御信号によって前記プログラムモードと前記消去モードの設定が禁止されているデータ保護状態において、前記制御コマンドの入力内容に拘わらず前記第1読み出しモードを設定する動作モード強制回路を備えていることを第1の特徴とする。

30

40

【0026】

更に、上記第1の特徴を有する本発明に係る不揮発性メモリ装置の誤動作防止回路において、前記メモリアレイの内の指定されたデータ保護領域のみ前記データ保護状態が有効となるように前記データ保護領域の指定を行うデータ保護領域指定部を備え、前記動作モード強制回路が、前記データ保護状態において、前記データ保護領域がアドレス入力により指定された場合に、前記制御コマンドの入力内容に拘わらず前記第1読み出しモードを設定することを第2の特徴とする。更に、前記動作モード強制回路が、前記制御信号によって前記プログラムモードと前記消去モードの設定が禁止されていない状態において、前記

50

動作モードが前記制御コマンドの入力内容に応じて設定されることを許可することを第3の特徴とする。

【0027】

より具体的には、本発明に係る不揮発性メモリ装置は、電源立ち上げ時や通電時に突発的に発生するシステムノイズ等により不揮発性メモリ装置がステータスレジスタ読み出しモードになることを禁止する動作モード強制回路を設け、万が一、ステータスレジスタ読み出しモードとなる制御コマンドを受け付けたとしても、前記不揮発性メモリがアレイ読み出しモードに強制的に設定されることを特徴とする。更に、前記不揮発性メモリのアレイ読み出しモードへの強制を解除して、フラッシュメモリがステータスレジスタ読み出しモードになることを許可する回路を設けている。

10

【0028】

更に、この目的を達成するための本発明に係る不揮発性メモリ装置の誤動作防止回路は、メモリアレイからデータを読み出す第1読み出しモード（例えば、アレイ読み出しモード）、前記メモリアレイへデータを書き込むプログラムモード、前記メモリアレイのデータを消去する消去モード、及び、前記メモリアレイ以外のデータを読み出す第2読み出しモード（例えば、ステータスレジスタ読み出しモード）を少なくとも含む複数の動作モードの中から、制御コマンドの入力に応じて少なくとも1つの前記動作モードを設定し、その設定された前記動作モードで規定された処理を行う電氣的にデータ書き換え可能な不揮発性メモリ装置の誤動作防止回路であって、所定のデータ保護のための制御信号によって前記プログラムモードと前記消去モードの設定が禁止されているデータ保護状態において、前記制御コマンドの入力レベルに拘わらず前記制御コマンドの入力回路内の内部レベルを前記第1読み出しモードに対応する内部レベルに強制的に設定する動作モード強制回路を備えていることを第4の特徴とする。

20

【0029】

更に、上記第4の特徴を有する本発明に係る不揮発性メモリ装置の誤動作防止回路において、前記メモリアレイの内の指定されたデータ保護領域のみ前記データ保護状態が有効となるように前記データ保護領域の指定を行うデータ保護領域指定部を備え、前記動作モード強制回路は、前記データ保護状態において、前記データ保護領域がアドレス入力により指定された場合に、前記制御コマンドの入力レベルに拘わらず前記制御コマンドの入力回路内の内部レベルを前記第1読み出しモードに対応する内部レベルに強制的に設定することを第5の特徴とする。更に、前記動作モード強制回路は、前記制御信号によって前記プログラムモードと前記消去モードの設定が禁止されていない状態において、前記制御コマンドの入力回路内の内部レベルを前記制御コマンドの入力レベルに対応する内部レベルに設定することを第6の特徴とする。

30

【0030】

上記第1乃至第6の特徴を有する本発明に係る不揮発性メモリ装置の誤動作防止回路によれば、電源立ち上げ時や通電時に突発的に発生するシステムノイズ等によりフラッシュメモリにアレイ読み出し/リセットコマンド（FFH）以外の制御コマンド、例えば、ブロック消去コマンド（20H）、プログラムコマンド（40H）、ステータス読み出しコマンド（70H）を誤って読み込んでしまうことがなく、フラッシュメモリはステータスレジスタ読み出しモードに過って設定されることがない。その結果、フラッシュメモリにプログラムコード等を格納しているコンピュータシステムにおいて、フラッシュメモリのアドレス端子から入力されるメモリアドレスの内容（プログラムコード）が正常にデータ端子から出力されることから、当該コンピュータシステムのCPUは正常動作を続けるので、システムの暴走やCPUの誤動作等による不揮発性メモリのデータの誤消去や誤書き込みを防止できる。

40

【0031】

特に、上記第2または第5の特徴を有する本発明に係る不揮発性メモリ装置の誤動作防止回路によれば、更に保護領域指定部を持ち、前記制御信号が前記不揮発性メモリに対する消去・書き込みを禁止する状態に設定されている時、保護領域指定部が指定しない領域は

50

アレイ読み出しモード以外の動作モードにもなることを許可するので、他の領域からステータスレジスタの内容を読み出すことができる。

【0032】

特に、上記第3または第6の特徴を有する本発明に係る不揮発性メモリ装置の誤動作防止回路によれば、前記制御信号が前記不揮発性メモリに対する消去・書き込みを禁止する状態に設定されていない時、メモリアレイの全領域に対してアレイ読み出しモード以外の動作モードになることを許可するので、メモリアレイの全領域からステータスレジスタの内容を読み出すことができる。

【0033】

【発明の実施の形態】

本発明に係る不揮発性メモリ装置の誤動作防止回路（以下、適宜「本発明回路」という。）の一実施の形態につき、図面に基づいて説明する。

【0034】

先ず、本発明に係る不揮発性メモリ装置1の一構成例のブロック図を図1に示す。また、本発明回路2は、入力バッファ回路3内の回路に設置されるものである。尚、上記従来の技術で説明した不揮発性メモリ装置は本発明回路2を備えていない点で相違するがその他の構成は同じである。

【0035】

ここで、不揮発性メモリ装置1として、メモリアレイ4からデータを読み出すアレイ読み出しモード（第1読み出しモードの一例）、メモリアレイ4へデータを書き込むプログラムモード、メモリアレイ4のデータを消去する消去モード、及び、メモリアレイ4以外のデータであるステータスレジスタ5に記憶されているデータを読み出すステータスレジスタ読み出しモード（第2読み出しモードの一例）等を少なくとも含む例えば上記表1に例示したような複数の動作モードの中から、データ端子から入力される制御コマンドに応じて少なくとも1つの前記動作モードを内部的に設定し、その設定された動作モードで規定された処理を行う電氣的にデータ書き換え可能なフラッシュメモリを想定している。

【0036】

本発明回路2の第1実施例を図2と図3により説明する。図2は、本発明回路2の回路構成を示すブロック図であり、本発明回路2は、入力バッファ回路3のデータ入力バッファ回路6で構成され、WE#入力とWP#入力の各入力バッファ回路が関連する。ここで、データ入力バッファ回路6（動作モード強制回路2aの一例）は、一般的にWE#端子（低レベル「0」でアクティブとなり、データ入力端子からのデータ入力（書き込みデータや制御コマンド）を内部に読み込む）からのWE#入力信号に加えて、WP#端子（ライトプロテクト用端子）からのWP#入力信号（データ保護のための制御信号の一例で、独立して設けられたデータ保護機能専用の制御信号）でも制御するようにし、WP#入力を低レベル「0」にすると、データ入力端子からのデータ入力を無効化する。これにより、制御コマンドの入力はできない。

【0037】

併せて、図3のデータ入力バッファ回路6の論理回路図に示すように、外部からデータ入力端子（入力と出力は同じデータ端子を使用しているものが多い）へ与えられるデータ入力（制御コマンド）の入力レベルに拘わらず、WP#入力を低レベル「0」にすると、OR（論理和）ゲート7の出力は高レベル「1」となる。また、WP#入力が高レベル「1」の時は、WE#端子を低レベル「0」にすると、ORゲート7の出力にデータ入力（制御コマンド）の入力レベルに対応した内部レベルが現れる。従って、WP#入力を低レベル「0」即ちアクティブ状態にしてプログラムモードと消去モードの設定を禁止するデータ保護状態すると、ORゲート7の出力が強制的に高レベル「1」となり、データ入力が8ビットの場合、制御コマンド「FFH」が入力された場合と同じ状態になる。そして、コマンド状態解読回路8は、この内部レベルで決定されるデータ「FFH」（「FFH」は、本実施の形態においてアレイ読み出し/リセットコマンドに対応）を受け取ったと判定する構成になっている。

10

20

30

40

50

【 0 0 3 8 】

上記構成により、WP # 入力によってデータ保護状態に設定されていれば、システムノイズ等により、データ入力端子上的入力レベルが、例えば制御コマンド「40H」に相当するレベルとなり、同時にフラッシュメモリ1のチップイネーブル信号CE # とライトイネーブル信号WE # が共にアクティブになって、制御コマンド「40H」を内部に読み込もうとしても、フラッシュメモリ1の内部レベル(ORゲート7の出力)は、データ「FFH」が強制的に設定されるので、誤って制御コマンド「40H」に対応するプログラムモードに設定され、読み出しモードとしてステータスレジスタ読み出しモードに設定されずに、フラッシュメモリ1はアレイ読み出しモードになり、アドレス端子の入力レベルで指定されるアドレスのメモリアレイ4のデータをデータ端子に出力する。つまり、アドレス入力によりアクセスされたメモリアレイ4の内容(プログラムコード等)をデータ端子に出力するので、CPUは正常動作を続けることになる。尚、WP # 端子を高レベルにすれば、データ入力端子からのデータ入力が有効になり、外部データをデータ入力端子から内部に読み込むことができる。

10

【 0 0 3 9 】

本発明回路2の第2実施例を図4と図5により説明する。図4は、本発明回路2の回路構成を示すブロック図であり、本発明回路2は、入力バッファ回路3のデータ入力バッファ回路6とWE # 入力の入力バッファ回路9で構成され、WP # 入力とCE # 入力の各入力バッファ回路が関連する。データ入力バッファ回路6とWE # 入力の入力バッファ回路9が動作モード強制回路2aを形成している。図5は、WE # 入力の入力バッファ回路9の回路構成を示す論理回路図である。ここで、データ入力バッファ回路6は第1実施例と同じく図3に示す回路構成である。

20

【 0 0 4 0 】

WP # 入力を低レベル「0」にすると、図3と図5に示すように、WE # 端子からのWE # 入力とデータ入力端子からのデータ入力を共に無効化する。第2実施例の構成により、WP # 入力によってデータ保護状態に設定されていれば、システムノイズ等により、データ入力端子上的入力レベルが、例えば制御コマンド「40H」に相当するレベルとなり、同時にフラッシュメモリ1のチップイネーブル信号CE # とライトイネーブル信号WE # が共にアクティブになって、制御コマンド「40H」を内部に読み込もうとしても、フラッシュメモリ1の内部レベル(ORゲート7の出力)は、データ「FFH」が強制的に設定されるので、誤って制御コマンド「40H」に対応するプログラムモードに設定され、読み出しモードとしてステータスレジスタ読み出しモードに設定されずに、フラッシュメモリ1はアレイ読み出しモードになり、アドレス端子の入力レベルで指定されるアドレスのメモリアレイ4のデータをデータ端子に出力する。

30

【 0 0 4 1 】

第2実施例では、図5に示すように、WE # 入力の入力バッファ回路9にもWP # 入力に応じた入力バッファ回路3内部のWP # 1信号が入力されているので、万が一、入力バッファ回路3内部のWP # 1信号にノイズが重畳し、データ入力バッファ6においてデータ入力の読み込みが発生しかかっても、WE # 入力の入力バッファ回路9の出力が高レベル「1」であるので、WP # 1信号のノイズの影響がWE # 1信号に現れるのに遅延が生じ、WP # 1信号とWE # 1信号が同時に内部ノイズの影響で低レベル「0」になる可能性は低くなるので、データ入力バッファ回路6のORゲート7の出力は高レベル「1」が維持される。この結果、コマンド状態解読回路8は、この内部レベルで決定されるデータ「FFH」(「FFH」は、本実施の形態においてアレイ読み出し/リセットコマンドに対応)を受け取ったと判定し、フラッシュメモリ1はアレイ読み出しモードになり、アドレス端子の入力レベルで指定されるアドレスのメモリアレイ4の内容をデータ端子に出力する。つまり、アドレス入力によりアクセスされたメモリアレイ4の内容(プログラムコード等)をデータ端子に出力するので、CPUは正常動作を続けることになる。尚、WP # 端子を高レベルにすれば、データ入力端子からのデータ入力が有効になり、外部データをデータ入力端子から内部に読み込むことができる。

40

50

【 0 0 4 2 】

本発明回路 2 の第 3 実施例を図 6 と図 7 により説明する。図 6 は、本発明回路 2 の回路構成を示すブロック図であり、本発明回路 2 は、入力バッファ回路 3 のデータ入力バッファ回路 6（動作モード強制回路 2 a の一例）で構成され、WE # 入力の入力バッファ回路と VPP 入力の入力バッファ回路 10 が関連する。図 7 は、データ入力バッファ回路 6 の回路構成を示す論理回路図である。第 1 実施例との相違点は、WP # 端子からの WP # 入力に替えて、書き込み・消去用の高電圧供給用の VPP 端子からの VPP 入力を用いている点である。尚、本実施形態のフラッシュメモリ 1 は、VPP 入力を低レベルにすると、プログラムモードと消去モードの設定を禁止するデータ保護状態になるように構成されている。

10

【 0 0 4 3 】

VPP 入力を低レベルにすると、VPP 入力の入力バッファ回路 10 の出力である内部信号 VPP 1 も低レベル「0」となり、図 7 に示すデータ入力バッファ回路 6 において、データ入力端子からのデータ入力を無効化し、OR ゲート 7 の出力が強制的に高レベル「1」となり、データ入力が 8 ビットの場合、制御コマンド「FFH」が入力された場合と同じ状態になる。これにより、制御コマンドの入力はできない。データ入力端子に入力された制御コマンドの入力内容に拘わらず、コマンド状態解読回路 8 は、OR ゲート 7 の出力で定まる内部レベルで決定されるデータ「FFH」（「FFH」は、本実施の形態においてアレイ読み出し/リセットコマンドに対応）を受け取ったと判定する。この結果、データ入力端子上の入力レベルが、例えば制御コマンド「40H」に相当するレベルとなり、同時にフラッシュメモリ 1 のチップイネーブル信号 CE # とライトイネーブル信号 WE # が共にアクティブになって、制御コマンド「40H」を内部に読み込もうとしても、フラッシュメモリ 1 の内部レベル（OR ゲート 7 の出力）は、データ「FFH」が強制的に設定されるので、誤って制御コマンド「40H」に対応するプログラムモードに設定され、読み出しモードとしてステータスレジスタ読み出しモードに設定されずに、フラッシュメモリ 1 はアレイ読み出しモードになり、アドレス端子の入力レベルで指定されるアドレスのメモリアレイ 4 のデータをデータ端子に出力する。つまり、アドレス入力によりアクセスされたメモリアレイ 4 の内容（プログラムコード等）をデータ端子に出力するので、CPU は正常動作を続けることになる。尚、VPP 入力を高レベルにすれば、データ入力端子からのデータ入力が有効になり、外部データをデータ入力端子から内部に読み込むことができる。

20

30

【 0 0 4 4 】

本発明回路 2 の第 4 実施例を図 8 と図 9 により説明する。図 8 は、本発明回路 2 の回路構成を示すブロック図であり、本発明回路 2 は、入力バッファ回路 3 のデータ入力バッファ回路 6（動作モード強制回路 2 a の一例）と保護領域指定部 11 で構成され、WE # 入力と WP # 入力の各入力バッファ回路が関連する。

【 0 0 4 5 】

WP # 端子の WP # 入力を低レベル「0」にすると、WP # 入力の入力バッファ回路の出力である内部信号 WP # 1 も低レベル「0」となり、図 9 に示す保護領域指定部が指示するアドレス領域がアドレス A 19 と A 20 で指定されていると、保護領域指定部 11 は内部信号 WP 2 を高レベル「1」にして、データ入力端子からデータ入力バッファ回路 6 へデータ入力を無効化する。これにより、制御コマンドの入力はできない。図 9 では、説明の簡単化のため、アドレス A 19 と A 20 が共に高レベル「1」で指定される領域がデータ保護領域として指定されている場合の論理処理を模式的に示しており、実際の保護領域指定部 11 の回路構成とは異なる。

40

【 0 0 4 6 】

併せて、図 9 のデータ入力バッファ回路 6 と保護領域指定部 11 の論理回路図に示すように、外部からデータ入力端子（入力と出力は同じデータ端子を使用しているものが多い）へ与えられるデータ入力（制御コマンド）の入力レベルに拘わらず、WP # 入力を低レベル「0」にすると、OR（論理和）ゲート 7 の出力は高レベル「1」となる。また、WP

50

入力が高レベル「1」の時は、WE # 端子を低レベル「0」にすると、ORゲート7の出力にデータ入力(制御コマンド)の入力レベルに対応した内部レベルが現れる。従って、WP # 入力を低レベル「0」即ちアクティブ状態にしてプログラムモードと消去モードの設定を禁止するデータ保護状態すると、ORゲート7の出力が強制的に高レベル「1」となり、データ入力が8ビットの場合、制御コマンド「FFH」が入力された場合と同じ状態になる。そして、コマンド状態解読回路8は、この内部レベルで決定されるデータ「FFH」(「FFH」は、本実施の形態においてアレイ読み出し/リセットコマンドに対応)を受け取ったと判定する構成になっている。

【0047】

上記構成により、WP # 入力によってデータ保護状態に設定されていれば、システムノイズ等により、データ入力端子上の入力レベルが、例えば制御コマンド「40H」に相当するレベルとなり、同時にフラッシュメモリ1のチップイネーブル信号CE # とライトイネーブル信号WE # が共にアクティブになって、フラッシュメモリ1内部の保護領域指定部11が指示するアドレス領域をアドレス入力を選択している時に、制御コマンド「40H」を内部に読み込もうとしても、フラッシュメモリ1の内部レベル(ORゲート7の出力)は、データ「FFH」が強制的に設定されるので、誤って制御コマンド「40H」に対応するプログラムモードに設定され、読み出しモードとしてステータスレジスタ読み出しモードに設定されず、フラッシュメモリ1はアレイ読み出しモードになり、アドレス端子の入力レベルで指定されるアドレスのメモリアレイ4のデータをデータ端子に出力する。つまり、アドレス入力によりアクセスされたメモリアレイ4の内容(プログラムコード等)をデータ端子に出力するので、CPUは正常動作を続けることになる。尚、WP # 端子を高レベルにすれば、データ入力端子からのデータ入力が有効になり、外部データをデータ入力端子から内部に読み込むことができる。

【0048】

次に、本発明回路の別実施形態につき説明する。

1 上記実施の形態において、制御信号は、不揮発性メモリ装置1の外部からの入力信号であるWP # 入力信号とVPP入力信号の場合を例示したが、必ずしもこれらの入力信号に限定されるものではない。制御信号は、制御コマンド等により不揮発性メモリ装置1の内部で生成される内部信号でもよい。例えば、特許文献1に開示されているように内部で発生される制御信号WP # を使う構成にしてもよい。また、外部制御信号であるWP # 入力やVPP入力を単独で用いるのではなく、両方の制御信号の状態を組み合わせ用いてもよい。

【0049】

2 更に別の実施形態として、VPP入力を低レベル「0」にすると、メモリアレイ4の全ブロック(全領域)がアレイ読み出しモード以外の動作モードになることを禁止し、WP # 入力を低レベル「0」にすると、保護領域指定部11が指定するメモリアレイ4の領域がアレイ読み出しモード以外のモードになることを禁止する回路構成にしてもよい。

【0050】

3 上記実施の形態では、第1、第2及び第4実施例の制御信号はWP # 入力信号で、第3実施例の制御信号はVPP入力信号であったが、第2及び第4実施例の制御信号としてVPP入力信号を用いる構成であっても構わない。

【0051】

4 尚、上記実施形態では、VPP入力信号の低レベル「0」の具体的な電圧レベルについては言及していないが、従来品との互換性をできる限り保つためにVPP入力信号の低レベル電位をCMOSレベルで定義するのも好ましい。

【0052】

5 ブロックロックコマンドとブロックロックダウン(LOCK-DOWN)コマンドを備える米国インテル社製のフラッシュメモリ(型番28F160C3)のブロックロック(保護)情報またはブロックロックダウン情報を保護領域指定部11として利用する構成にしてもよい。

10

20

30

40

50

【 0 0 5 3 】

6 上記実施の形態では、不揮発性メモリ装置1として、独立した装置を想定していたが、マイクロコンピュータシステムの外部メモリとしてCPUと同一半導体基板上にワンチップで形成され、不揮発性メモリ装置1がメモリコアとして機能する形態であっても構わない。

【 0 0 5 4 】

7 上記実施の形態では、書き込み・消去用高電圧供給用のVPP端子を設け、当該VPP端子からのVPP入力信号を用いる実施例を説明したが、不揮発性メモリ装置1は必ずしもVPP端子を備えていなくても構わない。また、書き込み・消去用高電圧は外部から直接供給される構成、或いは、内部で昇圧する構成の何れでも構わない。

10

【 0 0 5 5 】

8 上記実施の形態では、動作モードを設定する制御コマンドはデータ端子から入力される構成としたが、制御コマンドは、例えば、専用の入力端子から入力する構成にしても構わない。この場合、第1乃至第4実施例で示したデータ入力バッファ回路に代えて当該制御コマンド入力用の入力バッファ回路に同様の回路構成を適用すればよい。尚、制御コマンドは表1に例示したコードに限定されるものではない。アレイ読み出しコマンドが「FFH」でなければ、第1乃至第4実施例で示した回路構成の内、アレイ読み出しコマンドの「0」となるビット箇所について出力レベルを反転するようにすればよい。また、コマンドのビット数も8ビットに限定されるものではない。

【 0 0 5 6 】

9 また、上記実施の形態では、不揮発性メモリ装置1としてフラッシュメモリを想定したが、本発明回路は、フラッシュメモリ以外の電氣的に書き換えが可能な不揮発性メモリ装置にも適用できる。

20

【 0 0 5 7 】

【発明の効果】

以上詳細に説明したように、本発明に係る不揮発性メモリ装置の誤動作防止回路によれば、電源立ち上げ時や通電時に突発的に発生するシステムノイズ等によりフラッシュメモリ(不揮発性メモリ装置)にFFH(アレイ読み出し/リセットコマンド)以外の制御コマンド(例えば、20H、40H、70H)が誤って読み込まれることがないので、フラッシュメモリはアレイ読み出しモード以外の動作モードになることが無い。その結果、フラッシュメモリのアドレス信号が示すメモリアレイ上のアドレスの内容(プログラムコード)をデータ端子から出力するため、このデータを読み込んで動作するCPUは正常動作を続けるので、CPUからの制御信号(CE#、OE#、WE#、VPP、WP#、アドレス信号等)の誤動作等による不揮発性メモリ装置のデータの誤消去や誤書き込みを防止できる。

30

【 0 0 5 8 】

また、電源立ち上げ時や、システムリセット時にノイズ等の何かの原因で、フラッシュメモリがアレイ読み出しモード以外の動作モードになっても、その後、フラッシュメモリのチップイネーブル信号CE#、ライトイネーブル信号WE#を共にアクティブにすると、フラッシュメモリの内部へは、アレイ読み出し/リセットコマンド「FFH」が読み込まれるので、フラッシュメモリはアレイ読み出しモードになり、アドレス端子が示すアドレスの内容をデータ端子に出力する。その結果、フラッシュメモリのアドレス信号が示すメモリアレイ上のアドレスの内容(プログラムコード)をデータ端子に出力し、CPUは正常動作を続けるので、誤動作などによる不揮発性メモリのデータの誤消去や誤書き込みを防止できる。以上のように、本発明回路を備えた不揮発性メモリ装置及び当該不揮発性メモリ装置を用いたコンピュータシステムは、周辺ノイズに強い装置及びシステムとなる。

40

【図面の簡単な説明】

【図1】本発明に係る不揮発性メモリ装置の一実施の形態の概略構成を示すブロック図

【図2】本発明に係る不揮発性メモリ装置の誤動作防止回路の第1実施例における回路構

50

成を示すブロック図

【図 3】図 2 に示す第 1 実施例における本発明に係る不揮発性メモリ装置の誤動作防止回路を構成するデータ入力バッファ回路の論理回路図

【図 4】本発明に係る不揮発性メモリ装置の誤動作防止回路の第 2 実施例における回路構成を示すブロック図

【図 5】図 4 に示す第 2 実施例における本発明に係る不揮発性メモリ装置の誤動作防止回路を構成する WE # 入力の入力バッファ回路の論理回路図

【図 6】本発明に係る不揮発性メモリ装置の誤動作防止回路の第 3 実施例における回路構成を示すブロック図

【図 7】図 6 に示す第 3 実施例における本発明に係る不揮発性メモリ装置の誤動作防止回路を構成するデータ入力バッファ回路の論理回路図 10

【図 8】本発明に係る不揮発性メモリ装置の誤動作防止回路の第 4 実施例における回路構成を示すブロック図

【図 9】図 8 に示す第 4 実施例における本発明に係る不揮発性メモリ装置の誤動作防止回路を構成するデータ入力バッファ回路と保護領域指定部の論理回路図

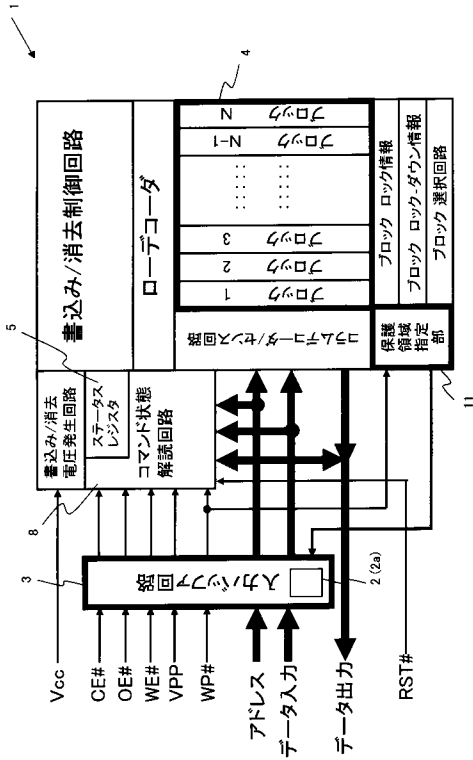
【図 10】フラッシュメモリのメモリセルトランジスタの断面構造を示す断面図 (a) と等価回路図 (b)

【図 11】フラッシュメモリの 48 ピン T S O P パッケージにおける端子配置図

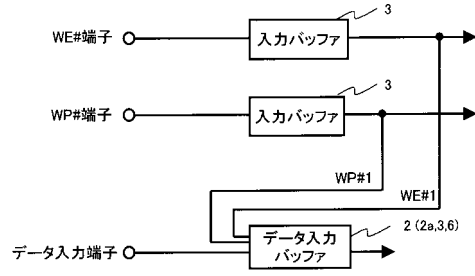
【符号の説明】

- | | | |
|-----|---------------------------|----|
| 1 | : 不揮発性メモリ装置 (フラッシュメモリ) | 20 |
| 2 | : 本発明に係る不揮発性メモリ装置の誤動作防止回路 | |
| 2 a | : 動作モード強制回路 | |
| 3 | : 入力バッファ回路 | |
| 4 | : メモリアレイ | |
| 5 | : ステータスレジスタ | |
| 6 | : データ入力バッファ回路 | |
| 7 | : O R (論理和) ゲート | |
| 8 | : コマンド状態解読回路 | |
| 9 | : WE # 入力の入力バッファ回路 | |
| 10 | : V P P 入力の入力バッファ回路 | 30 |
| 11 | : 保護領域指定部 | |

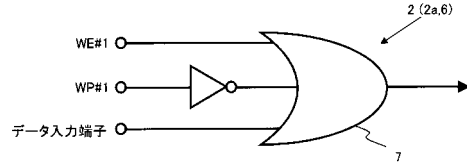
【図1】



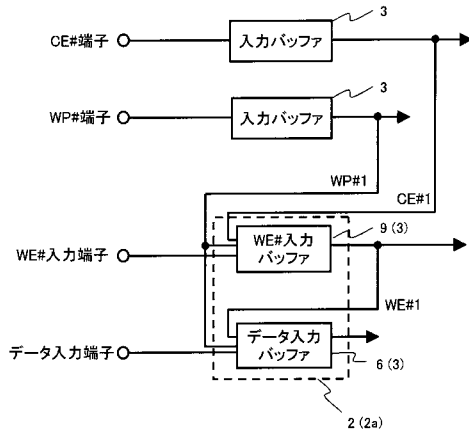
【図2】



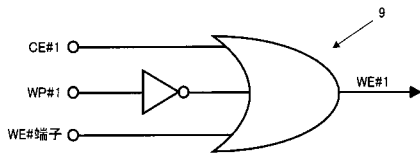
【図3】



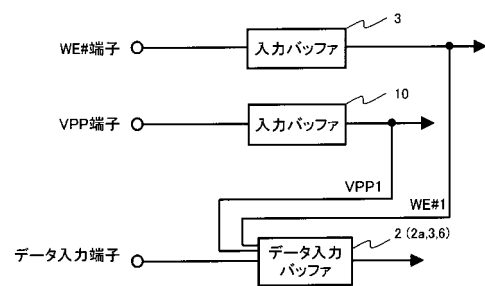
【図4】



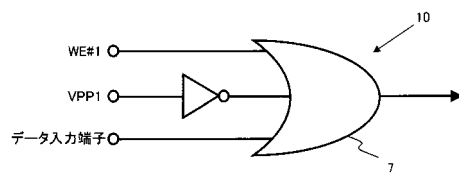
【図5】



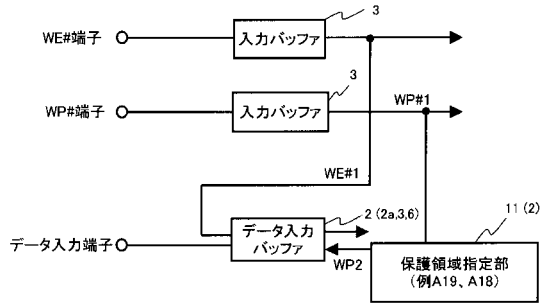
【図6】



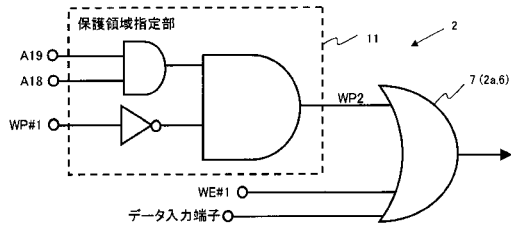
【図7】



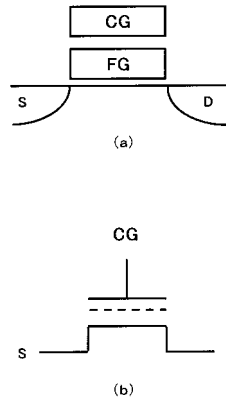
【図 8】



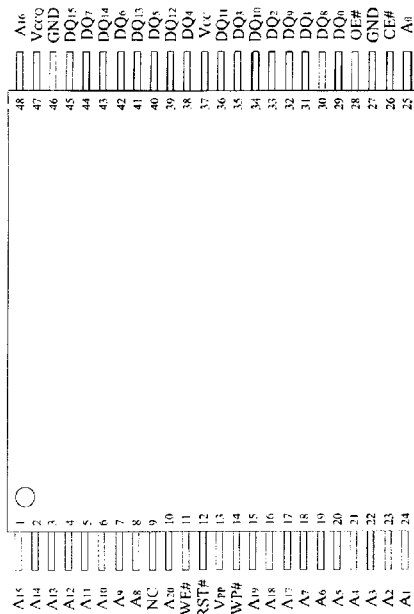
【図 9】



【図 10】



【図 11】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G11C 16/02-16/06