

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 23 年 12 月 15 日 (2011.12.15)

【公開番号】特開 2010-239325 (P2010-239325A)

【公開日】平成 22 年 10 月 21 日 (2010.10.21)

【年通号数】公開・登録公報 2010-042

【出願番号】特願 2009-83786 (P2009-83786)

【国際特許分類】

H 0 3 K 19/177 (2006.01)

H 0 3 K 19/00 (2006.01)

H 0 1 L 21/82 (2006.01)

【F I】

H 0 3 K 19/177

H 0 3 K 19/00 C

H 0 1 L 21/82 A

【手続補正書】

【提出日】平成 23 年 10 月 26 日 (2011.10.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 2

【補正方法】変更

【補正の内容】

【0 0 6 2】

図 1 1 は D 型フリップフロップの具体的回路構成の第 2 例を示す回路図である。なお、図 1 1 に示す回路は 2 ビットのマスタ - スレイブ型の D 型フリップフロップである。

図 1 1 において、インバータ回路 9 0 4、9 0 2、及びクロックドゲートインバータ回路 9 0 1、9 0 3 から構成されているマスタ部の 1 ビットの D 型フリップフロップと、インバータ回路 1 1 0 2、及びクロックドゲートインバータ回路 1 1 0 1、1 1 0 3 から構成されているスレイブ部の 1 ビットの D 型フリップフロップと、からなっている。図 1 1 のマスタ部のインバータ回路 9 0 4、9 0 2、及びクロックドゲートインバータ回路 9 0 1、9 0 3 から構成は、図 9 のインバータ回路 9 0 4、9 0 2、及びクロックドゲートインバータ回路 9 0 1、9 0 3 とまったく同じ構成であり、対応する素子の各番号も同一である。したがって、前記したマスタ部は 1 ビットの D 型フリップフロップとしての機能を有している。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【0 0 6 3】

また、図 1 1 のスレイブ部のインバータ回路 1 1 0 2、及びクロックドゲートインバータ回路 1 1 0 1、1 1 0 3 の構成は、図 1 1 のマスタ部のインバータ回路 9 0 2、及びクロックドゲートインバータ回路 9 0 1、9 0 3 とまったく同じ構成であり、各番号の下一桁がそれぞれ順に対応している。したがって、インバータ 9 0 4 の入力信号と出力信号が供給されれば、図 1 1 のインバータ回路 1 1 0 2、及びクロックドゲートインバータ回路 1 1 0 1、1 1 0 3 からなるスレイブ部も 1 ビットの D 型フリップフロップとしての機能を有している。

ただし、クロックドゲートインバータ回路 1 1 0 1、1 1 0 3 に供給されるクロック信

号 C L とその反転信号は、マスタ部のインバータ回路 9 0 4 の入力信号と出力信号を共用しており、クロックドゲートインバータ回路 9 0 1、9 0 3 に供給されるクロック信号 C L とその反転信号とはそれぞれ逆の位相関係となっている。また、マスタ部の出力部であるインバータ 9 0 2 の出力端子 M は、スレイブ部の入力端子であるクロックドゲートインバータ回路 1 1 0 1 に入力端子に接続されている。なお、スレイブ部の入力端子に入力したマスタ部の出力端子 M はスレイブ部の 1 ビットの D 型フリップフロップを経て、インバータ回路 1 1 0 2 の出力信号にスレイブ部の出力信号 Q として出力されている。

したがって、図 1 1 におけるマスタ部の 1 ビットの D 型フリップフロップとスレイブ部の 1 ビットの D 型フリップフロップとは合体され、かつ動作の位相が反転しているので、2 ビットのマスタ - スレイブ型の D 型フリップフロップとして動作する。