

|                                                                                   |                                                |                                                                                                                                                 |
|-----------------------------------------------------------------------------------|------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------|
|  | (19) 대한민국특허청(KR)<br>(12) 공개특허공보(A)             | (11) 공개번호 10-2014-0062009<br>(43) 공개일자 2014년05월22일                                                                                              |
| (51) 국제특허분류(Int. Cl.)<br>G02F 1/136 (2006.01) H01L 29/786 (2006.01)               |                                                | (71) 출원인<br>가부시키가이샤 한도오파이 에네루기 켄큐쇼<br>일본국 가나가와켄 아쓰기시 하세 398                                                                                     |
| (21) 출원번호 10-2014-0046311(분할)                                                     | (22) 출원일자 2014년04월17일<br>심사청구일자 없음             | (72) 발명자<br>사카타 준이치로<br>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br>가부시키가이샤 한도오파이 에네루기 켄큐쇼 내                                                              |
| (62) 원출원 특허 10-2010-0061211<br>원출원일자 2010년06월28일                                  | (30) 우선권주장 JP-P-2009-159052 2009년07월03일 일본(JP) | 사사키 토시나리<br>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br>가부시키가이샤 한도오파이 에네루기 켄큐쇼 내<br>호소바 미유키<br>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br>가부시키가이샤 한도오파이 에네루기 켄큐쇼 내 |
|                                                                                   |                                                | (74) 대리인<br>황의만                                                                                                                                 |

전체 청구항 수 : 총 20 항

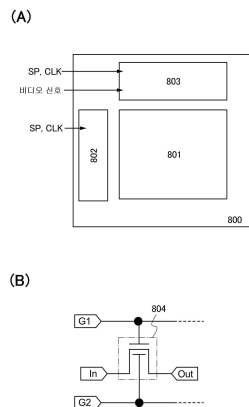
(54) 발명의 명칭 트랜지스터를 갖는 표시 장치 및 그 제작 방법

### (57) 요약

본 발명은 안정된 전기적 특성을 갖는 트랜지스터를 사용하여 안정된 동작을 행하는 표시 장치를 제공하는 것을 과제로 한다.

산화물 반도체층을 채널 형성 영역으로 하는 트랜지스터를 적용하여 표시 장치를 제작할 때, 적어도 구동 회로에 적용하는 트랜지스터 위에 게이트 전극을 더 배치한다. 산화물 반도체층을 채널 형성 영역으로 하는 트랜지스터를 제작할 때, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행하여 산화물 반도체층 상하에 접촉되어 형성되는 절연층과 산화물 반도체층의 계면에 존재하는 수분 등의 불순물을 저장한다.

대표도 - 도11



## 특허청구의 범위

### 청구항 1

절연 표면을 갖는 기판 위에 제 1 게이트 전극층을 형성하는 단계와;  
상기 제 1 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;  
상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;  
상기 산화물 반도체층에 탈수화 또는 탈수소화를 행하는 단계와;  
상기 탈수화 또는 탈수소화가 행해진 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;  
상기 게이트 절연층, 상기 산화물 반도체층, 및 상기 소스 전극층 및 드레인 전극층 위에 상기 산화물 반도체층과 부분적으로 접촉되는 보호층을 형성하는 단계와;  
상기 보호층 위에 평탄화층을 형성하는 단계와;  
상기 평탄화층 위에 제 2 게이트 전극층을 형성하는 단계를 포함하는, 표시 장치의 제작 방법.

### 청구항 2

제 1 항에 있어서,  
상기 표시 장치는 화소부와 구동 회로부를 포함하는, 표시 장치의 제작 방법.

### 청구항 3

제 1 항에 있어서,  
상기 탈수화 또는 탈수소화는 질소 분위기하 또는 희 가스 분위기하에서 행해지는, 표시 장치의 제작 방법.

### 청구항 4

절연 표면을 갖는 기판 위에 제 1 게이트 전극층을 형성하는 단계와;  
상기 제 1 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;  
상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;  
상기 산화물 반도체층의 캐리어 농도가 증가되도록 불활성 분위기하에서 상기 산화물 반도체층을 가열하는 단계와;  
탈수화 또는 탈수소화가 행해진 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;  
보호층과 접촉되는 상기 산화물 반도체층의 일부분의 캐리어 농도가 저감되도록, 상기 게이트 절연층, 상기 산화물 반도체층, 및 상기 소스 전극층 및 드레인 전극층 위에 상기 산화물 반도체층과 부분적으로 접촉되는 상기 보호층을 형성하는 단계와;  
상기 보호층 위에 평탄화층을 형성하는 단계와;  
상기 평탄화층 위에 제 2 게이트 전극층을 형성하는 단계를 포함하는, 표시 장치의 제작 방법.

### 청구항 5

제 4 항에 있어서,

상기 표시 장치는 화소부와 구동 회로부를 포함하는, 표시 장치의 제작 방법.

#### 청구항 6

제 4 항에 있어서,

상기 산화물 반도체층의 상기 증가된 캐리어 농도는  $1 \times 10^{18} / \text{cm}^3$  이상인, 표시 장치의 제작 방법.

#### 청구항 7

제 4 항에 있어서,

상기 산화물 반도체층의 상기 저감된 캐리어 농도는  $1 \times 10^{14} / \text{cm}^3$  이하인, 표시 장치의 제작 방법.

#### 청구항 8

제 4 항에 있어서,

상기 불활성 분위기는 질소 분위기 또는 희 가스 분위기인, 표시 장치의 제작 방법.

#### 청구항 9

제 4 항에 있어서,

상기 산화물 반도체층의 가열 단계는  $400^\circ\text{C}$  이상으로 행해지는, 표시 장치의 제작 방법.

#### 청구항 10

제 4 항에 있어서,

상기 산화물 반도체층의 가열 단계 후, 상기 산화물 반도체층을 실온 이상  $100^\circ\text{C}$  미만까지 냉각하는 단계를 더 포함하는, 표시 장치의 제작 방법.

#### 청구항 11

절연 표면을 갖는 기판 위에 제 1 게이트 전극층을 형성하는 단계와;

상기 제 1 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층의 캐리어 농도가 증가되도록 감압하에서 상기 산화물 반도체층을 가열하는 단계와;

탈수화 또는 탈수소화가 행해진 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;

보호층과 접촉되는 상기 산화물 반도체층의 일부분의 캐리어 농도가 저감되도록, 상기 게이트 절연층, 상기 산화물 반도체층, 및 상기 소스 전극층 및 드레인 전극층 위에 상기 산화물 반도체층과 부분적으로 접촉되는 상기 보호층을 형성하는 단계와;

상기 보호층 위에 평탄화층을 형성하는 단계와;

상기 평탄화층 위에 제 2 게이트 전극층을 형성하는 단계를 포함하는, 표시 장치의 제작 방법.

#### 청구항 12

제 11 항에 있어서,

상기 표시 장치는 화소부와 구동 회로부를 포함하는, 표시 장치의 제작 방법.

#### 청구항 13

제 11 항에 있어서,

상기 산화물 반도체층의 상기 증가된 캐리어 농도는  $1 \times 10^{18} / \text{cm}^3$  이상인, 표시 장치의 제작 방법.

#### 청구항 14

제 11 항에 있어서,

상기 산화물 반도체층의 상기 저감된 캐리어 농도는  $1 \times 10^{14} / \text{cm}^3$  이하인, 표시 장치의 제작 방법.

#### 청구항 15

제 11 항에 있어서,

상기 산화물 반도체층의 가열 단계는  $400^\circ\text{C}$  이상으로 행해지는, 표시 장치의 제작 방법.

#### 청구항 16

제 11 항에 있어서,

상기 산화물 반도체층의 가열 단계 후, 상기 산화물 반도체층을 실온 이상  $100^\circ\text{C}$  미만까지 냉각하는 단계를 더 포함하는, 표시 장치의 제작 방법.

#### 청구항 17

절연 표면을 갖는 기판 위에 제 1 게이트 전극층을 형성하는 단계와;

상기 제 1 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층의 수소 농도를 저하시키기 위하여 상기 산화물 반도체층을 가열하는 단계와;

탈수화 또는 탈수소화가 행해진 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와;

상기 게이트 절연층, 상기 산화물 반도체층, 및 상기 소스 전극층 및 드레인 전극층 위에 상기 산화물 반도체층과 부분적으로 접촉되는 보호층을 형성하는 단계와;

상기 보호층 위에 평탄화층을 형성하는 단계와;

상기 평탄화층 위에 제 2 게이트 전극층을 형성하는 단계를 포함하는, 표시 장치의 제작 방법.

## 청구항 18

제 17 항에 있어서,

상기 표시 장치는 화소부와 구동 회로부를 포함하는, 표시 장치의 제작 방법.

## 청구항 19

제 17 항에 있어서,

상기 산화물 반도체층의 가열 단계는 400℃ 이상으로 행해지는, 표시 장치의 제작 방법.

## 청구항 20

제 17 항에 있어서,

상기 산화물 반도체층의 가열 단계 후, 상기 산화물 반도체층을 실온 이상 100℃ 미만까지 냉각하는 단계를 더 포함하는, 표시 장치의 제작 방법.

## 명세서

### 기술분야

[0001] 본 발명은 트랜지스터로 구성된 회로를 갖는 표시 장치 및 그 제작 방법에 관한 것이다.

### 배경기술

[0002] 금속 산화물은 다양하게 존재하고, 각종 용도에 사용되고 있다. 금속 산화물로서 산화 인듐은 잘 알려져 있는 재료이고, 액정 디스플레이 등에 필요한 투광성을 갖는 도전성 재료로서 사용되고 있다.

[0003] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 트랜지스터가 이미 알려져 있다(예를 들어, 특허 문헌 1 내지 특허 문헌 4, 및 비특허 문헌 1 참조).

[0004] 그런데, 금속 산화물은 1원계 산화물뿐만 아니라, 다원계 산화물도 알려져 있다. 예를 들어, 동족 계열(Homologous Series)을 갖는  $\text{InGaO}_3(\text{ZnO})_m$ (m은 자연수)는 In, Ga, 및 Zn을 갖는 다원계 산화물 반도체로서 알려져 있다(비특허 문헌 2 내지 비특허 문헌 4 참조).

[0005] 그리고, 상기과 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체층을 트랜지스터의 채널층으로서 적용할 수 있는 것이 확인되었다(특허 문헌 5, 비특허 문헌 5, 및 비특허 문헌 6 참조).

### 선행기술문헌

#### 특허문헌

[0006] (특허문헌 0001) 일본국특개소60-198861호 공보

(특허문헌 0002) 일본국특개평8-264794호 공보

(특허문헌 0003) 일본국특표평11-505377호 공보

(특허문헌 0004) 일본국특개2000-150900호 공보

(특허문헌 0005) 일본국특개2004-103957호 공보

## 비특허문헌

- [0007] (비특허문헌 0001) M.W.Prins, K.O.Grosse-Holz, G.Muller, J.F.M.Cillesen, J.B.Giesbers, R.P.Weening, and R.M.Wolf, "A ferroelectric transparent thin-film transistor", Appl.Phys.Lett., 17 June 1996, Vol.68, p.3650-3652
- (비특허문헌 0002) M.Nakamura, N.Kimizuka, and T.Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$  System at  $1350^\circ\text{C}$ ", J.Solid State Chem., 1991, Vol.93, p.298-315
- (비특허문헌 0003) N.Kimizuka, M.Isobe, and M.Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m=3,4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m=7,8,9$  and  $16$ ) in the  $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$  System", J, Solid State Chem., 1995, Vol.116, p.170-178
- (비특허문헌 0004) M.Nakamura, N.Kimizuka, T.Mohori, M.Isobe, "동족계열,  $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 자연수)와 그 동형 화합물의 합성 및 결정 구조", 고체 물리, 1993, Vol.28, No.5, p.317-327
- (비특허문헌 0005) K.Nomura, H.Ohta, K.Ueda, T.Kamiya, M.Hirano, and H.Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol.300, p.1269-1272
- (비특허문헌 0006) K.Nomura, H.Ohta, A.Takagi, T.Kamiya, M.Hirano, and H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432, p.488-492

## 발명의 내용

### 해결하려는 과제

- [0008] 본 발명의 일 형태는 전기적 특성이 양호하고 또 신뢰성이 높은 트랜지스터와 그 제작 방법을 제공하고, 이것을 적용한 표시 품질이 양호하고 또 신뢰성이 높은 표시 장치를 제공하는 것을 과제로 한다.

### 과제의 해결 수단

- [0009] 본 발명의 일 형태는 산화물 반도체층을 갖는 트랜지스터가 형성된 표시 장치이고, 상기 표시 장치의 액티브 매트릭스 기판은 화소부와 구동 회로부를 갖고, 적어도 상기 구동 회로부에서는 백 채널부와 중첩된 위치에 게이트 전극이 더 형성되고, 상기 트랜지스터를 제작할 때 산화물 반도체층에 가열 처리가 행해지고, 상기 가열 처리에 의하여 탈수화 또는 탈수소화되는 것을 특징으로 한다. 또한, 상기 가열 처리 후에 상기 산화물 반도체층을 덮어 산소를 함유한 절연성 무기 재료로 보호 절연층이 형성된다. 상기 가열 처리에 의하여 캐리어 농도도 변화한다.

### 발명의 효과

- [0010] 전기적 특성이 양호한 트랜지스터를 제작하고, 특히, 장기간 사용할 때에도 임계 값 전압이 시프트하기 어렵고, 신뢰성이 높은 트랜지스터를 제작할 수 있고, 이러한 트랜지스터를 적어도 구동 회로부에 적용함으로써 표시 장치의 신뢰성을 향상시킬 수 있다.

### 도면의 간단한 설명

- [0011] 도 1(A) 내지 도 1(C)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 2(A) 내지 도 2(D)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 3은 본 발명에 적용할 수 있는 전기로를 설명하는 도면.  
 도 4(A) 및 도 4(B)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 5(A) 내지 도 5(D)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 6(A) 및 도 6(B)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.

도 7(A) 내지 도 7(D)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 8(A) 및 도 8(B)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 9(A) 내지 도 9(D)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 10(A) 및 도 10(B)는 본 발명의 일 형태인 트랜지스터를 설명하는 도면.  
 도 11(A) 및 도 11(B)는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 12는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 13(A) 및 도 13(B)는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 14는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 15는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 16은 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 17은 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 18은 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 19는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 20은 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 21은 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 22(A) 내지 도 22(C)는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 23(A) 및 도 23(B)는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 24(A) 및 도 24(B)는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 25는 본 발명의 일 형태인 표시 장치를 설명하는 도면.  
 도 26(A) 및 도 26(B)는 본 발명의 일 형태인 전자기기를 설명하는 도면.  
 도 27(A) 및 도 27(B)는 본 발명의 일 형태인 전자기기를 설명하는 도면.  
 도 28(A) 및 도 28(B)는 본 발명의 일 형태인 전자기기를 설명하는 도면.  
 도 29(A) 내지 도 29(C)는 실시예 1을 설명하는 도면.  
 도 30(A) 내지 도 30(C)는 실시예 1을 설명하는 도면.  
 도 31(A) 내지 도 31(C)는 실시예 1을 설명하는 도면.  
 도 32(A) 내지 도 32(C)는 실시예 1을 설명하는 도면.  
 도 33은 실시예 2를 설명하는 도면.  
 도 34는 실시예 2를 설명하는 도면.  
 도 35는 실시예 2를 설명하는 도면.  
 도 36은 실시예 2를 설명하는 도면.  
 도 37(A) 내지 도 37(C)는 실시예 2를 설명하는 도면.  
 도 38은 실시예 2를 설명하는 도면.  
 도 39는 실시예 2를 설명하는 도면.  
 도 40은 실시예 2를 설명하는 도면.  
 도 41은 실시예 2를 설명하는 도면.  
 도 42는 실시예 3을 설명하는 도면.

도 43은 실시예 3을 설명하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0012] 실시형태에 대하여 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 형태 및 상세한 사항은 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시하는 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0013] 또한, 이하의 실시형태 1 내지 실시형태 4는 본 발명의 일 형태인 표시 장치의 적어도 구동 회로부에 형성되는 트랜지스터에 대하여 설명한다.
- [0014] (실시형태 1)
- [0015] 본 실시형태는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터 및 그 제작 방법에 대하여 설명한다. 본 발명의 일 형태인 표시 장치에 있어서, 적어도 구동 회로부에 본 실시형태의 트랜지스터를 적용한다.
- [0016] 도 1(A) 내지 도 1(C)는 본 발명의 일 형태에 적용할 수 있는 트랜지스터의 단면도를 도시한 것이다.
- [0017] 트랜지스터(471)는 보텀 게이트형 트랜지스터이고, 기판(400) 위에 형성된, 제 1 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층 및 드레인 전극층(405)을 갖는다. 또한, 산화물 반도체층(403)의 일부분에 접촉되어 이들을 덮는 제 1 보호 절연층(407)과, 제 1 보호 절연층(407) 위에 형성되고 산화물 반도체층(403)과 중첩된 제 2 게이트 전극층(409)이 형성된다. 또한, 제 1 보호 절연층(407)은 제 2 게이트 절연층이라고 부를 수도 있다.
- [0018] 채널 형성 영역을 포함한 산화물 반도체층(403)의 재료로서는, 반도체 특성을 갖는 산화물 재료를 사용하면 좋다. 예를 들어,  $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 구조의 산화물 반도체를 사용할 수 있고, 특히, In-Ga-Zn-O계 산화물 반도체를 사용하는 것이 바람직하다. 또한, M은 Ga, Fe, Ni, Mn 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M이 Ga인 경우에는, Ga와 Ni, 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 함유되는 경우가 있다.
- [0019] 또한, 상기 산화물 반도체에 있어서, M으로서 함유되는 금속 원소 외, Fe, Ni, 그 외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 함유되어도 좋다.
- [0020] 또한,  $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 구조의 산화물 반도체 중, M으로서 적어도 Ga를 함유한 구조의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, 상기 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.
- [0021] 또는, 산화물 반도체층(403)에 적용하는 산화물반도체로서 상기 외에도 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다.
- [0022] 또한, 상기 산화물 반도체에 산화실리콘을 함유시켜도 좋다.
- [0023] 산화물 반도체층(403)의 형성은 적어도 산화물 반도체막을 형성한 후에 불순물인 수분( $\text{H}_2\text{O}$ ) 등을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행함으로써 저저항화(캐리어 농도가 높아짐, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  이상)시켜, 상기 산화물 반도체막(또는 가공된 산화물 반도체층)에 접촉되어 제 1 보호 절연층(407)을 형성함으로써 고저항화(캐리어 농도가 낮아짐, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{14}/\text{cm}^3$  이하)시켜 채널 형성 영역으로서 사용할 수 있는 산화물 반도체층을 형성할 수 있다.
- [0024] 또한, 탈수화 또는 탈수소화를 위한 가열 처리에 의하여 수분 등의 불순물을 탈리시키는 과정을 거친 후, 불활성 분위기하에서 서냉(徐冷: 서서히 냉각)을 행하는 것이 바람직하다. 탈수화 또는 탈수소화를 위한 가열 처리 및 서냉을 행한 후, 산화물 반도체층에 접촉되어 절연성 산화막의 형성 등을 행하여 산화물 반도체층의 캐리어 농도를 저감시킴으로써 트랜지스터(471)의 신뢰성을 향상시킬 수 있다.
- [0025] 또한, 산화물 반도체층(403) 내뿐만 아니라 게이트 절연층(402) 내, 및 상하에 접촉되어 형성되는 층과 산화물

반도체층(403)의 계면, 구체적으로는 게이트 절연층(402)과 산화물 반도체층(403)의 계면, 및 제 1 보호 절연층(407)과 산화물 반도체층(403)의 계면에 존재하는 수분 등의 불순물을 저장한다.

- [0026] 산화물 반도체층(403)은 적어도 무기 절연막과 접촉된 영역이 고저항화 산화물 반도체 영역이고, 상기 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용할 수 있다.
- [0027] 또한, 산화물 반도체층(403)에 사용하는 In-Ga-Zn-O계 비단결정막은 비정질이라도 좋고, 미결정을 포함하여도 좋고, 다결정이라도 좋다. 또는, "In-Ga-Zn-O계 비단결정막"이라고 표기하지만, 이것에 한정되지 않고 단결정이라도 좋다.
- [0028] 고저항화 산화물 반도체 영역을 채널 형성 영역으로서 사용함으로써, 트랜지스터의 전기적 특성은 안정되고, 오프 전류의 증가 등을 방지할 수 있다.
- [0029] 그리고, 산화물 반도체층(403)과 접촉된 소스 전극층 및 드레인 전극층(405)을 형성하는 재료는, 산소 친화성이 높은 금속을 함유한 재료가 바람직하다. 산소 친화성이 높은 금속을 함유한 재료로서는, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수 중에서 선택된 재료를 사용하는 것이 바람직하다.
- [0030] 산화물 반도체층(403)과, 산소 친화성이 높은 금속층을 접촉시켜 가열 처리를 행함으로써, 산화물 반도체층(403)으로부터 금속층으로 산소 원자가 이동하고, 계면 부근에서 캐리어 밀도가 증가하고, 저항이 낮은 영역이 형성된다. 상기 저항이 낮은 영역은 계면을 갖는 막 형상이라도 좋다.
- [0031] 상술한 바와 같이, 트랜지스터의 콘택트 저항을 낮게 하고, 온 전류를 크게 할 수 있다.
- [0032] 도 2(A) 내지 도 2(D)에 트랜지스터(471)의 제작 공정의 단면도를 도시한다.
- [0033] 우선, 절연 표면을 갖는 기판(400) 위에 제 1 게이트 전극층(401)을 형성한다. 절연 표면을 갖는 기판(400)은 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 전자 공업용에 사용되는 유리 기판("무 알칼리 유리 기판"이라고 불림), 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 절연 기판을 갖는 기판(400)이 마더(mother) 유리인 경우에는, 제 1 세대(320mm×400mm), 제 2 세대(400mm×500mm), 제 3 세대(550mm×650mm), 제 4 세대(680mm×880mm, 또는 730mm×920mm), 제 5 세대(1000mm×1200mm, 또는 1100mm×1250mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1900mm×2200mm), 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 크기의 기판을 사용할 수 있다.
- [0034] 또는, 이후 참조하는 도 1(C)와 마찬가지로 하지 절연층을 기판(400)과 제 1 게이트 전극층(401) 사이에 형성하여도 좋다. 하지 절연층은 기판(400)으로부터 불순물 원소(나트륨 등)가 확산하는 것을 방지할 수 있는 절연막으로 형성하면 좋고, 예를 들어, 질화실리콘, 산화실리콘, 질화산화실리콘, 또는 산화질화실리콘 중에서 선택된 하나로 형성하거나 또는 복수의 막을 적층하여 형성할 수 있다.
- [0035] 제 1 게이트 전극층(401)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0036] 예를 들어, 제 1 게이트 전극층(401)을 2층의 적층 구조로 하는 경우에는, 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 또는 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로 하는 경우에는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화티타늄층 또는 티타늄층을 적층한 3층 구조로 하는 것이 바람직하다.
- [0037] 제 1 게이트 전극층(401)은 도전막을 기판(400) 전체 면에 형성한 후, 포토리소그래피 공정을 행하여 상기 도전막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거함으로써 형성한다. 제 1 게이트 전극층(401)은 배선 및 전극(제 1 게이트 전극층(401)을 포함한 게이트 배선, 용량 배선, 및 단자 전극 등)을 구성한다.
- [0038] 다음에, 제 1 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.
- [0039] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 산화실리콘, 질화실리콘, 산화질화실리콘 또는 질화산화실리콘을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 원료 가스로서, SiH<sub>4</sub>와, 산소 및 질소 중 어느 한쪽 또는 양쪽을 사용하여 플라즈마 CVD법에 의하여 산화질화실리콘층을 형성하면 좋다. 또는,

산소와 질소 대신에 일산화이질소 등을 사용하여도 좋다.

[0040] 다음에, 게이트 절연층(402) 위에 산화물 반도체막을 형성한다.

[0041] 또한, 산화물 반도체막을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행함으로써, 게이트 절연층(402) 표면에 부착된 먼지 등을 제거하는 것이 바람직하다. 역 스퍼터링이란, 아르곤 분위기하에서 기판에 RF 전원을 사용하여 전압을 인가함으로써 플라즈마를 발생시키고, 상기 플라즈마에 피처리물(예를 들어, 기판)을 노출하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소 또는 헬륨 등을 사용하여도 좋다. 또는, 아르곤 분위기에 산소, 또는 일산화이질소 등을 첨가한 분위기에서 행하여도 좋다. 또는, 아르곤 분위기에 염소 또는 4불화메탄 등을 첨가한 분위기하에서 행하여도 좋다.

[0042] 산화물 반도체막은 In-Ga-Zn-O계 금속 산화물을 타깃으로서 사용하여 스퍼터링법에 의하여 형성한다. 산화물 반도체막은 희 가스(예를 들어, 아르곤) 분위기하, 산소 분위기하, 또는 희 가스(예를 들어, 아르곤) 및 산소 분위기하에서 스퍼터링법에 의하여 형성할 수 있다.

[0043] 또한, 게이트 절연층(402)과 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 게이트 절연층(402)과 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 형성함으로써 게이트 절연층(402)과 산화물 반도체막의 계면이 대기 성분이나 대기 중에 부유하는 불순물(물이나 하이드로카본 등)에 오염되지 않고 형성되므로 트랜지스터의 특성의 편차를 저감할 수 있다.

[0044] 다음에, 산화물 반도체막을 포토리소그래피 공정에 의하여 가공함으로써, 섬 형상의 제 1 산화물 반도체층(430)을 형성한다(도 2(A) 참조).

[0045] 제 1 산화물 반도체층(430)에 대하여 불활성 가스(질소, 또는 헬륨, 네온, 아르곤 등의 희 가스) 분위기하 또는 감압하에서 가열 처리를 행한 후, 불활성 분위기하에서 서냉을 행하여 제 2 산화물 반도체층(431)을 형성한다(도 2(B) 참조). 제 1 산화물 반도체층(430)에 대하여 상기 분위기하에서 가열 처리를 행함으로써 제 1 산화물 반도체층(430)에 함유된 수소 및 물 등의 불순물을 제거하여 제 2 산화물 반도체층(431)이 형성된다.

[0046] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물 또는 수소 등의 불순물이 함유되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입되는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.

[0047] 또한, 가열 처리에는 전기로를 사용한 가열 방법, 가열한 기체를 사용한 GRTA(Gas Rapid Thermal Anneal)법, 또는 램프 광을 사용한 LRTA(Lamp Rapid Thermal Anneal)법 등의 순간 가열하는 방법 등을 사용할 수 있다.

[0048] 여기서, 제 1 산화물 반도체층(430)의 가열 처리에 전기로를 사용하는 경우에 대하여 도 3을 사용하여 설명한다.

[0049] 도 3은 전기로(601)의 개략도이다. 전기로(601)는 챔버(602)를 갖고, 챔버(602)의 외측에는 챔버(602)를 가열하는 히터(603)가 형성된다. 챔버(602) 내에는 기판(604)을 탑재한 서셉터(605)가 형성되고, 챔버(602) 내에 기판(604)을 반입 또는 반출한다. 챔버(602)에는 가스 공급 수단(606) 및 배기 수단(607)이 접속된다. 가스 공급 수단(606)으로부터는 챔버(602)에 가스가 도입된다. 그리고, 배기 수단(607)에 의하여 챔버(602) 내를 배기하거나, 또는 챔버(602) 내를 감압한다. 또한, 전기로(601)는 0.1℃/분 이상 20℃/분 이하로 승온할 수 있고, 0.1℃/분 이상 15℃/분 이하로 강온할 수 있는 구성으로 하는 것이 바람직하다.

[0050] 가스 공급 수단(606)은 가스 공급원(611), 압력 조정 밸브(612), 매스 플로우 컨트롤러(614), 스톱 밸브(615)를 갖는다. 본 실시형태에서는 도 3에 도시된 바와 같이, 가스 공급원(611)과 챔버(602) 사이에 정제기(613)를 형성하는 것이 바람직하다. 정제기(613)를 형성함으로써 가스 공급원(611)으로부터 챔버(602) 내에 도입되는 가스에 함유된 물 또는 수소 등의 불순물을 제거할 수 있어, 챔버(602) 내에 물 또는 수소가 침입하는 것을 막을 수 있다.

[0051] 본 실시형태에서는 가스 공급원(611)으로부터 질소 또는 희 가스를 챔버(602)에 도입하여 챔버(602) 내를 질소 분위기 또는 희 가스 분위기로 하고, 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 가열된 챔버(602)에 있어서, 기판(604; 도 1(A) 내지 도 1(C)의 기판(400)) 위에 형성된 제 1 산화물 반도체층(430)을 가열함으로써 제 1 산화물 반도체층(430)의 탈수화 또는 탈수소화를 행할 수 있다.

[0052] 또는, 배기 수단(607)에 의하여, 감압하에서 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 가

열된 챔버(602)에 있어서, 기관(604; 도 1(A) 내지 도 1(C)의 기관(400)) 위에 형성된 제 1 산화물 반도체층(430)을 가열함으로써 제 1 산화물 반도체층(430)의 탈수화 또는 탈수소화를 행할 수 있다.

[0053] 다음에, 히터(603)를 오프 상태로 하여 챔버(602)를 서냉(서서히 냉각)한다. 제 1 산화물 반도체층(430)은 불활성 가스 분위기하 또는 감압하에서의 가열 처리와 서냉에 의하여 저저항화(캐리어 농도가 높아짐, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상)되어 제 2 산화물 반도체층(431)이 된다.

[0054] 상술한 바와 같이 가열 처리함으로써 이후 형성되는 트랜지스터의 신뢰성을 높일 수 있다.

[0055] 또한, 감압하에서 가열 처리를 행한 경우에는, 가열 후에 불활성 가스를 챔버(602) 내에 도입함으로써 대기압 상태로 하여 냉각하면 좋다.

[0056] 또한, 가열 장치의 챔버(602) 내의 기관(604)을 300℃ 정도까지 냉각한 후, 기관(604)을 실온의 분위기하로 이동하여도 좋다. 결과적으로, 기관(604)의 냉각 시간을 단축할 수 있다.

[0057] 또한, 가열 장치가 멀티 챔버인 경우에는, 가열 처리와 냉각 처리를 상이한 챔버에서 행할 수도 있다. 예를 들어, 질소 또는 희 가스가 충전되고, 또 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 가열된 제 1 챔버에서 기관(604; 도 1(A) 내지 도 1(C)의 기관(400)) 위의 제 1 산화물 반도체층(430)을 가열한다. 다음에, 질소 또는 희 가스가 도입된 반송실을 통과하여 질소 또는 희 가스가 충전되고, 또 100℃ 이하, 바람직하게는 실온인 제 2 챔버에 상기 가열 처리된 기관을 이동하고, 냉각한다. 가열 처리와 냉각 처리를 상이한 챔버에서 행함으로써 스루풋을 향상시킬 수 있다.

[0058] 또한, 불활성 가스 분위기하 또는 감압하에 있어서의 제 1 산화물 반도체층(430)에 대한 가열 처리는 섬 형상의 제 1 산화물 반도체층(430)에 가공하기 전의 산화물 반도체막에 대하여 행하여도 좋다. 그 경우에는, 불활성 가스 분위기하 또는 감압하에서 산화물 반도체막을 가열 처리한 후에 실온 이상 100℃ 미만까지 서냉하고, 가열 장치로부터 기관(604; 도 1(A) 내지 도 1(C)의 기관(400))을 반출하여 포토리소그래피 공정을 행한다.

[0059] 또한, 불활성 가스 분위기하 또는 감압하에서 가열 처리한 후의 제 1 산화물 반도체층(430)의 상태는 비정질인 것이 바람직하지만, 일부분이 결정화되어도 좋다.

[0060] 다음에, 게이트 절연층(402), 제 2 산화물 반도체층(431) 위에 도전막을 형성한다.

[0061] 도전막의 재료로서는, 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소, 이들 금속 원소를 주성분으로 하는 합금, 또는 이들 금속 원소를 조합한 합금 등을 들 수 있다.

[0062] 또한, 상기 도전막을 형성한 후에 가열 처리를 행하는 경우에는 적어도 이 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 도전막을 사용한다. 예를 들어, 상기 도전막을 알루미늄만으로 형성하면, 내열성이 낮고, 또한 부식하기 쉬운 등의 문제가 있으므로 내열성 도전성 재료와 조합하여 형성하면 좋다. 알루미늄과 조합하는 내열성 도전성 재료로서는, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐 중에서 선택된 원소, 또는 상술한 금속 원소를 주성분으로 하는 합금, 상술한 원소를 조합한 합금, 또는 상술한 원소를 주성분으로 하는 질화물 등을 들 수 있다.

[0063] 제 2 산화물 반도체층(431)과 상기 도전막을 에칭하여 제 3 산화물 반도체층(432), 소스 전극층 및 드레인 전극층(405; 소스 전극(405a) 및 드레인 전극(405b))을 형성한다(도 2(C) 참조). 또한, 제 3 산화물 반도체층(432)은 일부분(백 채널부)이 에칭되어 홈부(오목부)를 갖는다.

[0064] 다음에, 제 3 산화물 반도체층(432)에 접촉되어 제 1 보호 절연층(407)을 형성한다. 제 1 보호 절연층(407)은 수분, 수소 이온 및  $\text{OH}^-$  등이 저장되고(즉, 이들을 함유하지 않거나 또는 함유한 경우라도 거의 함유하지 않음), 이들이 외부로부터 침입하는 것을 블록하고, 산소를 함유한 절연성 무기 재료를 사용하여 형성한다. 구체적으로는, 산화실리콘, 산화질화실리콘, 또는 질화산화실리콘을 사용하면 좋다.

[0065] 본 실시형태에서는, 제 1 보호 절연층(407)으로서 스퍼터링법을 사용하여 두께 300nm의 산화실리콘막을 형성한다. 산화실리콘막을 형성할 때의 기관 온도는 실온 이상 300℃ 이하로 하면 좋고, 여기서는 100℃로 한다. 산화실리콘막은 스퍼터링법에 의하여 희 가스(예를 들어, 아르곤) 분위기하, 산소 분위기하, 또는 희 가스(예를 들어, 아르곤)와 산소의 혼합 가스 분위기하에서 형성할 수 있다. 또한, 타겟으로서 산화실리콘 타겟을 사용하여도 좋고, 실리콘 타겟을 사용하여도 좋다. 예를 들어, 실리콘 타겟을 사용하여 산소를 함유한 분위기하에서 스퍼터링을 행함으로써 산화실리콘막을 형성할 수 있다.

- [0066] 스퍼터링법 또는 플라즈마 CVD법 등에 의하여 제 3 산화물 반도체층(432)에 접촉되어 제 1 보호 절연층(407)으로서 산화실리콘막을 형성하면, 저저항화된 제 3 산화물 반도체층(432)에 있어서의 적어도 제 1 보호 절연층(407)과 접촉된 영역을 고저항화(캐리어 농도가 저하, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  미만)하여 고저항화 산화물 반도체 영역을 형성할 수 있다.
- [0067] 트랜지스터의 제작 프로세스 중에 있어서, 불활성 기체 분위기하(또는 감압하)에서의 가열, 서냉 및 절연성 산화물의 형성 등에 의하여 제 3 산화물 반도체층(432)의 캐리어 농도를 증감시키는 것이 중요하다. 제 3 산화물 반도체층(432)은 고저항화 산화물 반도체 영역을 갖는 산화물 반도체층(403)이 된다(도 2(D) 참조).
- [0068] 다음에, 제 1 보호 절연층(407) 위에 도전막을 형성한 후, 포토리소그래피 공정을 행하여, 상기 도전막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 제 2 게이트 전극층(409; 동일 층에 의하여 형성되는 배선 등을 포함함)을 형성한다. 제 2 게이트 전극층(409)을 원하는 상면 형상으로 하기 위하여 선택적으로 에칭할 때 제 1 보호 절연층(407)은 에칭 스톱퍼로서 기능한다.
- [0069] 또한, 제 2 게이트 전극층(409)이 제 1 게이트 전극층(401)과 접촉되는 경우에는, 제 2 게이트 전극층(409)이 되는 도전막을 형성하기 전에 제 1 보호 절연층(407)의 소정의 개소에 제 1 게이트 전극층(401)을 노출시키도록 개구부를 형성해 둔다.
- [0070] 제 1 보호 절연층(407) 위에 형성하는 도전막으로서, 금속 재료(알루미늄, 구리, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐 중에서 선택된 금속 원소의 하나 또는 복수, 또는 상술한 금속 원소를 주성분으로 하는 합금)을 사용할 수 있다. 이들을 사용한 막은 충분한 두께로 형성함으로써 차광성을 갖기 때문에 산화물 반도체층(403)을 차광할 수 있다.
- [0071] 도 1(A)에 있어서, 제 2 게이트 전극층(409)의 폭은 제 1 게이트 전극층(401)의 폭보다 넓고, 산화물 반도체층(403)의 폭보다 넓다. 도 1(A)에 도시된 바와 같이, 제 2 게이트 전극층(409)의 폭을 산화물 반도체층(403)의 폭보다 넓게 하고, 제 2 게이트 전극층(409)이 산화물 반도체층(403)의 상면을 덮는 형상으로 함으로써, 산화물 반도체층(403)을 차광할 수 있다. 산화물 반도체층(403)의 얇은 영역은 소스 전극층 및 드레인 전극층(405)으로 덮이지 않으므로 빛이 조사됨으로써 트랜지스터(471)의 전기적 특성에 영향을 미칠 우려가 있다. 예를 들어, 스퍼터링법으로 형성한 In-Ga-Zn-O계 비단결정막은 파장 450nm 이하의 빛에 감도를 갖기 때문에, 산화물 반도체층(403)에 In-Ga-Zn-O계 비단결정막을 사용하는 경우에는 특히 파장 450nm 이하의 빛을 차광할 수 있도록 제 2 게이트 전극층(409)을 형성하면 좋다.
- [0072] 또한, 여기서 질소 분위기하 또는 대기 분위기하(대기 중)에 있어서, 트랜지스터(471)에 가열 처리를 행하여도 좋다. 여기서 행하는 가열 처리는 바람직하게는 온도 300℃ 이하로 행하고, 제 1 보호 절연층(407)이 되는 절연막을 형성한 후라면 언제 행하여도 좋다. 예를 들어, 여기서 행하는 가열 처리로서 질소 분위기하에서 350℃, 1시간의 가열 처리를 행한다. 가열 처리를 행하면 트랜지스터(471)의 전기적 특성의 편차를 적게 할 수 있다.
- [0073] 상술한 공정을 거침으로써 도 1(A)에 도시한 트랜지스터(471)를 형성할 수 있다.
- [0074] 또한, 본 실시형태에서 사용하는 트랜지스터는 도 1(A)에 도시한 형태에 한정되지 않는다. 도 1(B)에 도시된 바와 같이, 제 2 게이트 전극층(409B) 아래에 평탄화층(예를 들어, 수지층)을 형성하여도 좋다. 도 1(B)는 제 1 게이트 전극층(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, 소스 전극층 및 드레인 전극층(405)을 덮는 제 1 보호 절연층(407)과 제 2 게이트 전극층(409B) 사이에 수지층(408)을 형성한 형태를 도시한 것이다. 제 2 게이트 전극층(409B) 아래에 수지층을 형성하면, 수지층보다 아래에 위치하는 구조물로 인하여 생긴 요철을 완화하여 제 2 게이트 전극층(409B)의 피형성면을 평탄하게 할 수 있다. 또한, 수지층에 한정되지 않고, 상면이 평탄하게 되는 다른 방법(스핀 코팅법 또는 리플로법 등)을 사용하여도 좋다.
- [0075] 또한, 도 1(B)에서는 도 1(A)와 상이한 부분 외는 동일 부호를 사용하여 설명한다.
- [0076] 수지층(408)은 제 1 보호 절연층(407)을 사이에 두고 소스 전극층 및 드레인 전극층(405)과, 두께가 얇은 영역을 갖는 산화물 반도체층(403)을 덮는다. 수지층(408)은, 예를 들어, 0.5μm 내지 3μm의 두께를 갖는 감광성 또는 비감광성의 유기 재료를 사용할 수 있다. 수지층(408)에 사용할 수 있는 감광성 또는 비감광성의 유기 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐, 또는 이들의 적층하여 형성한 것 등을 들 수 있다. 여기서는, 수지층(408)으로서, 감광성의 폴리이미드를 도포법에 의하여 형성한다. 폴리이미드를 전체 면에 도포한 후에 노광, 현상, 및 소성을 행함으로써, 표면이 평탄하고 두께가 1.5

$\mu\text{m}$ 인 폴리이미드로 이루어진 수지층(408)을 형성한다.

- [0077] 수지층(408)을 형성함으로써, 트랜지스터(471B)의 구조로 인하여 생긴 요철을 완화하여 평탄하게 할 수 있다.
- [0078] 도 1(C)는 트랜지스터가 형성된 기판(400)과 제 1 게이트 전극층(401C) 사이에 하지 절연층(410)이 형성되고, 제 1 게이트 전극층(401C)의 폭과 제 2 게이트 전극층(409C)의 폭 사이의 관계가 도 1(A)와 상이한 형태를 도시한 것이다.
- [0079] 또한, 도 1(C)에서는 도 1(A)와 상이한 부분 외는 동일 부호를 사용하여 설명한다.
- [0080] 하지 절연층(410)은 두께 50nm 내지 200nm의 산화질화실리콘, 질화산화실리콘, 또는 질화실리콘 등에 의하여 형성할 수 있고, 기판(400)으로서 유리를 사용한 경우의 유리 기판으로부터 불순물 원소(예를 들어, 나트륨 등)가 트랜지스터(471C)로 확산하여 특히 이러한 불순물 원소가 산화물 반도체층(403)으로 침입하는 것을 블록할 수 있다. 또한, 하지 절연층(410)에 의하여, 제 1 게이트 전극층(401C)을 형성할 때의 에칭 공정에서 기판(400)이 에칭되는 것을 방지할 수 있다.
- [0081] 또한, 트랜지스터(471C)는 트랜지스터(471) 또는 트랜지스터(471B)와 비교하여 제 1 게이트 전극층(401C)의 폭 및 제 2 게이트 전극층(409C)의 폭이 상이하다. 도 1(C)에 도시한 트랜지스터(471C)의 제 1 게이트 전극층(401C)의 채널 길이 방향의 길이는 산화물 반도체층(403)의 채널 길이 방향의 길이보다 크다. 한편, 트랜지스터(471C)의 제 2 게이트 전극층(409C)의 채널 길이 방향의 길이는 산화물 반도체층(403)의 채널 길이 방향의 길이보다 작다. 도 1(C)에 도시된 바와 같이, 적어도 제 2 게이트 전극층(409C)의 채널 길이 방향의 길이를 산화물 반도체층(403)의 얇은 영역(제 1 보호 절연층(407)과 접촉된 영역)의 길이 이상으로 하고, 제 2 게이트 전극층(409C)이 산화물 반도체층(403)의 얇은 영역과 중첩된 위치에 배치하면 좋고, 제 2 게이트 전극층(409C)의 길이를 작게 하면 기생 용량을 저감할 수 있다.
- [0082] 또한, 도 1(A) 내지 도 1(C)에 있어서, 제 1 보호 절연층(407)을 형성하기 전에 노출된 산화물 반도체층(403)의 얇은 영역에 대하여 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써 산화물 반도체층(403)의 노출 면 근방을 개질하여 산소 과잉 영역으로 할 수 있으므로 고저항 영역으로 할 수 있다. 산소 라디칼은 산소를 함유한 가스를 사용하여 플라즈마 발생 장치에 의하여 공급되어도 좋고, 또는 오존 발생 장치에 의하여 공급되어도 좋다. 공급된 산소 라디칼 또는 산소를 박막에 조사함으로써 산화물 반도체층(403)의 표면(백 채널부의 표면)을 개질할 수 있다. 또한, 산소 라디칼 처리에 한정되지 않고, 아르곤과 산소의 라디칼 처리를 행하여도 좋다. 아르곤과 산소의 라디칼 처리란, 아르곤 가스와 산소 가스를 도입하여 플라즈마를 발생시켜 박막 표면의 개질을 행하는 것을 가리킨다.
- [0083] 또한, 도 1(A) 내지 도 1(C)에 있어서, 제 2 게이트 전극층은 투광성을 갖는 도전성 재료, 예를 들어, 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한 인듐아연 산화물, 산화티타늄을 함유한 인듐 산화물, 산화티타늄을 함유한 인듐주석 산화물, 인듐주석 산화물(이하, ITO), 인듐아연 산화물, 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여도 좋다.
- [0084] 또는, 도 1(A) 내지 도 1(C)에 있어서, 제 2 게이트 전극층에 투광성을 갖는 도전성 재료를 사용하는 경우에는, 화소 전극과 같은 재료로 함으로써 제 2 게이트 전극층과 화소 전극을 같은 포토마스크를 사용하여 형성할 수도 있다. 제 2 게이트 전극층과 화소 전극을 같은 재료로 함으로써 공정수를 삭감할 수 있다. 투광성을 갖는 도전성 재료를 제 2 게이트 전극층에 사용하는 경우에는 얇은 영역을 갖는 산화물 반도체층을 차광하기 위한 차광층을 산화물 반도체층의 얇은 영역과 중첩된 위치에 별도 형성하는 것이 바람직하다. 차광층은 적어도 400nm 내지 450nm의 파장 영역에서 약 50% 미만의 광 투과율, 바람직하게는 20% 미만의 광 투과율이 되는 재료 및 두께로 형성한다. 예를 들어, 차광층의 재료로서는, 크롬(산화크롬 또는 질화크롬이라도 좋음), 질화티타늄 등의 금속, 또는 흑색 수지를 사용할 수 있다. 광을 차광하기 위하여 흑색 수지를 사용하는 경우에는, 조사되는 광이 강력할수록 차광층의 막 두께가 두꺼워야 하기 때문에, 차광층의 막 두께가 얇아야 할 경우에는, 차광성이 높고 정세한 에칭 가공 및 박막화가 가능한 금속을 사용하는 것이 바람직하다.
- [0085] 또한, 상술한 설명에서는 2단계의 포토마스크를 포토리소그래피 공정에 사용하는 예를 제시하였지만 다계조 마스크를 사용하여 형성한 복수(예를 들어, 2계조의 포토마스크를 사용하는 경우의 2종류)의 두께가 상이한 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 줄일 수 있고, 공정의 간략화 및 저비용화가 가능하게 된다. 또한, 본 명세서에서, 그레이 톤 노광용 마스크나, 하프 톤 노광용 마스크를 총칭하여 편의상 다계조 마스크라고 부른다. 또한, 다계조 마스크는 3계조의 것에 한정되지 않고, 4계조라도 좋고, 계조수가 더 많아도 좋다.

- [0086] 또한, 다게조 마스크를 사용하는 경우에는, 산화물 반도체막과 도전막을 적층하여 형성한 후, 복수의 막 두께가 상이한 영역을 갖는 레지스트 마스크를 도전막 위에 형성하고, 그 레지스트 마스크를 사용하여 두께가 얇은 영역을 갖는 산화물 반도체층과, 소스 전극층 및 드레인 전극층을 형성한다. 이 경우에는, 소스 전극층 및 드레인 전극층의 단부와 산화물 반도체층의 단부가 대략 일치하고, 산화물 반도체층의 측면이 노출된다. 따라서, 제 1 보호 절연층(407)을 형성하는 경우에는, 산화물 반도체층은 소스 전극층 및 드레인 전극층과 중첩되지 않은 영역(얇은 영역)과 측면의 양쪽 모두가 제 1 보호 절연층(407)과 접촉되는 구성이 된다.
- [0087] 본 실시형태에 있어서의 트랜지스터가 갖는 채널 형성 영역의 반도체층은 고저항화 영역이므로, 트랜지스터의 전기적 특성은 안정적이고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기적 특성은 양호하고 신뢰성이 좋은 트랜지스터를 갖는 표시 장치로 할 수 있다.
- [0088] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0089] (실시형태 2)
- [0090] 본 실시형태는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터이고, 실시형태 1과 상이한 트랜지스터 및 그 제작 방법에 대하여 설명한다. 본 발명의 일 형태인 표시 장치에 있어서, 적어도 구동 회로부에 본 실시형태의 트랜지스터를 적용한다.
- [0091] 도 4(A) 및 도 4(B)는 본 발명의 일 형태인 트랜지스터의 단면도를 도시한 것이다. 트랜지스터(472)는 보텀 게이트형 트랜지스터이고, 기판(400) 위에 형성된 제 1 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), n형 산화물 반도체층(404), 소스 전극층 및 드레인 전극층(405)을 갖는다. 또한, 산화물 반도체층(403)의 일부분에 접촉되어 이들을 덮는 제 1 보호 절연층(407)과, 제 1 보호 절연층(407) 위에 형성되고 산화물 반도체층(403)과 중첩된 제 2 게이트 전극층(409)이 형성된다. 또한, 제 1 보호 절연층(407)은 제 2 게이트 절연층이라고 부를 수도 있다.
- [0092] 산화물 반도체층(403)과 소스 전극층 및 드레인 전극층(405) 사이에는 저항이 낮은 n형 산화물 반도체층(404)을 형성함으로써 트랜지스터(472)를 더 안정적으로 동작시킬 수 있다.
- [0093] 우선, 도 5(A) 내지 도 5(D)를 사용하여 도 4(A)에 도시한 트랜지스터(472)의 제작 방법의 일례를 도시한다.
- [0094] 또한, 절연 표면을 갖는 기판(400) 위에 제 1 게이트 전극층(401)을 형성하고, 제 1 게이트 전극층(401)을 덮는 게이트 절연층(402)을 형성하고, 산화물 반도체막을 형성하는 공정까지는 실시형태 1과 동일하므로, 여기서는 자세한 설명은 생략하고, 도 1(A)와 같은 개소는 동일 부호를 사용하여 설명한다.
- [0095] 게이트 절연층(402) 위에 제 1 산화물 반도체막(433)을 실시형태 1과 같은 방법으로 형성한다.
- [0096] 다음에, 제 1 산화물 반도체막(433) 위에 소스 영역 또는 드레인 영역으로서 기능하는 제 1 n형 산화물 반도체막(440)을 형성한다(도 5(A) 참조). 제 1 n형 산화물 반도체막(440)으로서는, 제 1 산화물 반도체막(433)보다 저항이 낮은 산화물 반도체막을 사용한다.
- [0097] 제 1 n형 산화물 반도체막(440)은, 예를 들어, 질소 가스를 함유한 분위기 중에서 스퍼터링법에 의하여 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 금속 산화물( $\text{In}_2\text{O}_3$ :  $\text{Ga}_2\text{O}_3$ :  $\text{ZnO}$ =1:1:1)을 사용하여 얻은 인듐, 갈륨, 및 아연을 함유한 산화질화물막이나, Al-Zn-O계 비단결정막이나, 질소를 함유시킨 Al-Zn-O계 비단결정막, 즉, Al-Zn-O-N계 비단결정막(AZON막이라고 부름)을 사용하여도 좋다.
- [0098] 또한, 본 실시형태에서 사용하는 In-Ga-Zn-O계 비단결정막은 비정질, 미결정, 다결정 중 어느 것이라도 좋다. 또는, 단결정이라도 좋다. 이들 형성 조건이나 타겟의 조성비를 변화시킴으로써 제 1 산화물 반도체막(433)과 제 1 n형 산화물 반도체막(440)의 결정 상태를 변화시킬 수 있다.
- [0099] 따라서, 산화물 반도체막의 형성 조건이나 타겟의 조성비에 따라, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체층과, 채널 영역을 형성하는 산화물 반도체층(403)의 결정 상태는 상이하여도 좋다. 예를 들어, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체층이 미결정을 포함하고, 산화물 반도체층(403)이 비정질이라도 좋고, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체층이 비정질이고, 산화물 반도체층(403)이 미결정을 포함하여도 좋다.
- [0100] 또한, 제 1 산화물 반도체막(433) 및 제 1 n형 산화물 반도체막(440)은 대기에 노출시키지 않고 연속적으로 형

성하여도 좋다. 대기에 노출시키지 않고 연속적으로 형성함으로써 계면이 물이나 하이드로카본 등의 대기 성분이나 대기 중에 부유하는 불순물에 오염되지 않고 각 적층 계면을 형성할 수 있으므로 트랜지스터 특성의 편차를 저감할 수 있다. 또한, 게이트 절연층(402)에서 제 1 n형 산화물 반도체막(440)까지를 연속적으로 형성하여도 좋다.

- [0101] 다음에, 실시형태 1과 마찬가지로, 제 1 산화물 반도체막(433)의 가열 처리를 행한다. 제 1 산화물 반도체막(433)은 불활성 가스 분위기하 또는 감압하에서의 가열 처리 및 서냉에 의하여 저저항화(캐리어 농도가 높아짐, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  이상)되어 저저항화된 산화물 반도체막(제 2 n형 산화물 반도체막)이 된다.
- [0102] 제 1 산화물 반도체막(433)의 가열 처리는 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등의 희 가스)하 또는 감압하에서 행한다. 제 1 산화물 반도체막(433)에 대하여 상기 분위기하에서 가열 처리를 행함으로써 제 1 산화물 반도체막(433)에 함유된 수소 및 물 등의 불순물을 제거할 수 있다.
- [0103] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물, 수소 등의 불순물이 함유되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0104] 본 실시형태에서는 전기로는 0.1℃/분 이상 20℃/분 이하로 승온할 수 있는 구성으로 하고, 챔버 내를 질소 또는 희 가스 분위기로 하고, 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 하고, 기판 위에 형성된 제 1 산화물 반도체막(433) 및 제 1 n형 산화물 반도체막(440)을 가열한다. 또는, 배기 수단에 의하여 감압하에서 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 하고 기판 위에 형성된 제 1 산화물 반도체막(433) 및 제 1 n형 산화물 반도체막(440)을 가열하여 제 2 산화물 반도체막 및 제 2 n형 산화물 반도체막을 형성한다.
- [0105] 가열 처리 후, 전기로의 히터를 오프 상태로 하여 챔버를 서냉(서서히 냉각)한다. 또한, 전기로는 0.1℃/분 이상 15℃/분 이하로 강온할 수 있는 구성으로 하는 것이 바람직하다.
- [0106] 상술한 바와 같이 가열 처리함으로써 이후 형성되는 트랜지스터의 신뢰성을 높일 수 있다.
- [0107] 다음에, 제 2 산화물 반도체막 및 제 2 n형 산화물 반도체막 위에 레지스트 마스크(도시하지 않음)를 포토리소그래피 공정에 의하여 형성하고, 에칭 고정에 의하여 섬 형상의 제 2 산화물 반도체층(431) 및 제 2 n형 산화물 반도체층(434)으로 가공한다(도 5(B) 참조).
- [0108] 또한, 여기서는 가열 처리를 행한 후에 산화물 반도체막의 가공을 행하지만, 산화물 반도체막의 가공을 행한 후에 가열 처리를 행하여도 좋다.
- [0109] 다음에, 상기 레지스트 마스크를 제거한 후, 제 2 n형 산화물 반도체층(434) 위에 도전막을 형성한다.
- [0110] 도전막의 재료로서는, 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소, 이들 금속 원소를 주성분으로 하는 합금, 또는 이들 금속 원소를 조합한 합금 등을 들 수 있다.
- [0111] 또한, 상기 도전막을 형성한 후에 가열 처리를 행하는 경우에는, 적어도 이 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 도전막을 사용한다.
- [0112] 다음에, 포토리소그래피 공정을 행하여 도전막 위에 레지스트 마스크를 형성하고, 상기 도전막을 에칭하여 소스 전극층 및 드레인 전극층(405)을 형성한다. 또한, 같은 레지스트 마스크를 사용하여 소스 전극층 및 드레인 전극층(405)으로 형성된 소스 전극과 드레인 전극 사이에 끼워진 영역(백 채널부)의 제 2 n형 산화물 반도체층(434)을 에칭하여 소스 영역 및 드레인 영역이 되는 제 2 n형 산화물 반도체층(437)을 형성한다(도 5(C) 참조). 또한, 제 2 산화물 반도체층(431)은 일부분만이 에칭되어 홈부(오목부)를 갖는 제 3 산화물 반도체층(432)이 된다.
- [0113] 다음에, 제 3 산화물 반도체층(432)에 접촉되도록 산화실리콘 또는 질화산화실리콘 등의 산소를 함유한 무기 절연막을 사용하여 제 1 보호 절연층(407)을 형성한다. 여기서는, 실시형태 1과 마찬가지로 제 1 보호 절연층(407)으로서 스퍼터링법을 사용하여 막 두께 300nm의 산화실리콘막을 형성한다.
- [0114] 스퍼터링법 또는 플라즈마 CVD법 등에 의하여, 저저항화된 제 3 산화물 반도체층(432)에 접촉되어 제 1 보호 절연층(407)을 산화실리콘으로 형성하면, 저저항화된 제 3 산화물 반도체층(432)에 있어서, 적어도 제 1 보호 절

연층(407)과 접촉된 영역을 고저항화(캐리어 농도가 낮아짐, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  미만)하여 고저항화 산화물 반도체 영역을 형성할 수 있다.

- [0115] 트랜지스터의 제작 프로세스 중, 불활성 기체 분위기하(또는 감압하)에서의 가열, 서냉 및 절연성 산화물의 형성 등에 의하여 제 3 산화물 반도체층(432)의 캐리어 농도를 증감시키는 것이 중요하다. 제 3 산화물 반도체층(432)은 고저항화 산화물 반도체 영역을 갖는 산화물 반도체층(403)이 된다(도 5(D) 참조).
- [0116] 또한, 제 1 보호 절연층(407)을 형성한 후의 공정은 실시형태 1과 동일하다. 즉, 제 1 보호 절연층(407) 위에 제 2 게이트 전극층(409)을 형성한다.
- [0117] 또한, 제 2 게이트 전극층(409) 위에 수지층을 형성하여도 좋다. 제 2 게이트 전극층(409) 위에 수지층을 형성하면, 트랜지스터(472)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.
- [0118] 그리고, 질소 분위기하 또는 대기 분위기하(대기 중)에 있어서, 트랜지스터(472)에 가열 처리를 행하여도 좋다. 가열 처리는 바람직하게는 온도  $300^\circ\text{C}$  이하로 행하고, 제 1 보호 절연층(407)이 되는 절연막을 형성한 후라면 언제 행하여도 좋다. 예를 들어, 질소 분위기하에서  $350^\circ\text{C}$ , 1시간의 가열 처리를 행한다. 상기 가열 처리를 행하면, 트랜지스터(472)의 전기적 특성의 편차를 경감할 수 있다.
- [0119] 상술한 공정을 거침으로써 도 4(A)에 도시한 트랜지스터(472)를 얻을 수 있다. 또한, 트랜지스터(472)에서는 제 1 보호 절연층(407)이 제 2 게이트 절연층으로서 기능한다.
- [0120] 도 4(B)는 제 1 게이트 전극층(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, n형 산화물 반도체층(404)과, 소스 전극층 및 드레인 전극층(405)을 덮는 제 1 보호 절연층(407)과 제 2 게이트 전극층(409) 사이에 수지층(408)을 형성한 형태를 도시한 것이다.
- [0121] 도 4(B)에 도시한 트랜지스터(472B)는 도 4(A)와 일부분만이 상이하다. 도 4(B)에서는 도 4(A)와 상이한 부분 외는 동일 부호를 사용하여 설명한다.
- [0122] 수지층(408)은 제 1 보호 절연층(407)을 사이에 두고 소스 전극층 및 드레인 전극층(405)과, 두께가 얇은 영역을 갖는 산화물 반도체층(403)을 덮는다. 수지층(408)은, 예를 들어,  $0.5 \mu\text{m}$  내지  $3 \mu\text{m}$ 의 두께를 갖는 감광성 또는 비감광성의 유기 재료를 사용하여 형성할 수 있고, 감광성 또는 비감광성의 유기 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐, 또는 이들을 적층하여 형성한 것 등을 들 수 있다. 여기서는, 수지층(408)으로서 감광성의 폴리이미드를 도포법에 의하여 형성한다. 폴리이미드를 전체 면에 도포한 후에 노광, 현상 및 소성을 행하여 표면이 평탄하고 두께가  $1.5 \mu\text{m}$ 인 폴리이미드로 이루어진 수지층(408)을 형성한다.
- [0123] 수지층(408)을 형성함으로써, 트랜지스터(472B)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.
- [0124] 또한, 도 4(A)에 도시된 바와 같이, 제 2 게이트 전극층(409)의 폭을 제 1 게이트 전극층(401)의 폭 및 산화물 반도체층(403)의 폭보다 넓게 함으로써 제 2 게이트 전극층(409)에 의하여 산화물 반도체층(403)을 차광할 수 있다. 제 2 게이트 전극층(409)으로부터 산화물 반도체층(403) 전체에 게이트 전압을 인가할 수 있다.
- [0125] 또한, 도 4(A)에 도시한 구조나 도 4(B)에 도시한 구조에 있어서도, 제 1 보호 절연층(407)과 수지층(408)을 적층한 부분이 얇은 경우에는 제 2 게이트 전극층(409)과 소스 전극층 및 드레인 전극층(405) 사이의 기생 용량이 문제가 될 경우가 있다. 기생 용량이 문제가 될 경우에는, 제 2 게이트 전극층(409)의 폭을 좁게 하여 제 2 게이트 전극층(409)과 소스 전극층 및 드레인 전극층(405)이 중첩되는 면적을 축소하는 것이 바람직하다. 중첩되는 면적을 축소하면 기생 용량을 작게 할 수 있다.
- [0126] 또한, 수지층(408)과 제 1 보호 절연층(407)을 적층한 부분이 충분히 두껍고, 기생 용량이 문제가 되지 않을 경우에는 제 2 게이트 전극을 구동 회로의 복수의 트랜지스터를 덮는 공통의 게이트 전극으로 하고, 제 2 게이트 전극의 면적을 구동 회로와 거의 같은 크기, 또는 그 크기 이상으로 하여도 좋다.
- [0127] 또한, 상기 설명에서는 2계조의 포토마스크를 포토리소그래피 공정에 사용하는 예를 제시하였지만, 다계조 마스크를 사용하여 형성한 복수(예를 들어, 2계조의 포토마스크를 사용하는 경우의 2종류)의 두께가 상이한 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 줄일 수 있고, 공정의 간략화 및 저비용화가 가능하게 된다.
- [0128] 다계조 마스크를 사용하는 경우에는, 2종류가 적층된 산화물 반도체막과, 도전막을 적층하여 형성한 후, 복수의 막 두께가 상이한 영역을 갖는 레지스트 마스크를 도전막 위에 형성하고, 그 레지스트 마스크를 사용하여 두께

가 얇은 영역을 갖는 산화물 반도체층과, 소스 전극층 및 드레인 전극층을 형성한다. 이 경우에는, 소스 전극층 및 드레인 전극층의 단부와 산화물 반도체층의 단부가 대략 일치하고, 산화물 반도체층의 측면이 노출된다. 따라서, 제 1 보호 절연층(407)을 형성하는 경우에는, 산화물 반도체층은 소스 전극층 및 드레인 전극층과 중첩되지 않은 영역(얇은 영역)과 측면의 양쪽 모두가 제 1 보호 절연층(407)과 접촉되는 구성이 된다.

[0129] 본 실시형태의 트랜지스터가 갖는 채널 형성 영역의 반도체층은 고저항화 영역이므로, 트랜지스터의 전기적 특성은 안정적이고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기적 특성은 양호하고 신뢰성이 좋은 트랜지스터를 갖는 반도체 장치(표시 장치)로 할 수 있다.

[0130] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0131] (실시형태 3)

[0132] 본 실시형태는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터이고 실시형태 1 및 실시형태 2와 상이한 트랜지스터 및 그 제작 방법에 대하여 설명한다. 본 발명의 일 형태인 표시 장치에 있어서, 적어도 구동 회로부에 본 실시형태의 트랜지스터를 적용한다.

[0133] 도 6(A) 및 도 6(B)는 본 발명의 일 형태인 트랜지스터의 단면도를 도시한다. 트랜지스터(473)는 보텀 게이트형 트랜지스터이고, 기판(400) 위에 형성된 제 1 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층 및 드레인 전극층(405: 소스 전극(405a) 및 드레인 전극(405b)), 채널 보호층(406)을 갖는다. 또한, 채널 보호층(406)에 접촉되어, 제 1 게이트 전극층(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, 소스 전극층 및 드레인 전극층(405)을 덮는 제 1 보호 절연층(407)과, 제 1 보호 절연층(407) 위에 산화물 반도체층(403)과 중첩된 제 2 게이트 전극층(409)이 형성된다. 즉, 본 실시형태에서 설명하는 트랜지스터(473)는 채널 스톱형이다.

[0134] 우선, 도 7(A) 내지 도 7(D)를 사용하여 도 6(A)에 도시한 트랜지스터(473)의 제작 방법의 일례를 도시한다.

[0135] 또한, 절연 표면을 갖는 기판(400) 위에 제 1 게이트 전극층(401)을 형성하고, 제 1 게이트 전극층(401)을 덮는 게이트 절연층(402)을 형성하고, 산화물 반도체막을 형성하는 공정까지는 실시형태 1과 동일하므로, 여기서는 자세한 설명은 생략하고, 도 2(A)와 같은 개소는 동일 부호를 사용하여 설명한다.

[0136] 게이트 절연층(402) 위에 제 1 산화물 반도체막을 실시형태 1과 마찬가지로 형성한다.

[0137] 다음에, 포토리소그래피 공정을 행하여 제 1 산화물 반도체막 위에 레지스트 마스크를 형성하고, 제 1 산화물 반도체막을 에칭하여 섬 형상의 제 1 산화물 반도체층(430)을 형성한다. 또한, 여기서의 에칭은 웨트 에칭에 한정되지 않고, 드라이 에칭을 사용하여도 좋다(도 7(A) 참조).

[0138] 다음에, 실시형태 1과 마찬가지로, 제 1 산화물 반도체층(430)의 가열 처리를 행한다. 제 1 산화물 반도체층(430)은 불활성 가스 분위기하 또는 감압하에서의 가열 처리 및 서냉에 의하여 저저항화(캐리어 농도가 높아짐, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상)되어 저저항화된 제 2 산화물 반도체층(431)이 된다.

[0139] 제 1 산화물 반도체층(430)의 가열 처리는 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등의 희 가스)하 또는 감압하에서 행한다. 제 1 산화물 반도체층(430)에 대하여 상기 분위기하에서 가열 처리를 행함으로써 제 1 산화물 반도체층(430)에 함유된 수소 및 물 등의 불순물을 제거할 수 있다.

[0140] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물, 수소 등의 불순물이 함유되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%), 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0141] 본 실시형태에서는 전기로는 0.1℃/분 이상 20℃/분 이하로 승온할 수 있는 구성으로 하고, 챔버 내를 질소 또는 희 가스 분위기로 하고, 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 하고, 가열된 챔버에 있어서, 기판 위에 형성된 제 1 산화물 반도체층(430)을 가열한다. 또는, 배기 수단에 의하여 감압하에서 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 하고, 기판 위에 형성된 제 1 산화물 반도체층(430)을 가열하여 제 2 산화물 반도체층(431)을 형성한다.

[0142] 가열 처리 후, 전기로의 히터를 오프 상태로 하고, 챔버를 서냉(서서히 냉각)한다. 또한, 전기로는 0.1℃/분

이상 15℃/분 이하로 강온할 수 있는 구성으로 하는 것이 바람직하다.

- [0143] 상술한 바와 같이 가열 처리함으로써 이후 형성되는 트랜지스터의 신뢰성을 높일 수 있다.
- [0144] 다음에, 제 2 산화물 반도체층(431)에 접촉되어 채널 보호층이 되는 절연막을 형성한다. 제 2 산화물 반도체층에 접촉되어 형성되는 채널 보호층이 되는 절연막은 수분, 수소 이온 및  $\text{OH}^-$  등이 저감되고, 이들이 외부로부터 침입하는 것을 블록하고 산소를 함유한 절연성 무기 재료를 사용하여 형성한다. 구체적으로는, 산화실리콘, 산화질화실리콘, 또는 질화산화실리콘을 사용하여 형성한다. 즉, 채널 보호층이 되는 절연막은 실시형태 1에서 설명한 제 1 보호 절연층(407)과 같은 방법으로 형성하면 좋다.
- [0145] 본 실시형태에서는 채널 보호층이 되는 절연막으로서 스퍼터링법을 사용하여 두께 300nm의 산화실리콘막을 형성한다. 산화실리콘막을 형성할 때의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 여기서는, 100℃로 한다. 산화실리콘막은 스퍼터링법에 의하여 희 가스(예를 들어, 아르곤) 분위기하, 산소 분위기하, 또는 희 가스(예를 들어, 아르곤)와 산소의 혼합 가스 분위기하에서 형성할 수 있다. 또한, 타겟으로서 산화실리콘 타겟을 사용하여도 좋고, 실리콘 타겟을 사용하여도 좋다. 예를 들어, 실리콘 타겟을 사용하여 산소를 함유한 분위기하에서 스퍼터링법에 의하여 산화실리콘막을 형성할 수 있다.
- [0146] 스퍼터링법 또는 플라즈마 CVD법 등에 의하여, 제 2 산화물 반도체층(431)에 접촉되어 채널 보호층이 되는 절연막을 산화실리콘으로 형성하면, 저저항화된 제 2 산화물 반도체층(431)에 있어서 적어도 채널 보호층이 되는 절연막과 접촉된 영역을 고저항화(캐리어 농도가 낮아짐, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만)하여 고저항화 산화물 반도체 영역을 형성할 수 있다.
- [0147] 트랜지스터의 제작 프로세스 중에 있어서, 불활성 기체 분위기하(또는 감압하)에서의 가열, 서냉 및 절연성 산화물의 형성 등에 의하여 산화물 반도체층의 캐리어 농도를 증감시키는 것이 중요하다. 제 2 산화물 반도체층(431)은 고저항화 산화물 반도체 영역을 갖는 산화물 반도체층(403)이 된다.
- [0148] 다음에, 포토리소그래피 공정을 행하여 채널 보호층이 되는 절연막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 채널 보호층(406)을 형성한다. 또한, 제 1 게이트 전극층(401)은 채널 보호층(406)의 폭(채널 길이 방향의 길이)보다 넓은 것이 바람직하다(도 7(B) 참조).
- [0149] 다음에, 레지스트 마스크를 제거한 후, 제 2 산화물 반도체층(431) 및 채널 보호층(406) 위에 도전막을 형성한다.
- [0150] 도전막의 재료로서는, 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소, 이들 금속 원소를 주성분으로 하는 합금, 또는 이들 금속 원소를 조합한 합금 등을 들 수 있다.
- [0151] 또한, 상기 도전막을 형성한 후에 가열 처리를 행하는 경우에는 적어도 이 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 도전막을 사용한다.
- [0152] 다음에, 포토리소그래피 공정을 행하여 도전막 위에 레지스트 마스크를 형성하고, 상기 도전막을 에칭하여 소스 전극층 및 드레인 전극층(405: 소스 전극(405a) 및 드레인 전극(405b))을 형성한다. 이 에칭에 있어서, 채널 보호층(406)은 산화물 반도체층(403)의 에칭 스톱퍼로서 기능하기 때문에 산화물 반도체층(403)은 에칭되지 않는다.
- [0153] 산화물 반도체층(403)의 채널 형성 영역 위에 접촉되어 채널 보호층(406)을 형성하는 구조이기 때문에, 산화물 반도체층(403)의 채널 형성 영역에 대한 공정시의 대미지(에칭시의 플라즈마나 에칭제로 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 트랜지스터(473)의 신뢰성을 향상시킬 수 있다.
- [0154] 다음에, 소스 전극층 및 드레인 전극층(405) 및 채널 보호층(406) 위에 제 1 보호 절연층(407)을 형성한다. 제 1 보호 절연층(407)은 수분, 수소 이온 및  $\text{OH}^-$  등이 저감되고, 이들이 외부로부터 침입하는 것을 블록하고, 산소를 함유한 절연성 무기 재료를 사용하여 형성한다. 구체적으로는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화마그네슘, 산화이트륨, 산화하프늄, 산화탄탈을 들 수 있다(도 7(D) 참조).
- [0155] 또한, 제 1 보호 절연층(407)을 형성한 후의 공정은 실시형태 1과 마찬가지로다. 즉, 제 1 보호 절연층(407) 위에 제 2 게이트 전극층(409)을 형성한다.
- [0156] 또한, 제 2 게이트 전극층(409) 위에 수지층을 형성하여도 좋다. 제 2 게이트 전극층(409) 위에 수지층을 형성

하면, 트랜지스터(473)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.

- [0157] 또한, 질소 분위기하 또는 대기 분위기하(대기 중)에 있어서, 트랜지스터(473)에 가열 처리를 행하여도 좋다. 가열 처리는 바람직하게는 온도 300℃ 이하로 행하고, 채널 보호층(406)을 형성한 후라면 언제 행하여도 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 가열 처리를 행한다. 상기 가열 처리를 행하면, 트랜지스터(473)의 전기적 특성의 편차를 경감할 수 있다.
- [0158] 상술한 공정을 거침으로써 도 6(A)에 도시한 트랜지스터(473)를 얻을 수 있다. 또한, 트랜지스터(473)에서는 채널 보호층(406)과 제 1 보호 절연층(407)이 적층된 부분이 제 2 게이트 절연층으로서 기능한다.
- [0159] 도 6(B)에 도시한 트랜지스터(473B)는 도 6(A)와 일부분만이 상이하다. 도 6(B)에서는 도 6(A)와 상이한 부분 외는 동일 부호를 사용하여 설명한다.
- [0160] 도 6(B)는 제 1 게이트 전극층(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, 소스 전극층 및 드레인 전극층(405)을 덮는 제 1 보호 절연층(407)과 제 2 게이트 전극층(409) 사이에 수지층(408)을 형성한 형태를 도시한 것이다.
- [0161] 수지층(408)은 제 1 보호 절연층(407)을 사이에 두고 소스 전극층 및 드레인 전극층(405)과 채널 보호층(406)을 덮는다. 수지층(408)은, 예를 들어, 0.5μm 내지 3μm의 두께를 갖는 감광성 또는 비감광성의 유기 재료에 의하여 형성할 수 있고, 감광성 또는 비감광성의 유기 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로부텐, 또는 이들의 적층하여 형성한 것 등을 들 수 있다. 여기서는, 수지층(408)으로서, 감광성의 폴리이미드를 도포법에 의하여 형성한다. 폴리이미드를 전체 면에 도포한 후에 노광, 현상, 및 소성을 행하여 표면이 평탄하고 두께가 1.5μm인 폴리이미드로 이루어진 수지층(408)을 형성한다.
- [0162] 수지층(408)을 형성함으로써, 트랜지스터(473B)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.
- [0163] 또한, 도 6(A)에 도시된 바와 같이, 제 2 게이트 전극층(409)의 폭을 제 1 게이트 전극층(401)의 폭 및 산화물 반도체층(403)의 폭보다 넓게 함으로써, 제 2 게이트 전극층(409)으로부터 산화물 반도체층(403) 전체에 게이트 전압을 인가할 수 있다.
- [0164] 또한, 도 6(A)에 도시한 구조나 도 6(B)에 도시한 구조에 있어서도, 채널 보호층(406), 제 1 보호 절연층(407) 및 수지층(408)을 적층한 부분이 얇은 경우에는 제 2 게이트 전극층(409)과 소스 전극층 및 드레인 전극층(405) 사이의 기생 용량이 문제가 될 경우가 있다. 기생 용량이 문제가 될 경우에는, 제 2 게이트 전극층(409)의 폭을 제 1 게이트 전극층(401)의 폭보다 좁게 함으로써 제 2 게이트 전극층(409)과 소스 전극층 및 드레인 전극층(405)이 중첩되는 면적을 축소하는 것이 바람직하다. 중첩되는 면적을 축소하면 기생 용량을 작게 할 수 있다. 또한, 제 1 게이트 전극층(401)의 폭을 채널 보호층(406)의 폭보다 좁게 하고, 제 2 게이트 전극층(409)의 폭을 채널 보호층(406)의 폭보다 좁게 함으로써 소스 전극층 및 드레인 전극층(405)과 중첩되지 않도록 하여 기생 용량을 더 저감한 구성으로 하여도 좋다.
- [0165] 또한, 수지층(408)과 제 1 보호 절연층(407)을 적층한 부분이 충분히 두껍고, 기생 용량이 문제가 되지 않을 경우에는 제 2 게이트 전극을 구동 회로의 복수의 트랜지스터를 덮는 공통의 게이트 전극으로 하고, 제 2 게이트 전극의 면적을 구동 회로와 거의 같은 크기, 또는 그 크기 이상으로 하여도 좋다.
- [0166] 본 실시형태의 트랜지스터가 갖는 채널 형성 영역의 반도체층은 고저항화 영역이므로, 트랜지스터의 전기적 특성은 안정적이고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기적 특성은 양호하고 신뢰성이 좋은 트랜지스터를 갖는 반도체 장치(표시 장치)로 할 수 있다.
- [0167] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0168] (실시형태 4)
- [0169] 본 실시형태는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터이고 실시형태 1 내지 실시형태 3과 상이한 트랜지스터 및 그 제작 방법에 대하여 설명한다. 본 발명의 일 형태인 표시 장치에 있어서, 적어도 구동 회로부에 본 실시형태의 트랜지스터를 적용한다.
- [0170] 도 8(A) 및 도 8(B)는 본 발명의 일 형태인 트랜지스터의 단면도를 도시한 것이다. 트랜지스터(474)는 보텀 게이트형 트랜지스터이고, 기판(400) 위에 형성된 제 1 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체

층(403), n형 산화물 반도체층(404a, 404b), 소스 전극층 및 드레인 전극층(405: 소스 전극(405a) 및 드레인 전극(405b)), 채널 보호층(406)을 갖는다. 또한, 채널 보호층(406)에 접촉되어 이들을 덮는 제 1 보호 절연층(407)과, 제 1 보호 절연층(407) 위에 형성되고 산화물 반도체층(403)과 중첩된 제 2 게이트 전극층(409)이 형성된다. 즉, 본 실시형태에서 설명하는 트랜지스터(474)는 채널 스톱형이다.

[0171] 우선, 도 9(A) 내지 도 9(D)를 사용하여 도 8(A)에 도시한 트랜지스터(474)의 제작 방법의 일례를 도시한다.

[0172] 또한, 절연 표면을 갖는 기판(400) 위에 제 1 게이트 전극층(401)을 형성하고, 제 1 게이트 전극층(401)을 덮는 게이트 절연층(402)을 형성하고, 산화물 반도체막을 형성하는 공정까지는 실시형태 3과 동일하므로, 여기서는 자세한 설명은 생략하고, 도 7(A)와 같은 개소는 동일 부호를 사용하여 설명한다.

[0173] 게이트 절연층(402) 위에 제 1 산화물 반도체막(433)을 실시형태 1과 마찬가지로 형성한다.

[0174] 다음에, 실시형태 1과 마찬가지로, 제 1 산화물 반도체층(433)의 가열 처리를 행한다. 제 1 산화물 반도체막(433)은 불활성 가스 분위기하 또는 감압하에서의 가열 처리 및 서냉에 의하여 저저항화(캐리어 농도가 높아짐, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상)되어 저저항화된 제 2 산화물 반도체막이 된다.

[0175] 제 1 산화물 반도체층(433)의 가열 처리는 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등의 희 가스)하 또는 감압하에서 행한다. 제 1 산화물 반도체막(433)에 대하여 상기 분위기하에서 가열 처리를 행함으로써 제 1 산화물 반도체막(433)에 함유된 수소 및 물 등의 불순물을 제거할 수 있다.

[0176] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물, 수소 등의 불순물이 함유되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0177] 본 실시형태에서는 전기로는 0.1℃/분 이상 20℃/분 이하로 승온할 수 있는 구성으로 하고, 챔버 내를 질소 또는 희 가스 분위기로 하고, 200℃ 이상 600℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 하고, 가열된 챔버에 있어서, 기판 위에 형성된 제 1 산화물 반도체막(433)을 가열한다.

[0178] 가열 처리 후, 전기로의 히터를 오프 상태로 하고, 챔버를 서냉(서서히 냉각)한다. 또한, 전기로는 0.1℃/분 이상 15℃/분 이하로 강온할 수 있는 구성으로 하는 것이 바람직하다.

[0179] 상술한 바와 같이 가열 처리함으로써 이후 형성되는 트랜지스터의 신뢰성을 높일 수 있다.

[0180] 다음에, 제 2 산화물 반도체막에 접촉되어 채널 보호층이 되는 절연막을 형성한다. 제 2 산화물 반도체막에 접촉되어 형성되는 채널 보호층이 되는 절연막은 수분, 수소 이온 및  $\text{OH}^-$  등이 저감되고, 이들이 외부로부터 침입하는 것을 블록하고, 산소를 함유한 절연성 무기 재료를 사용하여 형성한다. 구체적으로는, 산화실리콘막 또는 질화산화실리콘막을 사용한다.

[0181] 본 실시형태에서는 채널 보호층이 되는 절연막으로서 스퍼터링법을 사용하여 두께 300nm의 산화실리콘막을 형성한다. 형성할 때의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 여기서는, 100℃로 한다. 산화실리콘막은 스퍼터링법에 의하여 희 가스(예를 들어, 아르곤) 분위기하, 산소 분위기하, 또는 희 가스(예를 들어, 아르곤)와 산소의 혼합 가스 분위기하에서 형성할 수 있다. 또한, 타겟으로서 산화실리콘 타겟을 사용하여도 좋고, 실리콘 타겟을 사용하여도 좋다. 예를 들어, 실리콘 타겟을 사용하여 산소를 함유한 분위기하에서 스퍼터링법에 의하여 산화실리콘막을 형성할 수 있다.

[0182] 스퍼터링법 또는 플라즈마 CVD법 등에 의하여, 제 2 산화물 반도체막에 접촉되어 채널 보호층이 되는 절연막을 산화실리콘으로 형성하면, 저저항화된 제 2 산화물 반도체막에 있어서 적어도 채널 보호층이 되는 절연막과 접촉된 영역을 고저항화(캐리어 농도가 낮아짐, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  미만)하여 고저항화 산화물 반도체 영역을 형성할 수 있다.

[0183] 트랜지스터의 제작 프로세스 중에 있어서, 불활성 기체 분위기하(또는 감압하)에서의 가열, 서냉 및 절연성 산화물의 형성 등에 의하여 산화물 반도체층의 캐리어 농도를 증감시키는 것이 중요하다. 제 2 산화물 반도체막은 고저항화 산화물 반도체 영역을 갖는 제 3 산화물 반도체막이 된다.

[0184] 다음에, 포토리소그래피 공정을 행하여 채널 보호층이 되는 절연막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 채널 보호층(406)을 형성한다. 또한, 제 1 게이트 전극층(401)은 채널 보호

층(406)의 폭(채널 길이 방향의 길이)보다 넓은 것이 바람직하다.

- [0185] 다음에, 제 3 산화물 반도체막 및 채널 보호층(406) 위에 소스 영역 또는 드레인 영역으로서 기능하는 n형 산화물 반도체막을 형성한다. n형 산화물 반도체막으로서는, 제 3 산화물 반도체막보다 저항이 낮은 산화물 반도체막이 되는 막을 사용할 수 있다.
- [0186] n형 산화물 반도체막은, 예를 들어, 질소 가스를 함유한 분위기 중에서 스퍼터링법에 의하여 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 금속 산화물( $\text{In}_2\text{O}_3$ :  $\text{Ga}_2\text{O}_3$ :  $\text{ZnO}$ =1:1:1)을 사용하여 얻은 인듐, 갈륨, 및 아연을 함유한 산화질화물막이나, Al-Zn-O계 비단결정막이나, 질소를 함유시킨 Al-Zn-O계 비단결정막, 즉, Al-Zn-O-N계 비단결정막(AZON막이라고 부름)을 사용하여도 좋다.
- [0187] 또한, 본 실시형태에서 사용하는 In-Ga-Zn-O계 비단결정막은 비정질, 미결정, 다결정 중 어느 것이라도 좋다. 또는, 이것에 한정되지 않고, 단결정이라도 좋다. 이들 형성 조건이나 타깃의 조성비를 변화시킴으로써 제 3 산화물 반도체막과 n형 산화물 반도체막(440)의 결정 상태는 변화된다.
- [0188] 따라서, 산화물 반도체막의 형성 조건이나 타깃의 조성비에 따라, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체막과, 채널 영역을 형성하는 제 3 산화물 반도체막의 결정 상태는 상이하여도 좋다. 예를 들어, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체막이 미결정을 포함하고, 제 3 산화물 반도체막이 비정질이라도 좋고, 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체막이 비정질이고, 제 3 산화물 반도체막이 미결정을 포함하여도 좋다.
- [0189] 다음에, 포토리소그래피 공정을 행하여 n형 산화물 반도체막 위에 레지스트 마스크를 형성하고, n형 산화물 반도체막과 제 3 산화물 반도체막의 불필요한 부분을 제거함으로써, 산화물 반도체층(403)을 형성한다(도 9(B) 참조).
- [0190] 또한, 상기 설명에 한정되지 않고, 채널 보호층이 되는 절연막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 채널 보호층이 되는 절연막과 제 3 산화물 반도체막의 불필요한 부분을 제거하고, 상기 레지스트 마스크를 축소하고, 에칭에 의하여 채널 보호층이 되는 절연막의 불필요한 부분을 더 제거하여 채널 보호층(406)을 형성하여도 좋다. 이 경우에는, 채널 보호층이 되는 절연막 위에 제일 먼저 형성하는 레지스트 마스크는 다계조 마스크에 의하여 형성된 두께가 상이한 복수의 영역을 갖는 레지스트 마스크인 것이 바람직하다.
- [0191] 다음에, 레지스트 마스크를 제거한 후, n형 산화물 반도체막 위에 도전막을 형성한다.
- [0192] 도전막의 재료로서는, 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소, 이들 금속 원소를 주성분으로 하는 합금, 또는 이들 금속 원소를 조합한 합금 등을 들 수 있다.
- [0193] 또한, 상기 도전막을 형성한 후에 가열 처리를 행하는 경우에는 적어도 이 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 도전막을 사용한다.
- [0194] 다음에, 포토리소그래피 공정을 행하여 도전막 위에 레지스트 마스크를 형성하고, 상기 도전막을 에칭하여 소스 전극층 및 드레인 전극층(405)을 형성한다.
- [0195] 그리고, 같은 레지스트 마스크를 사용하여 n형 산화물 반도체막의 소스 전극층 및 드레인 전극층(405)으로 형성된 소스 전극과 드레인 전극 사이에 끼워진 영역을 에칭에 의하여 제거하여 소스 영역 및 드레인 영역이 되는 n형 산화물 반도체층(404)을 형성한다.
- [0196] 산화물 반도체층(403)과 소스 전극층 및 드레인 전극층(405) 사이에 저항이 낮은 n형 산화물 반도체층(404)을 형성함으로써, 금속 배선만인 경우와 비교하여 트랜지스터(474)를 안정적으로 동작시킬 수 있다.
- [0197] 또한, 이 에칭에 있어서, 채널 보호층(406)은 산화물 반도체층(403)의 에칭 스톱퍼로서 기능하기 때문에, 산화물 반도체층(403)은 에칭되지 않는다. 채널 보호층(406)은 산화물 반도체층(403)의 채널 형성 영역에 대한 공정시의 대미지(에칭시의 플라즈마나 에칭제로 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 트랜지스터(474)의 신뢰성을 향상시킬 수 있다(도 9(C) 참조).
- [0198] 다음에, 소스 전극층 및 드레인 전극층(405) 및 채널 보호층(406) 위에 제 1 보호 절연층(407)을 형성한다(도 9(D) 참조). 제 1 보호 절연층(407)은 수분, 수소 이온, 및  $\text{OH}^-$  등이 저감되고, 이들이 외부로부터 침입하는 것을 블록하고 산소를 함유한 절연성 무기 재료를 사용하여 형성한다. 구체적으로는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화마그네슘, 산화이트륨, 산화하프늄, 산화탄

탈을 들 수 있다.

- [0199] 또한, 제 1 보호 절연층(407)을 형성한 후의 공정은 실시형태 1과 동일하다. 즉, 제 1 보호 절연층(407) 위에 제 2 게이트 전극층(409)을 형성한다.
- [0200] 또한, 제 2 게이트 전극층(409) 위에 수지층을 형성하여도 좋다. 제 2 게이트 전극층(409) 위에 수지층을 형성하면, 트랜지스터(474)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.
- [0201] 또한, 질소 분위기하 또는 대기 분위기하(대기 중)에 있어서, 트랜지스터(474)에 가열 처리를 행하여도 좋다. 가열 처리는 바람직하게는 온도 300℃ 이하로 행하고, 채널 보호층(406)을 형성한 후라면 언제 행하여도 좋다. 예를 들어, 질소 분위기하에서 350℃, 1시간의 가열 처리를 행한다. 상기 가열 처리를 행하면, 트랜지스터(474)의 전기적 특성의 편차를 경감할 수 있다.
- [0202] 상술한 공정을 거침으로써 도 8(A)에 도시한 트랜지스터(474)를 얻을 수 있다. 또한, 트랜지스터(474)에서는 채널 보호층(406)과 제 1 보호 절연층(407)이 적층된 부분이 제 2 게이트 절연층으로서 기능한다.
- [0203] 도 8(B)에 도시한 트랜지스터(474B)는 도 8(A)와 일부분만이 상이하다. 도 8(B)에서는 도 8(A)와 상이한 부분 외는 동일 부호를 사용하여 설명한다.
- [0204] 도 8(B)는 제 1 게이트 전극층(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, n형 산화물 반도체층(404)과, 소스 전극층 및 드레인 전극층(405)을 덮는 제 1 보호 절연층(407)과 제 2 게이트 전극층(409) 사이에 수지층(408)을 형성한 형태를 도시한 것이다.
- [0205] 수지층(408)은 제 1 보호 절연층(407)을 사이에 두고 소스 전극층 및 드레인 전극층(405)과 채널 보호층(406)을 덮는다. 수지층(408)은, 예를 들어, 0.5μm 내지 3μm의 두께를 갖는 감광성 또는 비감광성의 유기 재료에 의하여 형성할 수 있고, 감광성 또는 비감광성의 유기 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로부텐, 또는 이들을 적층하여 형성한 것 등을 들 수 있다. 여기서는, 수지층(408)으로서, 감광성의 폴리이미드를 도포법에 의하여 형성한다. 폴리이미드를 전체 면에 도포한 후에 노광, 현상 및 소성을 행하여 표면이 평탄하고 두께가 1.5μm인 폴리이미드로 이루어진 수지층(408)을 형성한다.
- [0206] 수지층(408)을 형성함으로써, 트랜지스터(474B)의 구조로 인하여 생기는 요철을 완화하여 평탄하게 할 수 있다.
- [0207] 또한, 도 8(A)에 도시된 바와 같이, 제 2 게이트 전극층(409)의 폭을 제 1 게이트 전극층(401)의 폭 및 산화물 반도체층(403)의 폭보다 넓게 함으로써, 제 2 게이트 전극층(409)으로부터 산화물 반도체층(403) 전체에 게이트 전압을 인가할 수 있다.
- [0208] 또한, 도 8(A)에 도시한 구조나 도 8(B)에 도시한 구조에 있어서도, 채널 보호층(406), 제 1 보호 절연층(407), 및 수지층(408)을 적층한 부분이 얇은 경우에는 제 2 게이트 전극층(409)과 소스 전극층 및 드레인 전극층(405) 사이의 기생 용량이 문제가 될 경우가 있다. 기생 용량이 문제가 될 경우에는, 제 2 게이트 전극층(409)의 폭을 제 1 게이트 전극층(401)의 폭보다 좁게 하여 소스 전극층 및 드레인 전극층(405)과 중첩되는 면적을 축소하는 것이 바람직하다. 중첩되는 면적을 축소하면 기생 용량을 작게 할 수 있다. 또한, 제 1 게이트 전극층(401)의 폭을 채널 보호층(406)의 폭보다 좁게 하고 제 2 게이트 전극층(409)의 폭을 채널 보호층(406)의 폭보다 좁게 함으로써 소스 전극층 및 드레인 전극층과 중첩되지 않도록 하여 기생 용량을 더 저감한 구성으로 하여도 좋다.
- [0209] 또한, 수지층(408)과 제 1 보호 절연층(407)을 적층한 부분이 충분히 두껍고, 기생 용량이 문제가 되지 않을 경우에는 제 2 게이트 전극을 구동 회로의 복수의 트랜지스터를 덮는 공통의 게이트 전극으로 하고, 제 2 게이트 전극의 면적을 구동 회로와 거의 같은 크기, 또는 그 크기 이상으로 하여도 좋다.
- [0210] 본 실시형태의 트랜지스터가 갖는 채널 형성 영역의 반도체층은 고저항화 영역이므로, 트랜지스터의 전기적 특성은 안정적이고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기적 특성은 양호하고 신뢰성이 좋은 트랜지스터를 갖는 반도체 장치(표시 장치)로 할 수 있다.
- [0211] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0212] (실시형태 5)
- [0213] 본 실시형태는 2개의 n채널형 트랜지스터를 사용한 구동 회로의 인버터 회로의 구성의 일례를 설명한다. 도

10(A)에 도시한 트랜지스터는 실시형태 1의 도 1(A)에 도시한 트랜지스터(471) 등과 동일하므로, 같은 부분에는 같은 부호를 사용하여 설명한다. 또한, n형 산화물 반도체층(14a, 14b)은 실시형태 2의 n형 산화물 반도체층(404)과 마찬가지로, 수지층(17)은 실시형태 1의 수지층(408)과 마찬가지로, 제 1 보호 절연층(18)은 실시형태 1의 제 1 보호 절연층(407)과 마찬가지로, 제 2 게이트 전극(470)은 실시형태 1의 제 2 게이트 전극(409)과 마찬가지로 다.

- [0214] 화소부를 구동하기 위한 구동 회로는 인버터 회로, 용량, 저항 등을 사용하여 구성한다. 2개의 n채널형 트랜지스터를 조합하여 인버터 회로를 형성하는 경우에는, 인헨스먼트형 트랜지스터와 디플리션형 트랜지스터를 조합하여 형성하는 경우(이하, EDMOS 회로라고 함)와, 2개의 인헨스먼트형 트랜지스터로 형성하는 경우(이하, EEMOS 회로라고 함)가 있다.
- [0215] 도 10(A)는 구동 회로의 인버터 회로의 단면 구조를 도시한 것이다. 또한, 도 10(A) 및 도 10(B)에 도시한 트랜지스터(20) 및 제 2 트랜지스터(43)는 역 스테거형 채널 에지형 트랜지스터이고, 산화물 반도체층 위에 소스 영역 또는 드레인 영역을 사이에 두고 배선이 형성되는 트랜지스터의 일례이다.
- [0216] 도 10(A)에 있어서, 기판(10) 위에 제 1 게이트 전극(11) 및 제 3 게이트 전극(42)이 형성된다. 제 1 게이트 전극(11) 및 제 3 게이트 전극(42)의 재료는 폴리브텐, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 또는 적층하여 형성할 수 있다.
- [0217] 제 1 게이트 전극(11) 및 제 3 게이트 전극(42)을 덮는 제 1 게이트 절연층(13) 위에는 산화물 반도체층(16) 및 제 2 산화물 반도체층(47)을 형성한다.
- [0218] 산화물 반도체층(16) 위에는 제 1 단자가 되는 전극층(소스 전극층(15a)), 및 제 2 단자가 되는 전극층(드레인 전극층(15b))을 형성하고, 제 2 단자가 되는 전극층은 제 1 게이트 절연층(13)에 형성된 콘택트 홀(44)을 통하여 제 3 게이트 전극(42)과 직접 접촉한다. 제 2 산화물 반도체층(47) 위에는 제 3 단자(411)가 되는 전극층을 형성한다.
- [0219] 트랜지스터(20)는 제 1 게이트 전극(11)과, 제 1 게이트 전극(11)을 덮어 제 1 게이트 절연층(13)과, 제 1 게이트 절연층(13)을 사이에 두고 제 1 게이트 전극(11)과 중첩되는 산화물 반도체층(16)을 갖고, 제 1 단자가 되는 전극층(소스 전극층(15a))은 음의 전압(VDL)이 인가되는 전원선(음 전원선)이다. 이 전원선은 접지 전위의 전원선(접지 전원선)으로 하여도 좋다. 다만, 인버터 회로에 있어서는, 제 2 단자가 되는 전극층(드레인 전극층(15b))에 접속되는 배선의 전위에 따라서는 제 1 단자가 되는 전극층은 드레인 전극층이 되고, 제 2 단자가 되는 전극층이 소스 전극층이 되는 경우가 있다.
- [0220] 제 2 트랜지스터(43)는 제 3 게이트 전극(42)과, 제 1 게이트 절연층(13)을 사이에 두고 제 3 게이트 전극(42)과 중첩되는 제 2 산화물 반도체층(47)을 갖고, 제 3 단자(411)는 양의 전압(VDH)이 인가되는 전원선(양 전원선)이다. 또한, 인버터 회로에 있어서는, 제 2 단자가 되는 전극층(드레인 전극층(15b))에 접속되는 배선의 전위에 따라서는 제 2 단자가 되는 전극층이 소스 전극층이 되고, 제 3 단자(411)가 되는 전극층이 드레인 전극층이 되는 경우가 있다.
- [0221] 여기서는, 제 2 산화물 반도체층(47)과 드레인 전극층(15b) 사이에는 버퍼층(408a; 소스 영역 또는 드레인 영역이라고도 부름)을 형성하고, 제 2 산화물 반도체층(47)과 제 3 단자(411) 사이에는 버퍼층(408b; 드레인 영역 또는 소스 영역이라고도 부름)을 형성한다.
- [0222] 구동 회로의 인버터 회로의 상면도를 도 10(B)에 도시한다. 도 10(B)에 있어서, 배선 Z1-Z2에서 절단한 단면이 도 10(B)에 상당한다.
- [0223] 트랜지스터(20)를 인헨스먼트형 n채널형 트랜지스터로 하기 때문에, 본 실시형태에서는 산화물 반도체층(16) 위에 제 2 게이트 절연층과, 상기 제 2 게이트 절연층 위에 제 2 게이트 전극(19)을 형성하고, 제 2 게이트 전극(19)에 인가하는 전압에 의하여 트랜지스터(20)의 임계 값 전압을 조정한다.
- [0224] 또한, 도 10(A) 및 도 10(B)에서는 제 2 단자가 되는 전극층(드레인 전극층(15b))은 제 1 게이트 절연층(13)에 형성된 콘택트 홀(44)을 통하여 게이트 전극(42)과 직접 접촉되는 예를 제시하였지만, 특히 한정되지 않고, 접속 전극을 별도 형성하여 제 2 배선이 되는 게이트 전극층(드레인 전극층(15b))과 제 3 게이트 전극(42)을 접속 전극을 통하여 접속시켜도 좋다.

- [0225] 본 실시형태는 실시형태 1 내지 실시형태 4와 자유롭게 조합할 수 있다.
- [0226] (실시형태 6)
- [0227] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여, 블록도, 회로도, 각 신호 등의 전위 변화를 도시한 파형도, 상면도(레이아웃도) 등을 참조하여 설명한다.
- [0228] 도 11(A)는 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도시한 것이다. 도 11(A)에 도시한 액정 표시 장치는 기관(800) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(801)와, 각 화소의 게이트 전극에 접속된 주사선의 전위를 제어하는 주사선 구동 회로(802)와, 선택된 화소으로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(803)를 갖는다. 각 화소에는 도 11(B)에 도시한 트랜지스터(804)가 설치된다. 트랜지스터(804)는 제 1 제어 신호(G1) 및 제 2 제어 신호(G2)에 의하여 In 단자와 Out 단자간의 전기적인 제어를 행하는 소자이다. 또한, 도 11(B)에 도시한 트랜지스터(804)의 심볼은 상기 실시형태 1 내지 실시형태 4 중 어느 하나에서 설명한 트랜지스터에 상당한다.
- [0229] 또한, 여기서는, 주사선 구동 회로(802) 및 신호선 구동 회로(803)를 기관(800) 위에 형성하는 형태를 제시하였지만, 주사선 구동 회로(802)의 일부분을 다른 기관에 형성한 IC 등에 의하여 실장하여도 좋다. 신호선 구동 회로(803)의 일부분을 다른 기관에 형성한 IC 등에 의하여 실장하여도 좋다. 주사선 구동 회로(802)를 기관(800) 위에 복수 형성하여도 좋다.
- [0230] 도 12는 표시 장치를 구성하는, 신호 입력 단자, 주사선, 신호선, 비선형 소자를 포함한 보호 회로 및 화소부의 위치 관계를 설명하는 도면이다. 절연 표면을 갖는 기관(820) 위에는 주사선(823A)과 신호선(824)이 교차하여 배치되고, 화소부(827)가 구성된다. 또한, 화소부(827)는 도 11(A) 및 도 11(B)에 도시한 화소부(801)에 상당한다. 또한, 제어선(823B)를 신호선(824)과 평행으로 배치하여도 좋다.
- [0231] 화소부(827)는 복수의 화소(828)가 매트릭스 형상으로 배열되어 구성된다. 화소(828)는 주사선(823A), 제어선(823B), 및 신호선(824)에 접속된 화소 트랜지스터(829), 유지 용량부(830), 화소 전극(831)을 포함하여 구성된다.
- [0232] 여기서 제시한 화소 구성에 있어서, 유지 용량부(830)의 한쪽의 전극은 화소 트랜지스터(829)와 접속되고, 유지 용량부(830)의 다른 쪽의 전극과 용량선(832)이 접속된다. 화소 전극(831)은 표시 소자(액정 소자, 발광 소자, 콘트라스트 매체(전자 잉크) 등)를 구동하는 한쪽의 전극을 구성한다. 이들 표시 소자의 다른 쪽의 전극(대향 전극이라고도 부름)은 코먼 단자(833)에 접속된다. 코먼 단자로부터는 공통 전위(코먼 전위라고도 부름)가 표시 소자의 대향 전극에 공급된다.
- [0233] 보호 회로(835)는 화소부(827)로부터 연장된 배선과, 신호선 입력 단자(822) 사이에 배치된다. 보호 회로(835)는 주사선 구동 회로(802)와, 화소부(827) 사이에 배치된다. 본 실시형태에서는 복수의 보호 회로로 구성되는 보호 회로(835)를 배치함으로써 주사선(823A), 제어선(823B), 신호선(824), 및 용량선(832)에 정전기 등에 의하여 서지 전압이 인가된 경우에 화소 트랜지스터(829) 등이 파괴되지 않도록 구성된다. 따라서, 보호 회로(835)에는 서지 전압이 인가되었을 때, 코먼 배선에 전하를 방출할 수 있도록 구성된다.
- [0234] 본 실시형태에서는 신호선 입력 단자(822) 근방에 하나의 배선에 대하여 하나의 보호 회로를 배치하는 예를 제시한다. 다만, 보호 회로(835)의 배치 위치나, 보호 회로(835)의 개수는 이것에 한정되지 않는다.
- [0235] 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 트랜지스터를 화소 트랜지스터(829)에 적용함으로써, 화소 트랜지스터(829)의 임계 값 전압의 조정과 트랜지스터의 온 전류의 증대 중 어느 한쪽 또는 양쪽 모두를 실현할 수 있다.
- [0236] 다음에 도 13(A)는 화소(828)에 공급되는 신호의 전위 변화의 개략을 도시한 파형도를 도시한 것이다. 여기서, 화소(828)의 동작에 대하여 설명한다. 도 13(A)는 임의의 화소의 접속된 주사선(823A), 제어선(823B), 신호선(824), 및 용량선(832)의 각각의 전위에 대한 파형을 도시한 것이다. 도 13(A)는 주사선(823A)의 전위 변화의 개략을 도시한 파형(G1), 제어선(823B)의 전위 변화의 개략을 도시한 파형(G2), 신호선(824)의 전위 변화의 개략을 도시한 파형(D), 및 용량선(832)의 전위 변화를 도시한 파형(COM)에 대하여 이들 시간 변화에 대하여 가로 축을 시간, 세로 축을 전위로 하여 도시한 것이다. 또한, 파형(G1)의 고전원 전위를  $V_1$ 라고 표시하고, 파형(G1)의 저전원 전위를  $V_2$ 라고 표시하고, 파형(G2)의 전위를  $V_c$ 라고 표시하고, 파형(D)의 고전원 전위를  $V_{D1}$ 라고

표시하고, 파형(D)의 저전원 전위를  $V_{D2}$ 라고 표시하고, 파형(COM)의 전위를  $V_{COM}$ 라고 표시한다. 또한, 도 13(A) 및 도 13(B)에 도시된 바와 같이, 파형(G1)이  $V_2$ 로부터  $V_1$ 가 된 순간부터  $V_1$ 이 다시  $V_2$ 가 되고 다시  $V_1$ 이 될 때까지의 기간이 하나의 프레임 기간이다. 도 13(A) 및 도 13(B)에 도시된 바와 같이, 파형(G1)이  $V_2$ 로부터  $V_1$ 가 된 순간부터  $V_1$ 이 다시  $V_2$ 가 될 때까지의 기간이 하나의 게이트 선택 기간이다.

[0237] 도 13(A)에서 하나의 프레임 기간의 하나의 게이트 선택 기간, 즉 주사선(823A)이  $V_1$ 이 되었을 때,  $V_{D1}$ 로부터  $V_{D2}$ 의 범위에 있는 신호선(824)의 전위가 화소(828) 내의 유지 용량부(830)에 유지된다. 또한, 도 13(A)에서 하나의 프레임 기간의 하나의 게이트 선택 기간 외의 기간, 즉 주사선(823A)이  $V_2$ 가 되었을 때,  $V_{D1}$ 로부터  $V_{D2}$ 의 범위에 있는 신호선(824)의 전위에 상관없이 화소(828) 내의 유지 용량부(830)는 하나의 게이트 선택 기간에 입력된 전위를 유지한다. 또한, 제어선(823B)의 전위 변화의 개략을 도시한 파형(G2)은 주사선(823A)에 의한 화소 트랜지스터(829)의 도통 상태 또는 비도통 상태의 제어가 오동작하지 않는 범위로 고정 전위로 하는 것이 바람직하다. 제어선(823B)의 전위( $V_c$ )를  $V_{D2}$  이하, 바람직하게는  $V_2$ 로부터  $V_{D2}$ 의 범위로 함으로써, 주사선(823A)에 의한 화소 트랜지스터(829)의 도통 상태 또는 비도통 상태의 제어가 오동작하지 않도록 할 수 있다.

[0238] 도 13(B)는 일례로서, 신호선(824)의 전위를 일정 기간  $V_{D1}$ 로 고정한 경우의 전위 변화의 개략을 도시한 파형도를 도시한 것이다. 도 13(B)에서 도 13(A)과 상이한 점은 신호선(824)의 전위 변화를 도시한 파형(D)를 구체적으로 도시한 점(도 13(A)에서는  $V_{D1}$ 로부터  $V_{D2}$ 의 범위에 있는 임의의 전위로 함), 화소(828) 내의 유지 용량부(830)에 유지된 전위 변화의 파형( $C_{pix}$ )을 도시한 점에 있다. 도 13(B)에서는 파형(G1)을  $V_1$ 로 하기 전에 파형(D)을  $V_{D2}$ 로부터  $V_{D1}$ 로 하고, 그 후 파형(G1)을  $V_1$ 로 하여 화소(828) 내의 유지 용량부(830)에 유지된 전위, 즉 파형( $C_{pix}$ )의 전위를 상승시킨다(도 13(B)에 도시한 첫 번째의 하나의 게이트 선택 기간 참조). 도 13(B)에서는 파형(G1)을  $V_1$ 로 하기 전에 파형(D)을  $V_{D1}$ 로부터  $V_{D2}$ 로 하고, 그 후 파형(G1)을  $V_1$ 로 하여 화소(828) 내의 유지 용량부(830)의 전위, 즉 파형( $C_{pix}$ )의 전위를 하강시킨다(도 13(B)에 도시한 두 번째의 하나의 게이트 선택 기간 참조). 파형(G1)을  $V_1$ 로 하기 전에 파형(D)을  $V_{D2}$ 로부터  $V_{D1}$ , 또는  $V_{D1}$ 로부터  $V_{D2}$ 로 해 됨으로써, 신호의 지연 등에 의한 오작동을 경감할 수 있다. 또한, 도 13(B) 중, 파형(D)과 파형( $C_{pix}$ )은 같은 전위가 되는 기간이 있지만, 명료화를 위하여 어긋나게 도시한다.

[0239] 도 13(A) 및 도 13(B)에 도시된 바와 같이, 제어선(823B)을 형성함으로써, 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 트랜지스터와 같은 작용 효과를 얻는 것에 추가하여 화소 트랜지스터(829)의 임계 값 전압의 제어를 행할 수 있다. 특히, 제어선(823B)의 파형(G2)을 고정된 전위로 함으로써, 임계 값 전압이 안정된 트랜지스터를 얻을 수 있어 바람직하다.

[0240] 또한, 도 13(A) 및 도 13(B)에 도시한 화소(828)에 공급되는 신호의 전위 변화의 개략을 도시한 파형도는 일례이며, 다른 구동 방법을 조합하여 사용하여도 좋다. 다른 구동 방법의 일례로서는, 일정 기간마다, 하나의 프레임마다, 또는 하나의 화소마다 공통 전극의 공통 전위(코먼 전위)에 대하여 화소 전극에 인가되는 전압의 극성을 반전시키는 구동 방법(즉, 방전 구동)을 사용하여도 좋다. 반전 구동을 행함으로써, 화상의 깜박임(flicker) 등의 표시 불균일 및 표시 소자(예를 들어, 액정 소자)의 열화를 억제할 수 있다. 또한, 반전 구동의 예로서는, 프레임 반전 구동을 비롯하여, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 등을 들 수 있다. 또한, 표시 방식으로서, 프로그래시브 방식, 인터레이스 방식 등을 사용할 수 있다. 화소에 복수의 서브 화소(부화소라고도 함)를 형성한 구성으로 하여도 좋다.

[0241] 도 14는 도 12에 도시한 화소(828)의 레이아웃도의 일례를 도시한다. 도 14에 도시한 트랜지스터는 실시형태 1에 도시한 것과 마찬가지로 채널 에치형이다. 도 14 중의 쇄선 A-B에서 절단한 단면이 도 1(C)의 단면에 상당한다. 또한, 도 14에 도시한 화소의 레이아웃도는 주사선(823A)이 연장되는 방향으로 RGB(R은 적색, G는 녹색, B는 청색)의 3색에 대응한 화소를 나란히 배치한, 소위 스트라이프 배치하는 예에 대하여 제시하였지만, 이것에 한정되지 않고, 델타 배치, 또는 베이어 배치한 레이아웃이라도 좋다. 또한, RGB의 3색에 한정되지 않고, 그 이상이어도 좋고, 예를 들어, RGBW(W는 흰색), 또는, RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것 등을 사용하여도 좋다. 또한, RGB의 각 색 요소의 화소마다 그 표시 영역의 크기가 상이하여도 좋다.

[0242] 도 14의 화소의 회로는 주사선(823A)이 되는 배선 및 용량선(832)의 한쪽의 전극이 되는 배선으로서 기능하는 제 1 도전층(1101), 화소 트랜지스터(829)의 채널 영역을 형성하는 산화물 반도체층(1102), 신호선(824)이 되는

배선 및 용량선(832)의 다른 쪽의 전극이 되는 배선으로서 기능하는 제 2 도전층(1103), 화소 전극(831)이 되는 화소 전극층(1104), 제어선(823B)이 되는 배선으로서 기능하는 제 3 도전층(1105), 및 제 2 도전층(1103)과 화소 전극(831)의 콘택트를 얻기 위한 개구부(1106)(콘택트 구멍이라고도 함)에 대하여 도시한 것이다. 도 14에서는, 제 1 도전층(1101)과 평행으로 형성된 제 3 도전층(1105)이 산화물 반도체층(1102) 위에 연장하여 형성된 구성에 대하여 도시하였지만, 도 15에 도시된 바와 같이 제 1 도전층(1101) 위 및 산화물 반도체층(1102) 위를 덮어 형성한 구성으로 하여도 좋다. 도 15에 도시된 구성으로서, 차광성을 갖는 도전성 재료로 제 3 도전층(1105)을 구성한 경우에는, 도 14의 레이아웃도와 비교하여 제 3 도전층(1105)의 차광성을 더 높일 수 있다.

[0243] 또한, 도 14 등에 도시한 레이아웃도에 있어서, 트랜지스터의 소스 영역 및 드레인 영역의 대향 부분을 U자 형상, 또는 C자 형상으로 하여도 좋다. 또는, 제 1 게이트 전극으로서 기능하는 제 1 도전층(1101)을 U자 형상 또는 C자 형상으로 하여도 좋다. 또한, 제 1 게이트 전극으로서 기능하는 제 1 도전층(1101)의 채널 길이 방향의 폭은 산화물 반도체층(1102)의 폭보다 넓게 하면 좋다. 그리고, 제 2 게이트 전극으로서 기능하는 제 3 도전층(1105)의 폭(채널 길이 방향의 폭)은 제 1 도전층(1101)의 폭보다 좁고, 산화물 반도체층(1102)의 폭보다 좁다.

[0244] 또한, 도 16은 화소 트랜지스터와 주사선의 접속이 도 12와 상이한 예를 도시한 것이다. 도 16은 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 트랜지스터를 사용하여 주사선에 접속된 제 1 게이트 전극과 제어선에 접속된 제 2 게이트 전극을 접속시켜 같은 전위가 되는 경우를 제시한다. 또한, 도 16에서는 도 12에서의 설명과 같은 개소에 관해서는 반복된 설명을 생략한다.

[0245] 도 16은 표시 장치를 구성하는 신호선 입력 단자, 주사선, 신호선, 비선형 소자를 포함한 보호 회로, 및 화소부의 위치 관계를 설명한 도면이다. 도 16이 도 12와 상이한 점은 제어선(823B)이 없고, 도 12에서의 주사선(823A)에 대응하는 주사선(823)을 갖는 점에 있다. 도 16에 도시된 바와 같이, 주사선(823)에 제 2 게이트 전극을 접속시켜 화소 트랜지스터를 제어함으로써, 제어선을 생략할 수 있고, 배선수, 및 신호선 입력 단자(822)의 개수를 삭감할 수 있다.

[0246] 도 17은 도 16에 도시한 화소(828)에 공급되는 신호의 전위 변화의 개략을 도시한 파형도를 도시한 것이다. 도 16에서의 화소(828)의 동작에 대하여 설명한다. 도 17은 임의의 화소의 접속된 주사선(823), 제어선(823), 신호선(824), 및 용량선(832)의 각각의 전위에 대한 파형을 도시한 것이다. 또한, 도 17에서는 도 13(A)와의 차이 점을 명료화하기 위하여 주사선(823)에 접속되어 같게 되는 제 1 게이트 전극의 전위와 제 2 게이트 전극의 전위를 약간 어긋나게 하여 나누어 도시한다. 도 17은 제 1 게이트 전극의 전위 변화의 개략을 도시한 파형(G1), 제 2 게이트 전극의 전위 변화의 개략을 도시한 파형(G2), 신호선(824)의 전위 변화의 개략을 도시한 파형(D), 및 용량선(832)의 전위 변화를 도시한 파형(COM)의 시간 변화에 대하여 가로 축을 시간, 세로 축을 전위로 하여 도시한 것이다. 또한, 파형(G1)과 파형(G2)의 고전원 전위는  $V_1$ 라고 표시하고, 파형(G1)과 파형(G2)의 저전원 전위는  $V_2$ 라고 표시하고, 파형(D)의 고전원 전위는  $V_{D1}$ 라고 표시하고, 파형(D)의 저전원 전위는  $V_{D2}$ 라고 표시하고, 파형(COM)의 전위는  $V_{COM}$ 라고 표시한다. 또한, 도 17에 도시된 바와 같이, 파형(G1)이  $V_2$ 로부터  $V_1$ 가 된 순간부터  $V_1$ 이 다시  $V_2$ 가 되고 다시  $V_1$ 이 될 때까지의 기간이 하나의 프레임 기간이다. 도 17에 도시된 바와 같이, 파형(G1)이  $V_2$ 로부터  $V_1$ 가 된 순간부터  $V_1$ 이 다시  $V_2$ 가 될 때까지의 기간이 하나의 게이트 선택 기간이다.

[0247] 도 17에서 하나의 프레임 기간의 하나의 게이트 선택 기간, 즉 주사선(823A)이  $V_1$ 일 때,  $V_{D1}$ 로부터  $V_{D2}$ 의 범위에 있는 신호선(824)의 전위가 화소(828) 내의 유지 용량부(830)에 유지된다. 또한, 도 17에서 하나의 프레임 기간의 하나의 게이트 선택 기간 이외의 기간, 즉 주사선(823A)이  $V_2$ 일 때,  $V_{D1}$ 로부터  $V_{D2}$ 의 범위에 있는 신호선(824)의 전위에 상관없이, 화소(828) 내의 유지 용량부(830)는 하나의 게이트 선택 기간에 입력된 전위를 유지한다.

[0248] 도 17에 도시된 바와 같이, 파형(G1) 및 파형(G2)을 같은 전위로 함으로써, 화소 트랜지스터(829)의 채널이 되는 영역을 늘릴 수 있어, 화소 트랜지스터(829)를 흐르는 전류량을 늘릴 수 있기 때문에, 표시 소자를 고속 동작시킬 수 있다. 파형(G1) 및 파형(G2)을 같은 전위로 구동시키는 구성으로서, 도 18에 도시된 바와 같이, 제 1 주사선 구동 회로(802A) 및 제 2 주사선 구동 회로(802B)를 형성하는 구성을 들 수 있다. 도 18에 도시된 바와 같이, 제 1 주사선 구동 회로(802A) 및 제 2 주사선 구동 회로(802B)가 주사 신호를 공급하는 제 1 주사선(823C) 및 제 2 주사선(823D)에 의하여 트랜지스터를 제어하여도 좋다.

[0249] 또한, 도 17에 도시된 전위 변화의 개략을 도시한 파형도는 도 13(A) 및 도 13(B)와 마찬가지로 일레이며, 다른

구동 방법을 조합하여 사용하여도 좋다. 다른 구동 방법의 일례로서는, 일정 기간마다, 하나의 프레임마다, 또는 하나의 화소마다 공통 전극의 공통 전위(코먼 전위)에 대하여, 화소 전극에 인가되는 전압의 극성을 반전시키는 구동 방법(상술한, 소위 방전 구동)을 사용하여도 좋다. 반전 구동을 사용함으로써 상기와 같은 효과를 갖는다.

[0250] 도 19는 도 16에 도시한 화소(828)의 레이아웃도의 일례를 도시한 것이다. 도 19에 도시한 트랜지스터는 실시 형태 1에 제시한 것과 마찬가지로 채널 에치형이다. 또한, 도 19에 도시한 화소의 레이아웃도는 주사선(823)이 연장되는 방향으로 RGB(R은 적색, G는 녹색, B는 청색)의 3색에 대응한 화소를 나란히 배치한, 소위 스트라이프 배치하는 예에 대하여 도시하였지만, 이것에 한정되지 않고, 델타 배치, 또는 베이어 배치한 레이아웃이라도 좋다. 또한, RGB의 3색에 한정되지 않고, 예를 들어, RGBW(W는 흰색), 또는, RGB에 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것 등을 사용하여도 좋다. 또한, RGB의 각 색 요소의 화소마다 그 표시 영역의 크기가 상이하여도 좋다.

[0251] 도 19의 화소의 회로는 주사선(823)이 되는 배선 및 용량선(832)의 한쪽의 전극이 되는 배선으로서 기능하는 제 1 도전층(1101), 화소 트랜지스터(829)의 채널 영역을 형성하는 산화물 반도체층(1102), 신호선(824)이 되는 배선 및 용량선(832)의 다른 쪽의 전극이 되는 배선으로서 기능하는 제 2 도전층(1103), 화소 전극(831)이 되는 화소 전극층(1104), 제 1 도전층(1101)에 접속된 제 3 도전층(1105), 및 제 2 도전층(1103)과 화소 전극(831)의 콘택트를 얻기 위하거나 또는 제 1 도전층(1101)과 제 3 도전층(1105)의 콘택트를 얻기 위한 개구부(1106)(콘택트 구멍이라고도 함)에 대하여 도시한 것이다. 도 19에서는 제 3 도전층(1105)이 산화물 반도체층(1102) 위에 화소 트랜지스터(829)마다 형성된 구성에 대하여 도시하였지만, 도 20에 도시된 바와 같이, 제 1 도전층(1101) 위 및 산화물 반도체층(1102) 위를 덮어 형성된 구성으로 하여도 좋다. 도 20에 도시된 구성으로 함으로써, 차광성을 갖는 도전성 재료로 제 3 도전층(1105)을 구성한 경우에는, 도 19의 레이아웃도와 비교하여 제 3 도전층(1105)의 차광성을 더 높일 수 있다.

[0252] 또한, 도 19 등에 도시한 레이아웃도에 있어서, 트랜지스터의 소스 영역 및 드레인 영역의 대향 부분을 U자 형상, 또는 C자 형상으로 하여도 좋다. 또는, 게이트 전극으로서 기능하는 제 1 도전층(1101)을 U자 형상 또는 C자 형상으로 한 구성으로 하여도 좋다. 또한, 제 1 게이트 전극으로서 기능하는 제 1 도전층(1101)의 채널 길이 방향의 폭은 산화물 반도체층(1102)의 폭보다 넓게 하면 좋다. 또한, 제 2 게이트 전극으로서 기능하는 제 3 도전층(1105)의 폭(채널 길이 방향의 폭)은 제 1 도전층(1101)의 폭보다 넓고, 산화물 반도체층(1102)의 폭보다 넓다.

[0253] 상술한 바와 같이, 실시형태 1 내지 실시형태 4 중 어느 하나의 구성의 트랜지스터를 사용함으로써, 상기 실시 형태에서 설명한 효과에 추가하여 임계 값 전압을 적절한 값으로 할 수 있다.

[0254] 또한, 본 실시형태에 있어서, 각각의 도면에서 기술한 내용은 다른 실시형태에서 기술한 내용에 대하여 적절히 조합, 또는 치환 등을 자유롭게 행할 수 있다.

[0255] (실시형태 7)

[0256] 본 실시형태는 실시형태 1 내지 실시형태 4 중 어느 한 항에 제시한 산화물 반도체층을 사용한 트랜지스터를 적용한 발광 표시 장치에 대하여 설명한다. 발광 표시 장치가 갖는 표시 소자로서, 여기서는, 일렉트로루미네선스를 이용하는 발광 소자를 예로 들어 제시한다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

[0257] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 함유한 층에 주입되어 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘의 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0258] 무기 EL 소자는 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재(局在)형 발광이다.

- [0259] 또한, 본 실시형태에서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0260] 도 21은 상기 실시형태 1 내지 실시형태 4 중 어느 하나에서 기술한 트랜지스터를 구비하는 발광 표시 장치의 화소의 일례를 도시한 것이다.
- [0261] 발광 표시 장치가 구비하는 화소의 구성과 동작에 대하여 설명한다. 여기서는, 산화물 반도체층(예를 들어, In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 사용한 n채널형 트랜지스터를 하나의 화소에 2개 사용하는 예를 제시한다.
- [0262] 화소(6400)는 스위칭용 트랜지스터(6401; 제 1 트랜지스터), 구동용 트랜지스터(6402; 제 2 트랜지스터), 용량 소자(6403), 및 발광 소자(6404)를 갖는다. 스위칭용 트랜지스터(6401)에서는 제 1 게이트 전극이 주사선(6406A)에 접속되고, 제 2 게이트 전극이 제어선(6406B)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한 쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)에서는 제 1 게이트 전극이 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 2 게이트 전극이 제어선(6406B)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로 하면 좋다.
- [0263] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 충족시키는 전위를 가리키며, 저전원 전위로서는, 예를 들어, GND, 0V 등을 들 수 있다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가함으로써 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위하여, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순 방향의 임계 값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0264] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대응함으로써 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량은, 예를 들어, 채널 영역과 게이트 전극 사이에 형성되면 좋다.
- [0265] 아날로그 계조 구동을 행하는 경우에는, 구동용 트랜지스터(6402)의 제 1 게이트에 발광 소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의 임계 값 전압 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은, 소망의 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향의 임계 값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력하면 발광 소자(6404)에 전류를 흘릴 수 있다. 전원선(6407)의 전위는 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위하여 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그 값으로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려 아날로그 계조 구동을 행할 수 있다.
- [0266] 도 21에 도시된 바와 같이, 제어선(6406B)을 형성함으로써, 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 트랜지스터와 마찬가지로 스위칭용 트랜지스터(6401) 및 구동용 트랜지스터(6402)의 임계 값 전압의 제어를 행할 수 있다. 특히, 구동용 트랜지스터(6402)에서는 포화 영역에서 동작하도록 비디오 신호를 입력하게 된다. 따라서, 제어선(6406B)의 전위에 의하여 임계 값 전압의 제어를 행함으로써, 임계 값 전압의 시프트로 인하여 생기는 입력하는 비디오 신호와 발광 소자의 휘도의 어긋남을 작게 할 수 있다. 결과적으로, 표시 장치의 표시 품질의 향상을 도모할 수 있다.
- [0267] 또한, 스위칭용 트랜지스터(6401)는 스위치로서 동작시키는 트랜지스터이며, 제어선(6406B)에 의한 제 2 게이트의 전위의 제어를 행하지 않아도 좋다. 즉, 제어선(6404B)은 구동용 트랜지스터(6402)의 제 2 게이트만에 접속되어도 좋다.
- [0268] 또한, 도 21에 도시한 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 21에 도시한 화소에 새로 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0269] 또한, 디지털 계조 구동을 행하는 경우에는, 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 충분히 온 상태가 되는지 오프 상태가 되는지의 2가지 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 위하여, 구동용 트랜지스터(6402)의 제 1 게이트는 전원선(6407)의 전위보다 높은 전위로 한다. 또한, 신호선(6405)에는 (전원선 전압+구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 인가한다. 도 21과 같은 화소 구성을 사용할 수 있다.

- [0270] 다음에, 발광 소자의 구성에 대하여, 도 22(A) 내지 도 22(C)를 사용하여 설명한다. 여기서는, 구동용 트랜지스터가 n채널형 트랜지스터를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 22(A) 내지 도 22(C)에 도시된 구동용 트랜지스터인 트랜지스터(7001, 7011, 7021)는 실시형태 1에서 제시한 트랜지스터(471) 등과 같은 방법으로 제작할 수 있고, 산화물 반도체층을 채널 형성 영역에 사용한 트랜지스터이다.
- [0271] 발광 소자는 발광을 추출하기 위하여 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출 구조(톱 이미지션)나, 기판 측의 면으로부터 발광을 추출하는 하면 사출 구조(보텀 이미지션)나, 기판 측 및 기판과 반대 측의 면의 양쪽으로부터 발광을 추출하는 양면 사출 구조(듀얼 이미지션)의 발광 소자가 있고, 도 22에 도시한 바와 같이, 본 실시형태에서는 어느 구조나 적용할 수 있다.
- [0272] 상면 사출 구조의 발광 소자에 대하여 도 22(A)를 사용하여 설명한다.
- [0273] 도 22(A)에는 실시형태 1에 제시한 트랜지스터(7001)를 화소에 배치하는 구동용 트랜지스터로 하고, 트랜지스터(7001)와 전기적으로 접속된 발광 소자(7002)로부터 방출되는 빛이 양극(7005)측으로 사출되는 경우의 화소의 단면도를 도시한 것이다. 트랜지스터(7001)는 보호층(7007)과 수지층(7017)으로 덮이고, 또한, 수지층(7017) 위에 질화실리콘으로 형성된 제 2 보호 절연층(7018)을 갖고, 트랜지스터(7001)의 채널은 In-Zn-O계 산화물 반도체로 형성된다.
- [0274] 도 22(A)에서는, 발광 소자(7002)의 음극(7003)과 구동용 트랜지스터인 트랜지스터(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층되어 형성된다. 음극(7003)은 일 함수가 작고, 또한, 빛을 반사하는 도전성 재료라면 좋고, 각종 재료를 사용할 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등이 바람직하다.
- [0275] 또한, 도 22(A)에서는 음극(7003)과 같은 재료로 형성된 제 2 게이트 전극(7009)이 산화물 반도체층을 덮어, 제 2 게이트 전극(7009)이 산화물 반도체층을 차광한다. 제 2 게이트 전극(7009)은 트랜지스터(7001)의 임계 값 전압을 제어한다. 음극(7003)과 제 2 게이트 전극(7009)을 같은 재료를 사용하여 동일 층으로 형성함으로써, 공정수를 삭감할 수 있다.
- [0276] 그리고, 제 2 게이트 전극(7009)과 음극(7003)의 단락을 방지하기 위하여 절연 재료로 이루어진 격벽(7006)이 형성된다. 격벽(7006)의 일부분이 노출된 음극(7003)의 일부분과, 격벽(7006)의 양쪽 모두에 중첩되도록 발광층(7004)이 형성된다.
- [0277] 그리고 발광층(7004)은 단층으로 형성되어도 좋고, 복수층이 적층되어 형성되어도 좋다. 복수층이 적층되어 형성되는 경우에는, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층하여 형성한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한 인듐아연 산화물, 산화티타늄을 함유한 인듐 산화물, 산화티타늄을 함유한 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 기재함), 인듐아연 산화물, 또는 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여도 좋다.
- [0278] 음극(7003), 양극(7005), 음극과 양극으로 끼워진 발광층(7004)으로 발광 소자(7002)가 형성된다. 22a에 도시한 화소의 경우에는, 발광 소자(7002)로부터 방출되는 빛은 화살표로 도시된 바와 같이 양극(7005) 측으로 사출된다.
- [0279] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 22(B)를 사용하여 설명한다.
- [0280] 도 22(B)에는 실시형태 1에 제시한 트랜지스터(7011)를 화소에 배치하는 구동용 트랜지스터로 하고, 트랜지스터(7011)와 전기적으로 접속된 발광 소자(7012)로부터 방출되는 빛이 양극(70135)측으로 사출되는 경우의 화소의 단면도를 도시한 것이다. 트랜지스터(7011)는 보호층(7007)과 수지층(1017)으로 덮이고, 또한, 수지층(7017) 위에 질화실리콘으로 형성된 제 2 보호 절연층(7018)을 갖고, 트랜지스터(7011)의 채널이 In-Ga-Zn-O계 산화물 반도체로 형성된다.
- [0281] 도 22(B)에서는 구동용 트랜지스터인 트랜지스터(7011)가 전기적으로 접속되고 투광성을 갖는 도전막(7010) 위에 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014)과 양극(7015)이 순차로 적층되어 형성된다. 또한, 양극(7015)이 투광성을 갖는 경우에는, 양극(7015) 위를 덮도록 빛을 반사 또는 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은 도 22(A)의 경우와 마찬가지로 일 함수가 작은 도전성 재료

라면 각종 재료를 사용할 수 있다. 다만, 그 막 두께는 빛을 투과하는 정도(바람직하게는, 5 nm 내지 30 nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다.

[0282] 그리고 발광층(7014)은 도 22(A)와 마찬가지로 단층으로 구성되어도 좋고, 복수층이 적층되어 형성되어도 좋다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 22(A)와 마찬가지로 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어, 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.

[0283] 또한, 도 22(B)에서는 투광성을 갖는 도전막(7010)과 같은 도전성 재료로 형성된 제 2 게이트 전극(7019)이 산화물 반도체층을 덮는 구성으로 한다. 본 실시형태에서는 제 2 게이트 전극(7019)의 재료로서, 산화실리콘을 함유한 인듐 주석 산화물을 사용한다. 제 2 게이트 전극(7019)은 트랜지스터(7011)의 임계 값 전압을 제어한다. 투광성을 갖는 도전막(7010)과 제 2 게이트 전극(7019)을 같은 재료를 사용하여 동일 층으로 형성함으로써, 공정수를 삭감할 수 있다. 트랜지스터(7011)의 산화물 반도체층은 제 2 게이트 전극(7019) 상방의 차폐막(7016)에 의하여 차광된다.

[0284] 음극(7003), 양극(7005), 음극과 양극으로 끼워진 발광층(7004)으로 발광 소자(7012)가 형성된다. 22b에 도시한 화소의 경우에는, 발광 소자(7012)로부터 방출되는 빛은 화살표로 도시된 바와 같이 양극(7013) 측으로 사출된다.

[0285] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 22(C)를 사용하여 설명한다.

[0286] 도 22(C)에는 실시형태 1에 제시한 트랜지스터(7021)를 화소에 배치하는 구동용 트랜지스터로 하고, 트랜지스터(7021)와 전기적으로 접속된 발광 소자(7022)로부터 방출되는 빛이 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출되는 경우의 화소의 단면도를 도시한 것이다. 트랜지스터(7021)는 보호층(7007)과 수지층(7007)으로 덮이고, 또한, 수지층(7017) 위에 질화실리콘으로 형성된 제 2 보호 절연층(7018)을 갖고, 트랜지스터(7021)의 채널은 Zn-O계 산화물 반도체로 형성된다.

[0287] 트랜지스터(7021)와 접속 전극(7028)을 통하여 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024)과 양극(7025)이 순차로 적층되어 형성된다. 음극(7023)은 도 22(A)의 경우와 마찬가지로 일 함수가 작은 도전성 재료라면 각종 재료를 사용할 수 있다. 다만, 그 막 두께는 빛을 투과하는 정도(바람직하게는 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을 음극(7023)으로서 사용할 수 있다.

[0288] 그리고 발광층(7024)은 도 22(A)와 마찬가지로 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7025)은 도 22(A)와 마찬가지로 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.

[0289] 음극(7023), 양극(7025), 음극과 양극으로 끼워진 발광층(7024)으로 발광 소자(7002)가 형성된다. 22c에 도시된 화소의 경우에는, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시된 바와 같이 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.

[0290] 또한, 도 22(C)에서는 제 2 게이트 전극(7029)이 산화물 반도체층을 덮는다. 따라서, 제 2 게이트 전극(7029)의 재료로서는, 차광성을 갖는 도전성 재료(예를 들어, Ti, 질화티타늄, Al, W 등)를 사용한다. 여기서는, 제 2 게이트 전극(7029)의 재료로서 티타늄을 사용한다. 제 2 게이트 전극(7029)에 의하여 트랜지스터(7021)의 임계 값 전압을 제어한다. 트랜지스터(7021)의 산화물 반도체층은 제 2 게이트 전극(7029)에 의하여 차광된다. 트랜지스터(7021)와 접속된 접속 전극(7028)은 제 2 게이트 전극(7029)과 동일한 재료(즉, 티타늄)로 동일 층으로서 형성한다.

[0291] 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하는 경우에 대하여 설명하였지만, 발광 소자로서 무기 EL 소자를 사용하여도 좋다.

[0292] 또한, 본 실시형태에서는 발광 소자의 구동을 제어하는 트랜지스터(구동용 트랜지스터)와 발광 소자가 접속된 예를 제시하였지만, 구동용 트랜지스터와 발광 소자 사이에 전류 제어용 트랜지스터가 접속되어도 좋다.

[0293] 다음에, 반도체 장치의 일 형태에 해당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여 도 23(A) 및 도 23(B)를 사용하여 설명한다. 도 23(A)는 제 1 기판 위에 형성된 트랜지스터 및 발광 소자를 제 2 기판 사이에 셀재에 의하여 밀봉한 발광 표시 패널의 상면도이며, 도 23(B)은 도 23(A)의 H-I에서의 단면도에 상당한다.

- [0294] 제 1 기판(4500) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 셀재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)의 위에 제 2 기판(4506)이 설치된다. 따라서 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4500)과 셀재(4505)와 제 2 기판(4506)에 의하여 충전재(4503)와 함께 밀봉된다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0295] 제 1 기판(4500) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 트랜지스터를 복수 갖고, 도 23(B)에서는 화소부(4502)에 포함되는 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 트랜지스터(4509)를 예시한다.
- [0296] 여기서, 트랜지스터(4509, 4510)에 Zn-O계 산화물 반도체를 사용한다. 본 실시형태에 있어서, 트랜지스터(4509, 4510)는 n채널형 트랜지스터이다. 트랜지스터(4509, 4510)는 제 1 보호층(4507) 위의 수지층(4508)과, 수지층(4508) 위의 제 2 보호 절연층(4514)으로 덮인다. 또한, 질화실리콘으로 형성된 제 2 보호 절연층(4514)은 수지층(4508)의 상면 및 측면을 덮어 형성된다. 트랜지스터(4509) 상방에는 제 2 게이트 전극(4522)이 형성되고, 트랜지스터(4510)의 상방에는 제 2 게이트 전극(4521)이 형성된다. 제 2 게이트 전극(4521)과 제 2 게이트 전극(4522)은 동일 층으로 형성되고, 트랜지스터의 임계 값 전압을 제어하고, 산화물 반도체층의 보호층으로서도 기능한다.
- [0297] 제 2 게이트 전극(4522)의 폭은, 트랜지스터(4509)의 게이트 전극의 폭보다 넓고, 산화물 반도체층 전체에 게이트 전압을 인가할 수 있도록 하면 좋다. 제 2 게이트 전극(4522)을 차광성의 도전성 재료로 형성하는 경우에는, 트랜지스터(4509)의 산화물 반도체층으로의 빛의 입사를 차단할 수 있다. 제 2 게이트 전극(4522)을 차광성 도전성 재료로 형성하는 경우에는, 산화물 반도체의 광 감도로 인한 전기 특성의 변동을 방지하여 안정적으로 동작시킬 수 있다.
- [0298] 제 2 게이트 전극(4521)의 폭은 제 2 게이트 전극(4522)의 폭과 달리 트랜지스터(4510)의 제 1 게이트 전극의 폭보다 좁게 하면 좋다. 제 2 게이트 전극(4521)의 폭을 트랜지스터(4510)의 제 1 게이트 전극의 폭보다 좁게 함으로써, 트랜지스터(4510) 소스 전극층 또는 드레인 전극층과 중첩되는 면적을 축소하여 기생 용량을 작게 할 수 있다. 제 2 게이트 전극(4521)의 폭은 트랜지스터(4510)의 산화물 반도체층의 폭보다 좁고, 일부분밖에 차광되지 않지만, 또한 상방에는 제 2 전극층(4513)이 형성되고, 제 2 전극층(4513)을 차광성의 도전성 재료로 형성함으로써 산화물 반도체층 전체를 차광할 수 있다.
- [0299] 발광 소자(4511)가 갖는 화소 전극층인 제 1 전극층(4517)은 트랜지스터(4510)의 소스 전극 또는 드레인 전극과 접속된다. 또한, 발광 소자(4511)는 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)이 적층된 구조이지만, 이것에 한정되지 않는다. 발광 소자(4511)로부터 추출되는 빛의 방향 등에 맞추어 발광 소자(4511)의 구성을 적절히 변화시킬 수 있다.
- [0300] 격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히, 감광성의 재료를 사용하여 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0301] 전계 발광층(4512)은 단층으로 형성되어도 좋고, 복수층이 적층되어 형성되어도 좋다.
- [0302] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 들 수 있다.
- [0303] 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.
- [0304] 본 실시형태에서는 접속 단자 전극(4515)이 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 재료로 동일 층으로서 형성되고, 단자 전극(4516)은 트랜지스터(4509, 4510)가 갖는 소스 전극 및 드레인 전극과 같은 재료로 동일 층으로서 형성된다. 또한, 단자 전극(4516) 아래에는 트랜지스터(4509) 및 트랜지스터(4510)의 게이트 절연층(4501)을 갖는다.
- [0305] 접속 단자 전극(4515)은 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.
- [0306] 발광 소자(4511)로부터의 빛의 추출 방향에 위치하는 제 2 기판(4506)은 투광성을 가져야 한다. 이 경우에는,

유리 기판, 플라스틱 기판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

- [0307] 또한, 충전재(4503)로서는 질소나 아르곤 등의 불활성 기체 외, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 여기서는, 충전재로서 질소를 사용한다.
- [0308] 또한, 필요하면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판(1/4 파장판, 1/2 파장판), 또는 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋고, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산하여 눈부심을 절감할 수 있는 안티-글레어(anti-glare) 처리를 실시할 수 있다.
- [0309] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 별도의 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성하여도 좋다. 또한, 신호선 구동 회로만, 또는 신호선 구동 회로의 일부분, 또는 주사선 구동 회로의 전체를 별도의 기판 위에 형성하여도 좋다.
- [0310] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0311] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0312] (실시형태 8)
- [0313] 본 실시형태는 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 산화물 반도체층을 사용한 액정 표시 장치에 대하여 설명한다. 실시형태 1 내지 실시형태 4 중 어느 하나의 산화물 반도체층을 사용한 트랜지스터를 구동 회로, 또한 화소부에 사용하여 표시 기능을 갖는 액정 표시 장치를 제작할 수 있다. 또한, 상기 트랜지스터를 사용하여 구동 회로의 일부분 또는 전체를 화소부와 같은 기판 위에 형성함으로써, 시스템 온 패널을 형성할 수 있다.
- [0314] 액정 표시 장치는 표시 소자로서 액정 소자(액정 표시 소자)를 포함한다.
- [0315] 또한, 액정 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함한 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 상기 액정 표시 장치를 제작하는 과정에서, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 각 화소에 구비한다. 소자 기판은 구체적으로는 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며 에칭하여 화소 전극을 형성하기 전 상태라도 좋고, 모든 형태가 적합하다.
- [0316] 또한, 본 명세서 중의 액정 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함한다.
- [0317] 액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 24(A1), 도 24(A2), 및 도 24(B)를 사용하여 설명한다. 도 24(A1) 및 도 24(A2)는 액정 소자(4013)를 제 1 기판(4001)과 제 2 기판(4006) 사이에 쉘재(4005)를 배치하여 밀봉한 패널의 상면도에 상당하고, 도 24(B)는 도 24(A1) 및 도 24(A2)의 M-N에서의 단면도에 상당한다.
- [0318] 도 24(A1), 도 24(A2), 및 도 24(B)에서는 제 1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 쉘재(4005)가 형성된다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001), 쉘재(4005), 제 2 기판(4006)에 의하여 액정층(4008)과 함께 밀봉된다. 본 실시형태에 있어서, 액정층(4008)은 특히 한정되지 않았지만, 블루상(blue phase)을 나타내는 액정 재료를 사용한다. 블루상을 나타내는 액정 재료는 전압을 인가하지 않은 상태에서 전압을 인가한 상태에 있어서는 응답 속도가 1msec 이하로 짧고, 고속 응답이 가능하다. 블루상을 나타내는 액정 재료로서 액정 및 키랄제를 포함한다. 키랄제는 액정을 나선 구조로 배향시켜, 블루상을 발현시키기 위하여 사용한다. 예를 들어, 5wt% 이상의 키랄제를 혼합시킨 액정 재료를 액정층에 사용하면 좋다. 액정은 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 강유전성 액정, 반강유전성 액정 등을 사용한다.

- [0319] 도 24(A1)은 제 1 기관(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과 다른 영역에 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0320] 또한, 도 24(A2)는 신호선 구동 회로의 일부분을 제 1 기관(4001) 위에 형성하는 예이며, 제 1 기관(4001) 위에 신호선 구동 회로(4003b)가 형성되고, 또한, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003a)가 실장된다.
- [0321] 또한, 별도 형성한 구동 회로의 접속 방법은 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 24(A1)은 COG 방법에 의하여 신호선 구동 회로를 실장하는 예이며, 도 24(A2)는 TAB 방법에 의하여 신호선 구동 회로를 실장하는 예이다.
- [0322] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖고, 도 24(B)에서는 화소부(4002)에 포함된 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)가 도시된다. 트랜지스터(4010, 4011) 위에는 제 1 보호 절연층(4020), 제 2 보호 절연층인 수지층(4021), 및 제 3 보호 절연층(4022)이 형성된다. 트랜지스터(4010, 4011)에는 실시형태 1 내지 실시형태 4 중 어느 하나에 제시한 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 트랜지스터(4010, 4011)는 산화물 반도체층을 채널 형성 영역에 사용하는 n채널형 트랜지스터이다.
- [0323] 트랜지스터(4010, 4011)는 제 1 보호 절연층(4020), 제 2 보호 절연층인 수지층(4021), 제 3 보호 절연층(4022)으로 덮인다. 제 1 보호 절연층(4020)은 트랜지스터(4010) 및 트랜지스터(4011)의 산화물 반도체층 및 게이트 절연층(4019) 위에 접촉되어 형성된다.
- [0324] 또한, 평탄화 절연막으로서 사용하는 제 2 보호 절연층인 수지층(4021)은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이들 유기 재료 외, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인붕소 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 복수의 절연막을 적층시켜 절연층을 형성하여도 좋다. 또한, 수지층(4021)은 투광성 수지층이고, 본 실시형태에서는 감광성 폴리이미드 수지를 사용한다.
- [0325] 절연층의 형성 방법은 특히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등의 도구(설비)를 사용할 수 있다.
- [0326] 또한, 제 3 보호 절연층(4022)은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 산화물 반도체층을 오염하는 불순물 원소(나트륨 등)의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 보호막은 PCVD법이나 스퍼터링법을 사용하여, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막을 단층으로 또는 적층하여 형성하면 좋다.
- [0327] 또한, 제 3 보호 절연층(4022)은 플라즈마 CVD법에 의하여 저파워 조건으로 얻어지는 질화실리콘막으로 형성된다. 질화실리콘으로 형성되는 하지 절연층(4007)과 제 3 보호 절연층(4022)은 화소부의 외측에서 접촉되는 구조이고, 제 2 보호 절연층인 수지층(4021)의 측면도 밀봉하고, 질화실리콘막으로 트랜지스터(4010, 4011)를 둘러싸 트랜지스터(4010, 4011)의 신뢰성을 향상시킨다.
- [0328] 제 1 보호 절연층(4020) 위이며 트랜지스터(4011)의 산화물 반도체층과 중첩되는 위치에 제 2 게이트 전극(4028)이 형성된다. 제 3 보호 절연층(4022) 위이며 트랜지스터(4010)의 산화물 반도체층과 중첩되는 위치에 제 2 게이트 전극(4029)이 형성된다.
- [0329] 제 1 기관(4001) 위에 화소 전극층(4030)과 공통 전극층(4031)이 형성되고, 화소 전극층(4030)은 트랜지스터(4010)와 전기적으로 접속된다. 제 2 게이트 전극(4028, 4029)은 공통 전극층(4031)과 전위를 같게 할 수 있다. 제 2 게이트 전극(4028, 4029)은 공통 전극층(4031)에 의하여 형성할 수 있다. 제 2 게이트 전극(4028, 4029)은 차광성의 재료를 사용하여 형성하면, 트랜지스터(4011, 4010)의 산화물 반도체층을 차광하는 차광층으로서도 기능시킬 수 있다.
- [0330] 제 2 게이트 전극(4028, 4029)은 공통 전극층(4031)과 전위를 상이하게 할 수 있고, 이 경우에는 제 2 게이트 전극(4028, 4029)과 전기적으로 접속되는 제어선을 형성하고, 제어선의 전위에 의하여 트랜지스터(4011, 4010)의 전계 값 전압의 제어를 행하는 구성으로 한다.
- [0331] 또한, 상기 기재에 한정되지 않고, 제 2 게이트 전극(4028) 및 제 2 게이트 전극(4029)은 제 1 게이트 전극에

접속되어도 좋고, 플로팅 상태라도 좋다.

- [0332] 액정 소자(4013)는 화소 전극층(4030), 공통 전극층(4031), 및 액정층(4008)을 포함한다. 본 실시형태에서는 기판에 대략 평행(즉, 수평 방향)한 전계를 발생시켜, 기판과 평행한 면내에서 액정 분자를 이동시켜 계조를 제어하는 방식을 사용한다. 이와 같은 방식으로, IPS(In Plane Switching) 모드에서 사용하는 전극 구성이나, FFS(Fringe Field Switching) 모드에서 사용하는 전극 구성을 적용할 수 있다. 또한, 제 1 기판(4001) 및 제 2 기판(4006)의 외측에는 각각 편광판(4032, 4033)이 설치된다.
- [0333] 또한, 제 1 기판(4001) 및 제 2 기판(4006)으로서는, 투광성을 갖는 유리 기판, 플라스틱 기판 등을 사용할 수 있다. 플라스틱 기판 으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또는, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.
- [0334] 포스트 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 것이며, 액정층(4008)의 막 두께(셀 갭)를 조정하기 위하여 설치된다. 또한, 이것에 한정되지 않고, 구형 스페이서를 사용하여도 좋다. 기둥형 포스트 스페이서(4035)는 제 2 게이트 전극(4029)과 중첩되는 위치에 배치한다.
- [0335] 도 24(A1), 도 24(A2), 및 도 24(B)의 액정 표시 장치에서는 기판의 외측(시인측)에 편광판을 형성하는 예를 제시하였지만, 편광판은 기판의 내측에 설치하여도 좋다.
- [0336] 또한, 블랙 매트릭스로서 기능하는 차광층을 필요한 위치에 형성하여도 좋다. 함유함에 있어서는, 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제 2 기판(4006)측에 형성된다. 차광층(4034)을 형성함으로써 콘 트라스트를 더 향상시켜 트랜지스터를 안정적으로 동작시킬 수 있다.
- [0337] 차광층(4034)을 형성하면, 트랜지스터의 산화물 반도체층에 입사되는 빛의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광감도로 인한 트랜지스터의 전기 특성의 변동을 방지하여 안정적으로 동작시킬 수 있다.
- [0338] 화소 전극층(4030), 공통 전극층(4031), 제 2 게이트 전극(4028, 4029)은 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한 인듐 아연 산화물, 산화티타늄을 함유한 인듐 산화물, 산화티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 기재함), 인듐 아연 산화물, 산화실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0339] 또는, 화소 전극층(4030), 공통 전극층(4031), 제 2 게이트 전극(4028, 4029)은 도전성 고분자(도전성 폴리머라고도 함)를 함유한 도전성 조성물을 사용하여 형성할 수 있다.
- [0340] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004), 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0341] 트랜지스터는 정전기 등으로 인하여 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는 산화물 반도체를 사용한 비선형 소자로 형성하는 것이 바람직하다.
- [0342] 도 24(A1), 도 24(A2), 및 도 24(B)에서는 접속 단자 전극(4015)이 화소 전극층(4030)과 동일 층으로 형성되고, 단자 전극(4016)은 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일 층으로 형성된다.
- [0343] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와, 이방성 도전막(4017)을 통하여 전기적으로 접속된다.
- [0344] 도 24(A1), 도 24(A2), 및 도 24(B)에 있어서는, 신호선 구동 회로(4003)를 별도 형성하여, 제 1 기판(4001)에 실장한 예를 제시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부분 또는 주사선 구동 회로의 일부분만을 별도 형성하여 실장하여도 좋다.
- [0345] 도 25는 액정 표시 장치의 단면 구조의 일례이며, 소자 기판(2600)과 대향 기판(2601)이 절재(2602)로 고착되고, 그 사이에 트랜지스터 등을 포함한 소자층(2603) 및 액정층(2604)이 형성된다.
- [0346] 컬러 표시를 행하는 경우에는, 백 라이트부에 복수종의 발광색을 사출하는 발광 다이오드를 배치하면 좋다. RGB 방식의 경우에는, 적색 발광 다이오드(2610R), 녹색 발광 다이오드(2610G), 청색 발광 다이오드(2610B)를 액정 표시 장치의 표시 영역을 복수로 분할한 분할 영역에 각각 배치한다.
- [0347] 대향 기판(2601)의 외측에는 편광판(2606)이 설치되고, 소자 기판(2600)의 외측에는 편광판(2607), 및 광학 시

트(2613)가 배치된다. 광원은 적색 발광 다이오드(2610R), 녹색 발광 다이오드(2610G), 청색 발광 다이오드(2610B)와 반사판(2611)에 의하여 구성되고, 회로 기판(2612)에 설치된 LED 제어 회로(2612)는 플렉시블(flexible) 배선 기판(2609)에 의하여 소자 기판(2600)의 배선 회로부(2608)와 접속되고, 또한 컨트롤 회로나 전원 회로 등의 외부 회로가 내장된다.

[0348] 본 실시형태는 이 LED 제어 회로(2612)에 의하여 개별적으로 LED를 발광시킴으로써, 필드 시퀀셜 방식의 액정 표시 장치로 하는 예를 제시하였지만, 이것에 한정되지 않고, 백 라이트의 광원으로서 냉음극관 또는 백색 LED를 사용하여 컬러 필터를 설치하여도 좋다.

[0349] 본 실시형태에서는 IPS 모드에서 사용하는 전극 구성의 예를 제시하였지만, 이것에 한정되지 않고, TN(Twisted Nematic) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0350] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0351] (실시형태 9)

[0352] 본 실시형태는 산화물 반도체층을 갖는 복수의 트랜지스터를 갖는 반도체 장치로서 전자 페이퍼의 일례에 대하여 설명한다.

[0353] 도 26(A)는 액티브 매트릭스형의 전자 페이퍼의 단면도를 도시한 것이다. 반도체 장치에 사용되는 표시부에 배치되는 트랜지스터(581)로서는 실시형태 1 내지 실시형태 4 중 어느 하나에서 설명한 트랜지스터를 사용한다.

[0354] 도 26(A)의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 흰색과 흑색으로 나누어 도포된 구형 입자를 표시 소자에 사용하고, 상기 구형 입자를 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층과 제 2 전극층 사이에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써 표시를 행하는 방법을 가리킨다.

[0355] 트랜지스터(581)는 보텀 게이트 구조의 트랜지스터이며, 제 1 전극층(587)은 제 1 보호 절연층(584), 제 2 보호 절연층인 수지층(585), 및 제 3 보호 절연층(586)에 형성된 개구부를 통하여 소스 전극 또는 드레인 전극과 전기적으로 접속된다. 제 1 보호 절연층(584)은 트랜지스터(581)를 덮고, 제 1 보호 절연층(584) 위의 수지층(585) 위에는 제 2 게이트 전극(582)이 형성되고, 제 2 게이트 전극(582)을 덮어 제 3 보호 절연층(586)이 형성된다. 트랜지스터(581)가 갖는 산화물 반도체층은 제 1 보호 절연층(584), 제 2 보호 절연층인 수지층(585), 제 2 게이트 전극(582), 및 제 3 보호 절연층(586)에 의하여 보호되는 구성이다.

[0356] 제 1 전극층(587)과 제 2 전극층(588) 사이에는 구형 입자(589)가 형성되고, 구형 입자(589)는 캐비티(594), 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전된다(도 26(A) 참조). 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은 트랜지스터(581)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부에 있어서, 한 쌍의 기판 사이에 도전성 입자를 배치하여 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0357] 또는, 트위스트 볼 대신에 전기 영동 소자를 사용할 수도 있다. 투명한 액체와 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 봉입한 직경  $10\mu\text{m}$  내지  $200\mu\text{m}$  정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층 사이에 형성되는 마이크로 캡슐은 제 1 전극층과 제 2 전극층에 전위차를 발생시키면 흰색 미립자와 흑색 미립자가 반대 방향으로 이동하여 흰색 또는 흑색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 전자 페이퍼라고 불린다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트가 불필요하고, 소비 전력이 작고, 어두운 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전력을 공급하지 않고 한번 표시한 상(image)을 유지할 수 있다. 따라서, 상기 전자 페이퍼가 전파 발신원으로부터 무선에 의하여 신호 및 전력을 공급하는 구성인 경우에는 전파 발신원으로부터 표시 기능이 있는 반도체 장치를 멀리하여도 표시된 상을 보존해 둘 수 있다.

[0358] 실시형태 1 내지 실시형태 4 중 어느 하나에서 설명한 트랜지스터를 스위칭 소자에 사용함으로써, 반도체 장치로서 제조 비용이 저감된 전자 페이퍼를 제작할 수 있다. 전자 페이퍼는 정보를 표시하는 것이라면 모든 분야

의 전자기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전철 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자기기의 일례를 도 26(B)에 도시한다.

[0359] 도 26(B)는 전자 서적(2700)의 일례를 도시한 것이다. 전자 서적(2700)은 제 1 케이스(2701) 및 제 2 케이스(2703)의 2개의 케이스로 구성된다. 제 1 케이스(2701) 및 제 2 케이스(2703)는 축부(2711)에 의하여 결합되고, 축부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의하여, 종이 서적과 같은 동작을 행할 수 있다.

[0360] 제 1 케이스(2701)에는 제 1 표시부(2705)가 내장되고, 제 2 케이스(2703)에는 제 2 표시부(2707)가 내장되어 있다. 제 1 표시부(2705) 및 제 2 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 26(B)의 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 26(B)의 제 2 표시부(2707))에 화상을 표시할 수 있다.

[0361] 또한, 도 26(B)에서는 케이스(2700)에 도시한 전자 서적(2700)은 제 1 케이스(2701)에 조작부 등을 구비한다. 예를 들어, 제 1 케이스(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작 키(2723)에 의하여, 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 가져도 좋다.

[0362] 또한, 전자 서적(2700)은 무선 통신에 의하여 정보를 송수신할 수 있는 구성이라도 좋다. 무선 통신에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여 다운로드할 수 있는 구성으로 하여도 좋다.

[0363] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0364] (실시형태 10)

[0365] 실시형태 1 내지 실시형태 4 중 어느 하나에 있어서 제작되는 트랜지스터를 포함한 반도체 장치는 각종 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 팩징기기 등의 대형 게임기 등을 들 수 있다.

[0366] 도 27(A)에 도시한 텔레비전 장치는 케이스(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 영상을 표시할 수 있다. 여기서는, 벽(9600)에 고정하여 케이스(9601)의 뒤쪽을 지지한 구성을 도시한다.

[0367] 도 27(A)에 도시한 텔레비전 장치의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9610)에 의하여 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 리모콘 조작기(9610)에 이 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0368] 또한, 도 27(A)에 도시한 텔레비전 장치는 수신기나 모뎀 등을 구비한 구성으로 하면 좋다. 수신기에 의하여 일반의 텔레비전 방송의 수신을 행할 수 있고, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 행할 수도 있다.

[0369] 도 27(B)에 도시한 휴대형 유기기는 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐 가능하게 연결된다. 케이스(9881)에는 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장된다. 또한, 도 27(B)에 도시된 휴대형 유기기는, 그 외, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크론(9889)) 등을 구비한다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 반도체 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 하여도 좋다. 도 27(B)에 도시된 휴대형 유기기는 기록 매체에 기록된 프

로그래밍 또는 데이터를 관독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 27(B)에 도시된 휴대형 유기기가 갖는 기능은 이것에 한정되지 않고, 그 외 다양한 기능을 가져도 좋다.

- [0370] 도 28(A)는 휴대 전화기(1000)의 일례를 도시한 것이다. 휴대 전화기(1000)는 케이스(1001)에 내장된 표시부(1002) 외, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.
- [0371] 도 28(A)에 도시된 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치함으로써, 정보를 입력할 수 있다. 전화를 걸거나 또는 메일을 작성하는 등의 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.
- [0372] 표시부(1002)의 화면은 주로 3가지 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.
- [0373] 예를 들어, 전화를 걸거나 또는 메일을 작성하는 경우에는, 표시부(1002)를 문자의 입력이 주된 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우에는, 표시부(1002)의 화면의 대부분을 사용하여 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0374] 휴대 전화기(1000) 내부에 자이로스코프, 가속도 센서 등의 기술품을 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.
- [0375] 또한, 화면 모드의 변환은 표시부(1002)를 터치하거나 또는 케이스(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또는, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터라면 표시 모드로 전환하고, 텍스트 데이터라면 입력 모드로 전환하는 구성으로 하면 좋다.
- [0376] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.
- [0377] 표시부(1002)는 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치할 때 장문(掌紋), 지문(指紋) 등을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부(1002)에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.
- [0378] 도 28(B)에 도시한 휴대 전화기는 케이스(9411)에 표시부(9412) 및 조작 버튼(9413)을 포함한 표시 장치(9410)와, 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함한 통신 장치(9400)를 갖는다. 표시 기능을 갖는 표시 장치(9410)는 화살표로 도시된 바와 같이 전화 기능을 갖는 통신 장치(9400)와 탈착할 수 있고, 표시 장치(9410)와 통신 장치(9400)의 단축(短軸)들을 부착할 수도 있고, 표시 장치(9410)와 통신 장치(9400)의 장축(長軸)들을 부착할 수도 있다. 또한, 표시 기능만이 필요한 경우에는, 통신 장치(9400)로부터 표시 장치(9410)를 분리하고, 표시 장치(9410)를 단독으로 사용할 수 있는 구성으로 하여도 좋다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보 등을 수수(授受)할 수 있고, 각각 충전 가능한 배터리를 구비하면 좋다.
- [0379] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0380] (실시예 1)
- [0381] 트랜지스터의 신뢰성을 측정하기 위한 수법의 하나로써 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)이 있다. BT 시험은 가속 시험의 일종이고, 장기간 사용함으로써 일어나는 트랜지스터의 특성 변화를 단시간에 평가할 수 있다. 특히, BT 시험 전후에 있어서의 트랜지스터의 임계 값 전압의 변화량은 신뢰성을 측정하기 위한 중요한 지표가 된다. BT 시험 전후에 있어서, 임계 값 전압의 변화량이 적을수록 신뢰성이 높다.
- [0382] 구체적으로는, 트랜지스터가 형성된 기판의 온도(기판 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인의 전위를 같은 전위로 하고, 게이트에 소스 및 드레인의 전위와 상이한 전위를 일정 시간 인가한다. 기판 온도는 시험 목적에 따라 적절히 설정하면 좋다. 또한, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다

높은 경우를 +BT 시험이라고 부르고, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 -BT 시험이라고 부른다.

- [0383] BT 시험의 시험 강도는 기판 온도, 게이트 절연막에 가해지는 전계 강도, 전계 인가 시간에 따라 결정할 수 있다. 게이트 절연막 중의 전계 강도는 게이트와 소스 및 드레인 사이의 전위차를 게이트 절연막의 막 두께로 나눈 것으로 결정된다. 예를 들어, 막 두께가 100nm의 게이트 절연막 중의 전계 강도를 2MV/cm로 하고자 하는 경우에는 전위차를 20V로 하면 좋다.
- [0384] 본 실시예에서는 트랜지스터의 제작시에 있어서, 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 250℃, 350℃, 450℃로 한 3종류의 시료의 각각에 대하여 BT 시험을 행한 결과를 설명한다.
- [0385] 또한, 전압이란, 2점간에서의 전위차를 가리키고, 전위란, 어느 1점에서의 정전장 중에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 가리키지만, 전자 회로에 있어서, 어느 1점의 전위와 기준이 되는 전위(예를 들어, 접지 전위)의 전위차를 상기 어느 1점에서의 전위로서 표기하는 일이 많으므로, 이하의 설명에서는 어느 1점에서의 전위와 기준이 되는 전위(예를 들어, 접지 전위)의 차이를 상기 어느 1점에서의 전위로서 표기한 경우에 있어서, 특히 지정하는 경우를 제외하고, 상기 어느 1점에서의 전위를 전압이라고 한다.
- [0386] BT 시험은 기판 온도를 150℃, 게이트 절연막 중의 전계 강도를 2MV/cm, 시간을 1시간으로 하고, +BT 시험 및 -BT 시험의 각각을 행하였다.
- [0387] 우선, +BT 시험에 대하여 설명한다. BT 시험의 대상이 되는 트랜지스터의 초기 특성을 측정하기 위하여 기판 온도를 40℃로 하고, 소스-드레인간 전압(이하, 드레인 전압이라고 함)을 10V로 하고, 소스-게이트간 전압(이하, 게이트 전압이라고 함)을 -20V 내지 +20V까지 변화시켰을 때의 소스-드레인 전류(이하, 드레인 전류라고 함)의 변화 특성, 즉  $V_g$ - $I_d$  특성을 측정하였다. 여기서는, 시료 표면에 대한 흡습 대책을 위하여 기판 온도를 40℃로 하지만, 특히 문제가 없으면 실온(25℃)하에서 측정하여도 좋다.
- [0388] 다음에, 기판 온도를 150℃까지 상승시킨 후, 트랜지스터의 소스 및 드레인의 전위를 0V로 하였다. 이어서, 게이트 절연막 중의 전계 강도가 2MV/cm가 되도록 게이트에 전압을 인가하였다. 여기서는, 트랜지스터의 게이트 절연막의 두께가 100nm이었기 때문에 게이트에 +20V를 인가하고, 그대로 1시간 유지하였다. 여기서는, 시간을 1시간으로 하였지만, 목적에 따라 적절히 시간을 변경하여도 좋다.
- [0389] 다음에, 소스, 드레인 및 게이트에 전압을 인가한 채, 기판 온도를 40℃까지 낮추었다. 이 때, 기판 온도가 완전히 낮춰지기 전에 전압의 인가를 그만두면, 여열의 영향에 의하여 트랜지스터가 받은 대미지가 회복되기 때문에 전압은 인가한 채 기판 온도를 낮출 필요가 있다. 기판 온도가 40℃가 된 후, 전압의 인가를 끝냈다.
- [0390] 다음에, 초기 특성의 측정과 같은 조건으로  $V_g$ - $I_d$  특성을 측정하고, +BT 시험 후의  $V_g$ - $I_d$  특성을 얻었다.
- [0391] 그리고, -BT 시험에 대하여 설명한다. -BT 시험도 +BT 시험과 같은 수순으로 행하지만, 기판 온도를 150℃까지 상승시킨 후에 게이트에 인가하는 전압을 -20V로 하는 점이 상이하다.
- [0392] 또한, BT 시험시에는 아직 한번도 BT 시험이 행해지지 않은 트랜지스터를 사용하여 시험을 행하는 것이 중요하다. 예를 들어, 한번 +BT 시험이 행해진 트랜지스터를 사용하여 -BT 시험을 행하면, 이미 행한 +BT 시험의 영향에 의하여 -BT 시험 결과를 올바르게 평가할 수 없기 때문이다. 한번 +BT 시험이 행해진 트랜지스터를 사용하여 다시 +BT 시험을 행한 경우 등도 마찬가지다. 다만, 이들 영향을 고려하여 의도적으로 BT 시험을 반복하는 경우에는 이것에 한정되지 않는다.
- [0393] 도 29(A) 내지 도 29(C)는 +BT 시험 전후에 있어서의 트랜지스터의  $V_g$ - $I_d$  특성을 도시한 것이다. 도 29(A)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 250℃로 제작한 트랜지스터의 +BT 시험 결과이다. 도 29(B)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 350℃로 제작한 트랜지스터의 +BT 시험 결과이고, 도 29(C)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 450℃로 제작한 트랜지스터의 +BT 시험 결과이다.
- [0394] 도 30(A) 내지 도 30(C)는 -BT 시험 전후에 있어서의 트랜지스터의  $V_g$ - $I_d$  특성을 도시한 것이다. 도 30(A)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 250℃로 제작한 트랜지스터의 -BT 시험 결과이다. 도 30(B)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 350℃로 제작한 트랜지스터의 -BT 시험 결과이고, 도 30(C)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 450℃로 제작한 트랜지스터의 -BT 시험 결과이다.

- [0395] 또한, 상기 도 29(A) 내지 도 30c에서는 제 2 게이트 전극을 티타늄층(50nm)과 알루미늄층(100nm)과 티타늄층(5nm)을 적층한 3층의 적층 구조로 하였다. 제 2 게이트 전극은 각 화소에 대하여 독립적으로 리드되는 구성으로 하였다. 또한, 비교예로서, 제 2 게이트 전극을 형성하지 않은 경우의 +BT 시험의 결과를 도 31(A) 내지 도 31(C)에 도시하고, 제 2 게이트 전극을 형성하지 않은 경우의 -BT 시험의 결과를 도 32(A) 내지 도 32(C)에 도시한다. 도 31(A)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 250℃로 제작한 트랜지스터의 +BT 시험 결과이고, 도 31(B)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 350℃로 제작한 트랜지스터의 +BT 시험 결과이고, 도 31(C)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 450℃로 제작한 트랜지스터의 +BT 시험 결과이다. 도 32(A)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 250℃로 제작한 트랜지스터의 -BT 시험 결과이고, 도 32(B)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 350℃로 제작한 트랜지스터의 -BT 시험 결과이고, 도 32(C)는 소스 및 드레인을 형성하기 전에 행하는 열 처리를 질소 분위기 중에서 450℃로 제작한 트랜지스터의 -BT 시험 결과이다.
- [0396] 각 도면에 있어서, 가로 축은 게이트 전압( $V_g$ )이고, 세로 축은 드레인 전류( $I_d$ )를 대수 눈금으로 나타낸 것이다. 또한, 실선은 초기 특성을 나타내고, 파선을 스트레스 인가 후의 특성을 나타낸 것이다.
- [0397] 도 29(A) 내지 도 29(C) 및 도 31(A) 내지 도 31(C)로부터 열 처리의 온도를 250℃, 350℃, 450℃로 상승시킴에 따라 +BT 시험 후의 임계 값 전압의 변화량이 작아진 것을 알 수 있다. 그리고, 도 30(A) 내지 도 30(C)과 도 32(A) 내지 도 32(C)의 비교로부터 제 2 게이트 전극을 형성함으로써 -BT 시험 후의 임계 값 전압의 변화량이 작아진 것을 알 수 있다.
- [0398] 도 29(A) 내지 도 29(C) 및 도 31(A) 내지 도 31(C)로부터 소스 및 드레인을 형성하기 전에 행하는 열 처리의 온도가 대략 400℃ 이상인 경우에는 적어도 +BT 시험에서의 신뢰성을 향상시킬 수 있다. 그리고, 도 30(A) 내지 도 30(C) 및 도 32(A) 내지 도 32(C)로부터 제 2 게이트 전극을 형성함으로써 -BT 시험에서의 신뢰성을 향상시킬 수 있다. 따라서, 소스 및 드레인을 형성하기 전에 행하는 열 처리의 온도를 대략 400℃ 이상으로 하고, 제 2 게이트 전극을 형성함으로써, +BT 시험 및 -BT 시험에서의 신뢰성을 향상시킬 수 있다.
- [0399] 따라서, 본 실시예에서 설명한 바와 같이, 본 발명의 일 형태에 의하여 +BT 시험에서의 신뢰성과 -BT 시험에서의 신뢰성의 양쪽 모두를 향상시킬 수 있다.
- [0400] 또한, 이와 같이 -BT 시험에서의 신뢰성이 높은 트랜지스터는 표시 장치의 구동 회로부의 드라이버 회로에 적용하는 것이 특히 유효하다.
- [0401] (실시예 2)
- [0402] 본 실시예는 가열 온도의 조건을 바꾸어 질소 분위기하에서 가열 처리를 행한 복수의 시료를 승온 탈리 분석 장치(Thermal Desorption Spectroscopy, 이하, TDS라고 부름) 측정으로 측정한 결과에 대하여 도 34 내지 도 36을 참조하여 설명한다.
- [0403] TDS는 시료를 고진공 중에서 가열 및 승온 중에 시료로부터 탈리 또는 발생하는 가스 성분을 4중극 질량 분석계로 검출하고, 동정하는 분석 장치이고, 시료 표면과 내부로부터 탈리하는 가스 및 분자를 관찰할 수 있다. ESCO, Ltd. 제 TDS(제품명; 1024amu QMS)를 사용하고, 측정 조건은 승온 약 10℃/분으로 하고,  $1 \times 10^{-8}$  (Pa)로부터 측정을 시작하고, 측정 중은 약  $1 \times 10^{-7}$  (Pa)의 진공도이다.
- [0404] 도 34는 유리 기판만의 시료(비교 시료)와 유리 기판 위에 설정 막 두께 50nm(실제로는 예칭되었으므로 막 두께가 약 30nm)의 In-Ga-Zn-O계 비단결정막을 형성한 시료(샘플 1)를 비교한 TDS의 측정 결과를 나타낸 그래프이다. 도 34는 H<sub>2</sub>O에 대한 TDS 측정 결과를 도시한 것이지만, 300℃ 부근에 피크가 관찰되므로 In-Ga-Zn-O계 비단결정막으로 수분(H<sub>2</sub>O) 등의 불순물이 탈리한 것을 확인할 수 있다.
- [0405] 도 35는 유리 기판 위에 설정 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 형성한 시료(샘플 1)와, 유리 기판 위에 설정 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 형성한 후, 대기 분위기하에서 가열 온도 350℃로 1시간의 가열 처리를 행한 시료(샘플 2)와, 질소 분위기하에서 가열 온도 350℃로 1시간의 가열 처리를 행한 시료(샘플 3)를 비교한 것이고, H<sub>2</sub>O에 대한 TDS 측정 결과를 도시한 것이다. 도 35의 결과로부터 샘플 3에 있어서, 300℃

부근의 피크가 샘플 2보다 저감되기 때문에, 질소 분위기에서의 가열 처리에 의하여 수분(H<sub>2</sub>O) 등의 불순물이 탈리된 것을 확인 할 수 있다. 따라서, 대기 분위기하에서 가열 처리를 행하는 것보다 질소 분위기하에서 가열 처리를 행하는 것이 막 중의 수분(H<sub>2</sub>O) 등의 불순물이 저감된 것을 알 수 있다.

[0406] 도 36은 유리 기판 위에 설정 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 형성한 시료(샘플 1)와, 질소 분위기하에서 가열 온도 250℃로 1시간의 가열 처리를 행한 시료(샘플 4)와, 질소 분위기하에서 가열 온도 350℃로 1시간의 가열 처리를 행한 시료(샘플 3)와, 질소 분위기하에서 가열 온도 450℃로 1시간의 가열 처리를 행한 시료(샘플 5)와, 질소 분위기하에서 가열 온도 350℃로 10시간의 가열 처리를 행한 시료(샘플 6)를 비교한 것이고, H<sub>2</sub>O에 대한 TDS 측정 결과를 도시한 것이다. 도 36의 결과로부터 측정된 온도 범위에 있어서, 질소 분위기하에서의 가열 온도가 높을수록 In-Ga-Zn-O계 비단결정막 중에서 탈리한 수분(H<sub>2</sub>O) 등의 불순물이 저감된 것을 알 수 있다.

[0407] 도 35 및 도 36의 그래프에는 200℃ 내지 250℃ 부근에서 수분(H<sub>2</sub>O) 등의 불순물이 탈리한 것을 나타내는 제 1 피크와, 300℃ 근방에서의 수분(H<sub>2</sub>O) 등의 불순물이 탈리한 것을 나타내는 제 2 피크를 확인할 수 있다.

[0408] 또한, 질소 분위기하에서 450℃의 가열 처리를 행한 시료는 그 후 실온에서 대기 중에 1주간 정도 방치하여도 200℃ 이상에서 탈리하는 수분은 관측되지 않았고, 가열 처리에 의하여 In-Ga-Zn-O계 비단결정막이 안정된 것이 판명되었다.

[0409] 여기서, 질소 분위기하에서의 가열 온도 조건을 150℃, 175℃, 200℃, 225℃, 250℃, 275℃, 300℃, 325℃, 350℃, 375℃, 400℃, 425℃, 450℃로 하여 각각의 캐리어 농도를 측정된 결과를 도 33에 도시한다. 또한, In-Ga-Zn-O계 비단결정막 위에 산화물 절연막을 형성하면, 도 33 중의 점선에 도시한 캐리어 농도( $1 \times 10^{14} / \text{cm}^3$ ) 이하가 된다.

[0410] 다음에, 캐리어 농도와 Hall 이동도(홀 이동도)의 측정에 대하여 설명한다. 도 37(A)는 산화물 반도체막(In-Ga-Zn-O계 비단결정막)의 물성(캐리어 농도와 Hall 이동도)을 평가하기 위한 물성 평가용 시료(510)의 입체시도를 도시한 것이다. 여기서, 물성 평가용 시료(510)를 제작하여 실온에서 Hall 효과 측정을 행하여 산화물 반도체막의 캐리어 농도와 Hall 이동도를 평가하였다. 물성 평가용 시료(510)는 기판(500) 위에 산화질화실리콘으로 이루어진 절연막(501)을 형성하고, 그 위에 평가 대상이 되는 10mm×10mm의 산화물 반도체막(502)을 형성하고, 그 위에 각각 직경 11mm의 전극(503, 504, 505, 506)을 형성하여 제작하였다. 도 37(B)는 Hall 이동도의 측정 결과를 도시한 것이고, 도 37(C)는 도전율의 측정 결과를 도시한 것이다. 또한, Hall 효과 측정으로부터 계산한 산화물 반도체막의 캐리어 농도는 도 33에 도시한 것이다.

[0411] 도 33 내지 도 36의 결과로부터 250℃ 이상에 있어서, In-Ga-Zn-O계 비단결정막 중으로부터 수분(H<sub>2</sub>O) 등의 불순물이 탈리한 것과, 캐리어 농도의 변동하는 것 사이에 관계가 있는 것을 알 수 있다. 즉, In-Ga-Zn-O계 비단결정막 중으로부터 수분(H<sub>2</sub>O) 등의 불순물이 탈리함으로써 캐리어 농도가 증가한 것을 알 수 있다.

[0412] 또한, TDS 측정에 의하여 H<sub>2</sub>O 외 H, O, OH, H<sub>2</sub>, O<sub>2</sub>, N, N<sub>2</sub>, 및 Ar 각각에 대하여 측정을 행한 결과, H, O, 및 OH는 확실하게 피크를 관측할 수 있었지만, H<sub>2</sub>, O<sub>2</sub>, N, N<sub>2</sub>, 및 Ar는 피크를 관측할 수 없었다. 시료는 유리 기판에 설정 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 형성한 것을 사용하고, 가열 조건은 질소 분위기하에서 250℃로 1시간, 질소 분위기하에서 350℃로 1시간, 질소 분위기하에서 350℃로 10시간, 질소 분위기하에서 450℃로 1시간으로 하고, 비교예로서 가열 처리하지 않은 In-Ga-Zn-O계 비단결정막과, 유리 기판만을 각각 측정하였다. 도 38은 H의 TDS 결과를 도시하고, 도 39는 O의 TDS 결과를 도시한 것이고, 도 40은 OH의 TDS 결과를 도시한 것이고, 도 41은 H<sub>2</sub>의 TDS 결과를 도시한 것이다. 또한, 상기 가열 조건에서의 질소 분위기의 산소 밀도는 20ppm 이하이다.

[0413] (실시예 3)

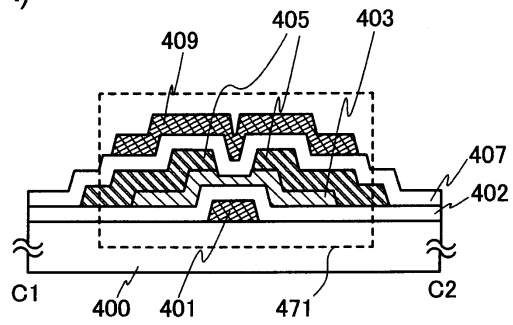
[0414] 본 실시예는 산소 밀도가 높은 영역 및 산소 밀도가 낮은 영역을 갖는 산화물 반도체층에 있어서의 가열 처리에 수반되는 산소의 확산 현상을 계산한 결과에 대하여 도 42 및 도 43을 사용하여 설명한다. 여기서, 계산용의 소프트웨어로서는 Fujitsu Limited 제 Materials Explorer 5.0를 사용하였다.



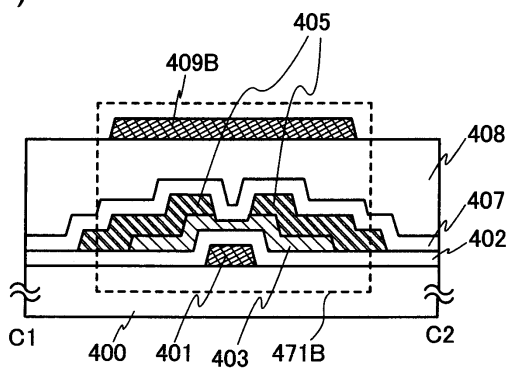
도면

도면1

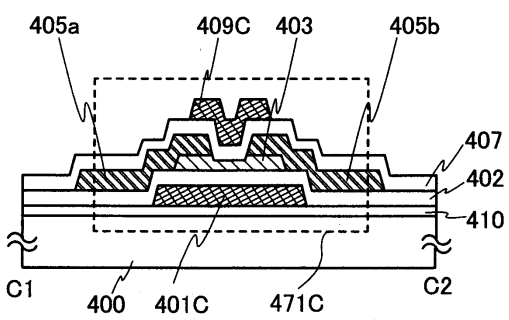
(A)



(B)

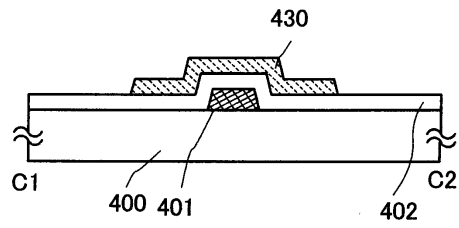


(C)

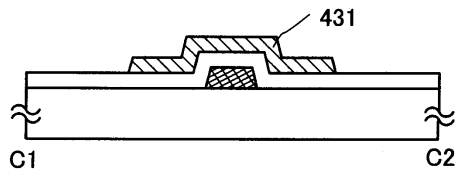


도면2

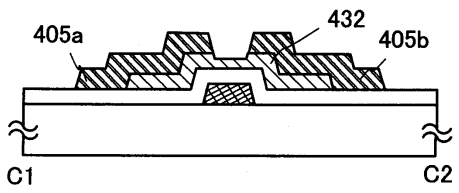
(A)



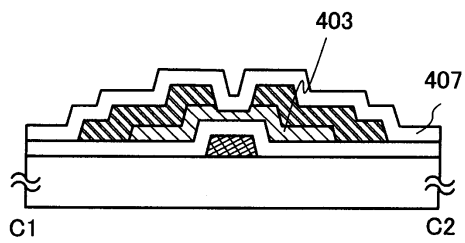
(B)



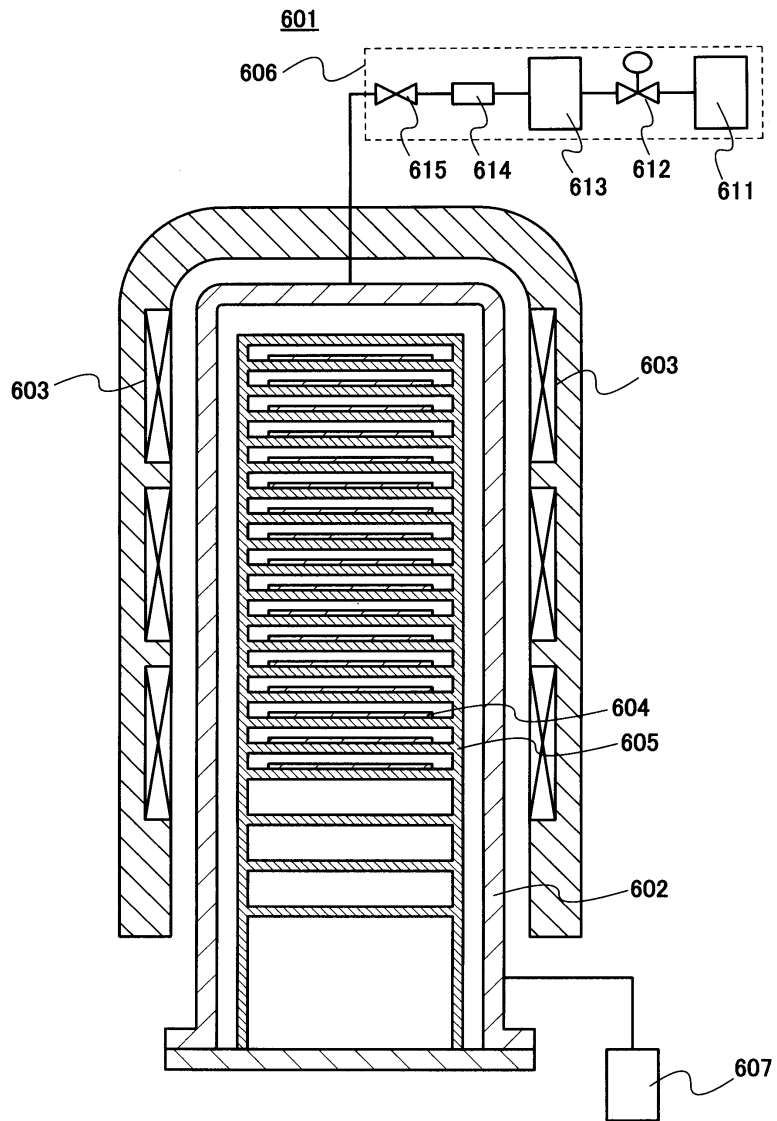
(C)



(D)

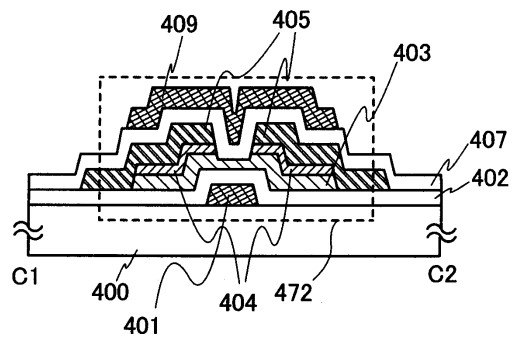


도면3

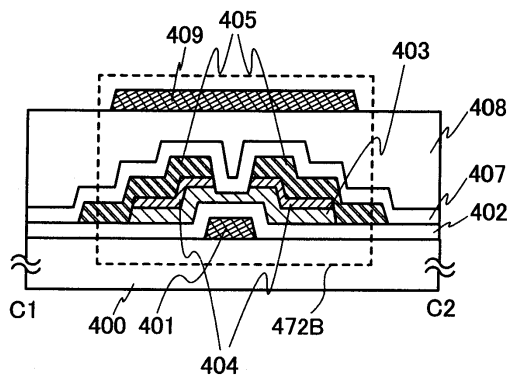


도면4

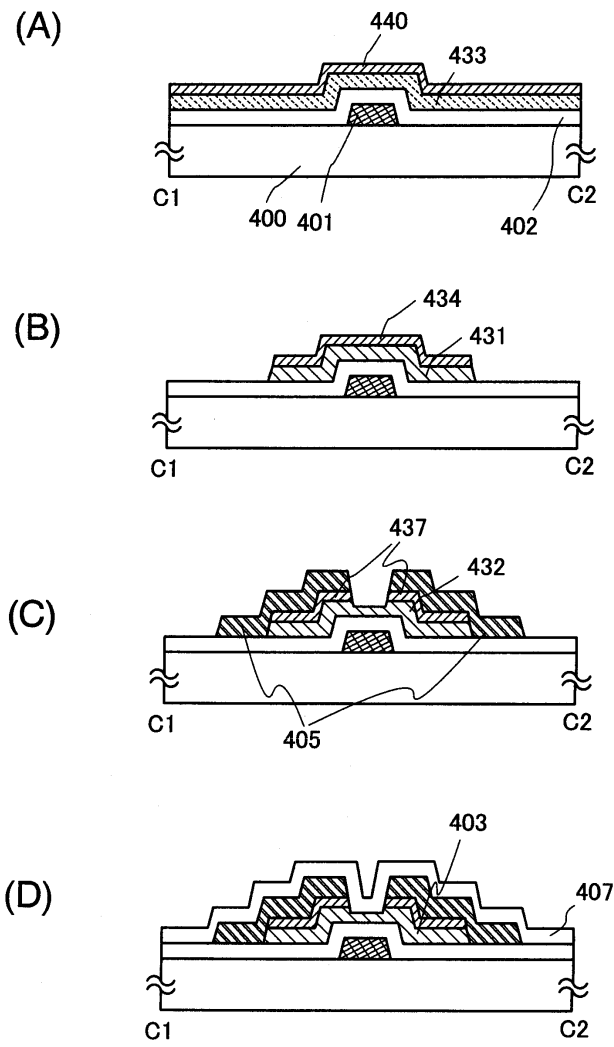
(A)



(B)

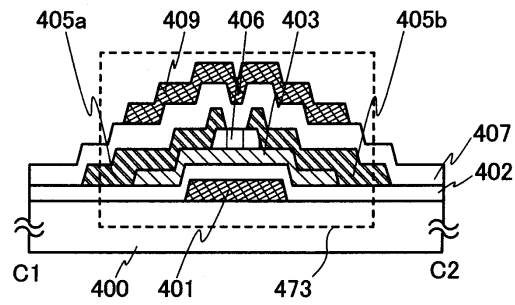


도면5

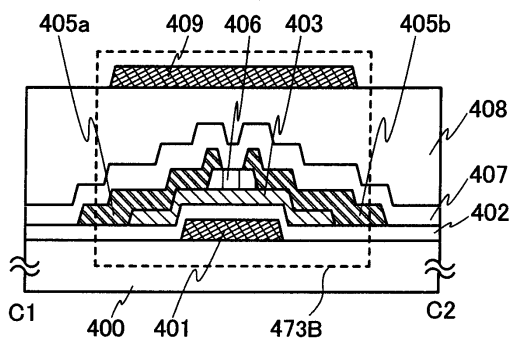


도면6

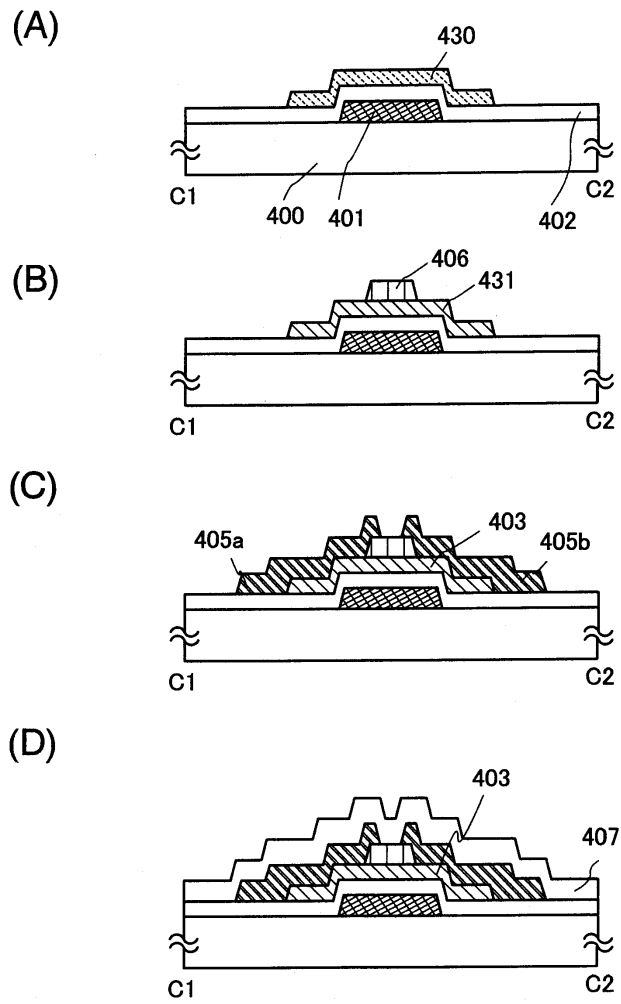
(A)



(B)

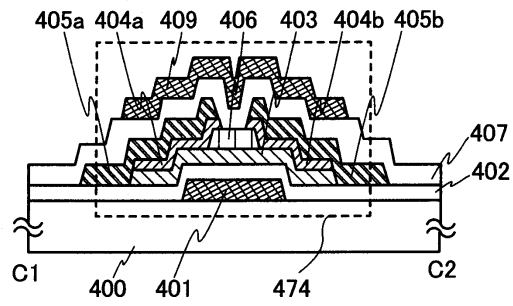


도면7

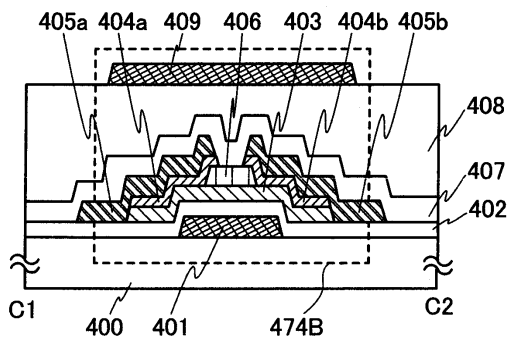


도면8

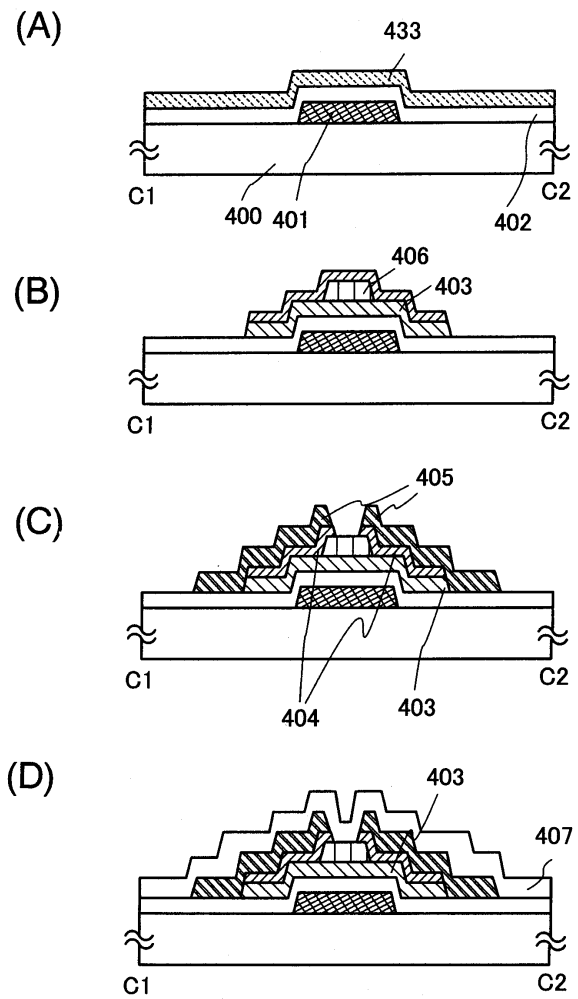
(A)



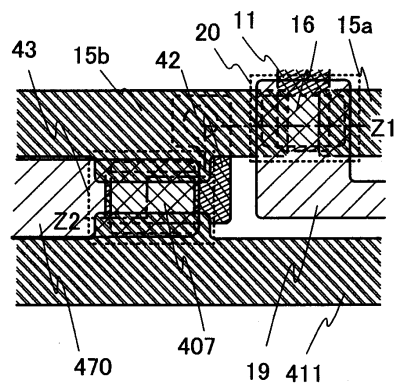
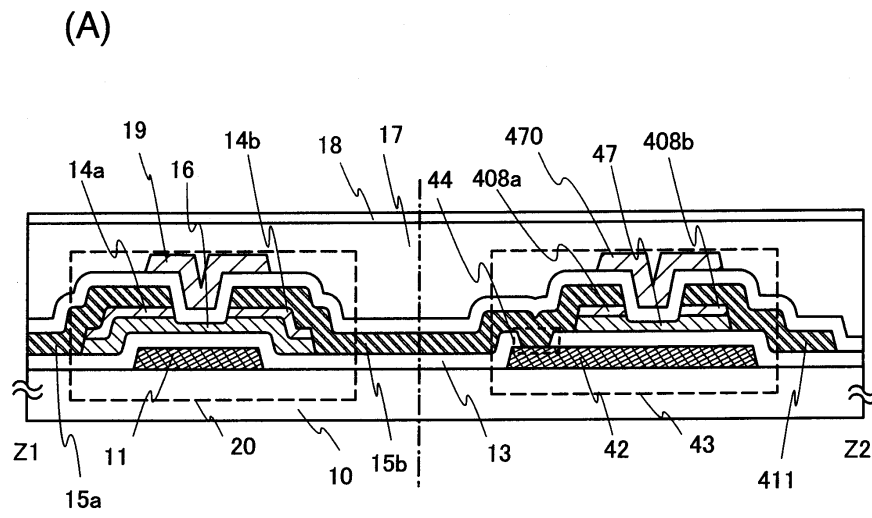
(B)



도면9

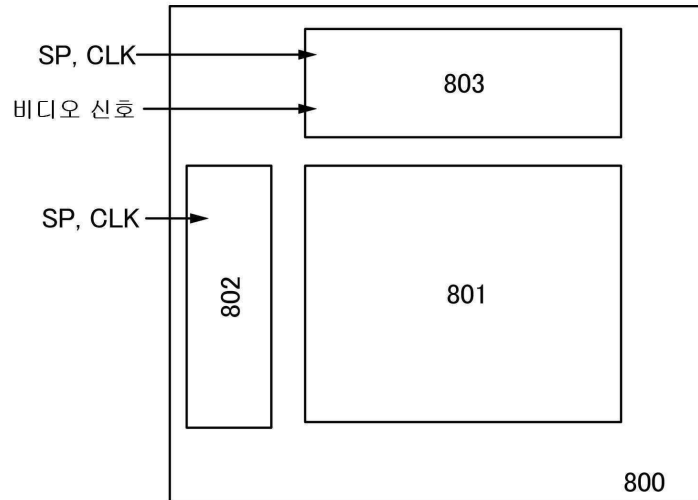


도면10

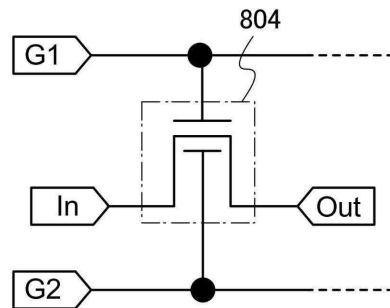


도면11

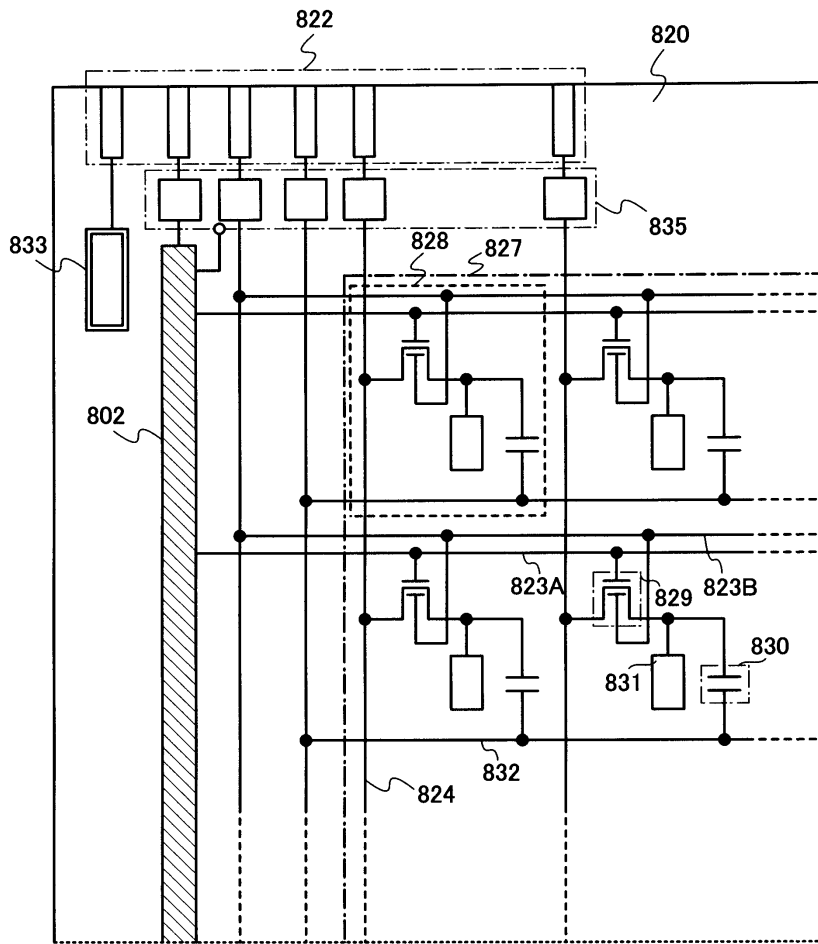
(A)



(B)

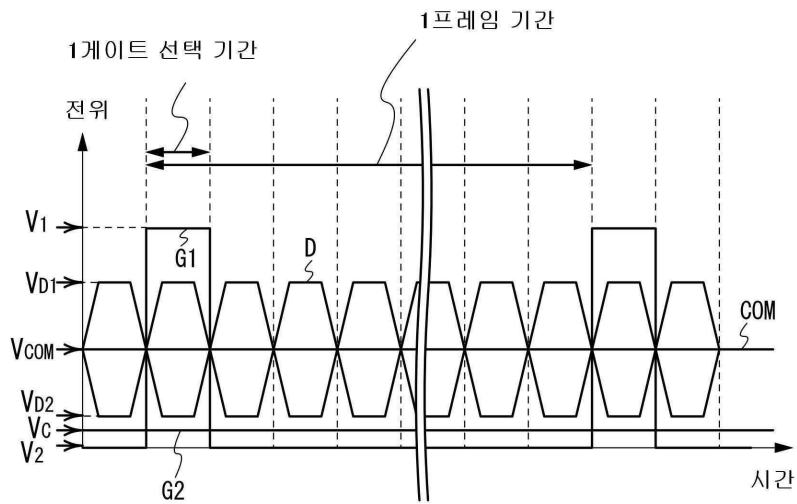


도면12

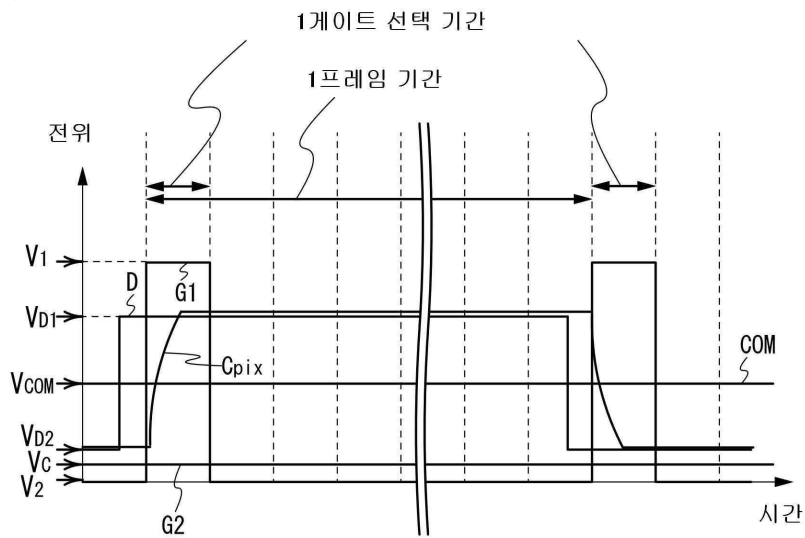


도면13

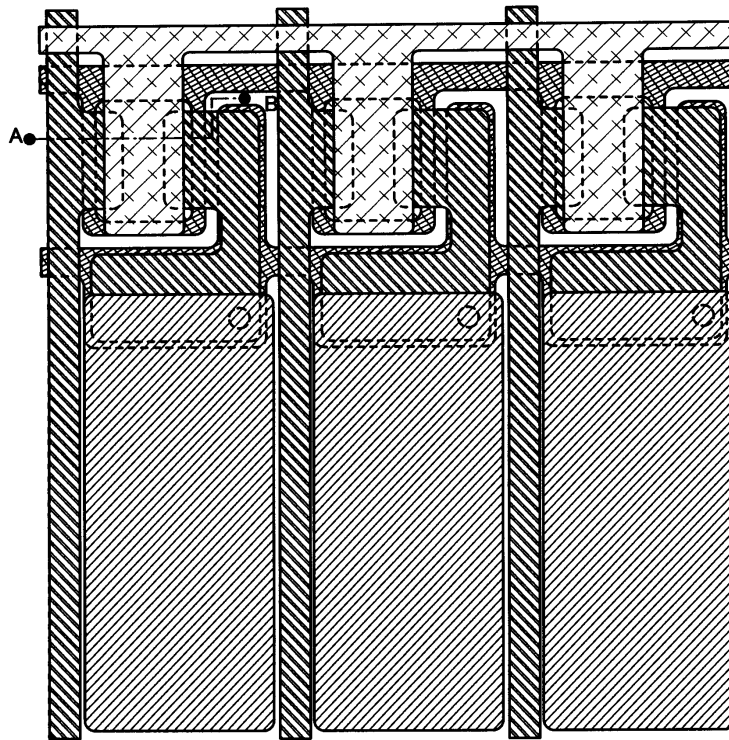
(A)



(B)

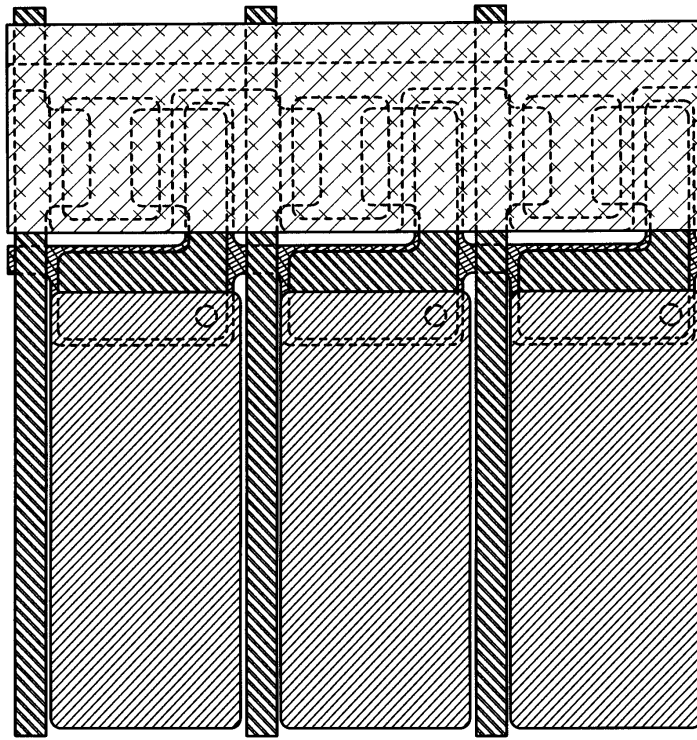


도면14



- |        |  |        |  |
|--------|--|--------|--|
| 1101 ~ |  | 1104 ~ |  |
| 1102 ~ |  | 1105 ~ |  |
| 1103 ~ |  | 1106 ~ |  |

도면15



1101 ~ 

1102 ~ 

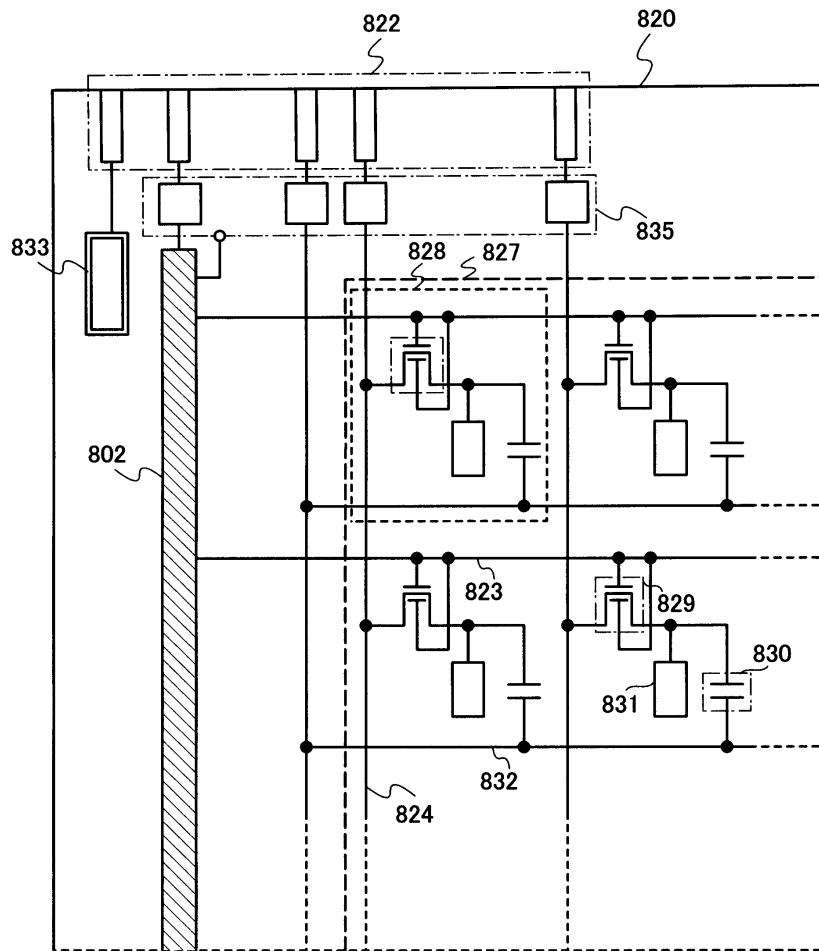
1103 ~ 

1104 ~ 

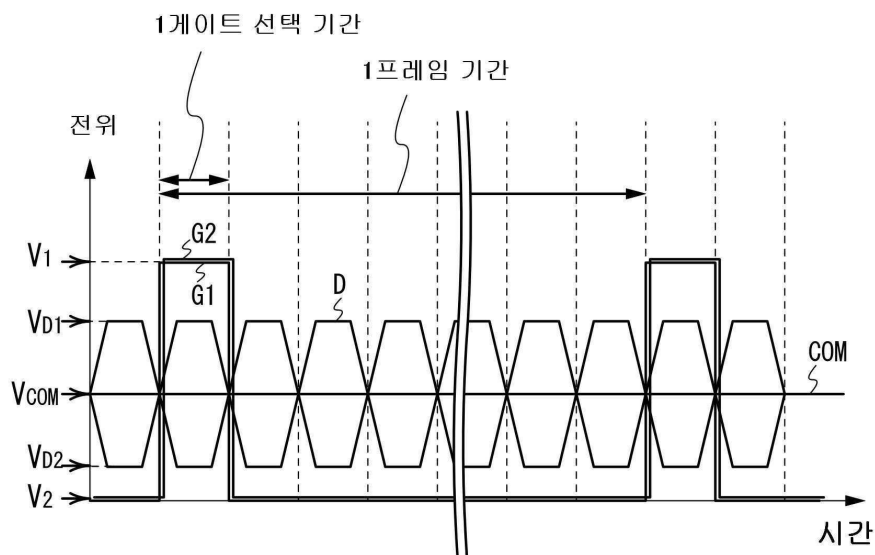
1105 ~ 

1106 ~ 

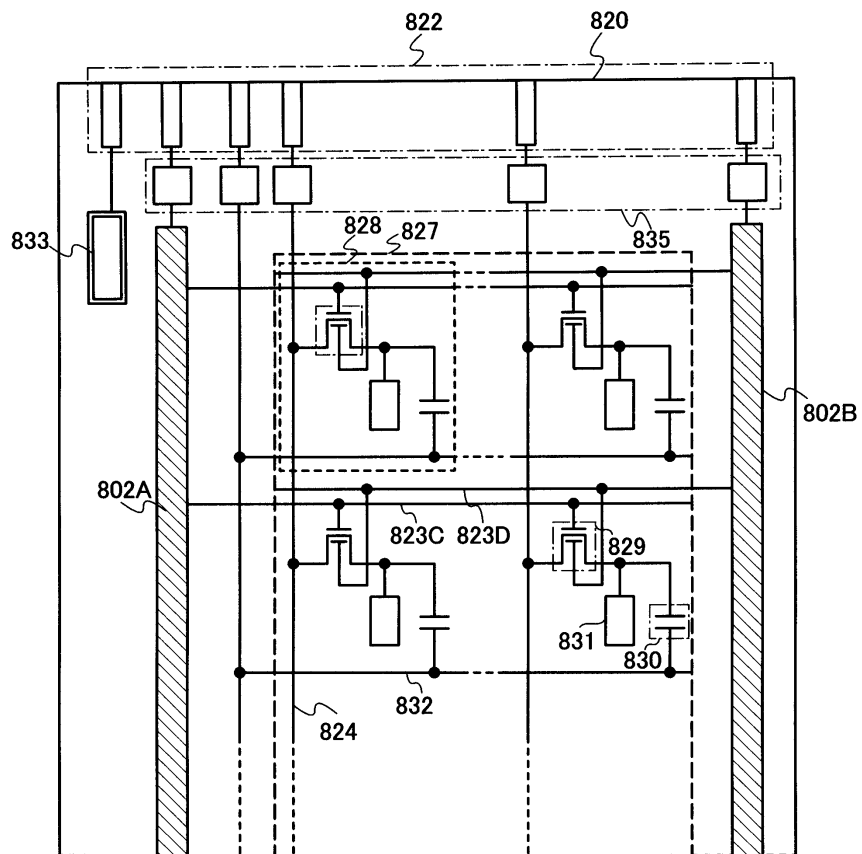
도면16



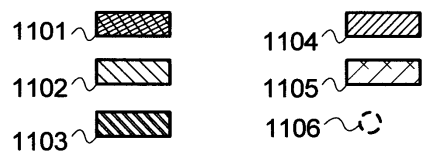
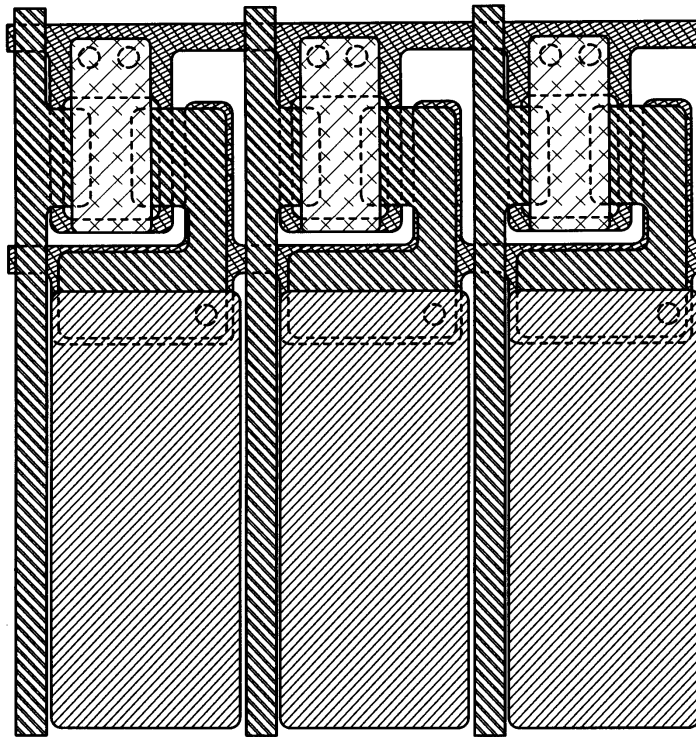
도면17



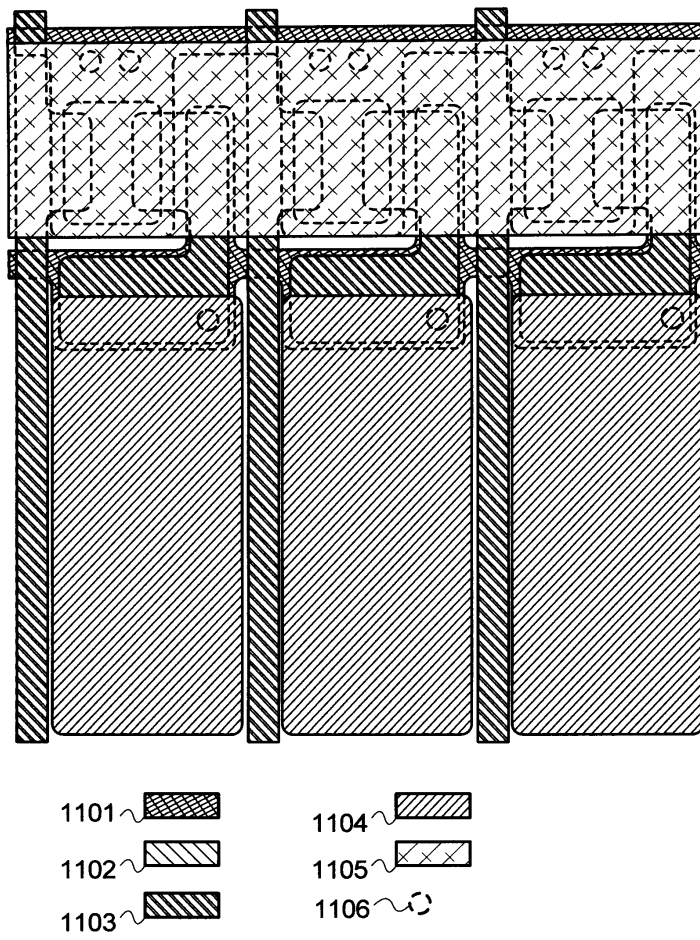
도면18



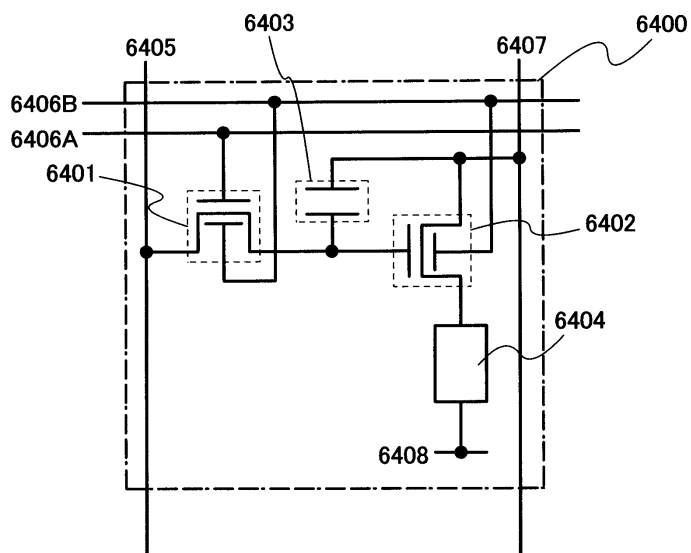
도면19



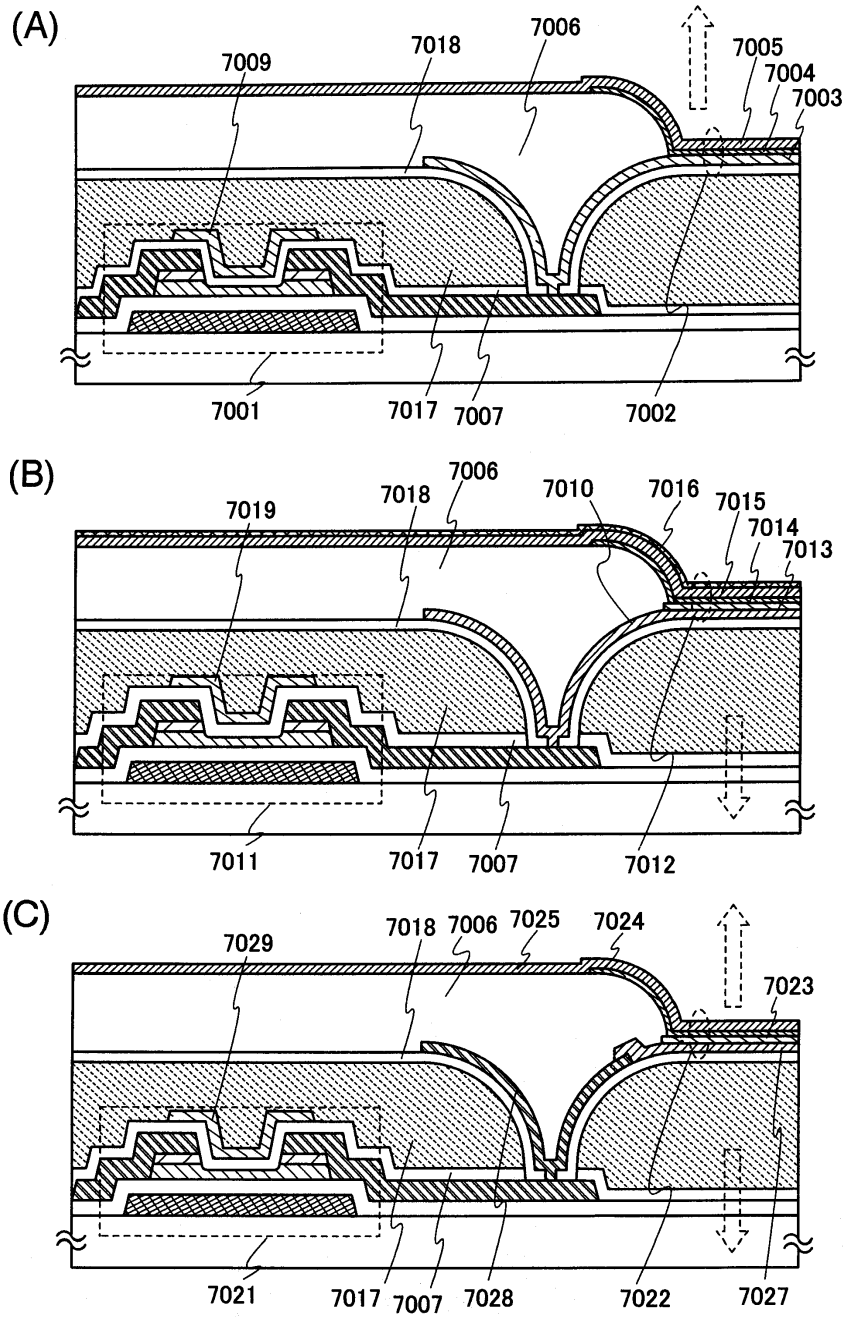
도면20



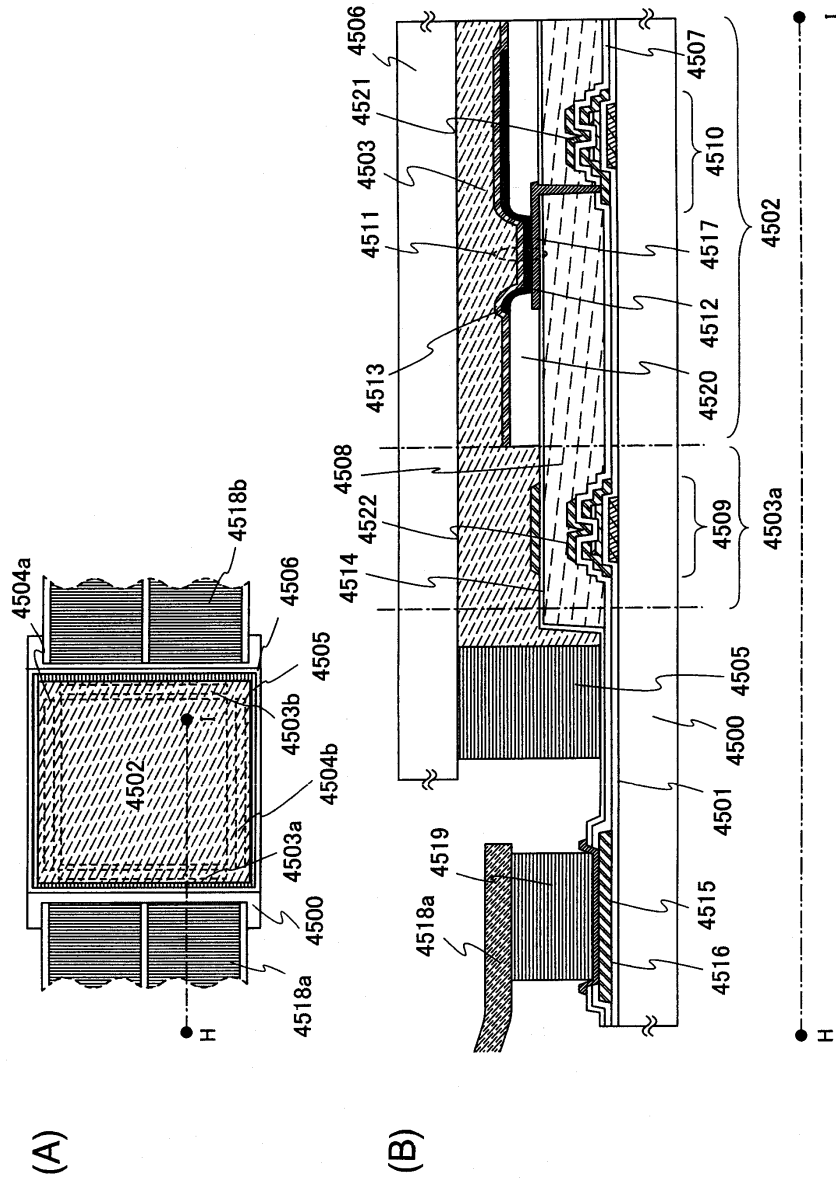
도면21



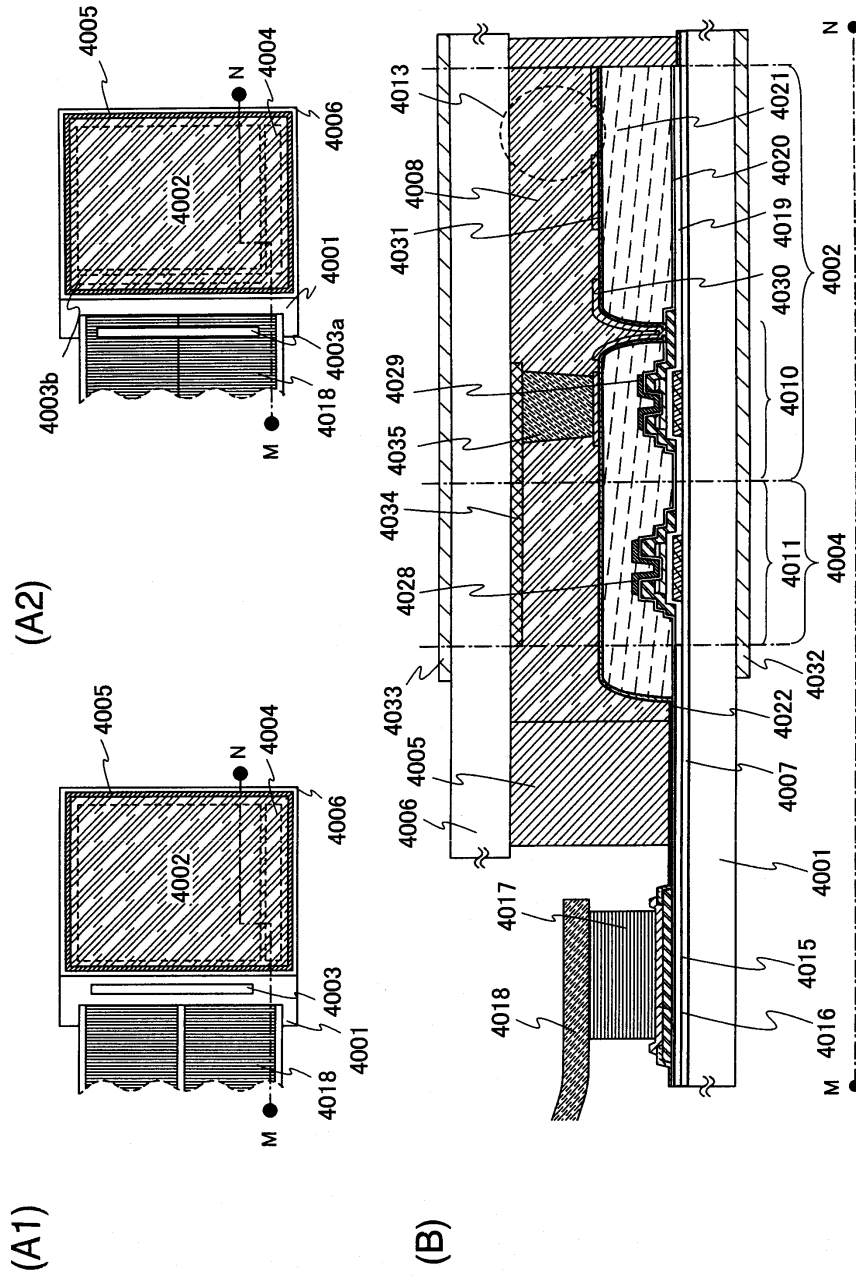
도면22



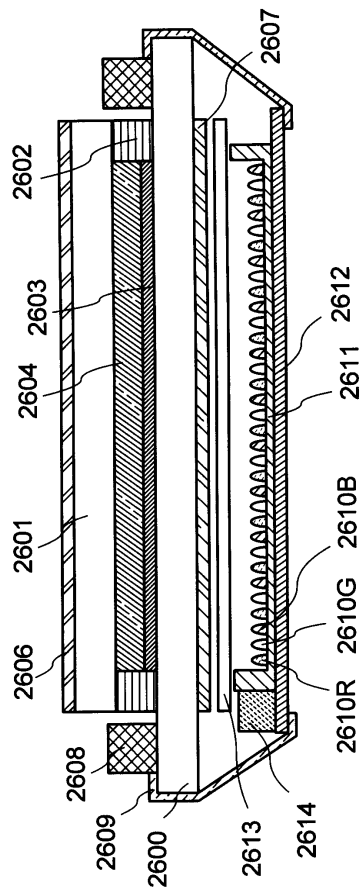
도면23



도면24

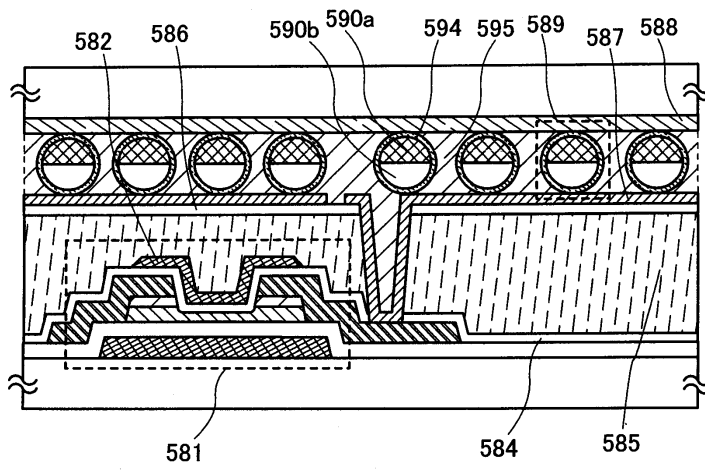


도면25

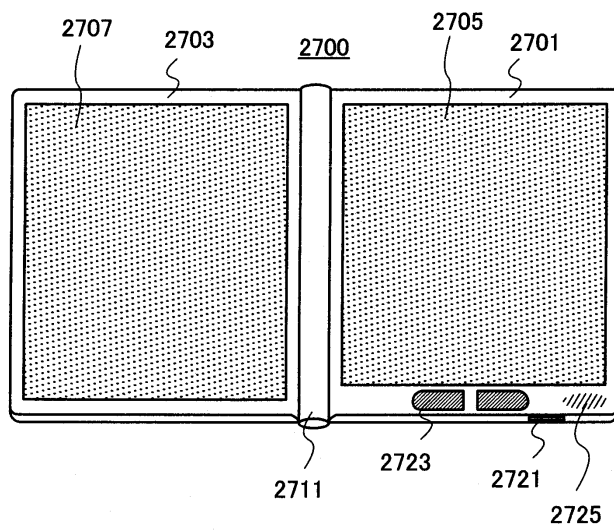


도면26

(A)

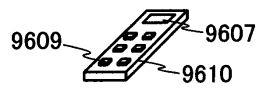
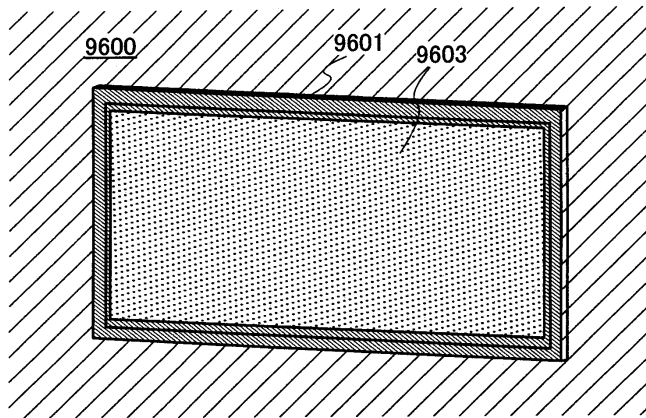


(B)

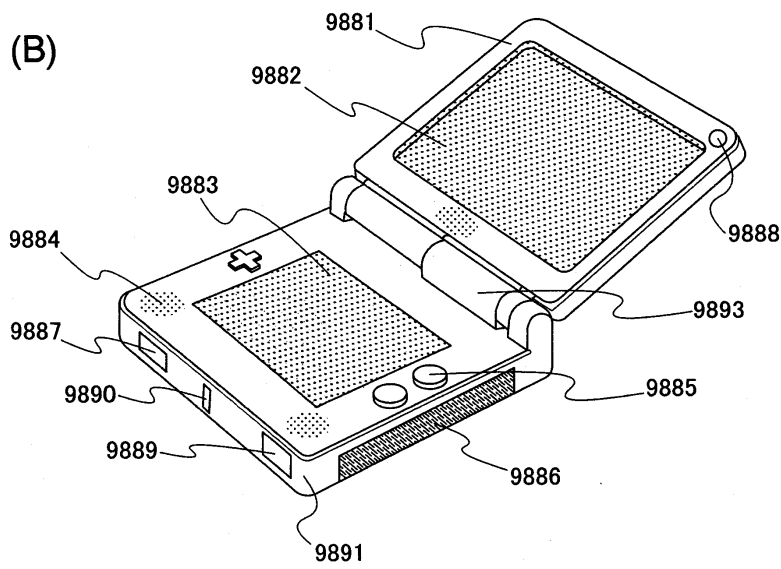


도면27

(A)

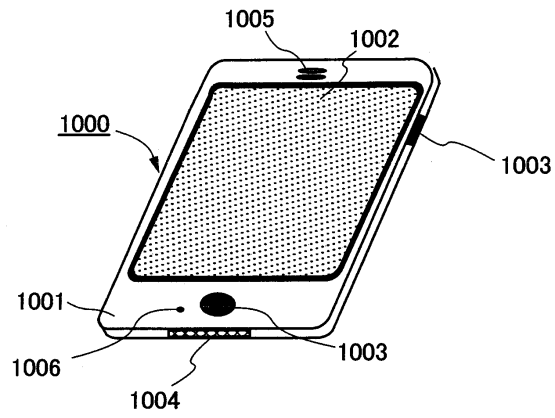


(B)

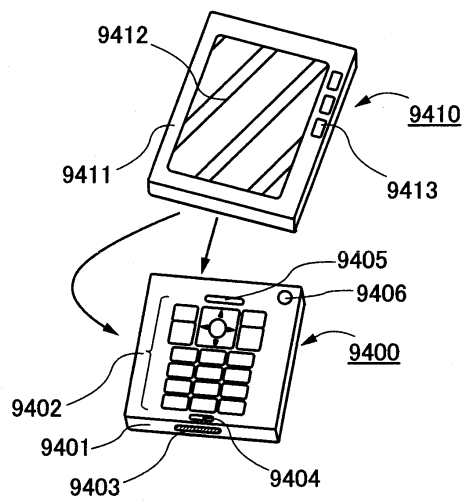


도면28

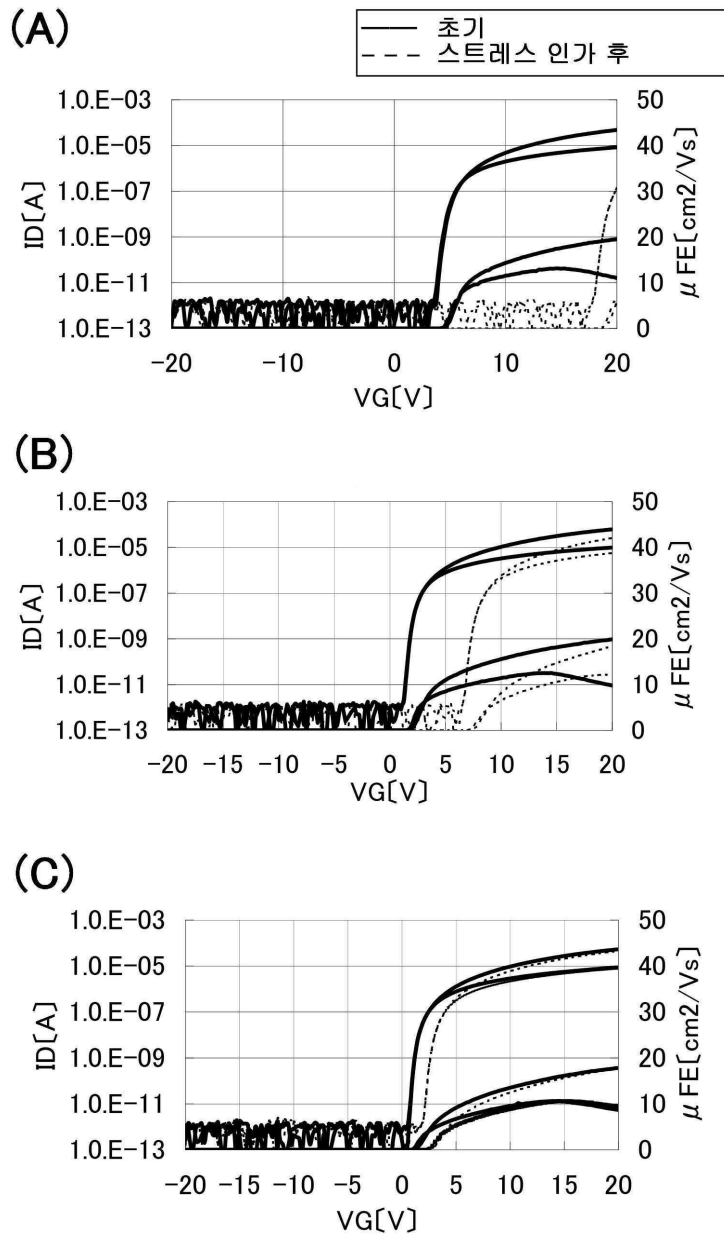
(A)



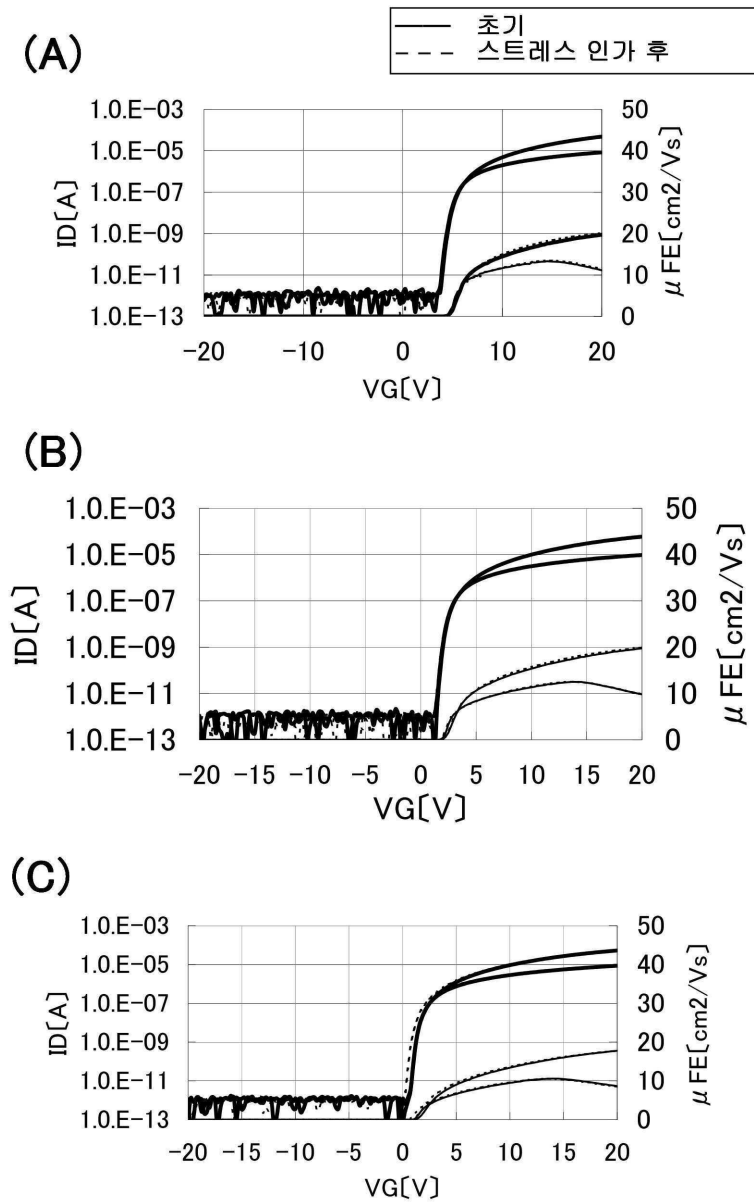
(B)



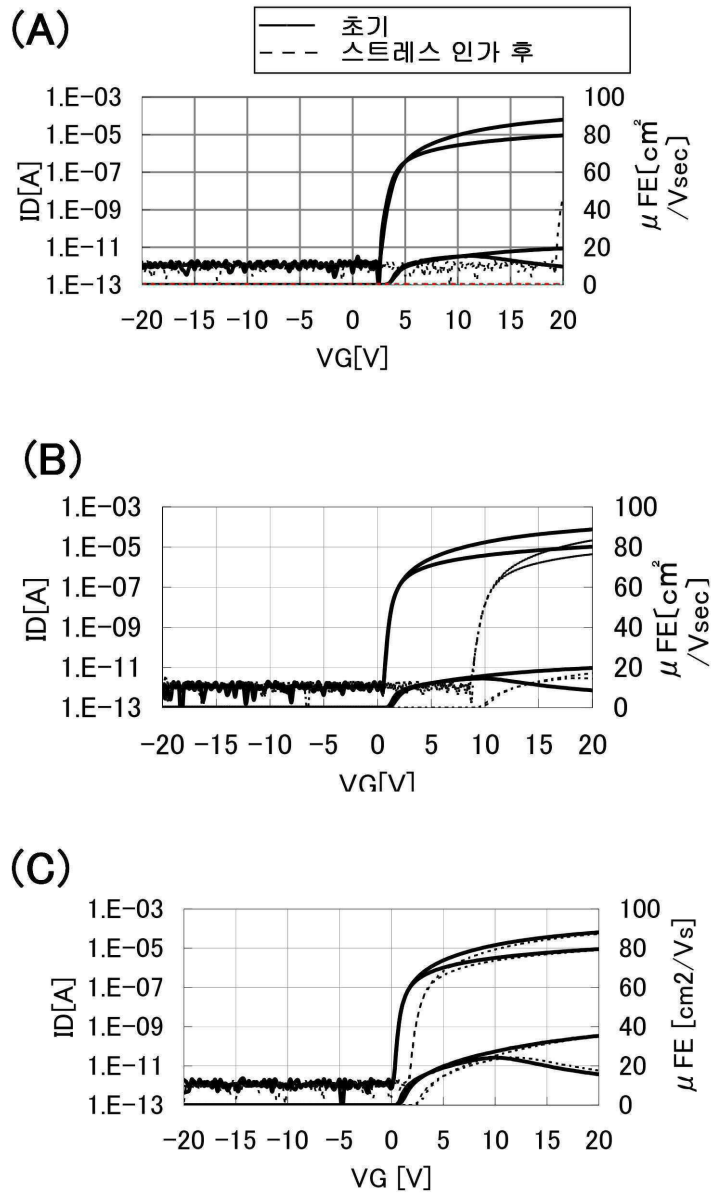
도면29



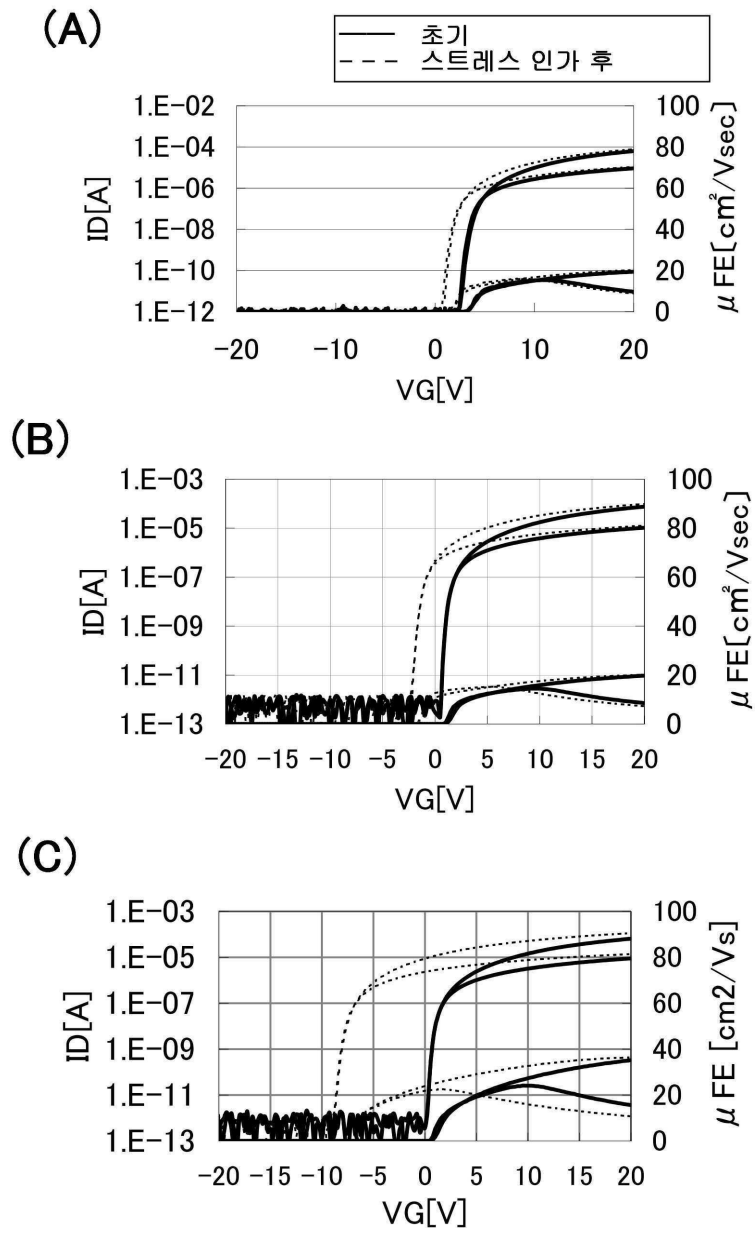
도면30



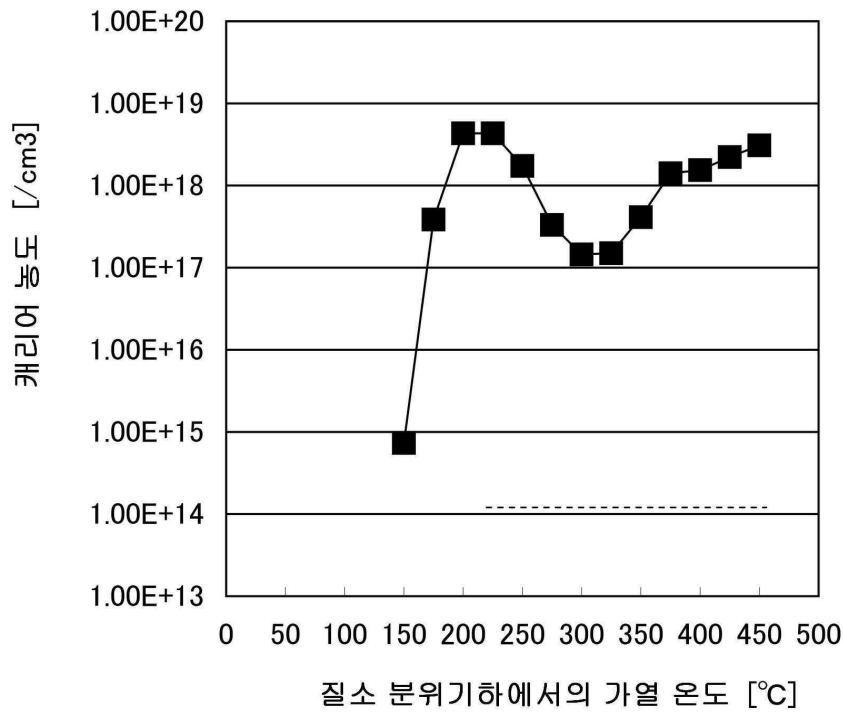
도면31



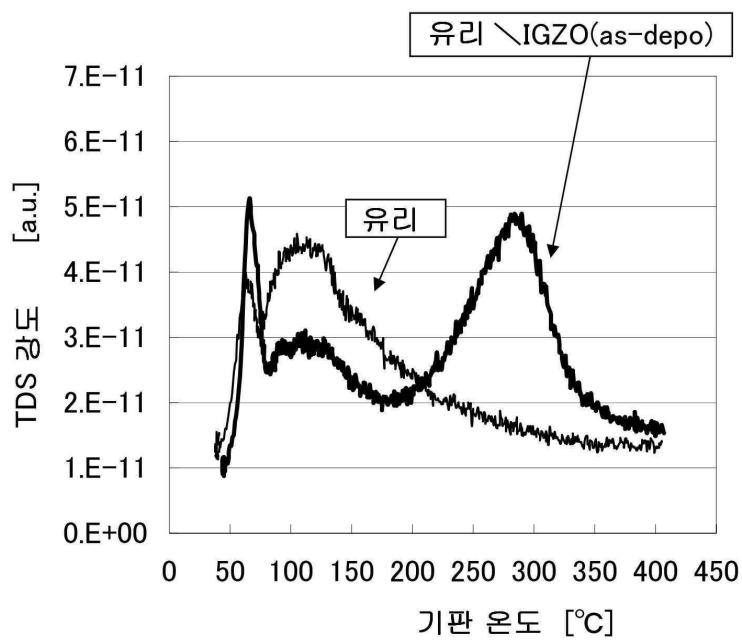
도면32



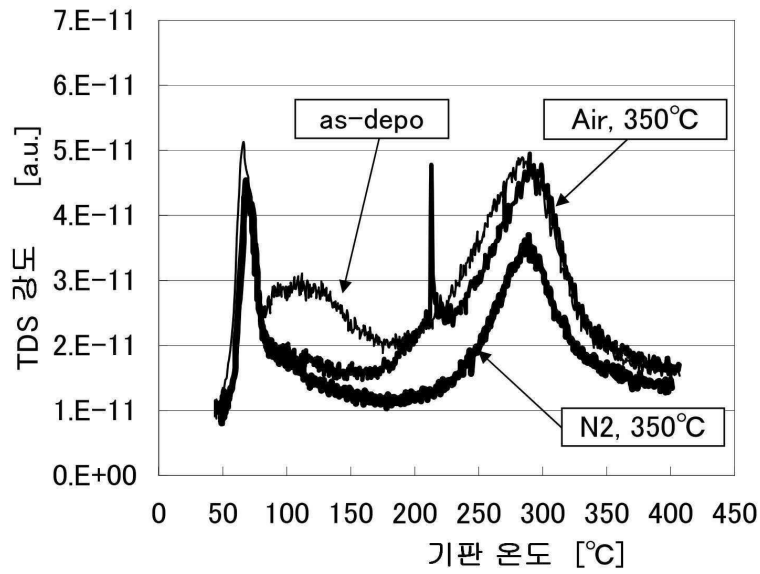
도면33



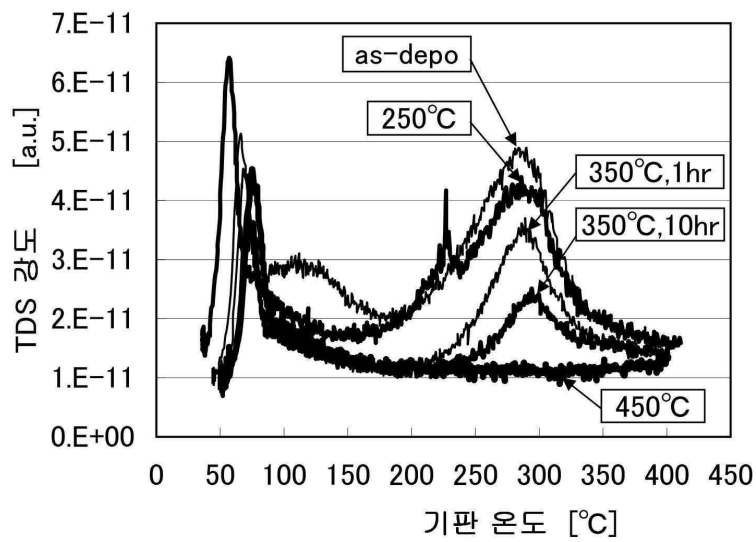
도면34



도면35

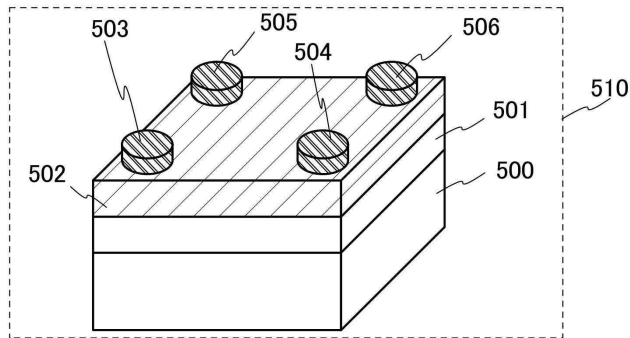


도면36

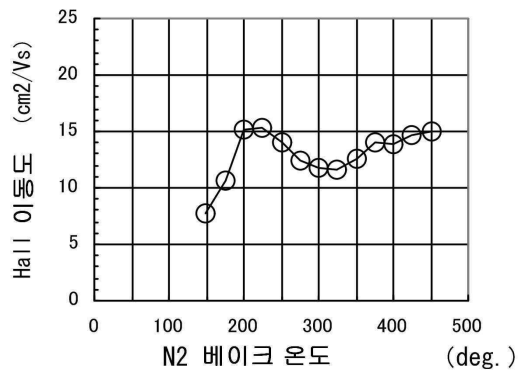


도면37

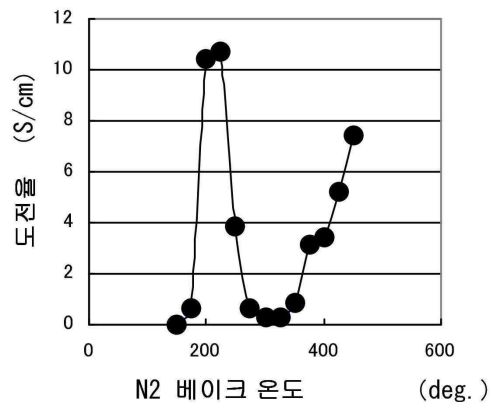
(A)



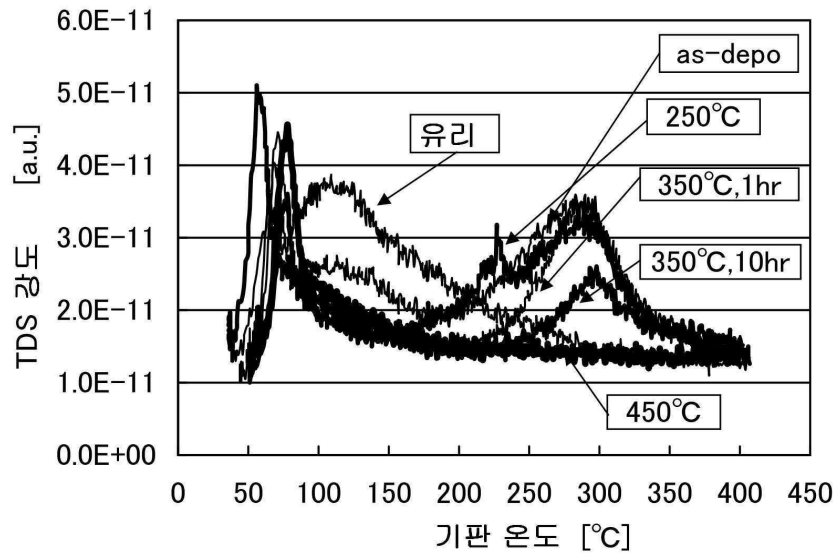
(B)



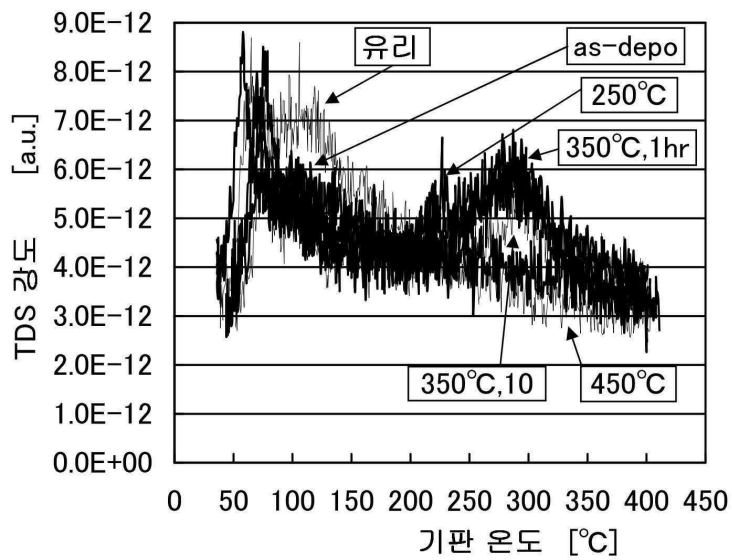
(C)



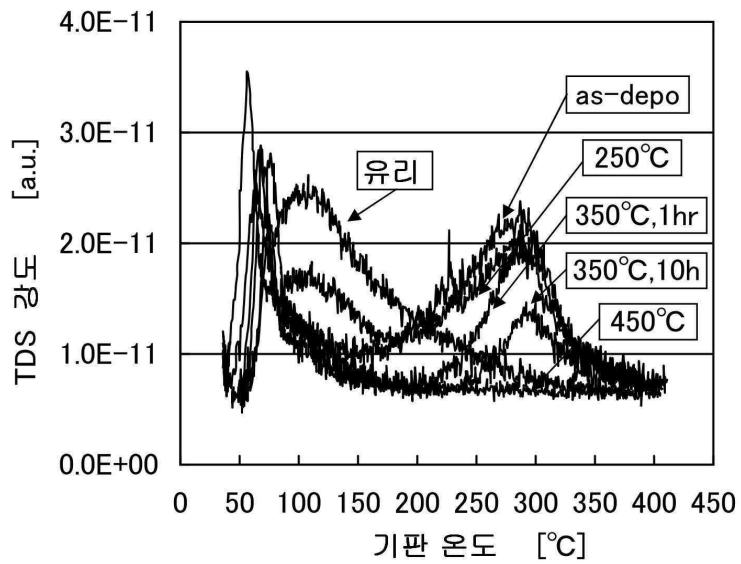
도면38



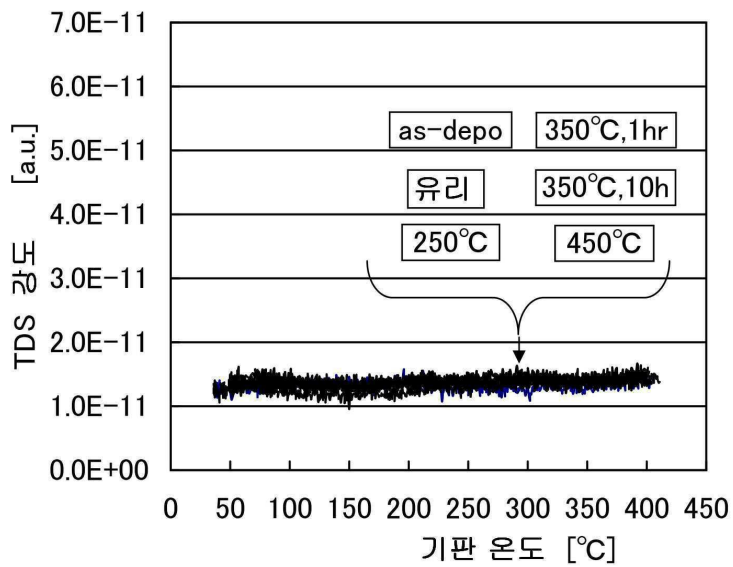
도면39



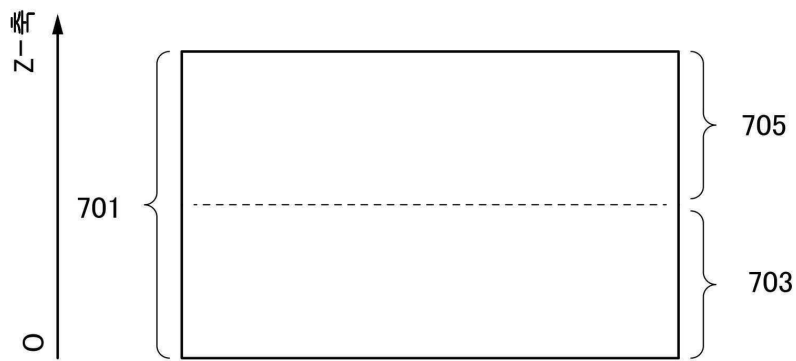
도면40



도면41



도면42



도면43

