



(12) 发明专利

(10) 授权公告号 CN 111490751 B

(45) 授权公告日 2023.05.12

(21) 申请号 202010322253.6

(22) 申请日 2020.04.22

(65) 同一申请的已公布的文献号

申请公布号 CN 111490751 A

(43) 申请公布日 2020.08.04

(73) 专利权人 上海微阱电子科技有限公司

地址 201203 上海市浦东新区中国(上海)

自由贸易试验区芳春路400号1幢3层

(72) 发明人 杨海玲 蒋宇 施挺 朱虹齐

(74) 专利代理机构 上海天辰知识产权代理事务

所(特殊普通合伙) 31275

专利代理师 陶金龙 马盼

(51) Int. Cl.

H03H 11/28 (2006.01)

(56) 对比文件

CN 101505099 A, 2009.08.12

CN 105119594 A, 2015.12.02

CN 109729295 A, 2019.05.07

CN 111030630 A, 2020.04.17

US 2009315617 A1, 2009.12.24

US 2016182044 A1, 2016.06.23

US 7161412 B1, 2007.01.09

WO 2014114004 A1, 2014.07.31

高兴波;赵毅强;宋益伟.一种带自动稳幅的新型电流模LC振荡器.微电子学与计算机.2012,(06),全文.

审查员 李思彤

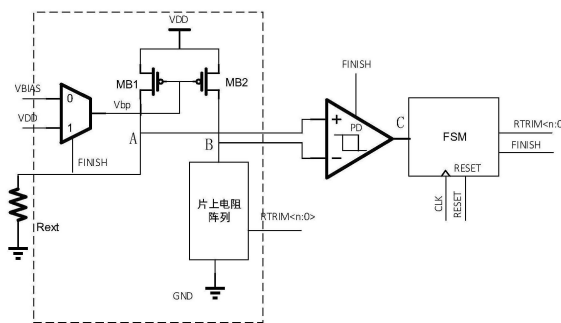
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种片内电阻自校准电路

(57) 摘要

本发明公开了一种片内电阻自校准电路,包括电流转电压模块、比较器和有限状态机,所述电流转电压模块包括第一支路和第二支路,第一支路中电流源I和参考电阻之间输出电压 V_A ,第二支路中电流源II和片内电阻阵列之间输出电压 V_B ;所述片内电阻阵列包括n个并联的电阻单元,每个电阻单元包括串联的电阻和开关;所述电压 V_A 和电压 V_B 分别传输至所述比较器的两个输入端,所述比较器的输出端连接所述有限状态机,所述有限状态机根据所述比较器的输出结果输出开关控制信号,所述开关控制信号控制所述片内电阻阵列的等效电阻 $R_{ray} = R_{ext}/M$ 。本发明提供的一种片内电阻自校准电路,在确保片内电阻精度的同时,避免信号噪声的干扰,同时能够降低工作过程中的电流消耗。



1. 一种片内电阻自校准电路,其特征在于,包括电流转电压模块、比较器和有限状态机,所述电流转电压模块包括第一支路和第二支路,所述第一支路包括串联的电流源I和参考电阻,所述电流源I和参考电阻之间输出电压 V_A ,所述第二支路包括串联的电流源II和片内电阻阵列,所述电流源II和片内电阻阵列之间输出电压 V_B ;所述电流源I和电流源II的电流值比例为1:M;

所述片内电阻阵列包括n个并联的电阻单元,每个电阻单元包括串联的电阻和开关,n个开关分别由开关信号控制;n为大于0的整数;

所述电压 V_A 和电压 V_B 分别传输至所述比较器的两个输入端,所述比较器的输出端连接所述有限状态机,所述有限状态机根据所述比较器的输出结果输出开关控制信号,所述开关控制信号控制所述片内电阻阵列的等效电阻 $R_{ray} = R_{ext}/M$;其中, R_{ext} 为参考电阻的电阻值。

2. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述电压 $V_A = I_{BIAS} \times R_{ext}$,所述电压 $V_B = I_{BIAS} \times R_{ray} \times M$;当电压 V_A 小于电压 V_B 时,所述比较器输出低电平;当电压 V_A 大于等于电压 V_B 时,所述比较器输出高电平, I_{BIAS} 表示电流源I的偏置电流。

3. 根据权利要求2所述的一种片内电阻自校准电路,其特征在于,所述自校准电路处于复位状态时,所述片内电阻阵列中n个开关均断开,所述电压 V_A 小于电压 V_B ,所述比较器输出低电平。

4. 根据权利要求3所述的一种片内电阻自校准电路,其特征在于,所述有限状态机接收到复位信号之后,进入跳转状态;当比较器输出低电平时,所述有限状态机输出开关控制信号控制所述片内电阻阵列中开关依次闭合,使得所述片内电阻阵列的等效电阻逐渐变小;直至所述比较器输出高电平,此时有限状态机进入锁定状态,并获取开关控制信号。

5. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述电流源I为第一PMOS管,所述第一PMOS管源极连接电源,漏极连接所述参考电阻的一端,栅极连接偏置电压,所述参考电阻的另一端接地;所述电流源II为第二PMOS管,所述第二PMOS管源极连接电源,漏极连接所述片内电阻阵列的一端,栅极连接偏置电压,所述片内电阻阵列的另一端接地。

6. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述电流转电压模块还包括模拟选择单元,所述模拟选择单元的输出端输出偏置电压或者电源电压,且所述偏置电压小于电源电压。

7. 根据权利要求6所述的一种片内电阻自校准电路,其特征在于,所述有限状态机输出电源选择信号,所述电源选择信号输入至所述模拟选择单元;当所述有限状态机处于跳转状态时,所述电源选择信号控制所述模拟选择单元输出偏置电压;否则,所述电源选择信号控制所述模拟选择单元输出电源电压。

8. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述比较器为具有交叉耦合结构的迟滞比较器。

9. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述片内电阻阵列中n个电阻的电阻值相等。

10. 根据权利要求1所述的一种片内电阻自校准电路,其特征在于,所述参考电阻为外部参考电阻。

一种片内电阻自校准电路

技术领域

[0001] 本发明涉及片内电阻校准领域,具体涉及一种片内电阻自校准电路。

背景技术

[0002] 随着电子信息技术的发展,需要传输、处理的数据量不断增长;特别是在视频传输、数据存储等领域,随着画质分辨率和存储空间的增大,需要传输的数据量也在迅速增加。目前,商用串行接口的速度已经达到10Gbps的量级。高速信号在传输过程中,由于阻抗不匹配,会造成传输信号形成反射、串扰、驻波等现象,对信号质量产生严重影响,损害信号完整性,影响接收器接收。因此,对于高速信号传输电路,通常会设置校准电路模块,对发送器的输出阻抗进行匹配校准以提高信号传输质量;最佳匹配阻抗一般定义为 $50\ \Omega \pm 10\%$ 的范围。

[0003] 现有的终端驱动电路的输出级一般由MOS器件实现,该类器件受PVT(Process, Voltage and Temperature)涨落影响,其精度最差可到 $\pm 30\%$,而片内电阻器件的精度一般也只能实现 $\pm 20\%$ 的精度,因此需要寻找能够对片内电阻进行精确校准的电路结构。

发明内容

[0004] 本发明的目的是提供一种片内电阻自校准电路,在确保片内电阻精度的同时,避免信号噪声的干扰,同时能够降低工作过程中的电流消耗。

[0005] 为了实现上述目的,本发明采用如下技术方案:一种片内电阻自校准电路,包括电流转电压模块、比较器和有限状态机,所述电流转电压模块包括第一支路和第二支路,所述第一支路包括串联的电流源I和参考电阻,所述电流源I和参考电阻之间输出电压 V_A ,所述第二支路包括串联的电流源II和片内电阻阵列,所述电流源II和片内电阻阵列之间输出电压 V_B ;所述电流源I和电流源II的电流值比例为1:M;

[0006] 所述片内电阻阵列包括n个并联的电阻单元,每个电阻单元包括串联的电阻和开关,n个开关分别由开关信号控制;n为大于0的整数;

[0007] 所述电压 V_A 和电压 V_B 分别传输至所述比较器的两个输入端,所述比较器的输出端连接所述有限状态机,所述有限状态机根据所述比较器的输出结果输出开关控制信号,所述开关控制信号控制所述片内电阻阵列的等效电阻 $R_{ray} = R_{ext}/M$;其中, R_{ext} 为参考电阻的电阻值。

[0008] 进一步地,所述电压 $V_A = I_{BIAS} \times R_{ext}$,所述电压 $V_B = I_{BIAS} \times R_{ray} \times M$;当电压 V_A 小于电压 V_B 时,所述比较器输出低电平;当电压 V_A 大于等于电压 V_B 时,所述比较器输出高电平, I_{BIAS} 表示电流源I的偏置电流。

[0009] 进一步地,所述自校准电路处于复位状态时,所述片内电阻阵列中n个开关均断开,所述电压 V_A 小于电压 V_B ,所述比较器输出低电平。

[0010] 进一步地,所述有限状态机接收到复位信号之后,进入跳转状态;当比较器输出低电平时,所述有限状态机输出开关控制信号控制所述片内电阻阵列中开关依次闭合,使得

所述片内电阻阵列的等效电阻逐渐变小;直至所述比较器输出高电平,此时有限状态机进入锁定状态,并获取开关控制信号。

[0011] 进一步地,所述电流源I为第一PMOS管,所述第一PMOS管源极连接电源,漏极连接所述参考电阻的一端,栅极连接偏置电压,所述参考电阻的另一端接地;所述电流源II为第二PMOS管,所述第二PMOS管源极连接电源,漏极连接所述片内电阻阵列的一端,栅极连接偏置电压,所述片内电阻阵列的另一端接地。

[0012] 进一步地,所述电流转电压模块还包括模拟选择单元,所述模拟选择单元的输出端输出偏置电压或者电源电压,且所述偏置电压小于电源电压。

[0013] 进一步地,所述有限状态机输出电源选择信号,所述电源选择信号输入至所述模拟选择单元;当所述有限状态机处于跳转状态时,所述电源选择信号控制所述模拟选择单元输出偏置电压;否则,所述电源选择信号控制所述模拟选择单元输出电源电压。

[0014] 进一步地,所述比较器为具有交叉耦合结构的迟滞比较器。

[0015] 进一步地,所述片内电阻阵列中n个电阻的电阻值相等。

[0016] 进一步地,所述参考电阻为外部参考电阻。

[0017] 本发明具有如下有益效果:本发明中模拟选择单元可以输出两种电压,使得自校准完成之后,切换至低功耗模式,降低了电路工作过程中的电流消耗;本发明采用迟滞比较器结构,使得电路具有一定的噪声容限,确保片内电阻阵列精度的同时避免开关噪声导致系统比较环路中出现震荡。

附图说明

[0018] 附图1为本发明所述的一种片内电阻自校准电路结构;

[0019] 附图2为本发明中片上电阻阵列示意图;

[0020] 附图3为自校准电路中的有限状态机的工作状态图。

具体实施方式

[0021] 为使本发明的目的、技术方案和优点更加清楚,下面结合附图对本发明的具体实施方式做进一步的详细说明。

[0022] 如附图1所示,本发明提供的一种片内电阻自校准电路,包括电流转电压模块、比较器和有限状态机,电流转电压模块包括第一支路和第二支路,第一支路包括串联的电流源I和参考电阻 R_{ext} ,电流源I和参考电阻 R_{ext} 之间为节点A,节点A处输出电压 V_A ,优选地,参考电阻为位于芯片外部的参考电阻。第二支路包括串联的电流源II和片内电阻阵列,电流源II和片内电阻阵列之间为节点B,节点B处输出电压 V_B ;电流源I和电流源II的电流值比例可以自行设置,例如,本发明中可以设置电流源I的电流值:电流源II的电流值=1:M,此时,电压 $V_A = I_{BIAS} \times R_{ext}$,电压 $V_B = I_{BIAS} \times R_{ray} \times M$; R_{ext} 为参考电阻的电阻值, R_{ray} 为片内电阻阵列的等效电阻值, I_{BIAS} 表示电流源I的偏置电流。

[0023] 请继续参阅附图1,本发明中电流源I为第一PMOS管MB1,第一PMOS管MB1源极连接电源VDD,漏极连接参考电阻 R_{ext} 的一端,栅极连接偏置电压 V_{bp} ,参考电阻 R_{ext} 的另一端接地。电流源II为第二PMOS管MB2,第二PMOS管MB2源极连接电源VDD,漏极连接片内电阻阵列的一端,栅极连接偏置电压 V_{bp} ,片内电阻阵列的另一端接地。电流转电压模块还包括模拟

选择单元,模拟选择单元的输出端输出偏置电压VBIAS或者电源电压VDD,且偏置电压VBIAS小于电源电压VDD。附图1中模拟选择单元的输出状态受电压控制信号FINISH控制,当电压控制信号FINISH为1时,模拟选择单元输出电源电压VDD,当电压控制信号FINISH为0时,模拟选择单元输出偏置电压VBIAS。且上述电压控制信号FINISH的值与模拟选择单元输出值之间的对应关系可以随意设定,附图1中仅仅是其中一种对应关系;且下文描述以附图1中示例为例进行说明,其工作原理在其他对应关系中也适用。

[0024] 请参阅附图2,本发明中片内电阻阵列包括n个并联的电阻单元,n为大于0的整数。每个电阻单元包括串联的电阻和开关,n个开关分别由开关控制信号R_TRIM<n:0>控制;其中,开关控制信号R_TRIM<n:0>中具体包含n个开关信号R_TRIM<0>至R_TRIM<n-1>,开关信号R_TRIM<x>控制与电阻R_x连接的开关,当R_TRIM<x>为1时,开关连接,当R_TRIM<x>为0时,开关断开。开关控制信号R_TRIM<n:0>中开关信号R_TRIM<x>为1的个数越多,片内电阻阵列接通的并联电阻越多,片内电阻阵列的等效电阻越小。优选地,本发明中片内电阻阵列中n个电阻的电阻值相等。

[0025] 值得说明的是,片上电阻阵列中也可以同时包括并联的电阻和/或串联的电阻,并在开关控制信号中添加对应的开关信号;只需要能够调节片上电阻阵列的等效电阻即可。

[0026] 请继续参阅附图1,本发明中电压V_A和电压V_B分别传输至比较器的两个输入端,附图1中电压输入至比较器的正相输入端,电压输入至比较器的反相输入端,在实际应用中,上述两个输入端可以互换,以下仅以附图1中示例进行说明,当比较器的两个输入端互换之后,其原理相同。定义比较器的输出端为节点C,电压V_A和电压V_B经过比较放大后在比较器的输出端C得到比较结果V_C,当V_A≥V_B时,比较器输出端输出高电平,节点C处电压V_C为VDD,当V_A<V_B时,比较器输出端输出低电平,节点C处电压V_C为0。

[0027] 如附图1所示,本发明中比较器的功耗状态受电压控制信号FINISH控制,当电压控制信号FINISH为1时,比较器进入低功耗状态,当电压控制信号FINISH为0时,比较器正常工作。

[0028] 本发明中比较器优选采用交叉耦合结构的迟滞比较器结构。使用迟滞比较器的好处是,该类比较器结构有一定的迟滞性,对于信号噪声有更好的免疫效果。由于点流转电压模块中片上电阻阵列的开关会导致在比较器输出端出现一定的开关噪声干扰,同时为了实现更高的阵列控制精度,片上电阻阵列中各个电阻值较小,因此B节点每次电压变化范围较小,对片上电阻阵列重开关带来的开关噪声更为敏感。因此需要后级比较器有一定的噪声容限。

[0029] 比较器的输出端连接有限状态机FSM,比较器输出结果输入到有限状态机FSM之后,经过内部状态机的跳转,触发响应的跳转调节,将导致有限状态机FSM输出开关控制信号R_TRIM<n:0>和电压控制信号FINISH;当V_A≥V_B时,比较器输出端输出高电平,节点C处电压值为VDD,电压控制信号FINISH=1;当V_A<V_B时,比较器输出端输出低电平,节点C处电压值为0,电压控制信号FINISH=0。

[0030] 有限状态机的工作状态图如图三所示。其中,当有限状态机处于跳转状态时,电源选择信号控制模拟选择单元输出偏置电压;否则,电源选择信号控制模拟选择单元输出电源电压。本发明中自校准电路处于复位状态时,片内电阻阵列中n个开关均断开,电压V_A小于电压V_B,比较器输出低电平。有限状态机接收到复位信号之后,进入跳转状态;当比较器

输出低电平时,有限状态机输出开关控制信号控制片内电阻阵列开关依次闭合,使得片内电阻阵列的等效电阻逐渐变小;直至比较器输出高电平,有限状态机进入锁定状态,并获取开关控制信号。

[0031] 限状态机FSM的状态定义和各状态之间的跳转如图3所示。其工作原理较为简单,可由线性移位寄存器实现。需要注意的是,有限状态机的工作时钟频率最好低于系统一个环路延迟,以保证上一时刻的开关控制信号变化 $R_TRIM\langle n:0 \rangle$ 反应到节点C上的输出电压时再进行系统状态的判决与跳转。由于选择了交叉耦合结构的迟滞比较器,其比较过程相对于其他结构比较器更快,有利于设置一个较高的环路带宽,减少电阻自校准过程的时间消耗。

[0032] 请继续参阅附图1,本发明中片上电阻自动校准电路的工作步骤为:电路初始处于复位状态,FSM的输出 $R_TRIM\langle n:0 \rangle$ 为全0,FINISH为0。此时,片上电阻阵列的等效电阻为无限大,则电流转电压模块中节点B的输出电压为电源电压VDD。而节点A输出电压为电流源I的偏置电流 I_{BIAS} 与 R_{ext} 的乘积。此时满足 $V_A < V_B$ 的条件,于是 V_C 输出等效为数字0。

[0033] 当复位信号RESET释放之后,有限状态机FSM开始状态跳转。由于 V_C 起始为0,因此FINISH输出为0, $R_TRIM\langle n:0 \rangle$ 其中一位变成1,片上电阻阵列连接了一路电阻单元 R_0 ,片上电阻阵列的等效电阻值 $R_{ray} = R$;其中,R为电阻单元中每个电阻的电阻值。此时B点电压值变为 $I_{BIAS} \times M \times R$ 。此时 V_A/V_B 的电压比较结果更新,若 V_A 依然小于 V_B ,则 V_C 依然为0,FSM的输出 $R_TRIM\langle n:0 \rangle$ 从一个1变为两个1,片上电阻阵列连接两路电阻单元 R_0 和 R_1 ,此时片上电阻阵列的等效电阻值 $R_{ray} = R/2$,片上电阻阵列的等效电阻变化后导致B点电压值变化,状态机FSM状态翻转,FINISH依然为0,系统重复前面的步骤,直到片上电阻阵列并联的电阻足够多,使A点电压 V_A 大于等于B点电压 V_B ,此时C点输出为0,状态机跳转到锁定(LOCK)状态,FINISH变为1。此时自校准电路完成校准工作,得到了最终的阵列开关选择配置 $R_TRIM\langle n:0 \rangle$,并将结果保存在系统寄存器中,直到下次系统复位重新进行电阻校准的动作。当FINISH为1后,电压控制信号FINISH控制电流转电压模块和比较器进入低功耗状态,因此该校准电路在系统正常工作状态下将不再导致额外功耗,实现低功耗的目的。

[0034] 为了进一步降低工作过程中的电流消耗,可自行定义参考电阻 R_{ext} 和片上电阻阵列的阻值范围。同时电流转电压模块中两条支路的电流比例也可以灵活配置,最终只要能锁定到 $I_{BIAS} \times R_{ext} = I_{BIAS} \times M \times R_{ray}$,则校准后的片上电阻阵列电阻等效值就为 R_{ext}/M 。再通过等比例调节电阻单元中电阻串或并联的个数就可以实现任意精确的电阻值。

[0035] 以上所述仅为本发明的优选实施例,所述实施例并非用于限制本发明的专利保护范围,因此凡是运用本发明的说明书及附图内容所作的等同结构变化,同理均应包含在本发明所附权利要求的保护范围内。

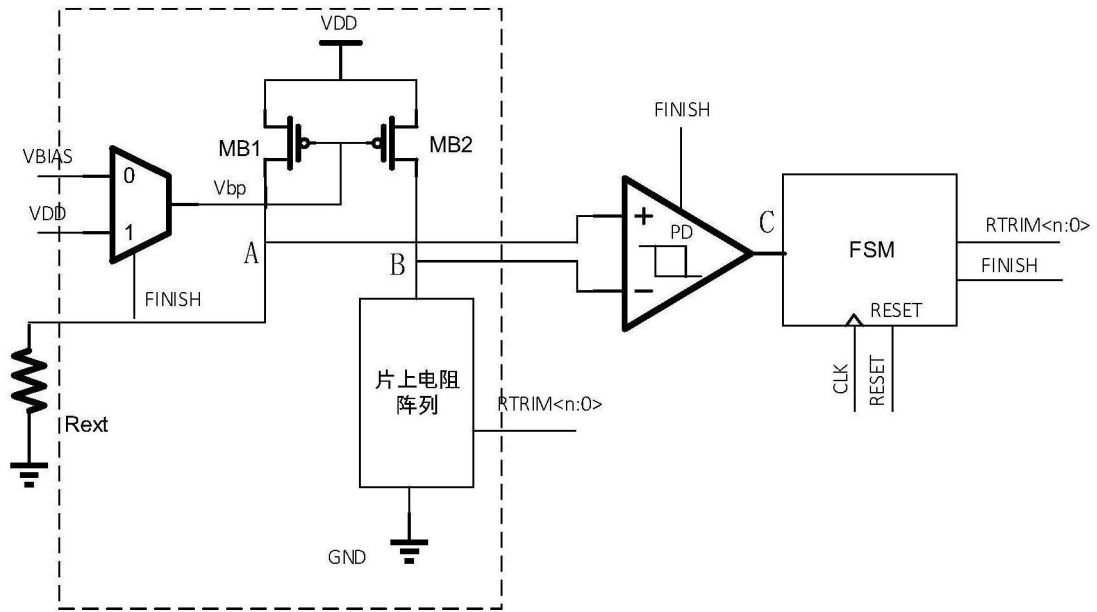


图1

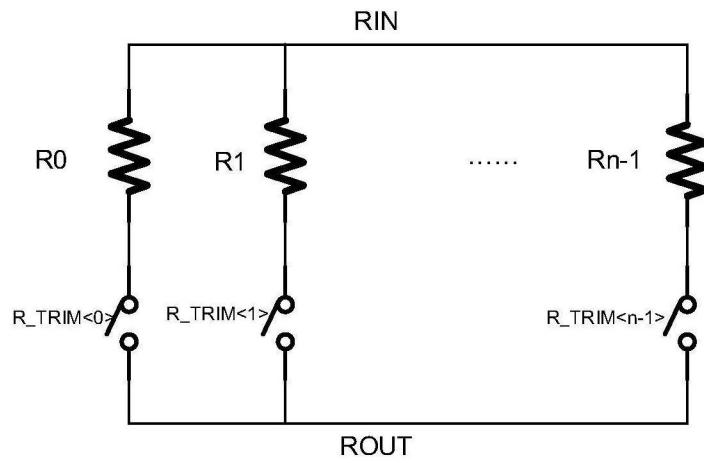


图2

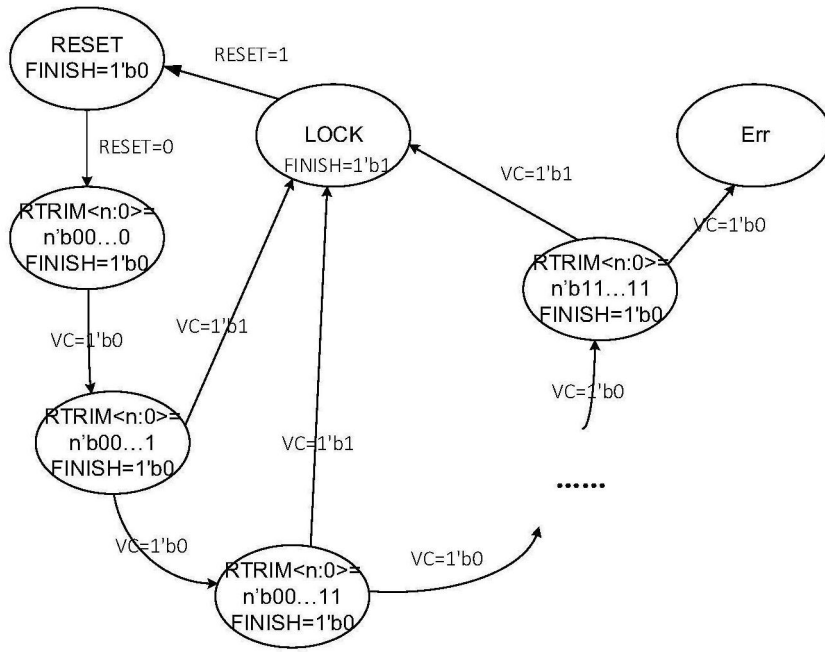


图3