[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/40 (2006.01)

[12] 发明专利说明书

专利号 ZL 200380110451.0

[45] 授权公告日 2009 年 2 月 25 日

[11] 授权公告号 CN 100464320C

[22] 申请日 2003.11.20
[21] 申请号 200380110451.0
[30] 优先权
[32] 2003.10.6 [33] US [31] 10/680,842
[86] 国际申请 PCT/US2003/037424 2003.11.20
[87] 国际公布 WO2005/045688 英 2005.5.19
[85] 进入国家阶段日期 2006.3.10
[73] 专利权人 思科技术公司
地址 美国加利福尼亚州
[72] 发明人 戴维·多克 嘉里·艾普斯
盖伊·费杜尔克 马克·古斯特林
史蒂文·霍尔梅斯 兰德尔·约翰逊
普罗莫迪·内杜恩加德
约翰·普洛克皮克
穆罕默德·塔塔尔 迈克尔·泰勒
[56] 参考文献
CN1108081C 2003.5.7
WO02/095511A1 2002.11.28
Virtual Component Data Sheet PluriBusTM SPI4.2Foundation. Modelware,STANDARDS TO SILICON. 2001
审查员 夏贝贝
[74] 专利代理机构 北京东方亿思知识产权代理有限责任公司
代理人 王 怡

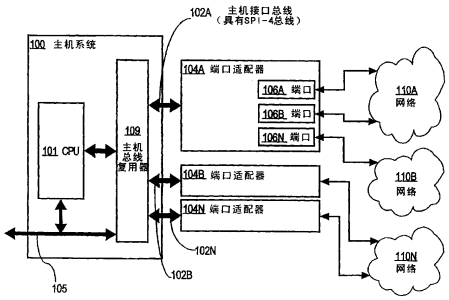
权利要求书 2 页 说明书 21 页 附图 6 页

[54] 发明名称

用于高带宽总线的端口适配器

[57] 摘要

本发明公开了一种用于将零个或多个网络接口连接到具有 SPI－4 总线的主机系统的端口适配器。该端口适配器包括零个或多个网络接口；耦合到主机系统以提供主机和网络接口之间的通信信道的 SPI－4 总线；耦合到主机系统用于控制和监控端口适配器的控制总线；以及将 SPI－4 总线和控制总线用接口连接到网络接口的接口逻辑。 还提供了这样的方法，该方法用于选择并使用用于各种联网技术的少数几种不同分组格式之一，以使得端口适配器可以向主机系统隐藏其处理的技术的细节，并且基于端口适配器的带宽需求使主机系统的 SPI－4 总线工作在若干速度之一处。



1. 一种用于将多个网络接口耦合到具有 SPI-4 总线的主机系统的端口适配器，包括：

耦合到所述主机系统以提供所述主机系统和所述网络接口之间的通信信道的 SPI-4 总线；所述多个网络接口中的分别耦合到一个或多个网络端口以连接到相应网络链路的一个或多个网络接口；

将所述网络接口耦合到所述 SPI-4 总线的 SPI-4 端接逻辑；

与所述 SPI-4 总线分离并且独立耦合到所述主机系统以控制和监控所述端口适配器的控制总线；以及

将所述控制总线用接口连接到所述网络接口的接口逻辑。

2. 如权利要求 1 所述的适配器，其中所述接口逻辑包括现场可编程门阵列、专用集成电路、前两者和一个或多个其他硬件元件的组合，或者一个或多个其他硬件元件的组合。

3. 如权利要求 1 所述的适配器，还包括耦合到所述主机系统以允许所述主机系统识别所述端口适配器的标识总线。

4. 如权利要求 1 所述的适配器，还包括扩展流控制总线，在所述扩展流控制总线上，所述端口适配器可以在多个分离的逻辑信道上将 FIFO 状态传送给所述主机系统。

5. 如权利要求 1 所述的适配器，还包括在所述端口适配器和所述主机系统之间传输网络定时信息的时钟总线，用于提供一个端口到另一个端口的同步、主机系统参考振荡器到端口的同步、或者端口到所述主机系统外部的参考时钟的同步。

6. 如权利要求 1 所述的适配器，还包括电源控制电路，其在所述主机系统保持加电时所述端口适配器在线插入所述主机系统以及从所述主机系统移去的期间，选择性地生成用于所述适配器的电源。

7. 如权利要求 1 所述的适配器，还包括存储所述端口适配器的类型的唯一标识符的标识库。

8. 如权利要求 7 所述的适配器，其中所述标识库还存储与所述端口适配器相关联的一个或多个配置参数值。

9. 如权利要求 7 所述的适配器，其中所述标识库包括非易失性存储器。

10. 如权利要求 7 所述的适配器，其中所述标识库存储允许所述主机系统确定所述端口适配器是否可由所述主机系统支持的值。

11. 如权利要求 7 所述的适配器，其中所述标识库存储允许所述主机系统确定所述 SPI-4 总线的一个或多个工作频率的值。

12. 如权利要求 1 所述的适配器，还包括耦合到所述主机系统的扩展流控制总线，其使所述适配器能够利用所述 SPI-4 总线使用多于传统上可用的 256 个逻辑信道在所述 SPI-4 总线上传输信息。

13. 如权利要求 12 所述的适配器，还包括包含基于日历的机制的流控制接口逻辑，所述机制允许所述端口适配器利用所述 SPI-4 总线向所述主机系统传送多于传统上可用的 256 个逻辑信道的 FIFO 状态。

14. 如权利要求 12 所述的适配器，其中所述扩展流控制总线携带 TDM 日历帧同步信号、流控制时钟信号、状态信号和奇偶校验信号。

15. 如权利要求 1 所述的适配器，其中所述接口逻辑被配置为从所述主机系统接收一个或多个分组，根据指定功能变换所述分组，并将变换后的分组发送到所述主机系统。

16. 如权利要求 15 所述的适配器，其中所述指定功能包括加密、解密、压缩或解压缩。

用于高带宽总线的端口适配器

相关申请的交叉引用

本申请与 2001 年 2 月 22 日提交的 Guy Fedorkow 等人的题为“Apparatus and technique for conveying per-channel flow control information to a forwarding engine of an intermediate network node”的在先未决共同转让的申请 No. 09/790,970 有关，这里通过引用并入其全部内容。

版权提示

本专利文件的一部分公开包含受版权保护的内容。在该专利公开在专利和商标局的专利文件或记录上公开后，版权拥有者不反对复制该专利公开，但是无论何种情况都保留所有版权。Copyright© 2003 Cisco Systems, Inc.。

CD-ROM 附录

本公开文件包括一个 CD-ROM 上的在一个文件中包含 134 页的 CD-ROM 附录，这里通过引用并入其全部内容。

技术领域

本发明一般地涉及数字计算机系统，更具体而言，涉及包括 SPI-4 总线的数字计算机。

背景技术

该部分中描述的方法可以被执行，但是并不是先前已获知或执行的必要方法。因此，除非这里明确指出，否则在该部分中描述的方法不是本申请中权利要求的现有技术，也不认为因为包括在该部分中而成为现有技术。

数字计算机使用输入/输出（I/O）总线来在外围设备和计算机中央处理单元以及计算机存储器之间传送信息。在具有多个分布式处理器和多个分布式存储器的系统中也需要 I/O 功能。

多种 I/O 总线体系结构被用在这种计算机系统中，包括个人计算机接口（PCI）。系统分组接口-4 总线是相对较新的高带宽总线，其通常用在用于计算机网络的数据分组处理系统中，如高速路由器和交换机。SPI4.2 总线体系结构的特性在可以从 www.oiforum.com/public/impagreements.html 获得的接口规范中有所描述。在该文件中，术语“SPI-4”等同于“SPI4.2”，并且包括 SPI4.2 总线体系结构的变体和等同物。

尽管 SPI-4 总线提供了用于计算机系统内的分组数据的高速通信路径，但是 SPI-4 总线并不适合于与外部网络或设备直接通信。将具有 SPI-4 总线的主机用接口连接到网络通常要求提供耦合到其他设备或网络的逻辑或物理端口或接口。某些端口适配器构造为服务适配器，其没有端口或接口，但是为主机提供了特定种类的分组处理服务，如压缩或解压缩、加密或解密等。

用户和制造商尤其希望具有可以容纳使用不同技术的端口和接口的主机系统，这些端口和接口例如是以太网、快速以太网、G 比特以太网、光接口、串行或其他接口。在一种方法中，主机路由器或交换机硬连线到多种不同的端口。然而，如果用户的端口需求改变，则用户也不能重配置这种主机。这些用户和制造商希望具有一种适于改变端口和接口需求的主机系统。

热交换也可能损坏连接到 SPI-4 总线的某些器件，如使用互补金属氧化物半导体（CMOS）技术的器件。当到 CMOS 接收器的输入在 CMOS 切换区域内时，CMOS 器件被暴露于大电流。某些 CMOS 接收器具有串联的两个场效应晶体管（FET），其中第一 FET 连接到正电源轨道（rail），第二 FET 连接到负电源轨道。当到这两个 FET 的输入处于切换区域内时，这两个 FET 可能被同时连续导通，从而创建了直接经过 CMOS 器件的 DC 电流路径。这两个 FET 的连续导通状态可能散发出以损坏 CMOS 器件的功率量。

当输入被驱动超过 CMOS 电源轨道之一时，CMOS 器件还会经历锁存状况。在锁存状况中，CMOS 结构中的寄生晶体管散发出大量的功率，该功率可能损坏 CMOS 器件。上述的这两种功率散发状况都可能来自于主机接口总线上的热交换。

Quackenbush 等人的美国专利 No. 5,793,987 和美国专利 No. 6,163,824 公开了一种具有分离的 PCI 本地总线和本地总线的端口适配器以及关联的处理方法。端口适配器是一种提供一个或多个端口的电子器件，被插入到主机系统来向该主机提供附加特征或功能。Quackenbush 等人的技术已用在加州 San Jose 的思科系统公司的思科 7200 系列路由器和思科 7500 系列路由器中的基于 PCI 总线的端口适配器内。然而，Quackenbush 等人的技术并不适于具有 SPI-4 总线体系结构的主机，这是因为 PCI 总线和 SPI-4 总线之间有巨大的技术差别。例如，PCI 总线不能处理从接口高速（如 10G 比特每秒（Gbps））到达的数据。

现有端口适配器的另一个缺点是它们不与异种网络环境无缝地协同操作。例如，具有多个端口适配器的主机可以利用大量网络技术中的任何一种与外部网络或设备进行通信。结果，在端口适配器处接收到的数据分组可能具有大量不同格式中的任何一种。要求主机系统理解并处理大量的不同分组格式将是复杂的，并且对新技术缺乏缩放性。另外，在每种类型的端口适配器和主机系统之间使用通用分组格式是不实际的，这是因为在不同技术的分组中携带的数据类型和量都不同。

从而，需要这样一种端口适配器，其能够处理特定技术的特定分组格式，并且以单一的一致分组格式向主机提供数据以用于内部处理。

基于前述内容，在相关技术领域中明确需要这样一种端口适配器，其能够将具有 SPI-4 总线体系结构的主机系统用接口连接到不同网络技术的设备。更宽广的说，需要这样一种装置，其能够提供从主机的 SPI-4 总线到外部外围设备的可热插拔的适应性接口。

发明内容

本发明公开了一种用于将多个网络接口耦合到具有 SPI-4 总线的主机

系统的端口适配器，包括：耦合到所述主机系统以提供所述主机系统和所述网络接口之间的通信信道的 SPI-4 总线；所述多个网络接口中的分别耦合到一个或多个网络端口以连接到相应网络链路的一个或多个网络接口；将所述网络接口耦合到所述 SPI-4 总线的 SPI-4 端接逻辑；与所述 SPI-4 总线分离并且独立耦合到所述主机系统以控制和监控所述端口适配器的控制总线；以及将所述控制总线用接口连接到所述网络接口的接口逻辑。

附图说明

在附图中以示例方式图示而非限制方式图示了本发明，在附图中，相似的标号指代类似的元件，在附图中：

图 1 的框图图示了具有一个或多个端口适配器的主机系统的概图；

图 2 的框图图示了用于 SPI-4 总线的端口适配器的概图；

图 3 是根据一个实施例的图 2 的端口适配器的更详细框图；

图 4A 是用于基于端口适配器的能力适配主机系统的 SPI-4 总线的工作行为的处理的流程图；

图 4B 的流程图图示了变换接收的数据分组的处理的概图；

图 5 是变换后的分组格式的框图。

具体实施方式

描述了一种用于高速总线的可热插拔端口适配器。在下面的描述中，出于说明目的，给出了大量具体细节以提供对本发明的完整理解。然而，本领域技术人员应当清楚，没有这些具体细节也可以实践本发明。在其他示例中，公知的结构和设备以框图形式示出，以避免不必要地混淆本发明。

实施例根据下面的大纲描述：

1.0 概述

2.0 结构和功能概述

2.1 端口适配器体系结构

2.2 对不同 SPI-4 工作速度的适配

2.3 扩展流控制总线

2.4 利用端口适配器预处理分组
3.0 实现机制－硬件概述
4.0 扩展和替换

1.0 概述

在本发明中实现了在前述背景技术中提到的需求以及将从下面的描述中变清楚的其他需求和目的，本发明在一个方面包括一种用于经由 SPI-4 总线将网络接口连接到主机系统的可热插拔端口适配器。该端口适配器经由包括 SPI-4 总线和控制总线的端口适配器/主机接口与主机系统通信；可以提供扩展流控制总线。还提供了这样的方法，该方法用于选择并使用用于各种联网技术的少数几种不同分组格式之一，以使得端口适配器可以隐藏其从主机系统处理的技术的细节，并且基于端口适配器的带宽需求使主机系统的 SPI-4 总线工作在若干速度之一处。

根据一个方面，本发明提供了一种用于将零个或多个网络接口耦合到具有 SPI-4 总线的主机系统的端口适配器，所述端口适配器包括零个或多个网络接口；耦合到主机系统以提供主机和网络接口之间的通信信道的 SPI-4 总线；耦合到主机系统用于控制和监控端口适配器的控制总线；以及将 SPI-4 总线和控制总线用接口连接到网络接口的接口逻辑。

根据一个特征，接口逻辑包括现场可编程门阵列（FPGA）、专用集成电路（ASIC）、前两者和一个或多个其他硬件元件的组合，或者一个或多个其他硬件元件的组合。根据另一个特征，标识总线耦合到主机系统以允许主机系统识别端口适配器。在另一个特征中，提供了扩展流控制总线，在所述扩展流控制总线上，端口适配器可以在多个分离的逻辑信道上将 FIFO 状态传送给主机系统。在另一个特征中，时钟总线在端口和主机系统之间传输网络定时信息，以用于提供端口到另一个端口的同步、主机系统参考振荡器到端口的同步、或者端口到主机系统外部的参考时钟的同步。

端口适配器还可以包括电源控制电路，其在主机系统保持加电的同时，在端口适配器在线插入主机系统以及从主机系统移去的期间选择性地

生成用于适配器的电源。根据一个特征，标识库存储不同类型的端口适配器的唯一标识符。在相关特征中，标识库还存储与端口适配器相关联的一个或多个配置参数值。在另一个相关特征中，标识库包括电可擦可编程只读存储器。标识库可以存储这样的值，所述值允许主机确定端口适配器是否可由主机系统支持。标识库还可以存储这样的值，所述值允许主机确定SPI-4 总线的一个或多个工作频率。

在另一个特征中，扩展流控制总线耦合到主机系统，其使适配器能够利用 SPI-4 总线使用多于传统上可用的 256 个逻辑信道在 SPI-4 总线上传输信息。在相关特征中，用于流控制总线的流控制接口逻辑包括基于日历的机制，所述机制允许端口适配器将成千上万个逻辑信道的缓冲器填充状态传送给主机系统。扩展流控制总线可以包括 TDM 日历帧同步信号、流控制时钟信号、状态信号和奇偶校验信号。

根据一个特征，适配器包括零个接口，并且接口逻辑被配置为从主机系统接收一个或多个分组，根据指定功能变换分组，并将变换后的分组发送到主机系统。在相关特征中，指定功能包括加密或解密。

在另一个方面，本发明提供了一种选择性地确定使用端口适配器的主机计算机系统的 SPI-4 总线的工作频率的方法，其中工作频率可以与传统的 SPI-4 总线的工作频率不同，所述方法包括以下步骤：从具有 SPI-4 总线的主机计算机系统向端口适配器发出查询，所述端口适配器包括可以耦合到主机系统以用于主机和 SPI-4 设备之间的控制和数据的 SPI-4 总线、与 SPI-4 总线平行耦合在主机系统和端口适配器之间与 SPI-4 总线独立的控制总线、将 SPI-4 总线和控制总线用接口连接到多个线路接口之一的接口逻辑、以及标识库；从标识库接收端口适配器的标识；基于从标识库接收的信息，确定主机系统 SPI-4 总线是否可以工作在与端口适配器支持的SPI-4 总线工作频率中的至少一个兼容的频率处；以及将主机系统 SPI-4 总线的工作频率设为与从端口适配器支持的 SPI-4 总线工作频率中选定那个相等。

在该方面的一个特征中，设置步骤包括将主机系统 SPI-4 总线的工作频率设为与端口适配器支持的 SPI-4 总线工作频率中最快那个相等。在另

一个特征中，该方法包括只有在主机系统 SPI-4 总线可以工作在与端口适配器支持的 SPI-4 总线工作频率中的至少一个兼容的频率处时才给端口适配器加电。在相关特征中，该方法包括只有在满足一个或多个因素时才给端口适配器加电，其中所述因素选自以下组合：主机系统有用于端口适配器所需的分组格式的软件支持；端口适配器散发的功率小于主机系统允许的最大功率散发量；主机系统可以匹配端口适配器所需的带宽；或者与端口适配器相关联的许可授权要求允许端口适配器运行在主机系统上。

在另一个特征中，该方法还包括从标识库接收这样的值，所述值允许主机确定端口适配器是否受主机系统的支持，以及 SPI-4 总线的一个或多个工作频率。该方法还可以包括从标识库接收这样的值，所述值允许主机确定端口适配器经由 SPI-4 总线发送的数据的分组格式。在相关特征中，该方法还可以包括从标识库接收指定端口适配器经由 SPI-4 总线发送的数据的分组格式的一个或多个值。

在另一个方面，本发明提供了一种用于将零个或多个网络接口耦合到具有 SPI-4 总线的主机系统的端口适配器，所述端口适配器包括：零个或多个网络接口；耦合到主机系统以提供主机和网络接口之间的通信信道的 SPI-4 总线；耦合到主机系统用于控制和监控端口适配器的控制总线；将 SPI-4 总线和控制总线用接口连接到网络接口的接口逻辑；以及用于通过执行以下步骤预处理接口上接收到的分组的分组处理逻辑，所述步骤包括：在端口适配器的入口接口上接收第一分组；创建遵从内部分组格式中的选定那个的第二分组；将来自第一分组的一个或多个字段的数据变换为第二分组的一个或多个相应字段；将第二分组提供给主机系统。

在该方面的一个特征中，分组处理逻辑还包括将分组头部和分组主体中的剩余部分从第一分组移到第二分组中的步骤。分组处理逻辑可被配置为执行选择多种内部分组格式之一的步骤。入口接口例如可以是以太网接口、ATM 接口、帧中继、串行接口、高度信道化的接口、RPR 接口或 POS 接口，或者任何其他现在已知的或以后开发出的接口。

在其他方面中，本发明包含被配置为执行前述步骤的计算机装置和计算机可读介质。

2.0 结构和功能概述

2.1 端口适配器体系结构

可插拔端口适配器被用来经由 SPI-4 总线将零个或多个端口或接口连接到主机系统，以向主机系统添加功能。一般来说端口或接口是高带宽光端口或接口。端口适配器经由端口适配器/主机接口与主机系统进行通信，端口适配器/主机接口包括 SPI-4 总线、控制总线、扩展流控制总线以及其他信号和电源线。端口或接口被配置以正常方式通过 SPI-4 总线通信，而端口适配器上的其他功能通过控制总线独立控制。

在该文献中，术语“SPI-4”等同于“SPI4.2”，并且包括 SPI4.2 总线体系结构的变体。从而，实施例可以使用严格遵守 SPI-4 规范的总线，或者可以使用 SPI-4 规范的变体、增强、修改或改进。

主机系统使用专用标识总线来确定端口适配器的标识，然后主机系统使用该标识来确定需要何种编程和配置。主机系统使用控制总线来配置和控制端口适配器上的设备，并更新端口适配器上的可编程电路，如现场可编程门阵列（FPGA）。或者，可以使用 JTAG 总线来更新这种可编程器件。具有易失性程序存储器的 FPGA 必须在每次加电时被编程，并且可以在现场被主机系统重新编程，以修补 bug 并增强性能和/或功能。

在一个实施例中，端口适配器中的 SPI-4 总线耦合到 SPI-4 终端逻辑，该 SPI-4 终端逻辑耦合到一个或多个网络接口，如成帧器、ATM SAR 等。通过协同操作，SPI-4 终端逻辑和网络接口控制零个或多个端口，这零个或多个端口耦合到零个或多个通信线路、设备或网络，如局域网（LAN）和广域网（WAN）。SPI-4 终端逻辑和网络接口协同操作以从端口或接口接收数据，然后以重新处理后的形式在 SPI-4 总线上重发数据，并从主机系统接收数据，然后在端口上重发这种数据。

控制总线可用于对端口适配器上的逻辑进行编程，端口上的逻辑例如是接口逻辑、网络接口和通用寄存器或其他可编程元件。控制总线也可以提供接入以控制端口适配器上的设备的接口。电源总线与软件结合使用来控制施加电源，以执行热交换操作，在热交换操作中，在主机系统被加电

并工作或者被去电时，从主机系统中拔出端口适配器或者将端口适配器插入到主机系统中。端口适配器可以包括具有一个或多个检测针脚的连接器，检测针脚比连接器中的其他信号针脚和其他电源总线针脚的长度短。在一个实施例中，较短的针脚在连接器的相对端。较短的检测针脚允许端口适配器和主机系统参与热交换状况，并继而对热交换状况作出响应，这是通过只在端口适配器被完全插入时才给端口适配器加电来实现的。较短的针脚还使主机系统能够确定所有针脚都正确插入。一旦移去端口适配器，短针脚首先断开连接，并且使端口适配器向主机发送信号，这些信号被用来禁止向端口适配器加电。

当在热交换状况期间端口适配器连接到主机系统时，控制电路开始受控的加电序列。当在热交换状况期间端口适配器断开与主机系统的连接时，控制电路开始受控的去电序列。

当端口适配器不处于工作电源水平时，端口适配器和主机系统之间的热交换协议不再继续端口适配器中 SPI-4 总线上的数据通信。当端口适配器断开与主机系统的连接时，来自主机电路的信号被改变为已知安全状态，以防止在在线插入工作期间可能的高电流损坏设备。热交换协议还防止 SPI-4 总线上数据的损坏，并防止损坏主机中的逻辑状态。

这里所公开的端口适配器可以处理以高至 10G 比特每秒（Gbps）从用接口连接到达的数据。在其他实施例中，可以采纳允许更快的数据速率的对 SPI-4 总线体系结构的改进。

图 1 的框图图示了具有端口适配器的主机系统的概图。通常，主机系统 100 包括中央处理单元（CPU）101，CPU 101 利用主机接口总线 102A、102B、102N 与一个或多个端口适配器 104A、104B、104N 进行通信，这些主机接口总线经由主机接口总线集线器或复用器 109 进行复用。每条主机接口总线 102A、102B、102N 包括 SPI-4 总线以及其他信号。CPU 101 可以利用一条或多条其他总线 105（如地址总线、数据总线等）与其他电路和设备进行通信。为了清楚起见，系统 100 的描述被极大地简化，实际系统可以包括存储器设备、I/O 设备、路由处理器、网络处理器、交换架构等。系统 100 可以实现为通用分组交换路由器或交换机。在

某些实施例中，系统 100 包括来自加州 San Jose 的思科系统公司的思科 7300、7600、10000 或 12000 系列产品。

主机系统 100 可以具有一个或多个可热插拔端口适配器 104A、104B、104N。在实际系统中可以具有任何数目的端口适配器。这里，端口适配器也被称为等同术语“共享端口适配器”或 SPA，或者“通用端口适配器”或 VPA。每个端口适配器 104A、104B、104N 包括零个或多个端口 106A、106B、106N。每个端口利用任何合适的网络通信技术（如以太网、快速以太网、G 比特以太网、光学、串行或其他接口）通信地耦合到网络 110A、110B、110N 或者该网络内的设备之一。实际系统中在端口适配器上可以有任何数目的端口。每个端口 106A、106B、106N 可以耦合到不同的网络 110A、110B、110N。

具有零个端口的实施例可以包括服务适配器，在服务适配器中，端口适配器提供计算或分组处理服务，而不是接口功能。这里所描述的端口适配器可以具有零个端口，但是例如可以为主机提供加密或压缩功能。另外，在另一个实施例中，可以提供服务适配器和端口适配器的组合，其具有一个或多个端口，也提供分组处理服务。

在图 1 的配置中，每个端口适配器提供用于分别使其端口用接口连接到主机接口总线 102A、102B、102N 的机制。每个端口适配器 104A、104B、104N 是可热插拔的，这意味着在主机系统正运行的同时，端口适配器可以从主机系统 100 中移去，也可以安装到主机系统 100 中。结果，主机系统 100 可以被用不同数目的端口或者使用不同网络技术的端口重新配置，而同时保留 SPI-4 总线体系结构的优点。

图 2 的框图图示了用于 SPI-4 总线的端口适配器的一个实施例的概图。在图 2 中为了清楚起见而省略的主机系统 100 经由 SPI-4 总线 201、控制总线 206、扩展流控制总线 222、时钟总线 224、电源控制总线 226 和标识总线 228 耦合到端口适配器 104C。端口适配器 104C 包括 SPI-4 终端逻辑 202，SPI-4 终端逻辑 202 通信地耦合到 SPI-4 总线 201，并耦合到网络接口 204。在端口 106A、106B、106N 是以太网端口的实施例中，网络接口 204 可以是负责快速形成并处理数据帧的 MAC（媒体访问控制器），

并且可以临时存储数据到存储器中。或者，网络接口 204 可以包括 ATM SAR 等。网络接口 204 通信地耦合到端口 106A、106B、106N。

在图 2 的示例中，示出了一个网络接口 204。在其他实施例中，可以提供多个网络接口，并且每个这种网络接口耦合到 SPI-4 终端逻辑 202。例如，对于每个端口 106A、106B、106N 可以有不同的网络接口 204。

在具有零个端口的实施例中，省略了网络接口 204，并且在其位置处可以提供用于执行分组处理服务的其他逻辑。例如，加密引擎或压缩引擎可以占据与网络接口 204 相同的逻辑位置。

控制总线 206 连接到端口适配器 104C 中的本地控制逻辑 208。标识总线 228 连接到标识元件 212，标识元件 212 可以被主机系统 100 查询以确定端口适配器 104C 的硬件布置和逻辑配置。端口适配器 104C 还可以包括分别耦合到电源控制总线 226 和时钟总线 224 的电源控制元件 214 和时钟分配电路 216。

扩展流控制总线 222 耦合到扩展流控制逻辑 220。扩展流控制总线的细节将在下面独立的部分进一步描述。

端口适配器 104C 可以实现为多个集成电路，这多个集成电路安装在受保护的封装内的一个或多个印刷电路板上。在一个实施例中，每个端口适配器安装在主机系统中处理电路卡（“主机卡”）的插槽内。端口适配器封装可以具有多种封装形式中的任何一种，从而提供模块化布置以使得多个不同的端口适配器可以在同一主机机架内相互交换。在一个实施例中，基于端口适配器中提供的端口或接口的数目和类型、端口适配器散发的功率量、或者端口适配器中电路所需的面积，端口适配器封装可以具有半高、全高、双宽或高功率封装形式。

为了清楚起见，本地控制逻辑 208、扩展流控制逻辑 220、时钟分配电路 216、电源控制电路 214 和标识元件 212 以简化的框图形式表示。具体而言，到每个这种元件的连接被简化，并且在特定实施例中每个这种元件可以具有其他连接。另外，端口适配器 104C 还可以包括除了图 2 中所示的特定元件外的其他电路元件。

图 3 是根据一个实施例的图 2 的端口适配器的更详细框图。

主机连接器 302 提供到主机系统 100（为了清楚起见在图 3 中未示出）的物理连接，并且传输时钟、数据、控制和电源信号。12V 电源线 226A 耦合到电源转换模块 304，电源转换模块 304 提供处于端口适配器 104D 的其他元件所需的各种电压电平的多条输出电源线 308。在一个实施例中，电源转换模块提供 3.3V、2.5V、1.8V 和 1.5V 的输出；在其他实施例中也可以提供其他的输出电压电平。另外，电源转换模块 304 可以提供电源排序（sequencing）、加电/去电功能、电源监控、电源延长（margining）等。

SPI-4 总线 332 耦合到 FPGA 330。SPI-4 总线 332 一般是传输数据总线信号、流控制信号、时钟信号等的 86 针分组数据传送总线。在某些实施例中，所有这些信号的工作速度都可以改变以与不同的主机和端口适配器兼容，这在下面将进一步描述。SPA 总线 206A 从主机系统 100 耦合到 FPGA 330。SPA 控制总线 206A 使主机系统能够控制端口适配器 104D 的内部元件并与这些内部元件通信。JTAG 总线 307 可以传输测试信号，测试信号被用于测试和经由主机系统 100 和可编程组件之间的通信来进行 PLD 编程，可编程组件例如是实现图 2 的 SPI-4 终端逻辑 202 和本地控制逻辑 208 的功能的 FPGA 330。主机连接器 302 也可以传输混合信号以支持在线插入和移去（OIR）操作、端口适配器复位功能等。

FPGA 330 通过 PL3 总线 309、微处理器总线 310 和传输开销（TOH）路径 312 耦合到成帧器 204A。在一个实施例中，成帧器 204A 是来自加州 Santa Clara 的 PMC-Sierra 的 PM 5360S/UNI Multi-48 SONET/SDH 成帧器，其提供可以在 OC-12/STM-4 和 OC-3/STM-1 带宽之间选择的四个端口。

成帧器 204A 耦合到提供网络端口和接口的一个或多个小封装形状的可插拔（SFP）光学模块 314A、314B、314C、314D。FPGA 330 检测模块 314A、314B、314C、314D 插入到端口适配器 104D 中或从端口适配器 104D 中取出。

通常，FPGA 330 用来对 SPA 总线 206A 的信号译码，并用接口连接到来自微处理器总线 310 的信号。FPGA 330 还提供与 SFP 314A、314B、

314C、314D 有关的控制和状态信息。另外，FPGA 330 提供 PL3 总线 309 和 SPI-4 总线 332 之间通信的桥接、排队和调度，包括入口和出口 FIFO 队列的管理，并且 FPGA 330 可以包括在线插入和移去以及电源控制功能。FPGA 330 还被配置用于将 SONET 开销信息插入到分组和从分组中提取 SONET 开销信息，分组是传输到成帧器 204A 的分组或来自成帧器 204A 的分组。在一个实施例中，FPGA 330 利用 Xilinx 2V1500 和 SPI4、PL3 和 HDLC IP 内核实现。

端口适配器 104D 还可以包括各种其他功能元件，包括时钟生成/恢复模块 216A、标识电可擦可编程只读存储器（“ID EEPROM”）212A、电压监管器 228A、温度传感器 320 和电压延长单元 322。时钟生成/恢复模块 216A 经由主机连接器 302 从主机接收 77.76 MHz SONET 参考时钟 224B，经由主机连接器 302 向主机提供恢复后的 19.44 MHz 时钟 224A，向成帧器 204A 提供 77.76 MHz 参考时钟 224C，并从成帧器接收恢复后的 77.76 MHz 时钟信号 224D。使用恢复后的时钟能够使时钟生成/恢复模块 216A 从任何附接的 SONET 端口中导出系统时钟。时钟生成/恢复模块 216A 还生成用于操作 FPGA 330 的 100 MHz 时钟。

温度传感器 320 可以具有用于检测和通知温度过高的问题的可编程温度范围。

可选地，从主机系统 100 耦合到端口适配器 104D 的扩展流控制总线用来为具有极大量物理或虚拟端口的端口适配器提供背压。例如，在 ATM 中，在一条物理链路上可以存在大量的虚电路。从而，扩展流控制总线可用于高度信道化的端口适配器、ATM 端口适配器等。

在本文件的附录中提供了端口适配器的实施例的详细规范，这里通过引用并入其全部内容。

2.2 对不同 SPI-4 工作速率的适配

主机系统 100 可以利用标识总线 228A 来查询 ID EEPROM 212A，以确定端口适配器 104D 的配置并执行电源控制功能。在一个实施例中，总线 228A 遵从 I2C 信号格式。ID EEPROM 212A 是标识库的示例。基于标

识信息，由主机系统执行的软件确定指定端口适配器的工作频率和经由SPI-4 总线发送的数据格式的值。例如，主机系统软件可以包括查找表，查找表将总线速度值、数据分组格式等映射到各种端口适配器标识符。在替换实施例中，标识库存储总线速度值、数据分组格式和与该端口适配器或多个不同端口适配器的一个或多个端口适配器标识符相关联的其他配置参数。

标识库中的信息能够使主机系统将其工作行为与端口适配器或其端口的特定特性相适配。例如，SPI-4 总线的标准工作频率是 350 MHz（“全速率 SPI-4”）。然而，并不是所有的端口适配器都要求该频率。例如，在其接口上支持大于 2.4 Gbps 的聚集数据通信带宽的端口适配器可能需要全速率 SPI-4 总线，而仅仅支持小于或等于 2.4 Gbps 的聚集数据通信带宽的其他端口适配器可能利用小于 350 MHz 的 SPI-4 总线信令就足以工作。

因此，在一个实施例中，端口适配器 104D 的 SPI-4 总线可被配置为工作在 87.5 MHz（1/4 速率）。在其他实施例中，端口适配器 104D 的 SPI-4 总线可被配置为工作在任何其他速度，例如提供双速率的 700 MHz。端口适配器的标识库包含端口适配器类型标识符。基于端口适配器类型标识符，由主机系统执行的软件可以确定端口适配器是否支持全速率 SPI-4 总线速度、1/4 速率、或其两者、或者某些其他速度。通常，在一个实施例中，

1. 在其接口上支持小于或等于 2.4 Gbps 的总带宽的端口适配器 104D 必须在其 SPI-4 总线上支持 1/4 速率，还可以可选地支持全速率；

2. 在其接口上支持大于 2.4 Gbps 的总带宽的端口适配器必须在其 SPI-4 总线上支持全速率，还可以可选地支持 1/4 速率。

主机系统应当遵从类似的规则以确保 SPI-4 连接到端口适配器的兼容性。从而，

3. 在任何一个共享端口适配器插槽中支持小于或等于 2.4 Gbps 的带宽的主机系统必须在用于该插槽的 SPI-4 总线上支持 1/4 速率，还可以可选地支持全速率；

4. 在任何一个插槽中支持大于 2.4 Gbps 的带宽的主机系统必须在用于

该插槽的 SPI-4 总线上支持全速率，还可以可选地支持 1/4 速率。

利用该布置，主机系统可以查询标识库，并基于标识库中的信息来适配其工作行为。

图 4A 是基于端口适配器的能力来适配主机系统的 SPI-4 总线的工作行为的处理的流程图。在方框 402，向端口适配器中的标识库发出查询。例如，参考图 3，主机系统 100 可以在总线 228A 上发出信号以读取 ID EEPROM 212A 的内容。方框 402 可以在主机系统向诸如端口适配器 104D 之类的端口适配器供电之前执行。诸如 ID EEPROM 212A 之类的标识库可以从连接器 302 中的分离电源针脚接收电源，这使得即使在端口适配器掉电时，主机系统 100 也能够从端口适配器中读取端口配置信息。

在方框 404，从端口适配器接收响应，该响应包括端口适配器的唯一标识符。例如，读取 ID EEPROM 212A 导致端口适配器 104D 提供其唯一标识符值。在方框 405，主机确定端口适配器所支持的一个或多个 SPI-4 总线工作速率。例如，主机使用存储的查找表来将所接收的唯一标识符值与端口适配器的一个或多个工作频率值相关联。另外，主机系统可以确定端口适配器是否受主机系统的支持，以及由端口适配器在 SPI-4 总线上发送的数据格式。或者，这些值和配置参数从端口适配器的标识库提供。

在方框 406，主机系统确定其是否与其中一个支持速率兼容，该支持速率是主机基于从端口适配器的标识库中接收的标识符来确定的。方框 406 可以包括应用上述的规则 1-4 以确定端口适配器与主机是否兼容。例如，如果端口适配器仅支持 1/4 速率 SPI-4，而主机要求全速率，则主机与端口适配器不兼容。如果主机不兼容，则在方框 407，主机不给端口适配器加电，端口适配器不能被主机系统使用。上述的规则 1-4 可以实现在主机系统执行的软件中。

可选地，处理包括仅当满足一个或多个因素时才给端口适配器加电。例如，方框 406 可以包括评估以下因素，如：主机系统是否有对端口适配器所需的分组格式的软件支持；主机系统是否有对端口适配器的软件支持；端口适配器散发的功率量是否小于主机系统允许的最大功率散发量；主机系统是否可以匹配端口适配器所需的带宽；与端口适配器相关联的许

可授权要求是否允许端口适配器运行在主机系统上等等。

如果主机与端口适配器兼容，则在方框 408 主机将其自身的 SPI-4 总线的工作速率改变为最快的兼容支持速率。例如，如果端口适配器标识库指示端口适配器既支持 1/4 速率 SPI-4 又支持全速率 SPI-4，则主机将其 SPI-4 工作速率改变为全速率。在替换实施例中，主机将其自身的 SPI-4 总线的工作速率改变为兼容支持速率中的任何一个。

在方框 410，主机通过发送适当的控制信号来给端口适配器加电；在图 2 的示例中，这种信号可以在电源控制总线 226 上发送。在方框 412，主机将端口适配器设为主机使用的相同兼容速率。对于图 3 的示例，主机系统 100 在 SPA 总线 206A 上发送控制信号，以指示端口适配器使用特定速率。被设定的速率可以是最快兼容速率，或者任何选定的兼容速率。

可选地，在其他实施例中，执行步骤 408、410、412 的顺序可以改变，并且执行这些步骤的顺序是不严格的。

从而，利用图 4 的方法，主机可以查询端口适配器以获取关于端口适配器的工作特性的信息，并且基于所接收的信息，主机系统确定是否兼容，是否给端口适配器加电，以及使用哪一工作速率。

另外，基于所接收的信息，主机系统可以确定运行 SPI-4 总线的工作频率。例如，可以使用全速率 SPI-4，可以使用 1/4 速率等等。

主机系统还可以确定 SPI-4 总线上数据通信的特定格式，例如将在下面的 2.4 部分进一步描述的。

2.3 扩展流控制总线

传统的 SPI-4 总线最大寻址 256 个信道，并且在正常寻址模式中提供对 256 个信道的 FIFO 队列状态指示的支持。然而，具有大量信道（例如，“高度信道化的”或 ATM SPA）的端口适配器可能需要 1000 个或更多个信道。因此，希望具有一种端口适配器流控制总线，其可以在每端口适配器上支持多于 256 个信道。

因此，提供了扩展流控制总线和相关联的方法以将端口适配器扩展到能够多于 256 个信道。在该布置中，需要小于或等于 256 个信道的端口适

配器可以使用传统的 SPI-4 控制总线来进行流控制，也可以可选地使用这里定义的扩展流控制总线。如果端口适配器使用这里定义的扩展流控制总线，则端口适配器还仍然使用传统的 SPI-4 流控制总线来进行总的（而不是子信道或虚拟信道）流量聚集的流控制，如端口适配器级别或物理端口级别的流控制。

在一个实施例中，扩展流控制总线 222 传输时域复用（TDM）日历帧同步信号、流控制时钟信号、状态信号和奇偶校验信号。流控制时钟信号提供源时钟，源时钟被主机用来给状态信号上的数据值提供时钟，并且由流控制数据的发送者（通常是端口适配器）发源。示例性的时钟频率是 50 MHz，但是也可以使用任何其他合适的时钟频率。

在一个实施例中，状态信号是 1 位信号，但是也可以使用其他形式的状态信令。状态信号提供对信道 FIFO 状态是高于还是低于阈值的指示，阈值对应于针对 TDM 时隙编程的信道。在各种实施例中，奇偶校验值提供用于特定时钟周期的状态信号和帧同步信号之间的偶或奇校验。在各种实施例中，使用分离的奇偶校验信号允许灵活地将帧尺寸改变为任意长度。可选地，端口适配器也可以不支持扩展流控制总线，这种情况下不连接前述信号。

从而，在实施例中，扩展流控制总线使用基于 TDM 日历的机制，该机制在单个数据位上传输每个信道的 FIFO 状态信息。当信道在端口适配器和主机处被配置并建立时，主机系统 100 对日历编程。在一个实施例中，时隙被正比于信道带宽分配。实施例可以将信道带宽近似为最接近的 2 的幂，并且可以以减少流控制时隙的总数的方式分配时隙。在一个实施例中，日历包括这样的表，在表中，行对应于时隙，列携带信道号和 FIFO 状态信息。在一个特定实施例中，有 16584 行，每行包括 12 位的信道号和一个状态位。

端口适配器使用日历来确定轮询哪个信道以获取 FIFO 状态以及在特定时隙或时钟周期中发送哪个信道。主机使用类似配置的日历来确定在特定时隙中传输哪个信道的 FIFO 状态流控制信息。

在一个实施例中，所支持信道的数目是可配置的，从而其可以适应特

定主机的能力。例如，主机卡仅可以支持 1K 的流可控实体，因此，某些端口适配器可能需要支持少于最大数目的信道。

在附录的 2.3 部分中提供了扩展流控制总线的详细描述。

2.4 利用端口适配器预处理分组

在一个实施例中，每个端口适配器 104A、104B、104N 可以利用大量网络技术中的任何一种与外部网络或设备进行通信。结果，在端口适配器处接收的数据分组可以具有大量不同格式中的任何一种。在一个实施例中，每个端口适配器以少量基本分组格式中的一种向主机提供数据，这些格式都是主机所理解的。例如，在一个特定实施例中，使用了四种分组格式，并且端口适配器支持这四种格式中的一种或多种以与主机进行通信。在该方法中，由于端口适配器是许多不同主机系统的目标，因此这些格式尽可能多地隐藏了与端口适配器内的特定媒体类型相关联的细节和处理负荷，以帮助主机高速工作或者降低分组处理的复杂度。另外，分组格式提供了尽可能小的头部字段，以减少 SPI-4 总线上采用的带宽。

图 4B 的流程图图示了变换接收到的数据分组的处理的概图。

在方框 422，在端口适配器的入口接口上接收到分组。在一个实施例中，图 4B 的处理由如图 2 所示的端口适配器执行。从而，图 4B 的步骤例如可以由 SPI-4 终端逻辑 202 执行。根据端口适配器所支持的特定联网技术中的原有分组格式对在方框 422 接收到的分组执行格式化。示例性技术包括以太网、ATM、帧中继等。

在方框 424，选择多种不同分组格式中的一种。方框 424 一般包括选择多种分组格式中的一种，例如，除了原有格式外的其他格式，原有格式是接收到的分组的格式。在下面进一步描述的一个特定实施例中，从以太网 SPA 8 字节垫片（shim）格式、ATM SPA 4 字节垫片格式、高度信道化的 SPA 4 字节垫片格式和无垫片格式中选择分组格式。所选的格式可以包括比接收到的分组中的字段更多或更少的字段。执行方框 424 可以包括仅仅选择与曾有的端口适配器相关联的一种指定分组格式。另外，在支持以太网分组的端口适配器的情形下，可以基于在分组中携带的 VLAN 标识符

来选择特定的分组格式。

在方框 426，创建遵从所选格式的新分组。

在方框 428，来自接收到的分组的字段的数据被变换为新分组的一个或多个相应字段。数据变换可以根据数据驱动的映射或规划规则来执行，该映射或规则指定特定入口分组格式中的哪些字段被变换为目标分组格式中的哪些其他字段。另外，该映射或规则可以指定从除分组以外的源获得的数据或值的变换，如接口标识符、分组长度、拥塞状态、分组有效性检验等。

在方框 430，新分组被提供给主机系统。例如，在图 2 中，新分组被从 SPI-4 终端逻辑 202 通过主机系统总线 201 被传输到主机系统 100。

实施例中所用的四种分组格式可以指定如下：

格式 A：以太网 SPA 8 字节垫片格式

格式 B：ATM SPA 4 字节垫片格式

格式 C：高度信道化的 SPA 4 字节垫片格式

格式 D：无垫片格式

每种格式在附录中有详细描述。

图 5 是通用的变换后的分组格式的框图。在图 5 的实施例中，分组 500 包括分类位 502、长度指示符 504、源信道标记 506 和头部字段 508。分类位 502 携带表达与接收到的分组相关联的类别值的信息。分类信息可以最初从多个不同分组字段中的任何一个导出，这些字段包括但不限于 IP 分组的服务类型（ToS）字段、802.1q 优先级信息、MAC 地址过滤信息等。长度指示符 504 可以指定对原始分组进行的长度调整，或者可以指定变换后的分组的绝对长度。源信道标记 506 指定原始分组到达的逻辑或物理信道。头部字段 508 携带从原始分组的头部字段中导出的信息。

图 5 的一般化的格式可以以各种方式适用于进入分组的不同格式。例如，在以太网 SPA 8 字节垫片格式，端口适配器从分组中完全剥离出第 2 层封装，并替代以 8 字节垫片头部，该头部包括来自原始分组的用于使主机的转发引擎进行高效的转发判决的所有相关信息。较低的 4 字节被以与帧中继头部相同的方式近似格式化，从而可以简化主机的转发引擎的设

计。

剥离第 2 层头部可选地是在每分组基础上执行的，从而支持诸如 MPLS 上的以太网之类的第 2 层隧道。如果第 2 层头部被留在分组中，则其也可以可选地被填充以两个或三个字节以使第 3 层头部与 4 字节对齐，就像某些主机的可选最优化一样。填充的第一字节例如指示存在的填充字节的数目。

这种情况下，由于离开端口适配器的分组格式可以包括可选的剥离可变长度的第 2 层封装，以及垫片头部的添加，因此长度指示符值 504 指示该分组比首次接收到时短的字节数。主机系统 100 的第 3 层引擎可以通过将长度指示符值 504 的值加上从端口适配器接收的总字节数，来确定原始的第 2 层长度。

头部字段 508 可以包括分组的第 2 层头部的协议 ID（“PID”），并且端口适配器可能已经转化了值。PID 字段的某些特殊值指示主机必须对特定分组应用特殊处理；该特殊值是软件可配置的。例如，特殊的 PID 可用来指示隧道发送的分组、异常分组、或其他特殊特性。对于隧道发送的分组，当到达分组的 VLAN ID 和端口号被配置为进入第 2 层隧道时，整个分组以及其原始第 2 层封装被带入主机系统。异常分组指示端口适配器已经检测到关于分组的某些信息，其要求主机对分组执行特殊处理。可以定义多于一个的异常分组专用 PID。这例如可以允许将分组分类为不同优先级的 CPU 队列。

可选地，作为将第一分组变换为特定的选定分组格式的一部分，原始分组的头部 510 和/或主体 512 可以放置在变换后的分组 500 中。从而，主机和端口适配器内所用的分组格式可以包括原始分组头部 510 和/或原始分组主体 512。取决于被处理的流量的属性或者处理其的上下文，也可以省略原始头部和主体。

类似的变换技术可以应用到进入分组的其他不同的分组格式。

另外或者可替换地，无需变换分组，而是可以丢弃分组。例如，如果端口适配器从端口适配器或主机不感兴趣的第 2 层地址或 VLAN 接收到分组，则可以丢弃该分组。

3.0 扩展和替换

在前述说明书中，参考本发明的特定实施例描述了本发明。然而很清楚的是，可以对其进行各种修改和变化，而不脱离本发明的宽广的精神和范围。因此，说明书和附图是示例性的，而非限制性的。

例如，端口适配器可以将分组归类为高优先级的或低优先级的，并且在变换后的分组格式中提供优先级信息以使主机能够确定首先处理哪些分组。作为在变换后的分组格式中携带分组优先级信息的替换，两个或更多个逻辑 SPI-4 信道可以与一个物理端口相关联，其中，第一逻辑信道携带与第一优先级级别相关联的端口流量，第二或附加的信道携带与第二或其他的优先级级别相关联的流量。在该方法中，主机适配器可以经由软件被配置为首先处理较高优先级信道上到达的所有分组，而不参考分组内的优先级信息。

在上述体系结构的另一种变体中，逻辑 SPI-4 信道之一可用作控制路径，以作为提供控制总线 206（图 2）或 SPA 总线 206A（图 3）上的控制信号的替换。在该替换中，指定的逻辑信道携带控制分组，与此相分离的，关联的逻辑信道携带端口数据流量。控制信道可被认为对于主机具有最高优先级。另外，该方法的优点是控制分组可以与关联数据分组的发送在时间上同步或对齐。另外，用于逻辑信道（在该方法中用于控制）的 SPI-4 总线的带宽一般比 SPA 总线 206A 或控制总线 206 的带宽要高，其可用于发送大量的控制数据、统计流量等。

在另一种变体中，指定的 SPI-4 逻辑信道可用来携带例如事件形式的流控制信息。

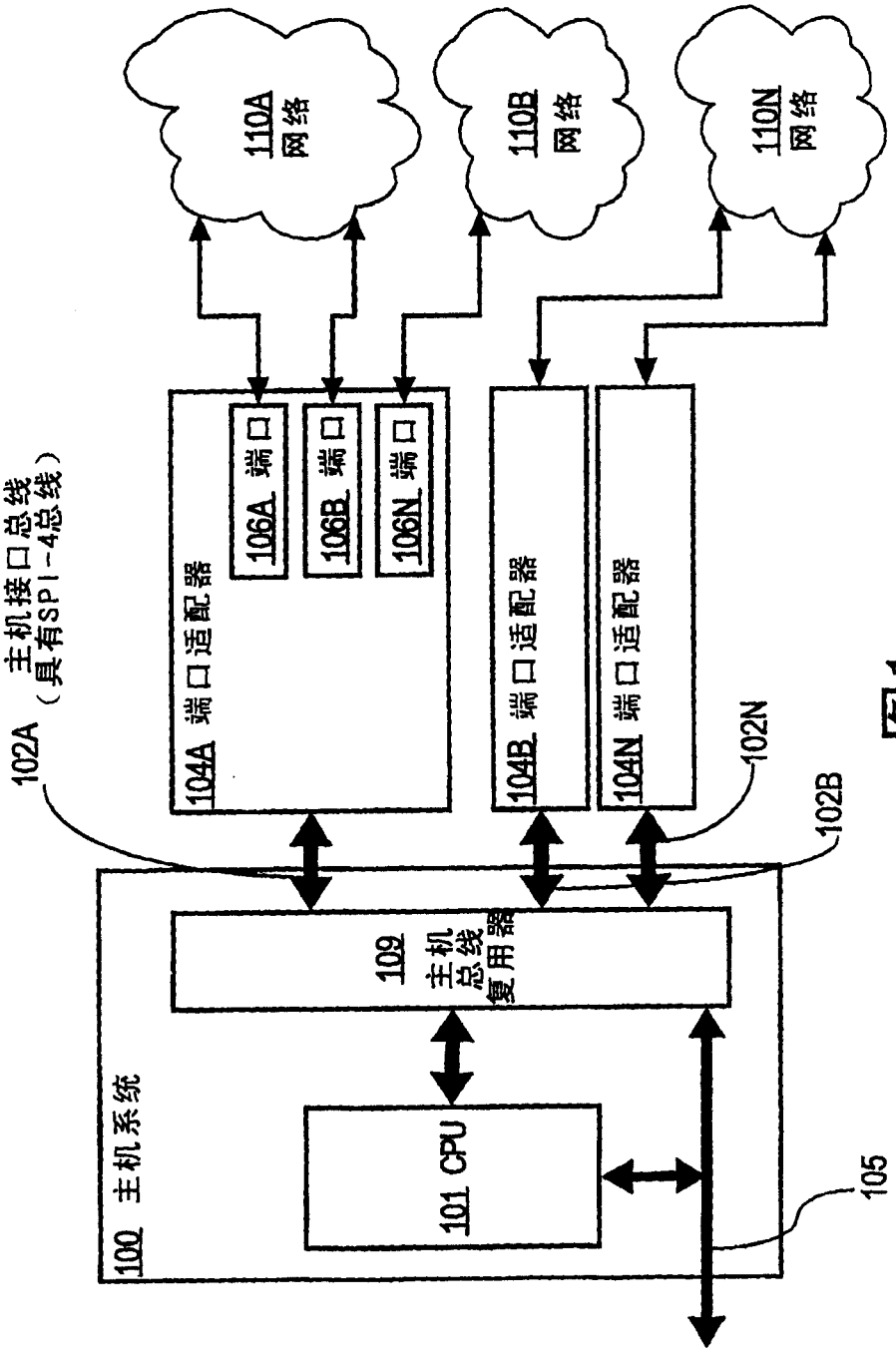

110A 网络
110B 网络
110N 网络
106A 端口
106B 端口
106N 端口
104A 端口适配器
104B 端口适配器
104N 端口适配器
102A 主机接口总线 (具有SPI-4总线)
102N
102B
109 主机总线复用器
101 CPU
100 主机系统
105

图1

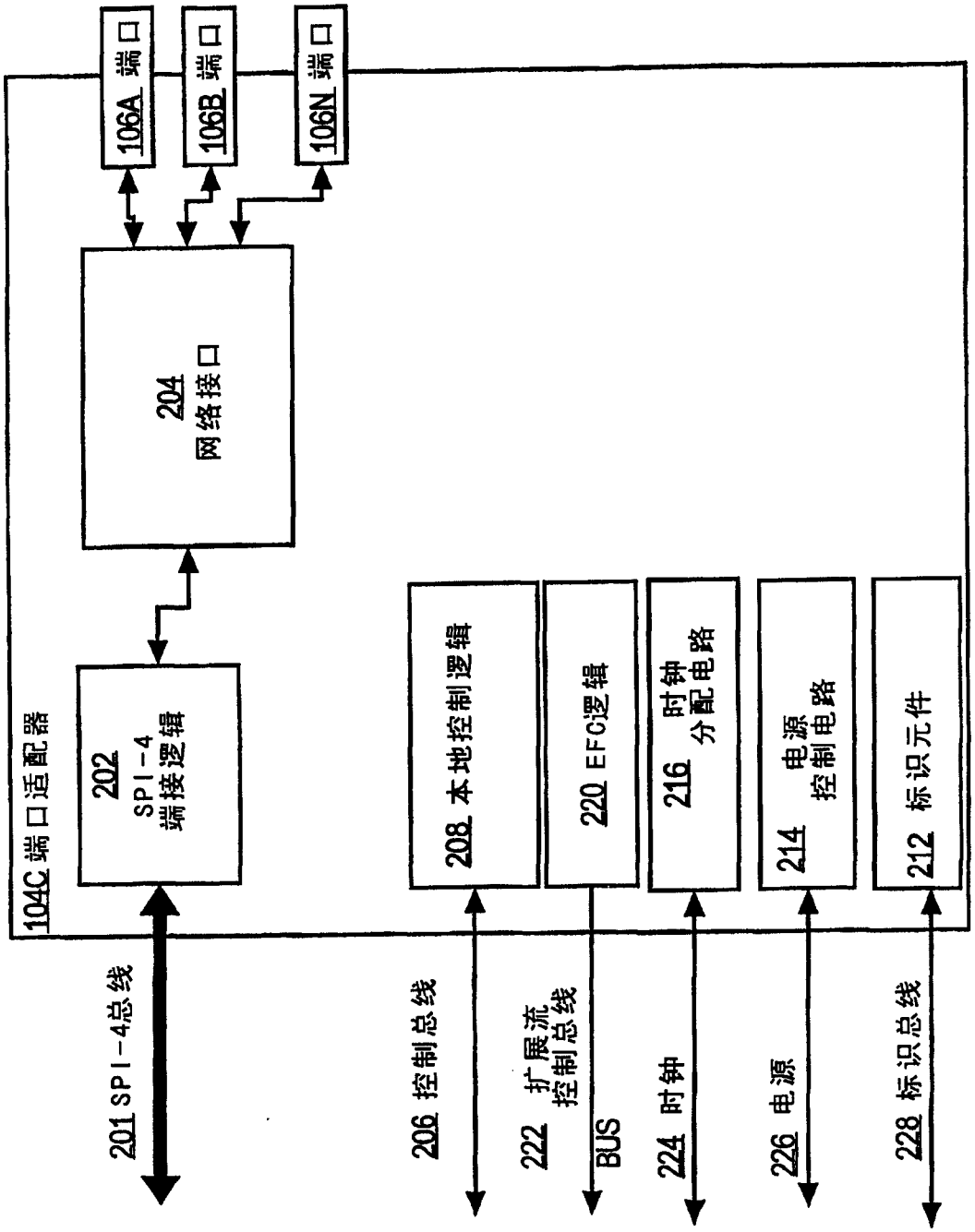

106A 端口
106B 端口
106N 端口
204 网络接口
202 SPI-4 端接逻辑
104C 端口适配器
208 本地控制逻辑
220 EFC逻辑
216 时钟分配电路
214 电源控制电路
212 标识元件
201 SPI-4总线
206 控制总线
222 扩展流控制总线
BUS
224 时钟
226 电源
228 标识总线

图2

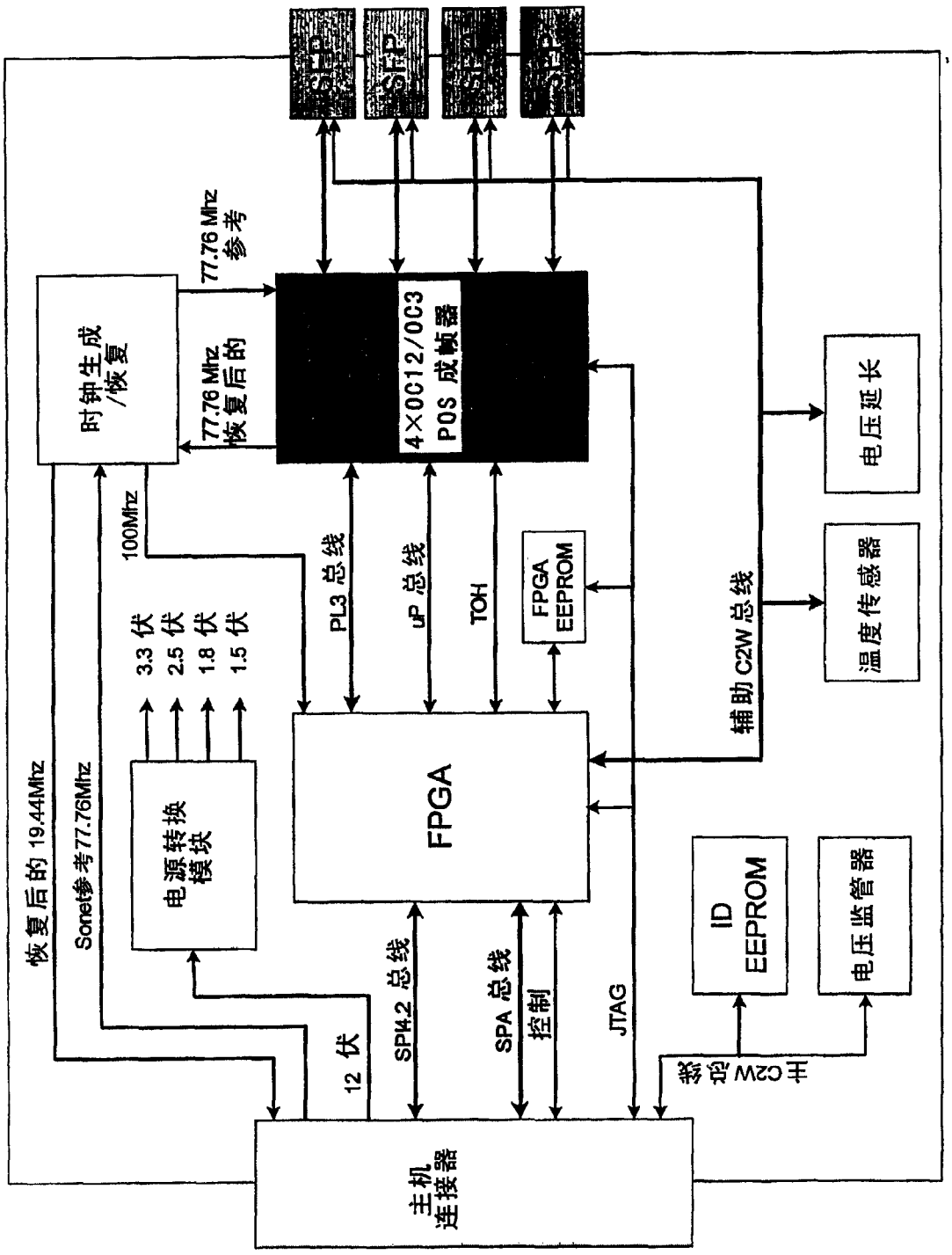

SFP
SFP
SFP
SFP
77.76 Mhz 参考
时钟生成 /恢复
77.76 Mhz 恢复后的
4×OC12/OC3 POS 成帧器
100Mhz
PL3 总线
uP 总线
TOH
FPGA EEPROM
辅助 C2W 总线
电压延长
温度传感器
3.3 伏
2.5 伏
1.8 伏
1.5 伏
电源转换 模块
FPGA
恢复后的 19.44Mhz
Sonet参考77.76Mhz
12 伏
SPI4.2 总线
SPA 总线
控制
JTAG
ID EEPROM
电压监管器
主机 连接器

图3

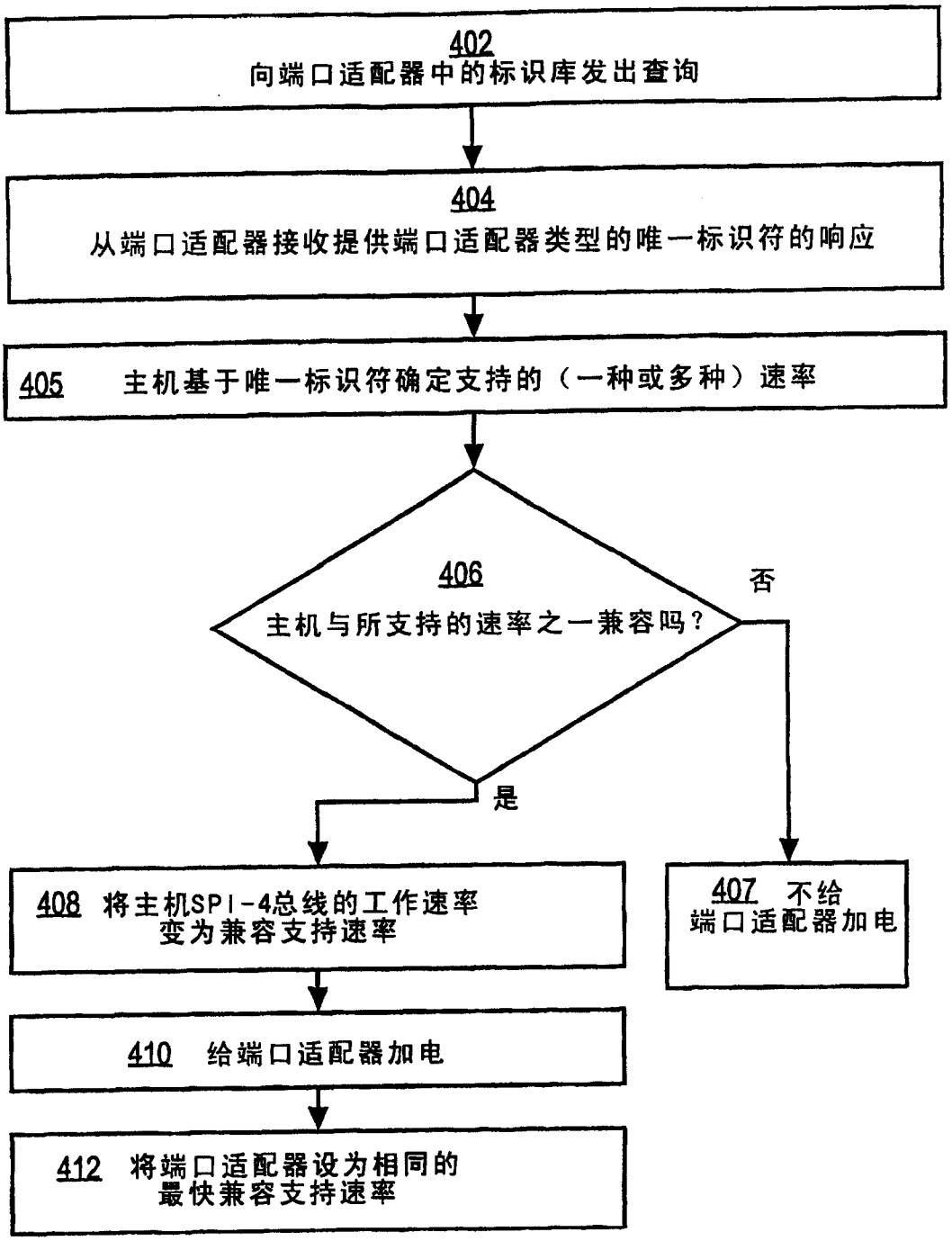

402
向端口适配器中的标识库发出查询
404
从端口适配器接收提供端口适配器类型的唯一标识符的响应
405 主机基于唯一标识符确定支持的（一种或多种）速率
406
主机与所支持的速率之一兼容吗？
否
是
408 将主机SPI-4总线的工作速率变为兼容支持速率
407 不给端口适配器加电
410 给端口适配器加电
412 将端口适配器设为相同的最快兼容支持速率

图4A

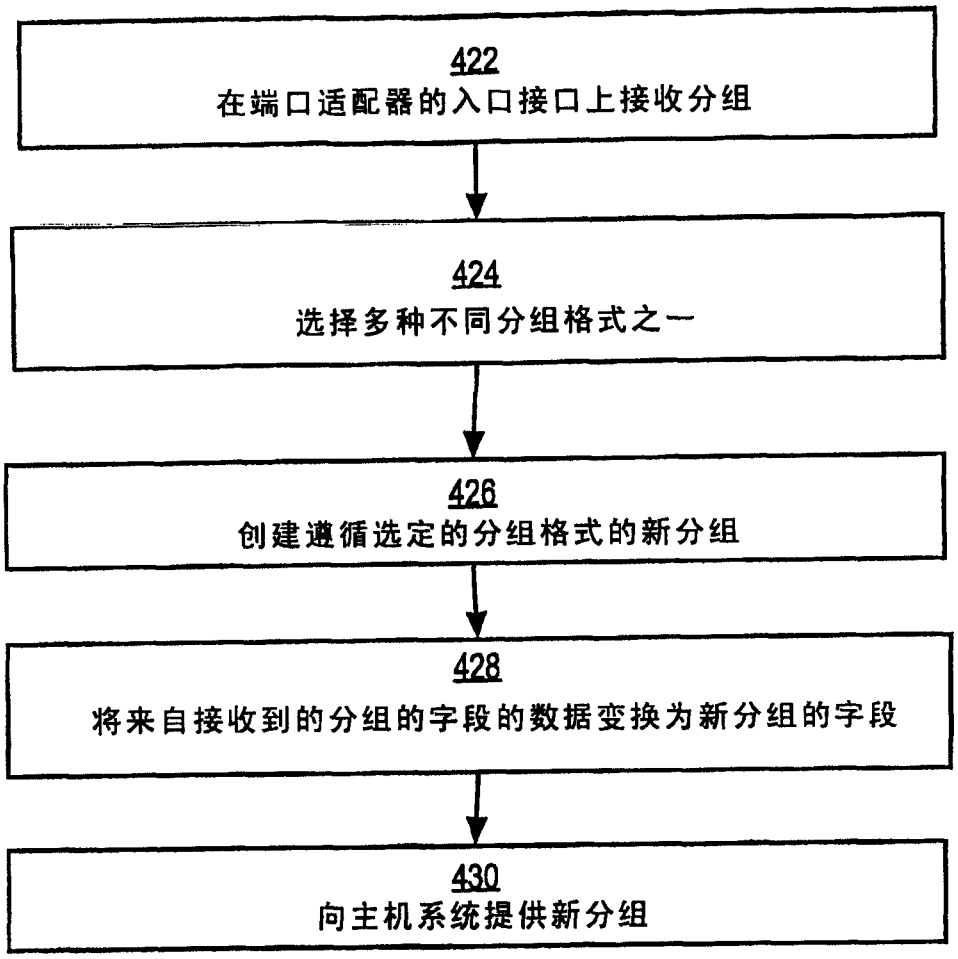

422
在端口适配器的入口接口上接收分组
424
选择多种不同分组格式之一
426
创建遵循选定的分组格式的新分组
428
将来自接收到的分组的字段的数据变换为新分组的字段
430
向主机系统提供新分组

图4B

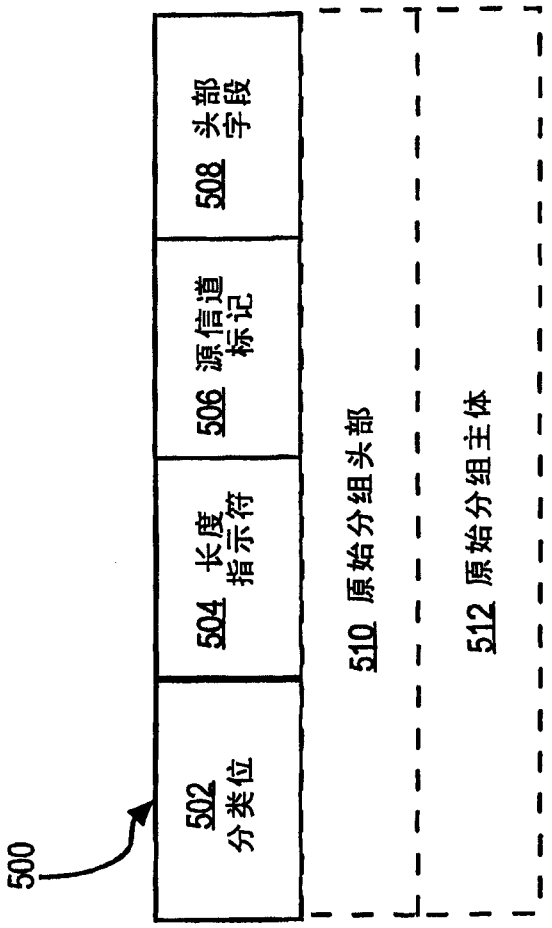

500
502 分类位
504 长度指示符
506 源信道标记
508 头部字段
510 原始分组头部
512 原始分组主体

图5