



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월25일
(11) 등록번호 10-0890212
(24) 등록일자 2009년03월17일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0120156

(22) 출원일자 2007년11월23일

심사청구일자 2007년11월23일

(56) 선행기술조사문헌

KR100655440 B1*

KR1020030092132 A*

KR1020070022682 A*

JP2001237387 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122번지 금강아파트 103-1301

안호명

서울시 송파구 풍납동 277-5번지 202호

김경찬

서울시 동대문구 제기1동 122-530번지 원빌리지 201호

(74) 대리인

김정식

전체 청구항 수 : 총 23 항

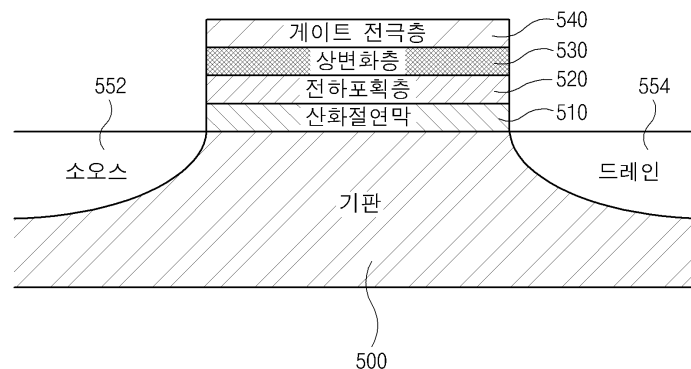
심사관 : 진상범

(54) 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 발명은 비휘발성 메모리 소자 및 이의 제조 방법을 개시한다. 본 발명은 상변화층의 상태를 결정상태로 변화시킨 후 전하를 전하 포획층으로 주입하고, 다시 상변화층의 상태를 비정질 상태로 변화시켜 데이터를 프로그램하고, 동일한 방식으로 상변화층의 상태를 변화시켜 프로그램된 전하를 소거함으로써, 종래의 터널링 방식을 이용하여 데이터를 프로그램하는 SONOS 구조의 플래시 메모리 소자에 비하여 데이터 프로그램 및 데이터 소거 동작 속도가 향상되고, 데이터 프로그램 가능 회수가 증가되는 효과가 있다. 또한, 본 발명은 하나의 트랜지스터 구조만을 이용하여 비휘발성 메모리 소자를 제조하므로, 종래의 하나의 트랜지스터와 하나의 저항체를 메모리 셀에 포함시켜 소자를 구성하는 PRAM 구조에 비하여 소자 제조 공정이 간단하고, 그 부피가 감소되어 고집적화에 유리한 효과가 있다.

대표도 - 도5



특허청구의 범위

청구항 1

기관;

상기 기관위에 형성되어 전하 포획층에 포획된 전하가 상기 기관으로 유출되는 것을 차단하는 절연막;

상기 절연막위에 형성되어 전하를 포획하는 상기 전하 포획층;

상기 전하 포획층위에 상변화 물질로 형성되고, 게이트 전극층에서 인가되는 열에 의해서 결정상태 또는 비정질 상태로 변화되어, 결정상태에서 상기 전하 포획층과 게이트 전극층간의 전하의 유동을 허용하고, 비정질상태에서 상기 전하 포획층과 게이트 전극층간의 전하의 유동을 차단하는 상변화층; 및

외부로부터 셋 펄스가 인가되면 열을 발생시켜 상기 상변화층을 결정상태로 변화시키고 상기 상변화층을 통해서 상기 전하 포획층으로 전하를 주입하고, 상기 셋 펄스보다 고전류로 단시간동안 인가되는 리셋 펄스가 인가되면 열을 발생시켜 상기 상변화층을 비정질 상태로 변화시켜 상기 전하 포획층에 포획된 전하의 방출을 차단함으로써 프로그램을 수행하는 상기 게이트 전극층을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상변화 물질은 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 구비하는 칼코게나이드계 물질($\text{Ge}_x\text{Sb}_y\text{Te}_z$)인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서, 상기 전하 포획층은

절화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서, 상기 전하 포획층은

텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서, 상기 전하 포획층은

실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서, 상기 게이트 전극층은

알루미늄 또는 알루미늄 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8

제 1 항에 있어서, 상기 게이트 전극층은

상기 상변화층위에 텅스텐 또는 텅스텐 합금으로 형성된 제 1 층; 및

상기 제 1 층위에 알루미늄 또는 알루미늄 합금으로 형성된 제 2 층을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 9

반도체 기판위에 절연막, 전하 포획층, 상변화층, 및 게이트 전극층이 순차적으로 형성된 메모리 소자에 데이터를 프로그램하고, 프로그램된 데이터를 소거하는 방법으로서,

- (a) 상기 게이트 전극층에 셋 펄스를 인가하여 상기 상변화층을 결정상태로 변화시켜 상기 전하 포획층으로 전하를 주입하는 단계; 및
- (b) 전하가 상기 전하 포획층에 포획된 후, 상기 게이트 전극층에 리셋 펄스를 인가하여 상변화층을 비정질상태로 변화시키는 단계를 포함하는 방법.

청구항 10

제 9 항에 있어서,

- (c) 상기 게이트 전극층에 셋 펄스를 인가하여 상기 상변화층을 결정상태로 변화시켜 상기 전하 포획층에 포획된 전하를 상기 게이트 전극층으로 유출시키는 단계; 및
- (d) 전하가 상기 전하 포획층으로부터 유출된 후, 상기 게이트 전극층에 리셋 펄스를 인가하여 상변화층을 비정질상태로 변화시키는 단계를 더 포함하는 방법.

청구항 11

제 10 항에 있어서,

상기 셋 펄스는 0.1 nA 내지 100 mA 의 전류를 1 ns 내지 1 ms 지속되는 펄스인 것을 특징으로 하는 방법.

청구항 12

삭제

청구항 13

제 10 항 또는 제 11 항에 있어서, 상기 상변화층은

게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 구비하는 칼코게나이드계 물질($\text{Ge}_x\text{Sb}_y\text{Te}_z$)로 형성된 것을 특징으로 하는 방법.

청구항 14

제 10 항 또는 제 11 항에 있어서, 상기 전하 포획층은

절화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 방법.

청구항 15

제 10 항 또는 제 11 항에 있어서, 상기 전하 포획층은

텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 방법.

청구항 16

제 10 항 또는 제 11 항에 있어서, 상기 전하 포획층은

실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 방법.

청구항 17

제 10 항 또는 제 11 항에 있어서, 상기 게이트 전극층은
알루미늄 또는 알루미늄 합금으로 형성되는 것을 특징으로 하는 방법.

청구항 18

제 10 항 또는 제 11 항에 있어서, 상기 게이트 전극층은
상기 상변화층위에 텅스텐 또는 텅스텐 합금으로 형성된 제 1 층; 및
상기 제 1 층위에 알루미늄 또는 알루미늄 합금으로 형성된 제 2 층을 포함하는 것을 특징으로 하는 방법.

청구항 19

- (a) 기판위에 절연막 및 전하 포획층을 형성하는 단계;
- (b) 상변화 물질로, 게이트 전극층에서 인가되는 열에 의해서 결정상태 또는 비정질 상태로 변화되어, 결정상태에서 상기 전하 포획층과 게이트 전극층간의 전하의 유동을 허용하고, 비정질상태에서 상기 전하 포획층과 게이트 전극층간의 전하의 유동을 차단하는 상변화층을 상기 전하 포획층위에 형성하는 단계;
- (c) 외부로부터 셋 펄스가 인가되면 열을 발생시켜 상기 상변화층을 결정상태로 변화시키고 상기 상변화층을 통해서 상기 전하 포획층으로 전하를 주입하고, 상기 셋 펄스보다 고전류로 단시간동안 인가되는 리셋 펄스가 인가되면 열을 발생시켜 상기 상변화층을 비정질 상태로 변화시켜 상기 전하 포획층에 포획된 전하의 방출을 차단함으로써 프로그램을 수행하는 상기 게이트 전극층을 상기 상변화층 위에 형성하는 단계; 및
- (d) 상기 절연막, 상기 전하 포획층, 상기 상변화층, 및 상기 게이트 전극층을 식각하고, 상기 기판에 소오스 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 20

삭제

청구항 21

제 19 항에 있어서,
상기 상변화 물질은 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 구비하는 칼코게나이드계 물질($\text{Ge}_x\text{Sb}_y\text{Te}_z$)인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 22

제 19 항에 있어서, 상기 전하 포획층은
질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 23

제 19 항에 있어서, 상기 전하 포획층은
텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 24

제 19 항에 있어서, 상기 전하 포획층은
실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 25

제 19 항에 있어서, 상기 게이트 전극층은

알루미늄 또는 알루미늄 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 26

제 19 항에 있어서, 상기 게이트 전극층은

상기 상변화층위에 텅스텐 또는 텅스텐 합금으로 형성된 제 1 층; 및

상기 제 1 층위에 알루미늄 또는 알루미늄 합금으로 형성된 제 2 층을 포함하도록 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

<2> 종래의 본 발명은 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 상 변화 메모리 장치(phase change memory device) 및 그것의 프로그램 방법에 관한 것이다.

<3> 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read Only Memory)으로 나눌 수 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 불휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸하는 소위 휘발성 메모리(volatile memory)이다. RAM에는 Dynamic RAM(DRAM)과 Static RAM(SRAM) 등이 있다.

<4> 그외에 DRAM의 커패시터를 불휘발성을 지닌 물질로 대체한 반도체 메모리 장치가 등장하고 있다. 강유전체 커패시터를 이용한 강유전체 램(ferroelectric RAM; FRAM), 터널알(TMR; tunneling magneto-resistive) 막을 이용한 마그네틱 램(magnetic RAM; MRAM), 그리고 칼코게나이드계 화합물(chalcogenide alloys)을 이용한 상변화 메모리 장치(phase change memory device) 등이 있다. 특히, 상변화 메모리 장치는 불휘발성 메모리 장치이며, 그 제조과정이 FRAM 및 MRAM에 비하여 간단하고, 저가로 대용량의 메모리를 구현할 수 있다는 점에서 많은 관심을 받고있다.

<5> 도 1 은 종래의 상변화 메모리 장치의 메모리 셀의 구성을 간략하게 도시한 회로도이고, 도 2a 및 도 2b 는 종래의 상변화 메모리 장치의 메모리 셀의 결정 상태 및 비결정 상태를 각각 도시한 도면이다.

<6> 도 1 내지 도 2b를 참조하면, 상변화 메모리 장치의 메모리 셀은 가변 저항부(10)와 액세스 트랜지스터(20)로 구성된다. 가변 저항부(10)는 비트 라인(BL)에 연결된다. 액세스 트랜지스터(20)는 가변 저항부(10)와 접지 사이에 연결된다. 액세스 트랜지스터(20)의 게이트에는 워드라인(WL)이 연결된다. 워드 라인(WL)에 소정의 전압이 인가되면, 액세스 트랜지스터(20)는 턴 온(turn on) 된다. 액세스 트랜지스터(20)가 턴 온(turn on) 되면, 가변 저항부(10)는 비트 라인(BL)을 통해 전류를 공급받는다.

<7> 가변 저항부(10)는 상변화 물질(phase change material)을 포함한다. 상변화 물질은 온도에 따라 2개의 안정된 상태, 즉 결정 상태(crystal state) 및 비결정 상태(amorphous state) 중 어느 하나를 갖는다. 상변화 물질은 비트라인(BL)을 통해 공급되는 전류에 따라 결정 상태(crystal state) 또는 비결정 상태(amorphous state)로 변한다. 상변화 메모리 장치는 상변화 물질의 이러한 특성을 이용하여 데이터를 프로그램한다.

<8> 도 2a 및 도 2b 는 이러한 두 상태의 메모리 셀을 각각 도시한다.

<9> 먼저, 도 2a 를 참조하면, 메모리 셀은 상변화 물질(14)위에 형성되는 전도성의 상부 전극(12)을 구비한다. 전도성의 하부 전극 콘택(BEC)(16)은 상부 전극(12) 및 상변화 물질(14)을 전도성의 하부 전극(18)과 연결시킨다. 메모리 셀은 셋 상태 또는 0 상태에 있다. 이 상태에서 상변화 물질(14)은 결정 상태이다.

<10> 도 2b를 참조하면, 메모리 셀은 리셋 상태 또는 1 상태에 있다. 이 상태에서 상변화 물질(14)은 비결정 상태이

다.

- <11> 도 2a 및 도 2b에서, 액세스 트랜지스터(20)가 턴온되어, 메모리 셀에 전류가 흐르면 하부 전극 콘택(16)은 상변화 물질(14)을 가열시켜 상태를 변화시키는 히터로서 동작한다.
- <12> 도 3은 상변화 물질의 특성을 설명하기 위한 그래프이다. 도 3에서 참조 번호 31은 상변화 물질이 비정질 상태(amorphous state)로 되기 위한 조건을 나타내며, 참조 번호 32는 결정 상태(crystal state)로 되기 위한 조건을 나타낸다.
- <13> 도 3를 참조하면, 단시간동안 고전류를 상변화 물질에 인가하면 상변화 물질(GST)은 전류 공급에 의해 T1 동안 용융 온도(melting temperature; T_m)보다 높은 온도로 가열한 뒤 급속히 냉각(quenching)되어 비정질 상태(amorphous state)로 된다. 비정질 상태는 보통 리셋 상태(reset state)라고 부르며, 데이터 '1'을 저장한다.
- <14> 한편, 비교적 긴시간동안 저전류를 상변화 물질에 인가하면, 상변화 물질은 결정화 온도(crystallization temperature; T_c)보다 높고 용융 온도(T_m)보다는 낮은 온도에서 T1 보다 긴 T2 동안 가열된 뒤 서서히 냉각되어 결정 상태(crystal state)로 된다. 결정 상태는 보통 셋 상태(set state)라고도 부르며, 데이터 '0'을 저장한다. 메모리 셀은 상변화 물질의 비정질 양(amorphous volume)에 따라 저항(resistance)이 달라진다. 메모리 셀의 저항은 비정질 상태일 때 가장 높고, 결정 상태일 때 가장 낮다.
- <15> 따라서, PRAM 은 이러한 상변화 물질의 상태에 따른 저항값을 변화시켜 프로그래밍을 수행한다.
- <16> 그러나, 이러한 종래의 PRAM 의 경우에는, 상술한 바와 같이, 하나의 트랜지스터와 하나의 저항체를 포함하여 하나의 메모리 셀을 구성하므로, 현재 상용화된 SONOS 구조의 플래시 메모리보다 제조 공정이 복잡하고, 메모리 셀의 부피도 SONOS 구조의 플래시 메모리보다 더 많은 부피를 차지하여 고집적화하기에 어려운 문제점이 존재한다.
- <17> 한편, 도 4 는 종래 기술에 따른 SONOS 구조의 플래시 메모리 소자를 도시하는 도면이다. 도 4 를 참조하면, 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치의 메모리 셀은 기판(41)에 형성된 소오스/드레인(47) 영역 사이의 채널 영역(48) 상에 산화막(42), 질화막(43), 및 산화막(44)으로 이루어진 ONO막(45) 및 폴리 실리콘(46)이 차례로 적층된 구조이다.
- <18> 이 메모리 셀은 게이트에 일정한 레벨의 전압을 인가하면 기판의 채널영역의 전하들이 산화막(42)을 터널링하여 질화막(43)에 트랩되고, ONO막(45)의 질화막(43)에 트랩된 전하의 유무에 따라 논리 '0' 또는 논리 '1' 중 어느 한 상태를 나타내는 단일 비트(single bit) 구조이다.
- <19> 그러나, 이러한 SONOS 구조의 플래시 메모리에 데이터를 프로그램하기 위해서는 전하의 터널링 과정이 수행되어야 하고, 이러한 터널링 과정은 다른 메모리 소자의 프로그래밍 또는 프로그래밍 제거 동작에 비하여 시간이 많이 소모되는 단점이 있다.
- <20> 또한, SONOS 구조의 플래시 메모리의 경우에는, 데이터 쓰기 가능 회수가 10^6 으로, SRAM(10^{15} 회), DRAM(10^{15} 회), MRAM(10^{16} 회), PRAM(10^{12} 회) 및 FeRAM(10^{16} 회) 등 다른 메모리 소자에 비하여 쓰기 가능 회수가 현저히 적은 문제점이 존재한다.

발명의 내용

해결 하고자하는 과제

- <21> 본 발명이 해결하고자 하는 기술적 과제는 간단한 제조 공정으로 메모리 셀의 부피를 최소화하면서도 동작 속도가 빠른 비휘발성 메모리 소자 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

- <22> 상술한 과제를 이루기 위한 본 발명의 비휘발성 메모리 소자는, 기판; 기판위에 형성되어 전하 포획층에 포획된 전하가 기판으로 유출되는 것을 차단하는 절연막; 절연막위에 형성되어 전하를 포획하는 전하 포획층; 전하 포획층위에 상변화 물질로 형성되어, 상태에 따라서 전하 포획층과 게이트 전극층간의 전하의 유입 및 유출을 제어하는 상변화층; 및 외부로부터 인가되는 전류의 세기와 전류의 인가 시간에 따라서 상변화층의 상태를 변화시키는 게이트 전극층을 포함한다.

- <23> 한편, 상술한 기술적 과제를 이루기 위한 본 발명의 비휘발성 메모리 소자 제조 방법은, (a) 기판위에 절연막 및 전하 포획층을 형성하는 단계; (b) 상변화 물질로, 전하 포획층과 게이트 전극층간의 전하의 유입 및 유출을 제어하는 상변화층을 전하 포획층위에 형성하는 단계; (c) 유입되는 전류에 따라서 열을 발생시켜 상변화층의 상태를 변경시키는 게이트 전극층을 상변화층 위에 형성하는 단계; 및 (d) 절연막, 전하 포획층, 상변화층, 및 게이트 전극층을 식각하고, 기판에 소오스 및 드레인 영역을 형성하는 단계를 포함한다.
- <24> 한편, 상술한 과제를 이루기 위한, 반도체 기판위에 절연막, 전하 포획층, 상변화층, 및 게이트 전극층이 순차적으로 형성된 메모리 소자에 데이터를 프로그램하고, 프로그램된 데이터를 소거하는 방법은, (a) 게이트 전극층에 셋 펄스를 인가하여 상변화층을 결정상태로 변화시켜 전하 포획층으로 전하를 주입하는 단계; 및 (b) 전하가 전하 포획층에 포획된 후, 게이트 전극층에 리셋 펄스를 인가하여 상변화층을 비정질상태로 변화시키는 단계를 포함한다.
- <25> 또한, 상술한 방법은, (c) 게이트 전극층에 셋 펄스를 인가하여 상변화층을 결정상태로 변화시켜 전하 포획층에 포획된 전하를 게이트 전극층으로 유출시키는 단계; 및 (d) 전하가 전하 포획층으로부터 유출된 후, 게이트 전극층에 리셋 펄스를 인가하여 상변화층을 비정질상태로 변화시키는 단계를 더 포함할 수 있다.
- <26> 또한, 상술한 셋 펄스는 0.1 nA 내지 100 mA 의 전류를 1 ns 내지 1 ms 지속되는 펄스일 수 있다.
- <27> 삭제
- <28> 또한, 상술한 상변화층의 상태는 결정 상태(crystalline state) 또는 비정질 상태(amorphous state)인 것을 특징으로 한다.
- <29> 또한, 상술한 상변화 물질은 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)을 구비하는 칼코게나이드계 물질($\text{Ge}_x\text{Sb}_y\text{Te}_z$)일 수 있다.
- <30> 또한, 상술한 전하 포획층은 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.
- <31> 또한, 상술한 전하 포획층은 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다.
- <32> 또한, 상술한 전하 포획층은, 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성될 수 있다.
- <33> 또한, 상술한 게이트 전극층은 알루미늄 또는 알루미늄 합금으로 형성될 수 있다.
- <34> 또한, 상술한 게이트 전극층은 상변화층위에 텅스텐 또는 텅스텐 합금으로 형성된 제 1 층; 및 제 1 층위에 알루미늄 또는 알루미늄 합금으로 형성된 제 2 층을 포함할 수 있다.

효 과

- <35> 본 발명은 소노스 구조의 플래시 메모리와 상변화 비휘발성 메모리를 결합함으로써, 간단한 제조 공정으로 메모리 셀의 부피를 최소화하면서도 동작 속도가 빠르고, 프로그래밍 가능회수도 향상된 비휘발성 메모리 소자 및 이의 제조 방법을 제공하는 효과가 있다.
- <36> 구체적으로, 본 발명은 상변화층의 상태를 결정상태로 변화시킨 후 전하를 전하 포획층으로 주입하고, 다시 상변화층의 상태를 비정질 상태로 변화시켜 데이터를 프로그램하고, 동일한 방식으로 상변화층의 상태를 변화시켜 프로그램된 전하를 소거함으로써, 종래의 터널링 방식을 이용하여 데이터를 프로그램하는 SONOS 구조의 플래시 메모리 소자에 비하여 데이터 프로그램 및 데이터 소거 동작 속도가 향상되고, 데이터 프로그램 가능 회수가 증가되는 효과가 있다.
- <37> 또한, 본 발명은 하나의 트랜지스터 구조만을 이용하여 비휘발성 메모리 소자를 제조하므로, 종래의 하나의 트랜지스터와 하나의 저항체를 메모리 셀에 포함시켜 소자를 구성하는 PRAM 구조에 비하여 소자 제조 공정이 간단하고, 그 부피가 감소되어 고집적화에 유리한 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <38> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- <39> 도 5 는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자를 도시하는 도면이다. 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자는 반도체 기판(500)상에 소오스 영역(552) 및 드레인 영역(554)이 형성되고, 채널 영역은 소오스 영역(552) 및 드레인 영역(554) 사이에 위치한다. 또한, 채널영역의 상부에는 산화 절연막(510), 전하 포획층(520), 상변화층(530), 게이트 전극층(540)이 차례로 형성된다.
- <40> 이하에서는, 도 6a 내지 도 6e 를 참조하여, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명한다.
- <41> 먼저, 도 6a 를 참조하면, 본 발명의 비휘발성 메모리 소자를 제조하기 위해서, 반도체 기판(500)위에 산화 절연막(510)을 형성한다. 산화 절연막(510)은 열산화공정 또는 공지의 박막증착 공정을 통해서 1 nm 내지 10 nm 의 두께로 채널 영역위에 형성된 산화막으로서 실리콘 산화막(SiO_2) 등으로 형성될 수 있다.
- <42> 산화 절연막(510)은 게이트 전극층(540)으로부터 전하 포획층(520)으로 유입된 전하가 반도체 기판(500)으로 터널링하여 유출되지 않을 뿐만 아니라, 기판으로부터 전하가 터널링하여 전하 포획층(520)으로 유입되지 못하도록 적절한 두께로 형성된다.
- <43> 산화 절연막(510)의 두께가 너무 두꺼우면, 박막 두께의 스케일 다운에 위배되는 동시에 읽기 동작시 전압이 높아지는 문제점이 발생하고, 산화 절연막(510)의 두께가 너무 얇으면, 주입된 전하의 유실로 기억유지 특성이 저하되는 문제점이 발생한다. 따라서, 본 발명의 바람직한 실시예는 1 nm 내지 10 nm 의 두께로 산화 절연막(510)을 형성한다.
- <44> 한편, 산화 절연막(510)이 형성된 후, 도 6b 에 도시된 바와 같이, 산화 절연막(510) 위에 전하 포획층(520)이 1 nm 내지 10 nm 의 두께로 형성된다. 전하 포획층(520)은 절화막뿐만 아니라 전하를 저장할 수 있는 모든 물질들이 이용될 수 있다.
- <45> 예컨대, 전하 포획층(520)으로서, 고유전상수(high-k)를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다. 또한, 전하 포획층(520)은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐 등의 금속이나, 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다. 또한, 전하 포획층(520)은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물(III족의 Al, Ga, In 과 V족의 P, As, Sb와의 조합) 또는 II-VI족 화합물(II족의 Zn, Cd, Hg와 VI족의 O, S, Se, Te의 조합) 등의 반도체 재료로 형성될 수도 있다. 또한, 전하 포획층(520)은 알루미늄산화막(Al_2O_3), 하프늄산화막(HfO), 하프늄알루미늄산화막(HfAlO), 하프늄실리콘산화막(HfSiO) 등과 같은 전하에 대한 포획 밀도가 높은 절연체로도 형성될 수 있다.
- <46> 전하 포획층(520)이 형성된 후, 도 6c 에 도시된 바와 같이, 그 위에 상변화층(530)을 1 nm 내지 100 nm 의 두께로 형성한다. 상변화층(530)은 칼코게나이드계 물질($\text{Ge}_x\text{Sb}_y\text{Te}_z$)로 PVD 또는 CVD 공정에 의해서 형성하는데, 본 발명의 바람직한 실시예는 GST 물질($\text{Ge}_2\text{Sb}_2\text{Te}_5$)을 이용하여 상변화층(530)을 형성한다.
- <47> 그 후, 도 6d에 도시된 바와 같이, 전하 포획층(520)위에 게이트 전극층(540)을 형성한다. 본 발명의 게이트 전극층(540)은 상변화층(530)과 맞닿아, 메모리 셀에 프로그램을 하거나 프로그램된 전하를 소거할 때 열을 발생시켜 상변화층(530)으로 열을 인가함으로써 상변화층(530)의 상태를 비정질상태에서 결정 상태로, 또는 그 역으로 변화시킨다.
- <48> 따라서, 일반적으로 메모리 소자의 전극층(540)과 달리, 전류가 인가됨에 따라서 열을 발생시킬 수 있는 물질로 형성되는 것이 바람직하다. 본 발명의 바람직한 실시예는 알루미늄(Al) 또는 알루미늄 합금을 100 nm 내지 10000 nm 두께로 상변화층(530)위에 증착하여 게이트 전극층(540)을 형성할 수 있다.
- <49> 또한, 본 발명의 바람직한 실시예는 전류의 흐름에 따라서 발생하는 열을 보다 원활하게 상변화층(530)으로 인가할 수 있도록, 상변화층(530)위에 먼저 텅스텐(W) 또는 텅스텐 합금을 10 nm 내지 1000 nm 두께로 증착하여 형성한다. 그 후, 텅스텐층 위에 알루미늄 또는 이의 합금을 증착하거나, 일반적으로 전극층의 형성에 이용되는 물질을 증착하여 게이트 전극층(540)을 형성할 수도 있다.
- <50> 게이트 전극층(540)이 형성된 후, 도 6e 에 도시된 바와 같이, 메모리 소자를 형성할 영역에 하드 마스크막 패턴(700)을 형성하고, 하드 마스크막(700)을 식각 마스크로 이용하여 반도체 기판(500)이 드러날때까지 게이트 전극층(540), 상변화층(530), 전하 포획층(520), 및 산화 절연막(510)을 식각한다.

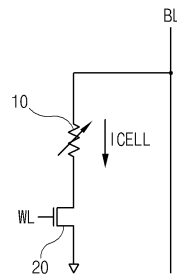
- <51> 본 발명에서, 소오스 영역(552)과 드레인 영역(554) 사이의 수평 이격 거리는 수십 내지 수백 nm 이고, 이에 따라서 소오스 영역(552)과 드레인 영역(554) 사이에 위치하는 채널 영역위에 형성되는 메모리 소자의 길이도 수십 내지 수백 nm 가 된다. 따라서, 하드 마스크막 패턴(700)의 길이도 메모리 소자의 길이에 따라서 결정된다.
- <52> 그 후, 소오스/드레인 이온 주입 공정을 실시하여 반도체 기판(500)상에 소오스 영역(552) 및 드레인 영역(554)을 형성하고, 마스크막 패턴(700)을 제거하여, 도 5 에 도시된 바와 같은 본 발명의 비휘발성 메모리 소자를 완성한다.
- <53> 지금까지 본 발명의 바람직한 실시예에 따른 비휘발성 메모리소자의 제조 방법을 설명하였다. 이하에서는 도 7a 내지 도 8c 를 참조하여, 본 발명의 비휘발성 메모리 소자에 프로그래밍을 수행하는 과정 및 프로그래밍된 데이터를 소거하는 과정을 설명한다.
- <54> 본 발명은 전하 포획층(520)에 전하가 포획된 상태가 논리값 "1" 이 프로그래밍 상태를 나타내고, 전하가 전하 포획층(520)에 포획되지 않은 상태가 논리값 "0"을 나타내어 프로그래밍된 데이터가 소거된 상태를 나타낸다.
- <55> 먼저, 본 발명의 비휘발성 메모리 소자의 프로그래밍 과정을 도시한 도 7a 내지 도 7d 를 참조하여 설명하면, 본 발명의 메모리 소자의 상변화층(530)은 데이터가 프로그램된 상태뿐만 아니라 프로그램되지 않은 상태에서도 비정질 상태가 되어, 프로그램된 경우에는 전하 포획층(520)에 포획된 전하가 외부로 유출되는 것을 차단하고, 프로그램되지 않은 경우에는 외부로부터 전하가 임의로 전하 포획층(520)으로 유입되어 포획되는 것을 차단한다.
- <56> 따라서, 본 발명의 메모리 소자에 프로그램하기 위해서는 먼저, 도 7a 및 도 7d 에 도시된 바와 같이, 게이트 전극층(540)에 음 전압(-V)의 셋(set) 펄스를 비정질상태인 상변화층(530)이 결정상태로 변화하기에 충분한 시간(t_1 ; 약 100ns 정도의 시간)동안 인가하여, 상변화층(530)의 상태를 비정질상태에서 결정상태로 변화시킨다.
- <57> 게이트 전극층(540)에 인가하는 셋 펄스의 전압 및 전류 크기와 셋 펄스를 인가하는 시간은 상변화층(530)의 두께 및 성분 함량 등의 요소에 의해서 다양하게 결정될 수 있음을 주의하여야 한다. 다만, 본 발명의 바람직한 실시예는 약 -3~-30 V 의 전압 및 0.1 nA 내지 100 mA 의 전류를 약 1 ns 내지 1 ms 정도 인가하여 상변화층(530)을 비정질상태에서 결정상태로 변화시킨다.
- <58> 한편, 상변화층(530)의 상태가 결정 상태로 변화되면서, 도 7b 에 도시된 바와 같이, 전하가 게이트 전극층(540)으로부터 전하 포획층(520)으로 주입되고, 주입된 전하가 전하 포획층(520)에 포획되어 프로그램된다.
- <59> 그 후, 도 7c 및 도 7d 에 도시된 바와 같이, 리셋(reset) 펄스를 셋 펄스에 비하여 상대적으로 고전류로 단시간(t_2)동안 인가하여 상변화층(530)을 비정질상태로 변화시켜, 전하 포획층(520)에 포획된 전하가 다시 게이트 전극층(540)을 통해서 외부로 유출되는 것을 차단함으로써 데이터를 프로그램한다.
- <60> 게이트 전극층(540)에 인가하는 리셋 펄스의 전압 및 전류 크기와 리셋 펄스를 인가하는 시간은 상변화층(530)의 두께 및 성분 함량 등의 요소에 의해서 다양하게 결정될 수 있음을 주의하여야 한다.
- <61> 한편, 프로그램된 데이터를 소거하는 과정을 도시하는 도 8a 내지 도 8c를 참조하면, 도 8a 에 도시된 바와 같이, 전하 포획층(520)에 전하가 포획되고 상변화층(530)이 비정질인 상태에서 데이터를 소거하기 위해서, 양 전압(+V)의 셋 펄스를 게이트 전극층(540)에 인가한다. 이 때, 게이트 전극층(540)에 인가되는 전압 및 전류의 크기와 인가되는 시간은 도 7d 에 도시된 바와 동일한 조건으로 인가될 수 있다.
- <62> 그러면, 도 8b 에 도시된 바와 같이, 상변화층(530)이 비정질상태에서 결정상태로 변화되면서, 전하 포획층(520)에 포획되었던 전하들은 게이트 전극층(540)으로 유출되어 프로그램되었던 데이터가 소거된다.
- <63> 그 후, 데이터가 소거된 상태를 유지하기 위해서, 즉, 게이트 전극층(540)으로부터 임의로 전하가 전하 포획층(520)으로 유입되어 프로그램되는 것을 차단하기 위해서, 양전압(+V)의 도 7d 에 도시된 바와 동일한 조건의 리셋 펄스를 인가하여 상변화층(530)을 결정상태에서 비정질상태로 변화시킨다(도 8c 참조).
- <64> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

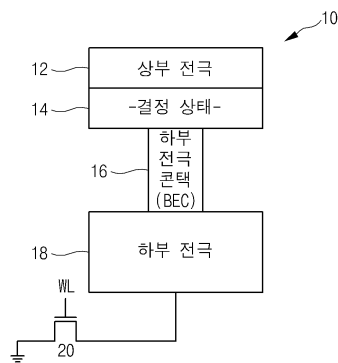
- <65> 도 1 은 종래의 상변화 메모리 장치의 메모리 셀의 구성을 간략하게 도시한 회로도이다.
- <66> 도 2a 및 도 2b 는 종래의 상변화 메모리 장치의 메모리 셀의 결정 상태 및 비결정 상태를 각각 도시한 도면이다.
- <67> 도 3은 상변화 물질의 특성을 설명하기 위한 그래프이다.
- <68> 도 4 는 종래 기술에 따른 SONOS 구조의 플래시 메모리 소자를 도시하는 도면이다.
- <69> 도 5 는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자를 도시하는 도면이다.
- <70> 도 6a 내지 도 6e 는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.
- <71> 도 7a 내지 도 7d 는 본 발명의 비휘발성 메모리 소자의 프로그래밍 과정을 설명하는 도면이다.

도면

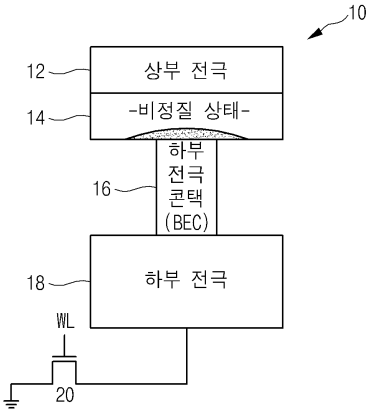
도면1



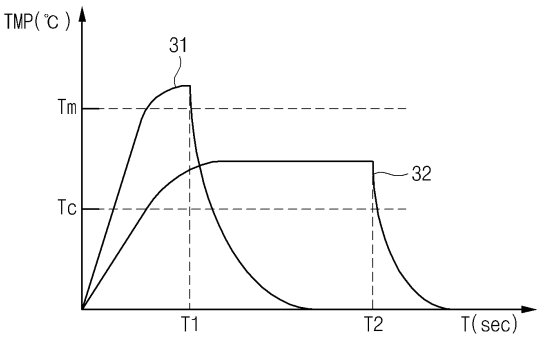
도면2a



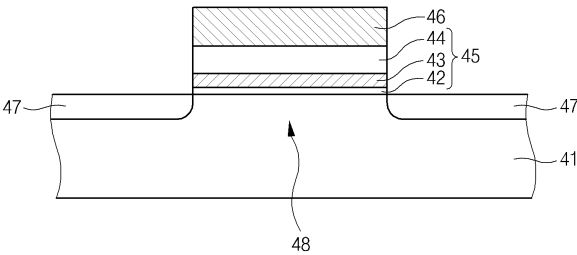
도면2b



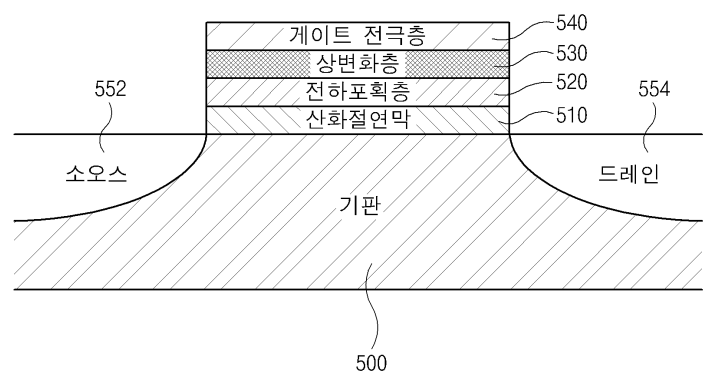
도면3



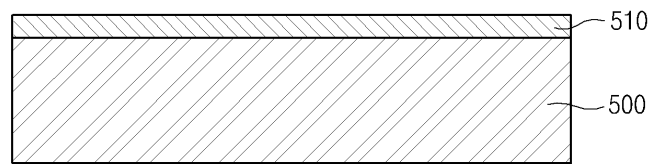
도면4



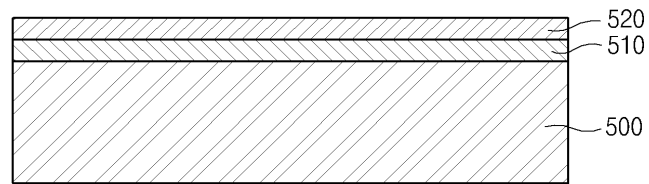
도면5



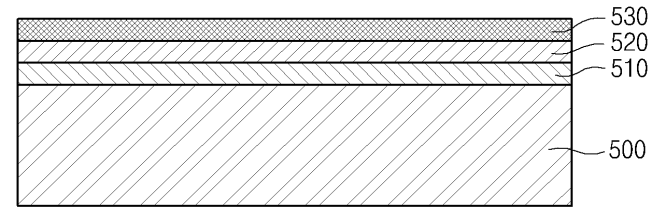
도면6a



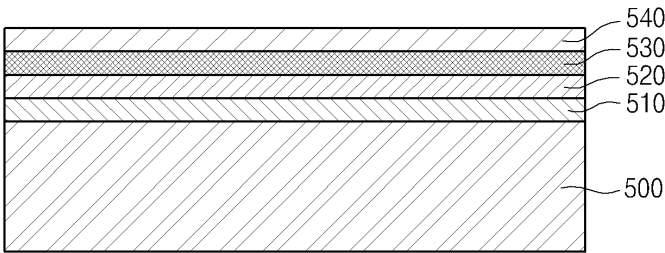
도면6b



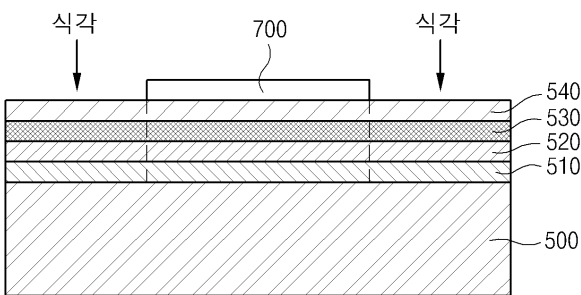
도면6c



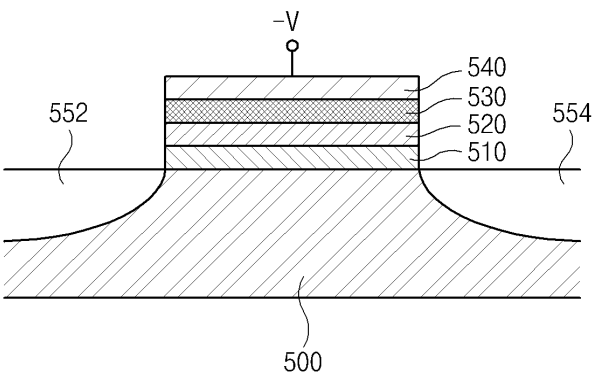
도면6d



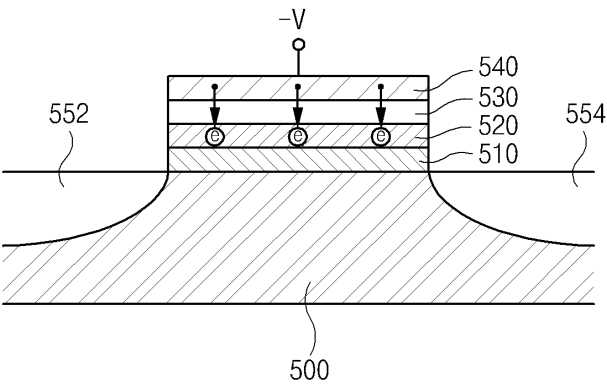
도면6e



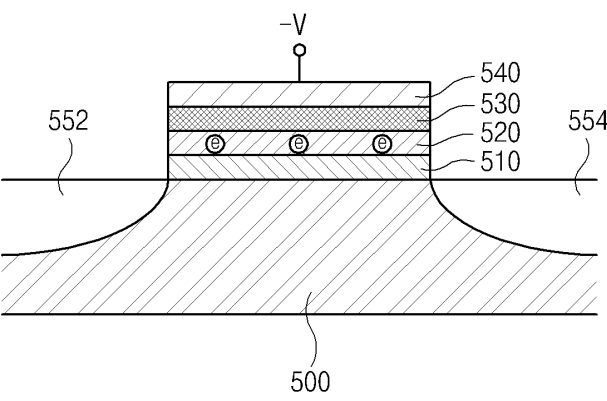
도면7a



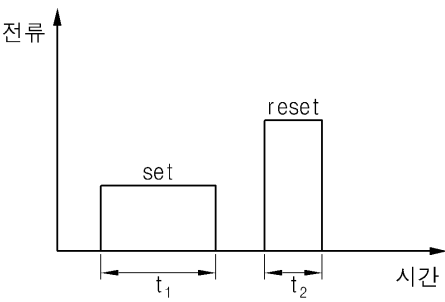
도면7b



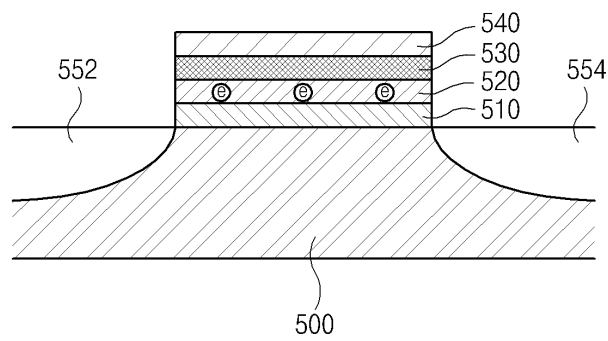
도면7c



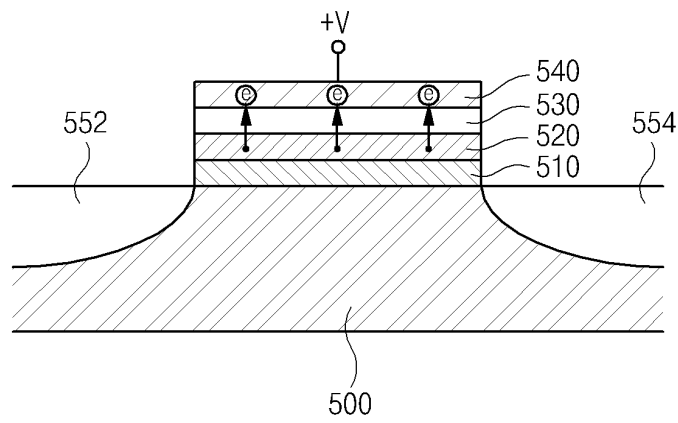
도면7d



도면8a



도면8b



도면8c

