

公告本

380313

87年3月9日修正
補充

申請日期	85 年 8 月 9 日
案 號	85109692
類 別	H01L27/10

A4
C4

380313

(以上各欄由本局填註)

發明專利說明書(修正本)

一、發明 名稱	中 文	半導體積體電路
	英 文	
二、發明 創作人	姓 名	(1) 鈴木幸英 (2) 久保田記章 (3) 荒井公司
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都昭島市美堀町五-五-七
	住、居所	(2) 日本國東京都東大和市奈良橋三-四四〇-一 (3) 日本國東京都昭島市田中町一-九-三二-二〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 德州儀器有限公司 Texas Instruments Incorporated
	國 籍	(1) 日本 (2) 美國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 美國德州·達拉斯·北中央高速公路一三五〇〇號 13500 North Central Expressway, Dallas, Texas 75265 U.S.A.
	代 表 人 姓 名	(1) 金井務 (2) 威廉·希勒 Hiller, William E.

公告本

380313

87年3月9日修正本
補充

申請日期	85 年 8 月 9 日
案 號	85109692
類 別	H01L27/10

A4
C4

380313

(以上各欄由本局填註)

發明專利說明書(修正本)

一、發明 新型名稱	中 文	半導體積體電路
	英 文	
二、發明 創作人	姓 名	(1) 鈴木幸英 (2) 久保田記章 (3) 荒井公司
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都昭島市美堀町五-五-七
	住、居所	(2) 日本國東京都東大和市奈良橋三-四四〇-一 (3) 日本國東京都昭島市田中町一-九-三二-二〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 德州儀器有限公司 Texas Instruments Incorporated
	國 籍	(1) 日本 (2) 美國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 美國德州·達拉斯·北中央高速公路一三五〇〇號 13500 North Central Expressway, Dallas, Texas 75265 U.S.A.
	代 表 人 姓 名	(1) 金井務 (2) 威廉·希勒 Hiller, William E.

380313

申請日期	85 年 8 月 9 日
案 號	85109692
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 高橋繼雄 (5) 助川俊一 (6) 阿部浩一
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都羽村市綠ヶ丘二-一-一六
	住、居所	(5) 日本國茨城縣つくば市松代四-二二-二-四 〇五 (6) 日本國東京都葛飾區柴又六-二-三-二〇二
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

五、發明說明 (13)

號，並與控制信號 ϕ X 所指示之字線驅動定時同步，將以字線選擇信號所應選擇之字線驅動至選擇電平。字線驅動器 WD 0 ~ WD 7 所形成之字線選擇電平，乃定為較前述降壓電壓 VDL 電平為高之昇壓電壓 VPP。昇壓電壓 VPP 乃在使降壓電壓 VDL 昇壓之昇壓電路所生成。昇壓電路 2 之詳細情形雖未圖示，但可適用周知之供給泵 (charge pump) 電路來輕易形成。

SA 01、SA 23、SA 45、SA 67 乃為感測放大器區塊 (sense amplifier block)；CSW 01、CSW 23、CSW 45、CSW 67 則為行開關電路區塊 (column switch circuit block)，被配置在左右一對之記憶墊塊之間，由鄰接之左右一對之記憶墊塊所共有。挾有感測放大器區塊 SA 01、SA 23、SA 45、SA 67 與行開關電路區塊 CSW 01、CSW 23、CSW 45、CSW 67 加以配置之左右一對之記憶墊塊，乃採用共用資料線 (shared dataline) 構造，形成任何一方之記憶墊塊之動作將被選擇之狀態。各個感測放大器區塊之動作控制及共用感測放大器區塊之記憶墊塊間之資料線共用開關電路 (sharing switch circuit) (參照圖 9) 之控制等之記憶墊塊之動作選擇控制，乃由每一成對之記憶墊塊所設之墊塊控制器 (mat controler) MCNT 01、MCNT 23、MCNT 45、MCNT 67 等來進行。

在墊塊控制器 MCNT 01、MCNT 23、

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(1)

<發明所屬之技術部門>

本發明乃關於：備有以過激勵（overdrive）方式被驅動之差動放大電路之半導體積體電路者，例如，適用於：為高積體化，工作電壓被低電平化之D R A M（Dynamic Random Access Memory）而有效之技術者。

<以往之技術>

為增大D R A M之記憶容量，記憶格電晶體（memory cell transistor）等之M O S電晶體（以下又簡稱M O S F E T）將被小型化；由此，隨M O S電晶體之閘極長之縮小化，閘極氧化膜將被薄膜化；故工作電壓之低電平化研究在進行中。尤其是D R A M，在不致降低高電平之讀出動作效率（或者使高電平之讀出動作範圍成為比較大）之情況，擬進行高電平之寫入（對記憶格之儲存容量之充電動作）時，乃以提昇字線之選擇，抑或降低結合有記憶格之資料輸出入端子之字線之電壓（感測放大器之放大動作所帶來之資料線之達到電平）較為有效。惟如上述，隨電晶體之高積體化，M O S電晶體之閘極氧化膜被薄膜化時，若隨意提高字線之電壓水平，則閘極氧化膜將成為容易被破壞，而在D R A M之可靠性方面將極為欠佳。由此種情形，將被迫不得不降低資料線之電壓。如此，將資料線之電壓加以低電壓化，則勢將妨害感測放大器之高速動作。亦即，若感測放大器之工作電源之電壓被降低，則流入感測放大器之電流將減少，而當記憶格之電荷資

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (30)

差之輸入信號 $\phi S A 2$ ，將被變換為信號振幅成為接地電位 $V S S$ 與前述昇壓電壓 $V P P$ 之電位差之輸出信號 $\phi S A N 2$ ；而雙方之信號 $\phi S A 2$ 、 $\phi S A N 2$ 之邏輯值將被成為一般。昇壓電壓 $V P P$ 將成為例如 $4.0 V$ 。

圖 6 乃表示：由圖 5 之電路構成對傳動線路 $S D N$ 、 $S D P$ 供給工作電源所用之控制信號 $\phi S A N$ ， $\phi S A P 1 B$ ， $\phi S A N 2$ 之波形。

當規定感測放大器 3 之活性化期間之控制信號 $\phi S A E B$ 變化為低電平之有效電平 (active level)，則首先，控制信號 $\phi S A P 1 B$ 將變化為低電平 (接地電位 $V S S$ 之電平)，並經由 $M O S$ 電晶體 $Q 4 1$ ，電源電壓 $V D D$ 將被供給至傳動線路 $S D P$ 。由此，因被供給至感測放大器 3 之 P 溝道型 $M O S$ 電晶體 $Q 1 3$ 、 $Q 1 4$ 之電流較大，故由記憶格之選擇動作顯現在互補資料線 $D L 0$ 、 $D L 0 B$ 之微小電位差將迅速被放大。接著，控制信號 $\phi S A P 1 B$ 將被倒相成高電平 (電源電壓 $V D D$ 之電平)，同時控制信號 $\phi S A N 2$ 亦被成為高電平 (昇壓電壓 $V P P$ 之電平)；由此，經由 $M O S$ 電晶體 $Q 4 2$ ，降壓電壓 $V D L$ 將被供給至傳動線路 $S D P$ 。控制信號 $\phi S A N$ 則與控制信號 $\phi S A E B$ 之低電平期間同步，被成為高電平。由此，由感測放大器 3 所驅動之互補資料線之到達電平，將被規定成：一方為接地電位 $V S S$ ，另一方為降壓電壓 $V D L$ 之狀態。

此時， $M O S$ 電晶體 $Q 4 2$ 乃為 N 溝道型，將其控

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

訊被讀出於資料線時，將形成處於互補關係之資料線之微小電位差予以放大之速度將被降低。

在此，作為可使感測放大器在低電壓下來高速動作之技術，乃有感測放大器之過激勵(over drive)技術。例如，感測放大器以MOS靜態鎖存形態被構成者，在P溝道型MOS電晶體之源極，乃於感測放大器激活化定時之最初給與外部電源電壓VDD，接著給與將外部電源電壓VDD加以降壓之電壓VDL，來使感測放大器動作。作為感測放大器之過激勵技術之一，亦已在：

ISSCC 95 0A029ns 64Mb DRAM
with Hierarchical Array Architecture/PA14.2有報告被提出。並且，在日本特開平5-62467號專利公報，亦刊載有：為控制外部電源電壓供給至感測放大器之期間(過激勵時間)，利用假資料線(dummy dataline)之技術。

< 本發明擬解決之問題 >

本發明人對上述感測放大器之過激勵加以檢討之結果，發現了以下之各問題。亦即，構成感測放大器之P溝道型MOS電晶體之源極，乃經由開關元件被供給外部電源電壓VDD，並經由其他之開關元件，被結合在降壓電路之輸出端子。外部電源電壓VDD及降壓電壓VDL之供給線，乃由多數之感測放大器所共有。當感測放大器被供給，則因其乃為較電源電壓VDL為高之工作電壓，故

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (31)

制為ON狀態之控制信號 ϕ S A N 2之高電平，則成為較其汲極電壓（降壓電壓V D L）為大之電壓，例如字線昇壓電壓V P P；故該M O S電晶體Q 4 2'之閘極・源極間電壓將被成為較大。而且，載流子遷移率乃N溝道型M O S電晶體較P溝道型M O S電晶體約大約3倍左右。因此，如圖1之實施例，與使用P溝道型M O S電晶體Q 4 2，以接地電位V S S將其控制為ON狀態時比較，可在M O S電晶體Q 4 2'獲得較大之電流供給能力。結果，工作電源被低電壓化之狀況下，亦可使感測放大器3進行高速動作。

N溝道型M O S電晶體Q 4 2'之閘極電壓假定與汲極電壓（降壓電壓V D L）相等時，此M O S電晶體Q 4 2'之源極電壓將等於較閘極電壓被降低M O S電晶體Q 4 2'之臨限值電壓之份量。為減少此電壓降低，在本發明之實施例，前述閘極電壓乃被設定成較前述汲極電壓為高。使前述閘極電壓成為汲極電壓與前述臨限值電壓之和以上，則可完全取消（cancel）前述臨限值電壓之降低部分；故可進一步有效防止：對感測放大器之被低電壓化之電壓（V D L）之供給能力降低。

例如，假定V S S = 0 V，V D D = 3 . 3 V，V D L = 2 . 2 V，V P = 4 . 0 V，將N溝道型M O S電晶體Q 4 2'以V P P = 4 . 0 V之閘極電壓使成為ON狀態時之閘極・源極間電壓乃為1 . 8 V；假定M O S電晶體Q 4 2'為P溝道型，則以0 V之閘極電壓

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(3)

將使感測放大器高速動作。亦即，感測放大器之放大動作中之初始性過渡響應(transient response)動作將被高速化。接著，感測放大器之工作電源將被切換為降壓電壓V D L。在此情形下，被多數感測放大器共有之前述工作電源之供給線或資料線，將存在不期望之電容成分；放在外部電源電壓V D D為容許範圍之上限之電平，或者為測驗動作範圍供給有較通常為高電平之外部電源電壓之狀態下，感測放大器之工作電源被切換為降壓電壓V D L時，將可預測：從感測放大器向降壓電路之輸出端子將有電流倒流。

此時，作為降壓電路採用：結合於在外部電源電壓之電流源串聯連接高電阻之電路，擬將在降壓電路之貫通電流抑制於最小限度，則從前述感測放大器側向降壓電路之輸出端子倒流之電流，將為前述高電阻所阻而無法迅速洩漏至接地電位；結果降壓電壓V D L有上昇之虞；此等現象終為本發明人所發現。

前述降壓電壓V D L之不期望之電平上昇，將在以下各點有不良之後果。亦即，降壓電壓V D L之上昇，將使感測放大器之放大動作所生資料線之到達電壓上昇；由此，將使字線之選擇電平與資料線之高電平間之電位差趨小，在向記憶格之高電平寫入時，在儲存容量，將無法外加資料線之該高電平電壓。並且，因前述降壓電壓V D L之不期望之電平上昇，若感測放大器所引起之資料線之到達電壓被上昇，則隨之，在晶片(chip)非選擇期間被補償

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

(equalize) 之資料線之初始性電平(預充電電平(pre-charge level)亦上昇;在此種狀態下被寫入之資料被讀出時,對預充電電平之高電平之讀出電壓容限亦將趨小。進一步,形成字線選擇電平之昇壓電路若利用前述降壓電壓 V D L 時,降壓電壓 V D L 之不期望之電平上昇將使字線選擇電平上昇,將有使記憶格選擇電晶體之閘極氧化膜破損之虞。

以上之各問題乃為外部電源電壓在容許範圍上限之電平時之問題;但外部電源電壓為容許範圍下限之電平時,則有:感測放大器之放大動作中之前述起始性過渡響應動作之高速化無法充分獲得等之問題。

如上述,採用過激勵技術時之上述問題,終為本發明人所發現。在前述之日本特開平 5 - 6 2 4 6 7 號專利公報,乃刊載有:檢測出假資料線之充放電狀況,配合此狀況來控制過激勵時間之方法;惟在此情形下乃需要形成假資料線所用之區域。並且,為檢測出假資料線之電位水平,亦有必需重新設置:其所需之檢測電路等之問題。此外,被配置在記憶陣列(memory array)之最外側之資料線在製造工程中成為不良之可能性極高;因此,作為通常之資料線未被一般所使用。因之,亦可考慮:將此未被使用之資料線作為假資料線來利用;惟將不良之可能性甚高之資料線作為上述假資料線來利用,亦無法期望確實之動作。因此,利用假資料線來調整過激勵時間之技術,將在晶之積體度及動作之確實性等方面成為問題,此種情形亦為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

統

五、發明說明(5)

本發明人所發現。

進一步，依據本發明人之檢討研究，在CMOS靜態門鎖(cmos staticlatch)形態之感測放大器中，在其P溝道型MOS電晶體之傳動線路(drive line)供給驅動電壓之電源開關MOS電晶體，因以以往之P溝道型所構成；故在感測放大器之工作電壓被低電壓化之狀況下，在工作電壓之供給時，該電源開關MOS電晶體閘極·源極間電壓(V_{GS})將被趨小。由此，電源開關MOS電晶體所作電流供給能力將降低，感測放大器之高速動作亦將受妨害。此等事實亦為本發明人所發現。尤其是感測放大器被前述過激勵時，在降壓電壓之供給時，前述感測放大器之高速動作之遭受妨害，將更為顯著，吾人推測：此種問題不僅在對感測放大器之過激勵之情形如此，對於工作電壓被低電壓化之差動放大電路，一般而言，亦將被顯著化。

本發明之目的乃在提供：即使對於如以過激勵形成被驅動之感測放大器之差動放大電路之高電位側驅動電壓被提高，亦可有效防止：對差動放大電路之過剩之過激勵等之被高積體化之半導體積體電路者。

進一步，本發明之其他目的亦在提供：對於以過激勵形式被驅動之如感測放大器之差動放大電路，將降壓電壓作為一個工作電源來供給之降壓電路之前述降壓電壓，不期望地發生電平上昇之虞，能防止於未然之半導體積體電路者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

本發明之其他目的亦在提供：可防止對被低電壓化之差動放大電路供給工作電源所用之MOS電晶體所引起工作電壓供給能力之降低之技術者。本發明之其他目的亦在提供：即使工作電壓被低電壓化，亦可使如感測放大器之差動放大電路高速動作之半導體積體電路者。

本發明之進一步其他之目的亦在提供：在過激勵技術中，可將資料線之電位放大至高速且確實之電平之半導體積體電路者。

本發明之前述以及其他之目的及新穎之特徵，將由本說明書之記述及附圖，獲得明確之觀念及瞭解。

< 解決上述問題之方法 >

在本申請所揭示之本發明之中代表性者之概要簡單說明如下。

[1] 在元件之細微化或隨高積體化之工作電壓之低電壓化時，為保證被低電壓驅動之電路部分所含之差動放大電路(3)之高速動作，在前述差動放大電路之激活化定時中，最初作為前述差動放大電路之工作電源，形成供給第1驅動電壓(VDD)之第1驅動控制信號($\phi SA1B$)，同時之第1驅動控制信號被激活化後，將較該第1驅動控制信號被非激活化相呼應被激活化之前述第1驅動電壓電平為低之第2驅動電壓(VDL)，作為差動放大電路之工作電壓進行供給控制之第2驅動控制信號($\phi SA2B$)，加以形成之過激勵(over drive)技術，

五、發明說明(7)

採用於控制電路(TG)時；作為規定第1驅動控制信號被激活化之期間(亦即過激勵時間)之延遲機構(12)，使用將上述第1驅動電壓作為工作電源來接納之反相器電路；而上述第1驅動控制信號被激活化之期間，將對前述第1驅動電壓具有負之依賴性。

前述過激勵技術，將可作為對於在備有動態記憶格(dynamic memory cell)之DRAM等含有多數之如感測放大器之差動放大電路之驅動技術來採用。亦即，在隨記憶陣列之高積體化之工作電壓之低電壓化時，為保證如感測放大器之差動放大電路(3)之高速動作之故。此時，記憶陣列之工作電源，乃為將外部電源電壓(VDD)在降壓電路(1)加以降壓之降壓電壓(VDL)；而在驅動如感測放大器之差動放大電路時，外部電源電壓將作為前述第1驅動電壓，降壓電壓則作為前述第2驅動電壓。

作為如感測放大器之差動放大電路之驅動方式採用過激勵技術時，在外部電源電壓為容許範圍之上限電平，或者，為測驅動作容限被供給較通常為高之電平之電源電壓等之狀態下；差動放大電路之工作電源從外部電源電壓(VDD)被切換為降壓電路(VDL)時，將可預測：從差動放大電路向降壓電路之輸出端子將有電流倒流。例如，作為降壓電路，採用在被結合於電源電壓之電流源串聯連接高電阻之電路，擬將降壓電路中之貫通電流抑制在最小限度時；從前述感測放大器側向降壓電路之輸出端子倒流之電流，將被前述高電阻所阻擋而將不致迅速被泄漏至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

接地電位。此時，依據上述之機構，規定過激勵時間之如前述CMOS反相器之MOS電路，因其工作電源電壓愈高，過渡響應時間則愈趨短，故外部電源電壓(VDD)較低時，過激勵時間亦將相對地趨長；而外部電源電壓(VDD)較高時，則過激勵時間將相對地趨短。因此，延遲電路之延遲時間將對外部電源電壓(VDD)具有負之依賴性；由此，將可防止差動放大電路過剩地被過度激勵。

由於可防止對差動放大電路過剩地被過度激勵，由此亦可防止：從多數之如感測放大器之差動放大電路向降壓電路倒流電流之事態發生；由此，將可防止：降壓電壓不期望地發生電平上昇之事態。

[2]向差動放大電路(3)之高電位側之傳動線路(driveline)(SDP)供給工作電壓(VDL)之MOS電晶體(Q42)定為N溝道型，而其閘極供給之開關控制信號(ϕ SA N2)之高電平電位，定為較其汲極電壓為高電平之昇壓電壓(VPP)之電位。作為前述昇壓電壓，則可利用形成字線選擇電平之內部昇壓電路(2)之輸出電壓。

依據其他之觀點，則將對差動放大電路(3)之高電位側之傳動線路(SDP)供給工作電壓(VDL)之MOS電晶體(Q43)定為P溝道型，而將被供給至其閘極之開關控制信號(ϕ SA P2B)之低電平電位定為與前述電源電壓(VDD)極性相反之負電壓(VBB)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

作為負電壓，則可利用基板偏壓發生電路(5)之輸出電壓。

即使如感測放大器之差動放大電路之工作電壓之低電平化有進展，但若向其高電位側傳動線路供給工作電源之MOS電晶體為N溝道型，則使其成為ON狀態所需之閘極·源極電壓，將可按照該MOS電晶體之閘極氧化膜之耐壓等要因來決定。因此，將無隨著差動放大電路之工作電壓被低電壓化，使前述閘極·源極電壓趨小之趨勢。並且，以載流子(carrier)遷移率言，與P溝道型MOS電晶體比較，N溝道型MOS電晶體將大3倍左右；即使是與P溝道型MOS電晶體之情形同等之閘極·源極間電壓，或其以下之閘極·源極間電壓，亦可獲得比較大之電流供給能力。結果，將能夠避免：隨著工作電壓被低電壓化而使向高電位側傳動線路之工作電源供給用MOS電晶體之閘·源極間電壓被趨小之現象；即使在工作電壓被低電壓化之狀況下，亦可使差動放大電路作高速動作。

並且，即使向如感測放大器之差動放大電路之高電位側之傳動線路供給工作電路之MOS電晶體，定為P溝道型之情形，若將對其作開關控制之信號電壓定為負電壓，亦可將該MOS電晶體之閘極·源極電壓定為較大；結果，在工作電壓被低電壓化之狀況下亦可使差動放大電路作高速動作。

藉由將對前述高電位側之傳動線路供給工作電源之N溝道型MOS電晶體，做為訂定開關控制之信號振幅的昇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

壓電壓，利用形成字線選擇電平之昇壓電路之輸出；或將對前述傳動線路供給動作電源之P溝道型MOS電晶體，做為訂定開關控制之信號振幅之負電壓，利用基板偏壓發生電路所形成之負電壓；於前述差動放大電路之工作速度之高速化時，可極力抑制電路規模之增大。

[3] 而且，關於過激勵(over drive)，亦可採用以下之方法。亦即，半導體積體電路，將含有：一對之資料線；及備有一對之P溝道型MOS電晶體及一對之N溝道型MOS電晶體等之CMOS門鎖電路，而將放大前述一對之資料線之電位差之感測放大器(sense amplifier)；及承接第1電壓之第1端子；及承接較前述第1電壓為低之第2電壓之第2端子；及被設於：在前述一對之P溝道型MOS電晶體中被共同結合之一對源極與前述第1端子之間之第1開關MOS電晶體；及被設在前述被共同結合之一對源極與前述第2端子之間之N溝道型MOS之第2開關MOS電晶體；及向前述第1及第2開關MOS電晶體之閘極輸出信號成為：在第1期間前述第1開關MOS電晶體將成ON狀態，而在前述第1期間後之第2期間則前述第1開關MOS電晶體將成為OFF狀態，且前述第2開關MOS電晶體亦將成為ON狀態等之控制電路等；而在前述第2期間，前述第2開關MOS電晶體之閘極電壓，乃為較前述第2電壓為高之之電壓；等為構成者。

前述控制電路乃含有規定前述第1期間之延遲電路，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

而前述第1期間之變動則對前述第1電壓之變動具有負之依存性(dependency)。

依據此方法，在過激勵(over drive)技術中，因可將過激勵時間(第1期間)按過激勵用之電壓(第1電壓)來控制；故不僅可防止感測放大器之過剩激勵，同時亦能使供給較低電壓(第2電壓)之第2開關MOS電晶體之ON阻抗趨小，來提高由此所帶來之電流供給能力。因此，在過激勵技術中，感測放大器將可使資料線之電壓水平高速且確實被放大至所希望之水平。

將前述延遲電路，以將前述第1電壓作為工作電源來承接之反相器電路來構成；由此即可以簡單構成來確實控制過激勵時間。

在前述第2期間，將前述第2開關MOS電晶體之閘極電壓，定為前述第2電壓與前述第2開關MOS電晶體之閾值電壓之和之電壓相等，或較其為高之電壓；由此即可使在前述第2開關MOS電晶體之前述閾值電壓份量之降低(drop)，將不致發生。

<發明之實施形態>

圖8乃表示本發明之一例之DRAM之方塊圖者。該圖所示之DRAM，雖未特別之限制，但乃由周知之半導體積體電路之製造技術，被形成為：如單晶矽之1個半導體基板。在圖8乃代表性地表示有2個之記憶陣列MARY0，MARY1。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

如圖 8 所示之 D R A M，乃由外部電源端子承接如 3，3 V 之外部電源電壓 V D D，如 0 V 之接地電位 V S S。此 D R A M 為記憶容量之增大，在記憶陣列 M A R Y 0，M A R Y 1 之 M O S 電晶體乃被小型化；由此，隨此等 M O S 電晶體之閘極長之縮小化，閘極氧化膜已被薄膜化。為此，在記憶陣列 M A R Y 0，M A R Y 1 之工作電壓亦已被低電壓化，而將例如 2.2 V 之降壓電壓 V D L 作為基本之工作電源來利用。降壓電壓 V D L 乃在使外部電源電壓 V D D 降壓之降壓電路生成。在圖中，5 乃為基板偏壓 V B B 之發生電路。基板偏壓發生電路 5 亦可以周知之電路來構成；例如，圖示雖省略，由電容器與二極管元件所構成；由於接受正極性之周期性信號，將形成負極性之基板偏壓 V B B。

各記憶陣列 M A R Y 0，M A R Y 1 乃被分割成各 8 個之記憶墊塊 (memory mat) M M A T 0 ~ M M A T 7。各個記憶墊塊 M M A T 0 ~ M M A T 7，乃含有多數之選擇端子被結合在字線，而資料輸出入端子則被結合在互補資料線之 1 電晶體型之動態記憶格 (dynamic memory cell)。每個記憶墊塊亦設有字驅動器 (word driver) W D 0 ~ W D 7，及列址解碼器 (row address decoder) X D 0 ~ X D 7。列址解碼器 X D 0 ~ X D 7 在其動作被選擇後即將內部內部內部互補列址信號 A X 加以解碼以形成字線選擇信號，來選擇響應內部互補列址信號 A X 之 1 條字線。字驅動器 W D 0 ~ W D 7 乃接受字線選擇信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

號，並與控制信號 ϕ X 所指示之字線驅動定時同步，將以字線選擇信號所應選擇之字線驅動至選擇電平。字線驅動器 WD 0 ~ WD 7 所形成之字線選擇電平，乃定為較前述降壓電壓 VDL 電平為高之昇壓電壓 VPP。昇壓電壓 VPP 乃在使降壓電壓 VDL 昇壓之昇壓電路所生成。昇壓電路 2 之詳細情形雖未圖示，但可適用周知之供給泵 (charge pump) 電路來輕易形成。

SA 01、SA 23、SA 45、SA 67 乃為感測放大器區塊 (sense amplifier block)；CSW 01、CSW 23、CSW 45、CSW 67 則為行開關電路區塊 (column switch circuit block)，被配置在左右一對之記憶墊塊之間，由鄰接之左右一對之記憶墊塊所共有。挾有感測放大器區塊 SA 01、SA 23、SA 45、SA 67 與行開關電路區塊 CSW 01、CSW 23、CSW 45、CSW 67 加以配置之左右一對之記憶墊塊，乃採用共用資料線 (shared dataline) 構造，形成任何一方之記憶墊塊之動作將被選擇之狀態。各個感測放大器區塊之動作控制及共用感測放大器區塊之記憶墊塊間之資料線共用開關電路 (sharing switch circuit) (參照圖 9) 之控制等之記憶墊塊之動作選擇控制，乃由每一成對之記憶墊塊所設之墊塊控制器 (mat controler) MCNT 01、MCNT 23、MCNT 45、MCNT 67 等來進行。

在墊塊控制器 MCNT 01、MCNT 23、

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

M C N T 4 5、M C N T 6 7，乃有墊塊選擇信號 M S、感測放大器控制信號 ϕ S A N、 ϕ S A N 2、 ϕ S A P 1 B 等被供給。墊塊選擇信號 M S，乃為指示從 8 個之記憶墊塊 M M A T 0 ~ M M A T 7 究竟選擇哪一個之 3 數元 (3 b i t) 之信號。實際上，乃與被保持在列址緩衝器 R A B 之列址信號之上位 3 數元之資訊相對應。墊塊控制器 M C N T 0 1、M C N T 2 3、M C N T 4 5、M C N T 6 7 乃將墊塊選擇信號 M S 加以解碼，進行感測放大器區塊之動作控制或列址解碼器之活性化控制成為：使其所指定之記憶墊塊動作之狀態。例如，墊塊選擇信號 M S 若指定記憶墊塊 M M A T 0，則列址解碼器 X D 0 將被活性化，同時感測放大器區塊 S A 0 1 將經由資料線共用開關電路被連接在記憶墊塊 M M A T 0；而在記憶墊塊 M M A T 0，記憶格之選擇動作亦成為可能。對於感測放大器控制信號 ϕ S A N、 ϕ S A N 2、 ϕ S A P 1 B；其詳細情形容後再說明。

各個行開關電路區塊 C S W n 乃承接來自行址解碼器 Y D 之行選擇信號，由此來從記憶墊塊中選擇各 4 組之互補資料線，並導通至互補共用資料線 C D 0 ~ C D 3。行址解碼器 Y D 乃在讀出動作中字線選擇動作確定後，由被成為致能電平 (enable level) 之定時信號 ϕ Y 成為動作可能之狀態；由此，來對內部互補行址信號 A Y 進行解碼，以生成行選擇信號。

由前述字線選擇動作及行選擇動作，以墊塊選擇信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(15)

M S、內部互補列址信號 A X、以及內部互補行址信號 A Y 被指定之 4 個記憶格，將被導通至互補共用資料線 C D 0 ~ C D 3。記憶陣列 M A R Y 1 側雖未特加圖示，亦與上述同樣被構成，而在記憶陣列 M A R Y 1 側則配置有互補共用資料線 C D 4 ~ C D 7。

前述互補共用資料線 C D 0 ~ C D 7 雖未有特別之限制，但亦被結合在資料輸出入電路 D I O。在資料輸入電路 D I O，乃含有放大器 (main amplifier)、寫入放大器、以及資料輸出入緩衝器等，由定時信號 ϕW 之被成爲促成電平來進行寫入所需之資料輸入動作；而由定時信號 ϕR 之被成爲促成電平來進行讀出所需之資料輸出動作。本實施例之動態 R A M，乃以 8 數元單位來進行資料之寫入及讀出，而由記憶陣列 M A R Y 0 來擔負下位 4 數元，以記憶陣列 M A R Y 1 來擔負上位 4 數元者。

前述列址緩衝器 R A B，乃將從外部位址輸入端子 A 0 ~ A i 被輸入之列址信號，經由位址多工器 (address multiplexer) A M X 被取入來加以保持。此取入動作，乃由從定時發生電路 T G 所供給之定時信號 $\phi X L$ 之高電平來作指示。

位址多工器 A M X，雖未特別限制，但亦在動態 R A M 成爲通常動作模態時，從定時發生電路 T G 有：使禁能電平 (disable level) 之定時信號 $\phi R E F$ 被供給；由此將經由外部端子 A 0 ~ A i 被供給之列址信號傳達至列址緩衝器 R A B。並且，動態 R A M 被作爲 C B R (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

C A S before R A S) 再新循環 (refresh cycle) 時，上述定時信號 ϕ R E F 被成爲促成電平，則將選擇從再新位址計數器 (refresh address counter) R E C 所供給之再新位址信號，並將此傳達至列址緩衝器 R A B 。

再新位址計數器 R F C，雖未有特別之限制，但動態 R A M 被成爲 C B R 再新模態 (C B R refresh mode) 時，將與從定時發生電路 T G 每按規定週期 (cycle) 被供給之定時信號 ϕ R C 同步進行計數動作，以生成再新位址。

前述行址緩衝器 C A B，乃將經由前述外部位址輸入端子 A 0 ~ A i 被供給之行址信號，與定時發生電路 T G 所供給之控制信號 ϕ Y L 被成爲致能 (enable) 之定時同步，加以取入保持。

前述定時發生電路 T G，將作爲來自外部之接達信號，被供給：列址門控信號 (ROW address strobe signal) R A S * (符號 * 乃意味：附有此號之信號爲 row enable 列致能應信號者)、行址門控 C A S *、寫入致能 (write enable) 信號 W E *、以及輸出促成信號 O E * 等；而根據此等電平及變化定時來判定動態 R A M 之動作模態，同時亦形成上述各種之定時信號，以控制動態 R A M 之內部動作。列址門控信號 R A S * 乃由其低電平來指示晶片 (chip) 選擇，並且通知列址信號爲有效。由此，定時控制器 T G 將取入列址信號，然後順次生成：字線選擇動作或記錄墊塊選擇所需之前述控制信號。行址門控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

C A S * 乃為通知行址信號為有效之信號。當此被成為致能電平 (enable level)，則定時控制器 T G 將順次生成行址信號之取代，以及行選擇動作所需之前述控制信號。寫入致能信號 W E * 則由其致能電平來對 D R A M 指示寫入動作；輸出促成信號 D E * 亦由其促成電平來對 D R A M 指示讀出動作。C B R 再新模態乃在列址門控信號 R A S * 成為促成之前，由於行址門控 C A S * 被成為致能電平而被指定。

在圖 9 乃表示有：前述記憶墊塊 M M A T 0、M M A T 1、感測放大器區塊 S A 0 1、及行開關電路區塊 C S W 0 1 之局部電路圖。尤其在該圖，亦有接受 1 個行選擇信號 Y S 0 0 之電路部分，代表性地被表示。在圖中，通道（反閘）部附有箭頭之 M O S 電晶體乃為 P 溝道型，亦未附有箭頭之 N 溝道型之 M O S 電晶體加以區別。

在圖 9 中代表性表示之 W L 0 ~ W L i 乃為字線，D L 0、D L 0 B、D L 1、D L 1 B 則為互補資料線；M C 乃為動態記憶格 (dynamic memory cell)。動態記憶格 M C 乃由被連接在資料線之選擇 M O S 電晶體 Q 1 與內儲容量 (stored capacity) S C 之串聯電路被連接於板極 (plate) 電位 P L ($V_{DL} / 2$) 所成。Q 2 7 ~ Q 3 4 乃為構成資料線共用開關 (sharing switch) 電路之一部分之共用開關 M O S 電晶體。被配置在與記憶墊塊 M M A T 0 之間之被代表性表示之共用開關 M O S 電晶體 Q 2 7 ~ Q 3 0 乃以控制信號 ϕ S H R L 被進行開關控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

；被配置在與記憶墊塊 M M A T 1 之間之被代表性表示之共用開關 M O S 電晶體 Q 3 1 ~ Q 3 4 ，則以控制信號 ϕ S H R R 來進行開關控制。例如，墊塊選擇信號 M S 選擇記憶墊塊 M M A T 0 時，前述墊塊控制器 M C N T 0 1 則將控制信號 ϕ S H R R 控制成高電平。未以墊塊選擇信號 M S 來選擇之有關記憶墊塊之共用開關 M O S 電晶體，乃以與該記憶墊塊相對應之墊塊控制器被控制為 O F F 狀態。

由 P 溝道型 M O S 電晶體 Q 9 、 Q 1 0 及 P 溝道型 M O S 電晶體 Q 1 3 、 Q 1 4 所構成之靜態門鎖 (static latch) 形態之差動放大電路，乃為由 C M O S 門鎖電路所成之一個感測放大器 3 ；感測放大器 3 乃每按互補資料線各被設置。感測放大器 3 之工作電源乃經由傳動線路 S D N 、 S D P 被供給。傳動線路 S D N 、 S D P 亦各對感測放大器 3 為共用者。關於向傳動線路 S D N 、 S D P 之工作電源之供給控制，請容後說明。並且，在各個之互補資料線，除上述感測放大器 3 外，亦備有：動態 R A M 等待時，使互補資料線均衡 (equalize) 之 M O S 電晶體 Q 2 1 。 M O S 電晶體 Q 2 1 ，乃由控制信號 ϕ P C S B 來進行開關控制。進一步，亦設有與互補資料線之均衡調整，同時對互補資料線供給預充電電位所用之 M O S 電晶體 Q 1 7 、 Q 1 8 。預充電電位乃為降壓電壓 V D L 之一半之電平，將經由配線 H V C 來供給。 M O S 電晶體 Q 1 7 、 Q 1 8 乃由控制信號 ϕ P C B 來進行開關控制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(19)

前述控制信號 ϕPCB 、 $\phi PCSB$ 則從定時控制器 TG 被輸出。預充電電壓 $VDL/2$ 乃在預充電電壓形成電路 4 所形成，例如由承接降壓電壓 VDL 之電阻分壓電路等所構成。

在圖 9 中，Q23、Q24 乃為被設在互補資料線 DLO、DLOB 與互補共用資料線 CD0 (cd0、cd0B) 之間之行開關；Q25、Q26 則為被設在互補資料線 DL1、DL1B 與互補共用資料線 CD1 (cd1、cd1B) 之間之行開關。同樣之行開關亦被設在各互補資料線，以 4 對之互補資料線為一組被共同連接於四對之互補共用資料線 CD0 (cd0、cd0B)、CD1 (cd1、cd1B)、CD2 (cd2、cd2B)、CD3 (cd3、cd3B)。

下面說明向感測放大器 3 之傳動線路 SDN、SDP 供給工作電源之電路構成。

圖 1 乃表示有：向感測放大器 3 之傳動線路 SDN、SDP 供給工作電源之電路。在該圖乃代表性地表示有：1 隊列份量之感測放大器 3，但圖中所示代表性之傳動線路 SDN、SDP 乃包含在本實施例之 DRAM 之所有感測放大器 3 所用之傳動線路 SDN、SDP 之總稱者。在傳動線路 SDN，乃經由以控制信號 $\phi SA1B$ 來進行開關控制之 P 溝道型 MOS 電晶體 Q41，供給有外部電源電壓；並且，經由以控制信號 $\phi SA2B$ 來進行開關控制之 P 溝道型 MOS 電晶體 Q42，供給有降壓電壓 VDL

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

。控制信號 $\phi S A N$, $\phi S A 1 B$ 、 $\phi S A 2 B$ 則由前述定時控制器 T G 被輸出。

有關此一例子之 D R A M , 乃如前述, 將從外部電源端子承接如 3 . 3 V 之外部電電源電壓 V D D ; 但為記憶容量之增大, 在記憶陣列 M A R Y 0 , M A R Y 1 之 M O S 電晶體將被小型化; 由此, 隨此等 M O S 電晶體之閘極長之縮小化閘極氧化膜已被薄膜化; 放在記憶陣列 M A R Y 0 , M A R Y 1 之工作電壓將被低電壓化, 例如乃以如 2 . 2 V 之降壓電壓 V D L 作為基本之工作電源。此時, 對傳動線路 S D P 僅供給降壓電壓 V D L , 則感測放大器 3 之工作速度將趨慢; 故對傳動線路 S D P 乃適用: 在感測放大器活性化定時之最初給與外部電源電壓 V D D , 接著再給與降壓電壓 V D L , 使感測放大器動作等之感測放大器過激勵技術。

亦即, 如圖 2 所示, 當規定感測放大器 2 之活性化期間之控制信號 $\phi S A E B$ (定時控制器 T G 之內部控制信號, 圖 1 中未圖示), 被變化為低電平之有效電平 (active level); 則首先, 控制信號 $\phi S A 1 B$ 將被變化為低電平, 而經由 M O S 電晶體 Q 4 1 , 電源電壓 V D D 將被供給至傳動線路 S D P 。由此, 因從感測放大器 3 之 P 溝道型 M O S 電晶體 Q 1 4 所供給之電流較大, 由記憶格之選擇動作顯現在互補資料線 D L 0 、 D L 0 B 之微小電位差, 將迅速被放大。接著, 控制信號 $\phi S A 1 B$ 將反轉至高電平, 同時控制信號 $\phi S A 2 B$ 亦被成為低電平; 由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

此，將經由MOS電晶體Q42向傳動線路SDP供給降壓電壓。控制信號 ϕ SAN將控制信號 ϕ SAEB之低電平期間同步被成為高電平。由此，由感測放大器3被驅動之互補資料線之到達電平，將被規定成一方為接地電位，另一方為降壓電壓VDL。如此，將記憶陣列之低電壓驅動下之感測放大器3之放大動作加以高速化。在圖2中，ODT將作為過激勵(over drive)時間。此外，因開關MOS電晶體Q41及Q42乃被結合成並聯形態，故電源電壓VDD及降壓電壓VDL將各經由一個開關MOS電晶體被供給至傳動線路SDP。因此，與開關MOS電晶體被結合成串聯形態之情形比較，可將開關電路之ON阻抗減小。

降壓電路1乃備有：被結合於外部電源電壓VDD之P溝道型之MOS電晶體Q50與被結合在接地電位VSS之高電阻R1之串聯連接點，作為輸出端子Nout；並備有：該輸出端子Nout反饋至非倒相輸入端子(+)，基準電壓VLR則被供給至倒相輸入端子(-)，以對前述MOS電晶體Q50進行開關控制之運算放大器(operational amplifier)AMP1；等所構成。前述運算放大器AMP1，將進行負反饋控制成為：在輸出端子Nout之電位成為較基準電位VLR為低，則使MOS電晶體Q50之電導增大(使ON阻抗減小)；而輸出端子Nout之電位成為較基準電位VLR為高，則使MOS電晶體Q50之電導減小(使ON阻抗增大)，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

以使將輸出端子 N o u t 之電壓保持在基準電壓 V L R 等狀態。如此被形成在輸出端子 N o u t 之電壓將作為降壓電壓 V D L。尤其為將流入 M O S 電晶體 Q 5 0 及電阻 R 1 以及串聯電路之貫通電流抑制於最小限度，電阻 R 1 之值將被設定成非常大之值。在前述負反饋控制中，經由高電阻 R 1 流入輸入端子 N o u t 之電流，將被減少至實質上可忽視之程度。此外，基準電壓 V L R 乃為由例如未圖示之周知之基準電壓發生電路所形成之控制電壓，被定為例如 2 . 2 V。

在此，外部電源電壓 V D D 乃為例如 3 . 3 V，惟利用可能之電源電壓，通常乃容認有 $\pm 10\%$ 左右之容許範圍。因此，為了作為外部電源電壓 V D D 被供給其容許範圍之下限電平時，亦能夠謀求感測放大器 3 之瞬態響應 (transient response) 動作之高速化，將需設定前述控制信號 $\phi S A 1 B$ 之有效 (active) 期間 (過激勵時間 O D T)。因此，僅以如此觀點來固定前述過激勵時間，則因被供給之外部電源電壓 V D D 在容許範圍之上限電平，或因電源電壓 V D D 側之動作容限試驗等被供給特別高之外部電源電壓 V D D 時，而當感測放大器 3 之工作電源從外部電源電壓 V D D 被轉換為降壓電壓 V D L 時，電流將從傳動線路 S D P 向降壓電路 1 之輸出端子 N o u t 倒流。倒流之電流將無法期望如前述經由高電阻 R 1 立即被放電至接地電位 V S S。而來自傳動線路 S D P 之倒流電流將逐漸使降壓電壓 V D L 之電平上昇，隨之亦使互補資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(23)

料線之預充電電平 ($V_{DL}/2$) 上昇。

在此種例子中，乃將過激勵時間 ODT 按電源電壓 V_{DD} 之電平，可變地控制成：能阻止電流如上述之傳動線路 SDP 向降壓電路 1 倒流般之過剩之過激勵狀態為構成。

為此所需之定時形成電路，乃作為圖 1 所示之定時控制器 TG 之一部分來表示。亦即，在規定前述感測放大器 3 之活性化期間之控制信號 ϕ_{SAEB} 之低電平期間，乃最初將前述控制信號 ϕ_{SA1B} 加以活性化，接著再將前述控制信號 ϕ_{SA2B} 加以活性化，如此將雙方之控制信號 ϕ_{SA1B} 、 ϕ_{SA2B} 互補地使其變化；故此乃各設有 2 輸入形式之 NAND 閘 10 及 NOR 閘 11，而 NAND 閘 10 與 NOR 閘 11 之一方之輸入端子亦互相結合，並且在 NAND 閘 10 之其一方之輸入端子與另一方之輸入端子之間，則配置有：將奇數個之 CMOS 反相器 $INV0 \sim INV_i$ ($i = 2n - 1$) 加以串聯連接之延遲電路 12。圖 4 乃表示延遲電路之具體之一例電路者。在前述 NAND 閘 10 之另一方之輸入端子，乃經由 CMOS 反相器 13，供給有控制信號 ϕ_{SAEB} ，而 NOR 閘 11 之另一方之輸入端子，亦供給有控制信號 ϕ_{SAEB} 。控制信號 ϕ_{SA1B} 乃從 NAND 閘 10 被輸出，控制信號 ϕ_{SA2B} 則將 NOR 閘 11 之輸出以 CMOS 反相器 14 來倒相後所形成。控制信號 ϕ_{SAN} 亦將前述控制信號 ϕ_{SAEB} 通過串聯 3 段之 CMOS 反相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(24)

器 1 5、1 6 來形成。

包含在定時控制信號 T G 之電路之工作電源，乃為外部電源電壓 V D D 及接地電位 V S S。前述延遲電路 1 2 所含之 C M O S 反相器 I N V 0 ~ I N V i 之串聯段數，乃被決定成：在外部電源電壓 V D D 於其容許範圍之下限電平時，亦可獲得能謀求感測放大器 3 之瞬態響應動作之高速化之充分之過激勵時間 O D T 之狀態。在此，規定過激勵時間 O D T 之前述延遲電路 1 2 之 C M O S 反相器 I N V 0 ~ I N V i，乃如圖 4 所示，作為電源電壓將承接外部電源電壓 V D D。各反相器因其工作電源電壓愈高，瞬態響應時間亦成為愈短，放在外部電源電壓 (V D D) 較低時，過激勵時間相對地將成較長，外部電源電壓 (V D D) 較高時，則過激勵時間將相對地成為較短。因此，延遲電路之延遲時間將對外部電源電壓 (V D D) 具有負之依存性。所以，供給之外部電源電壓 V D D 為容許範圍之上限電平，或為了電源電壓 V D D 側之動作範圍試驗，供給特別高之外部電源電壓 V D D 時，延遲電路 1 2 之延遲時間將相對地被趨短，而相對地電平較高之外部電源電壓 V D D 經由 M O S 電晶體 Q 4 1 被供給至傳動線路 S D P 之時間亦將趨短。由此，將可防止：由相對地電平較高之外部電源電壓，使感測放大器 3 被過剩地進行過激勵之現象。

因此，作為構成延遲電路之反相器之電源電壓，使用過激勵用之電壓 (V D D)，由此即可以簡單構成來確實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(25)

控制過激勵時間。

由於對感測放大器 3 能過防止過激勵趨於過剩，故亦可阻止從多數之感測放大器 3 向降壓電路 1 電流倒流之事態發生；因此，由此亦可防止：降壓電壓 V_{DL} 被不希望地無限制上昇電平之事態發生。因此，將可阻止：工作電壓向低電壓化時之電路可靠性，因降壓電壓 V_{DL} 不按所求地被昇高電平而被迫降低之事態發生。例如，因感測放大器 3 之放大動作所引起資料線之到達電壓，使降壓電壓 V_{DL} 之昇高電平因此趨高；由此將可防止：字線之選擇電平與資料線之高電平之間之電位差趨小，因而，在向記憶格之高電平寫入中，存儲容量 SC 可防止無法被外加資料線之該高電平之電壓。而且，因前述降壓電壓 V_{DL} 之不希求之電平上昇，若使感測放大器 3 所生資料線之到達電壓被昇高，則與此相應，於晶片非選擇期間被補償 (equalize) 之資料線之初始性電平之預充電電平亦將上昇；在此狀態下被寫入之資料若被讀出時，亦可防止：對預充電之高電平之讀出電壓容限將被縮小等現象。進一步，形成字線選擇電平之昇壓電路 2，乃利用前述降壓電壓 V_{DL} 時，降壓電壓 V_{DL} 之不希求之電平高昇，即使將使字線選擇電平 V_{PP} 上昇，惟亦無記憶格 MC 之選擇 MOS 電晶體 Q_1 之閘極氧化膜被破壞之虞。

圖 3 乃表示：生成感測放大器控制所需之控制信號 ϕ_{SAN} 、 ϕ_{SA1B} 、 ϕ_{SA2B} 之電路之其他例子者。該圖所示電路，乃在 2 輸入 NOR 閘 20 之一方輸入端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

子被供給有前述控制信號 $\phi S A E B$ ，而在該 NOR 閘 20 之一方輸入端子與另一方輸入端子之間，則配置有決定過激勵時間所用之延遲電路 21。前述控制信號 $\phi S A N$ 乃將控制信號 $\phi S A E B$ 以 CMOS 反相器 22 來加以倒相所形成，控制信號 $\phi S A 1 B$ 則將 NOR 閘 20 之輸出以 CMOS 反相器 23 來加以倒相所形成，而控制信號 $\phi S A 2 B$ 則將延遲電路 21 之輸出以 CMOS 反相器 24 來加以倒相所形成。由該圖所示之邏輯構成，基本上亦可形成圖 2 所示之波形之控制信號 $\phi S A N$ 、 $\phi S A 1 B$ 、 $\phi S A 2 B$ 。尤其是圖 3 之情形，前述延遲電路 21 亦由奇數段之 CMOS 反相器 INV 0、INV 1、INV 3 與 CR 延遲電路 25 之串聯電路所構成。CR 延遲電路 25 乃為由如電容元件或電阻元件等之從動電路元件所構成之延遲要素；與 CMOS 反相器不同，其延遲時間乃對電源電壓未具有負之依存性。如圖 1 所示之延遲電路 12，僅以 CMOS 反相器來構成時，若延遲時間之電源電壓依存性過大而不方便時，乃如圖 3 將延遲時間不具有電源電壓依存性之 CR 延遲電路與 CMOS 反相器加以組合來構成延遲電路，方為良策。此外，在圖 1 之邏輯構成中，採用圖 3 之延遲電路 21，亦當然為可能。

上述之例子僅為其一例，在不脫離本發明之要旨之範圍內將可作種種變更，亦為不必贅言者。例如，降壓單元 10 之電流源不限定於利用運算放大器來進行負反饋控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(27)

之構成。並且，D R A M之記憶墊塊構成、墊塊選擇之邏輯構成、資料之並聯輸出入數元數等，亦不限定於上述實施例，可作適宜之變更。並且，生成感測放大器控制所用之控制信號 ϕ S A N、 ϕ S A 1 B、 ϕ S A 2 B之電路之邏輯構成，亦不限定於圖1及圖3，而可作適宜之變更。作為延遲機構，M O S電路亦不限定於C M O S反相器，可以N A N D、N O R等等邏輯閘來構成。延遲時間對電源電壓具有負之依存性之電路，亦不限定於僅具有M O S電晶體之電路，含有雙極性電晶體(bipolar transistor)等其他之電路元件來構成亦可。

圖5乃表示對感測放大器之傳動線路S D N、S D P供給工作電源所用之其他例子之電路者。在圖5及前述圖1中，共同之部份乃附有相同之符號。

傳動線路S D N乃被供給在N溝道型M O S電晶體Q 9及Q 10之共用汲極，傳動線路S D P則被結合在P溝道型M O S電晶體Q 13及Q 14之共用汲極。在該圖亦代表性地表示有1隊列份量之感測放大器3，惟在圖中代表性地被表示之傳動線路S D N，S D P，乃為本實施例之D R A M所含之所有感測放大器3所用之傳動線路S D N、S D P之總稱者。在傳動線路S D N，乃經由以控制信號 ϕ S A N來進行開關控制之N溝道型M O S電晶體Q 40，有接地電位V S S被供給其中。在傳動線路S D P，亦經由以控制信號 ϕ S A P 1 B來進行開關控制之P溝道型M O S電晶體Q 41，有外部電源電壓V D D

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(28)

被供給其中；並且經由以控制信號 $\phi S A N 2$ 來進行開關控制之N溝道型MOS電晶體 $Q 4 2$ ，亦有降壓電壓 $V D L$ 被供給其中。控制信號 $\phi S A N$ 、 $\phi S A P 1 B$ 、 $\phi S A N 2$ 及從前述定時控制器 $T G$ 被輸出。

形成控制信號 $\phi S A N$ 、 $\phi S A P 1 B$ 、 $\phi S A N 2$ 之電路，乃作為圖1所示定時控制器 $T G$ 之一部分被表示。亦即，為能在規定前述感測放大器3之活性化期間之控制信號 $\phi S A E B$ （定時控制器 $T G$ 之內部控制信號，在圖1未圖示）之低電平期間，最初將前述控制信號 $\phi S A P 1 B$ 加以活性化，接著再將前述控制信號 $\phi S A B 2$ 加以活性化，乃各設有2輸入形式之NAND閘10及NOR閘11；並且，NAND閘10及NOR閘11之一方之輸入端子亦互相結合，而在NAND閘10之其一方之輸入端子與另一方輸入端子之間，亦配置有：將奇數個之CMOS反相器 $I N V 0 \sim I N V i$ （ $i = 2 n - 1$ ）加以串聯連接之延遲電路12。在前述NAND閘10之另一方輸入端子，亦經由CMOS反相器13，供給有控制信號 $\phi S A E B$ ，在NOR閘11之另一方輸入端子則供給有控制信號 $\phi S A E B$ 。控制信號 $\phi S A P 1 B$ 乃從前述NAND閘10被輸出，控制信號 $\phi S A N$ 則將前述控制信號 $\phi S A E B$ 通過串聯3段之CMOS反相器15、16、17所形成。前述NOR閘11之輸出 $\phi S A 2$ 乃被供給至電平變換電路6，而電平變換電路6之輸出即成為前述控制信號 $\phi S A N 2$ 。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(29)

前述電平變換電路6乃為將輸入信號之信號振幅加以放大後傳達以輸出之電路，有P溝道型MOS電晶體Q60、Q61與N溝道型MOS電晶體Q62之串聯電路，以及P溝道型MOS電晶體Q63、Q64與N溝道型MOS電晶體Q65之串聯電路，被並聯配置在昇壓電壓VPP與接地電位VSS之間。在MOS電晶體Q61、Q62之閘極乃有輸入信號 $\phi SA2$ 被供給其中，MOS電晶體Q64、Q65之閘極則有輸入信號 $\phi SA2$ 以CMOS反相器18倒相後被供給其中。MOS電晶體Q61與Q62之結合點乃被結合在MOS電晶體Q63之閘極，而MOS電晶體Q64與Q65之結合點則被結合在MOS電晶體Q60之閘極。輸入信號 $\phi SA2$ 之信號振幅乃為接地電位VSS與電源電壓VDD之電位差。亦即，NOR閘11之工作電源乃為VDD、VSS。控制信號 $\phi SAN2$ 為電源電壓VDD之電平時，將由MOS電晶體Q63、Q64之ON狀態，MOS電晶體Q65之OFF狀態，MOS電晶體Q63、Q64之ON狀態，使控制信號 $\phi SAN2$ 成為昇壓電壓VPP之電平。當控制信號 $\phi SA2$ 成為接地電位VSS之電平，則由MOS電晶體Q62之OFF狀態，MOS電晶體Q65之ON狀態，MOS電晶體Q60、Q61之ON狀態，MOS電晶體Q63之OFF狀態，控制信號 $\phi SAN2$ 將成為接地電位VSS之電平。因此，信號振幅成為接地電位VSS與電源電壓VDD之電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (30)

差之輸入信號 $\phi S A 2$ ，將被變換為信號振幅成為接地電位 $V S S$ 與前述昇壓電壓 $V P P$ 之電位差之輸出信號 $\phi S A N 2$ ；而雙方之信號 $\phi S A 2$ 、 $\phi S A N 2$ 之邏輯值將被成為一般。昇壓電壓 $V P P$ 將成為例如 $4.0 V$ 。

圖 6 乃表示：由圖 5 之電路構成對傳動線路 $S D N$ 、 $S D P$ 供給工作電源所用之控制信號 $\phi S A N$ ， $\phi S A P 1 B$ ， $\phi S A N 2$ 之波形。

當規定感測放大器 3 之活性化期間之控制信號 $\phi S A E B$ 變化為低電平之有效電平 (active level)，則首先，控制信號 $\phi S A P 1 B$ 將變化為低電平 (接地電位 $V S S$ 之電平)，並經由 $M O S$ 電晶體 $Q 4 1$ ，電源電壓 $V D D$ 將被供給至傳動線路 $S D P$ 。由此，因被供給至感測放大器 3 之 P 溝道型 $M O S$ 電晶體 $Q 1 3$ 、 $Q 1 4$ 之電流較大，故由記憶格之選擇動作顯現在互補資料線 $D L 0$ 、 $D L 0 B$ 之微小電位差將迅速被放大。接著，控制信號 $\phi S A P 1 B$ 將被倒相成高電平 (電源電壓 $V D D$ 之電平)，同時控制信號 $\phi S A N 2$ 亦被成為高電平 (昇壓電壓 $V P P$ 之電平)；由此，經由 $M O S$ 電晶體 $Q 4 2$ ，降壓電壓 $V D L$ 將被供給至傳動線路 $S D P$ 。控制信號 $\phi S A N$ 則與控制信號 $\phi S A E B$ 之低電平期間同步，被成為高電平。由此，由感測放大器 3 所驅動之互補資料線之到達電平，將被規定成：一方為接地電位 $V S S$ ，另一方為降壓電壓 $V D L$ 之狀態。

此時， $M O S$ 電晶體 $Q 4 2$ 乃為 N 溝道型，將其控

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (31)

制為ON狀態之控制信號 ϕ SAN 2之高電平，則成為較其汲極電壓（降壓電壓V DL）為大之電壓，例如字線昇壓電壓V PP；故該MOS電晶體Q 4 2'之閘極·源極間電壓將被成為較大。而且，載流子遷移率乃N溝道型MOS電晶體較P溝道型MOS電晶體約大約3倍左右。因此，如圖1之實施例，與使用P溝道型MOS電晶體Q 4 2，以接地電位V SS將其控制為ON狀態時比較，可在MOS電晶體Q 4 2'獲得較大之電流供給能力。結果，工作電源被低電壓化之狀況下，亦可使感測放大器3進行高速動作。

N溝道型MOS電晶體Q 4 2'之閘極電壓假定與汲極電壓（降壓電壓V DL）相等時，此MOS電晶體Q 4 2'之源極電壓將等於較閘極電壓被降低MOS電晶體Q 4 2'之臨限值電壓之份量。為減少此電壓降低，在本發明之實施例，前述閘極電壓乃被設定成較前述汲極電壓為高。使前述閘極電壓成為汲極電壓與前述臨限值電壓之和以上，則可完全取消（cancel）前述臨限值電壓之降低部分；故可進一步有效防止：對感測放大器之被低電壓化之電壓（V DL）之供給能力降低。

例如，假定 $V_{SS} = 0V$ ， $V_{DD} = 3.3V$ ， $V_{DL} = 2.2V$ ， $V_P = 4.0V$ ，將N溝道型MOS電晶體Q 4 2'以 $V_{PP} = 4.0V$ 之閘極電壓使成為ON狀態時之閘極·源極間電壓乃為 $1.8V$ ；假定MOS電晶體Q 4 2'為P溝道型，則以 $0V$ 之閘極電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

使成爲 ON 狀態時之閘・源極間電壓乃爲 $2.2V$ 。表面上，P 溝道型 MOS 電晶體之閘・源極間電壓雖較大，但在此情形下，若考慮載流子移動度之差，則將 MOS 電晶體 Q_{42} 以 N 溝道型來構成，將相對地獲得較大之電流供給能力。尤其是將 MOS 電晶體 Q_{42} 作爲 P 溝道型以接地電位 V_{SS} 來使其成爲 ON 狀態時，將成爲：閘・源極間電壓 (V_{GS}) = 降壓電壓 V_{DL} 而採取：感測放大器 3 之工作電源愈被低電壓化， V_{GS} 則愈趨小之傾向。與此相對，如本實施例，將 N 溝道型 MOS 電晶體 Q_{42} 成爲 ON 狀態所用之閘・源極間電壓，將可按該 MOS 電晶體 Q_{42} 之閘極膜之耐壓等要因來決定，將未具有隨工作電源之低電壓化， V_{GS} 被變小之傾向。因此，工作電源之低電壓化今後預測可能有進展之狀況下，MOS 電晶體 Q_{42} 採用 N 溝道型，將其以昇壓電壓來控制成爲 ON 狀態之構成，在對感測放大器之高速化之對應方面實較優越。並且，利用形成字線選擇電平之昇壓電路 2 之輸出 V_{PP} ，來生成 MOS 電晶體 Q_{42} 之開關控制信號 ϕ_{SAN2} ；由此即可在感測放大器 3 之動作速度之高速化時，極力抑制電路規模之增大。

在圖 5 之例子中，亦與前述圖 1 之實施例同樣，作爲構成延遲電路 12 之反相器之之電源電壓使用過激勵用之電壓 (V_{DD})，則由此可以簡單構成來確實控制過激勵時間。

因此，依據圖 5 所示例子，在過激勵技術中，不僅可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(33)

將過激勵時間按過激勵用之電壓(VDD)加以控制，同時因降壓電壓供給用之MOS電晶體Q42'之電流供給能力較高，故亦可將資料線之電平高速且確實放大至所希望之電平。

圖7乃表示：對感測放大器3之傳動線路供給降壓電壓VDL所用之其他例子者。在此例子中，乃代替前述MOS電晶體Q42'採用P溝道型MOS電晶體Q43，並將其進行開關控制之信號振幅，定為基板偏壓VBB與電源電壓VDD之範圍，由此擬使該MOS電晶體Q43之閘·源極間電壓成為較大者。在圖4中，MOS電晶體Q43之開關控制信號乃為 ϕ SAP2B，其信號振幅則為電源電壓VDD與基板偏壓VBB之間之電位差。

在圖7中，7乃為電平變換電路。此電平變換電路7乃為將前述控制信號 ϕ SA2以CMOS反相器19來倒相並輸入，將輸入信號之信號振幅加以擴大後傳達至輸出之電路；有P溝道型MOS電晶體Q70與N溝道型MOS電晶體Q71、Q72之串聯電路，及P溝道型MOS電晶體Q73與N溝道型MOS電晶體Q74、Q75之串聯電路，被並聯配置在電源電壓VDD與基板偏壓VBB之間。在MOS電晶體Q70、Q71之閘極，乃有輸入信號 ϕ SA2之倒相信號被供給其中；在MOS電晶體Q73、Q74之閘極則有輸入信號 ϕ SA2經由CMOS反相器19、20被供給其中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (34)

M O S 電晶體 Q 7 0 與 Q 7 1 之結合點乃被結合在 M O S 電晶體 Q 7 5 之閘極，而 M O S 電晶體 Q 7 3 與 Q 7 4 之結合點則被結合在 M O S 電晶體 Q 7 2 之閘極。輸入信號 ϕ S A 2 之信號振幅乃為接地電位 V S S 與電源電壓 V D D 之電位差（反相器 1 9、2 0 之工作電源乃為 V S S，V D D）；當控制信號 ϕ S A 2 被成為電源電壓 V D D 之電平時，乃由 M O S 電晶體 Q 7 0 之 O N 狀態，M O S 電晶體 7 3 之 O F F 狀態，M O S 電晶體 Q 7 4、Q 7 5 之 O N 狀態，使控制信號 ϕ S A P 2 B 被成為基板偏壓 V B B 之電平。當控制信號 ϕ S A 2 被成為接地電位 V S S 之電平，則由 M O S 電晶體 Q 7 0 之 O F F 狀態，M O S 電晶體 Q 7 1 之 O N 狀態，M O S 電晶體 Q 7 3、Q 7 2 之 O N 狀態，M O S 電晶體 Q 7 5 之 O F F 狀態，使控制信號 ϕ S A P 2 B 被成為電源電壓 V D D 之電平。因此，信號振幅成為接地電位 V S S 與電源電壓 V D D 之電位差，而輸入信號 ϕ S A 2 則將被變換為：邏輯值被倒置，信號振幅被成為基板偏壓 V B B 與電源電壓 V D D 之電位差之輸出信號 ϕ S A P 2 B。

由圖 7 之構成，即使在對傳動線路 S D P 之降壓電壓 V D L 之供給，採用 P 溝道型之 M O S 電晶體 Q 4 3，若將對其作開關控制之信號振幅，定為基板偏壓 V B B 與電源電壓 V D D 之範圍，則由此亦可使該 M O S 電晶體 Q 4 3 之閘・源極間電壓成為較大；結果，在工作電源被低電壓化之狀況下，亦可使感測放大器 3 進行高速動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(35)

惟在工作電源之低電壓化有進展之狀況下，隨降壓電壓 V D L 之低電壓化，M O S 電晶體 Q 4 3 之閘極・源極電壓將具有趨小之傾向。作為基板偏壓 V B B，由於利用基板偏壓所形成之負電壓，將可在感測放大器 3 之動作速度之高速化時，極力抑制電路規模之增大。

對於上述之例子，亦可在不超越本發明之要旨之範圍內作種種之變更，此亦為不必贅言之事。例如，在上述之例子中，乃將感測放大器進行過激勵之情形加以說明；惟對於未採用過激勵時，對於向感測放大器之高電位側之傳動線路供給工作電源之 M O S 電晶體，亦可同樣採用有關 Q 4 2、Q 4 3 之構成。進一步，在採用過激勵時，對於 M O S 電晶體 Q 4 1，亦同樣可採用關於 Q 4 2、Q 4 3 之構成。並且，D R A M 之記憶墊塊構成、墊塊選擇之邏輯構成、資料之並聯輸出入數元數等，亦不限定於上述實施例，可適宜加以變更。而且，生成感測放大器控制所用之控制信號 ϕ S A N、 ϕ A P 1 B、 ϕ S A N 2 之電路之邏輯構成，亦不限定於圖 1 者，可適宜加以變更。

在以上之說明中，主要乃將本發明人所作發明，適用於成為其背景之利用部門之 D R A M 時之情形加以說明者；惟本發明亦不限定於此，將可廣泛適用於：與時鐘信號同步動作之同步性 D R A M (synchronous DRAM)、虛擬靜態 R A M (pseudo static RAM)，進一步，則在微電腦等之資料處理 L S I 之晶片上 (on chip) 之此等記憶體等，備有資料傳送所用之接受器 (receiver) 用差動放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(36)

大電路之半導體積體電路等。

<發明之效果>

本申請案所揭示之本發明之中代表性者所能獲得之效果簡單說明如下。

亦即，作為如感測放大器之差動放大電路之驅動方式，採用過激勵(over drive)技術時，由於規定過激勵時間之延遲機構之延遲時間，對外部電源電壓具有負之依存性；故在被供給之外部電源電壓為容許範圍之上限電平，或者因電源電壓側之動作容限試驗等被供給特別高之外部電源電壓時，延遲機構之延遲時間將相對地被縮短；換言之，過激勵時間(ODT)將相對地被縮短，而相對地電平較高之外部電源電壓被供給差動放大電路之傳動線路(driveline)(SDP)之時間，亦將被縮短。由此，將可防止由相對性電平較高之外部電源電壓使差動放大電路被過剩地過激勵之現象。

由於可防止對差動放大電路之過激勵成為過剩，故亦可防止從多數之差動放大電路向降壓電路有電流倒流之事態發生；由此，亦可防止：工作電源被低電壓化之電路，例如被供給至DRAM之記憶陣列之降壓電壓(VDL)，不冀求地被升高電平之事態。因此，將可阻止被用於工作電壓之低電壓化之電路之可靠性，因降壓電壓不冀求地被升高電壓而降低之事態。例如，將可防止：如感測放大器之差動放大電路之放大動作所引起之資料線之到達電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(37)

，因降壓電壓之上昇被提高，由此使字線之選擇電平與資料線之高電平之電位差趨小，而在向記憶格之高電平寫入時，不能將資料線之該高電平之電壓外加於存儲容量等之事態。而且，因降壓電壓之不冀求之電平高昇若使如感測放大器之差動放大電路所作資料線之到達電壓上昇，則與此相應，被補償平衡之資料線之預充電電平亦將上昇，在此種狀態下被寫入之資料若被讀出時，亦可防止：對預充電電平之高電平之讀出電壓容限亦將趨小之現象。並且，形成字線選擇電平之昇壓電路乃利用前述降壓電壓時，則降壓電壓之不冀求之電平上昇將使字線選擇電平上昇，而損害記憶格選擇電晶體之閘極氧化膜之虞亦不致發生。

將在延遲時間無電源電壓依賴性之如C R延遲電路之無源元件所成之延遲要件，與M O S電晶體電路加以併用以構成前述延遲機構，由此擬僅以如C M O S反相器之M O S電晶體電路來確保必要之延遲時間時，若延遲時間之電源電壓依存性過大，亦可加以因應，故可較容易將必需之延遲時間及延遲時間之電源電壓依存性之雙方加以最適化。

將對差動放大電路之高電位側傳動線路供給電源電壓或降壓電壓之M O S電晶體定為N溝道型，其開關控制信號之振幅則定為較電源電壓被昇壓之電壓，由此，則可避：工作電源隨著被低電化，使對高電位側傳動線路之工作電壓供給用M O S電晶體之閘·源極間電壓被變小；而工作電壓被低電壓化之狀況下亦可使差動放大電路高速工作

五、發明說明 (38)

並且，即使將對差動放大電路之高電位側之傳動線路供給工作電源之MOS電晶體定為P溝道型時，若將對其作開關控制之信號振幅定為負電壓與電源電壓之範圍，則可使該MOS電晶體之閘·源極間電壓成為較大；結果，即使在工作電源被低電壓化之狀況下，亦可使差動放大電路高速工作。

作為對前述高電位側之傳動線路供給工作電源之N溝道型MOS電晶體加以進行開關控制之信號振幅予以規定所需之昇壓電壓，利用形成字線選擇電平之昇壓電路之輸出；並且，作為對前述傳動線路供給工作電壓之P溝道型MOS電晶體加以進行開關控制之信號振幅予以規定所需之負電壓，利用基板偏壓發生電路所形成之負電壓；則由此，在前述差動放大電路之動作速度之高速化時，將可極力抑制電路規模之增大。

< 附圖之簡單說明 >

〔圖1〕表示以過激勵形式來驅動控制感測放大器所用之一例之電路圖。

〔圖2〕驅動控制圖1所示感測放大器之控制信號之一例之波形圖。

〔圖3〕表示以過激勵形式來驅動感測放大器之控制信號之其他生成邏輯之邏輯電路圖。

〔圖4〕表示延遲電路之一例之電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(39)

〔圖5〕對感測放大器之傳動線路SDN、SDP供給工作電源所用之一例之電路圖。

〔圖6〕由圖5之電路構成對傳動線路SDN、SDP供給工作電源所用之控制信號 ϕ SAN、 ϕ SAP1B、 ϕ SAN2之波形圖。

〔圖7〕對感測放大器之傳動線路SDP供給降壓電壓VDL所用之其他例之電路圖。

〔圖8〕本發明之一例之DRAM之全體性方塊圖。

〔圖9〕圖8所示DRAM之記憶墊塊、感測放大器區塊、以及行開關電路區塊之局部電路圖。

(附圖中符號之說明)

MARY0、MARY1……記憶陣列，

MMAT0~MMAT7……記憶墊塊，

SA01、SA23、SA45、SA67……感測放大器區塊，

WD0~WD7……字驅動器，

XD0~XD7……列址解碼器，

YD……行址解碼器，

TG……定時控制器，

DL0、DL0B、DL1、DL1B……互補資料線，

WL1、WL(i-1)……字線，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(40)

M C ……動態記憶格，

Q 1 7、Q 1 8 ……預充電用 M O S 電晶體，

Q 2 1 ……補償用 M O S 電晶體，

V D L ……降壓電壓，

V D D ……外部電源電壓，

V S S ……接地電壓，

V P P ……字線驅動電壓，

V B B ……基板偏壓，

1 ……降壓電路，

A M P 1 ……運算放大器，

Q 5 0 ……電流源 M O S 電晶體，

R 1 ……高電阻，

N o u t ……輸出端子，

2 ……昇壓電路，

3 ……感測放大器，

Q 9、Q 1 4 ……感測放大器構成用 N 溝道型

M O S 電晶體，

Q 1 3、Q 1 4 ……感測放大器用 P 溝道型 M O S

電晶體，

S D P、S D N ……感測放大器之傳動線路，

Q 4 1、Q 4 2、Q 4 2'、Q 4 3 ……對 S D P

之工作電源供給用 M O S 電晶體，

Q 4 0 ……對 S D N 之工作電源供給用 M O S 電晶體，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(41)

$\phi S A 2 B$ 、 $\phi S A 1 B$ 、 $\phi S A N$ 、 $\phi S A N 2$ 、
 $\phi S A P 1 B$ 、 $\phi S A P 2 B \dots \dots$ 感測放大器控制
信號，

1 2 $\dots \dots$ 延遲電路，

$I N V 0 \sim I N V i \dots \dots$ C M O S 反相器，

2 1 $\dots \dots$ 延遲電路，

$I N V 1 \sim I N V 3 \dots \dots$ C M O S 反相器，

2 5 $\dots \dots$ C R 延遲要件，

4 $\dots \dots$ 預充電電壓形成電路 1，

5 $\dots \dots$ 基板偏壓發生電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10 修正
年 月 日 補充

附件 1. 第 85109692 號專利申請案
中文說明書修正頁 民國 87 年 12 月修正
B5

四、中文發明摘要（發明之名稱：

半導體積體電路

本發明乃有關：備有以過激勵（Overdrive）方式被驅動之差動放大電路之半導體積體電路者，例如適用於為高積體化，工作電壓被低電壓化之 D R A M（Dynamic Random Access Memory）而有效之技術者。

本發明之目的乃在：即使供給感測放大器（sense amplifier）之電源電壓較高時，亦可防止過剩之激勵過度（over drive）者。

本發明之特徵乃在：控制電路（T G）採用：在感測放大器之激活化定時（activation timing）中，在最初被激活化之第 1 控制信號（ $\phi S A 1 B$ ）以電源電壓（V D D）為工作電源來供給，在接著被激活化之第 2 控制信號（ $\phi S A 2 B$ ）則以較前述電源電壓為低電平之降壓電壓（V D L）作為其工作電源來供給，等之過激勵技術時；作為規定第 1 控制信號之激活化至第 2 控制信號之激活化為止之過激勵時間之延遲機構（1 2）乃採用：以電源電壓（V D D）為工作電源之反相器，使延遲電路之延遲時間，具有對電源電壓之負之依賴性者（圖 1）。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

87.12.10 修正
年 月 日 補充

附件 1. 第 85109692 號專利申請案
中文說明書修正頁 民國 87 年 12 月修正
B5

四、中文發明摘要（發明之名稱：

半導體積體電路

本發明乃有關：備有以過激勵（Overdrive）方式被驅動之差動放大電路之半導體積體電路者，例如適用於為高積體化，工作電壓被低電壓化之 D R A M（Dynamic Random Access Memory）而有效之技術者。

本發明之目的乃在：即使供給感測放大器（sense amplifier）之電源電壓較高時，亦可防止過剩之激勵過度（over drive）者。

本發明之特徵乃在：控制電路（T G）採用：在感測放大器之激活化定時（activation timing）中，在最初被激活化之第 1 控制信號（ $\phi S A 1 B$ ）以電源電壓（V D D）為工作電源來供給，在接著被激活化之第 2 控制信號（ $\phi S A 2 B$ ）則以較前述電源電壓為低電平之降壓電壓（V D L）作為其工作電源來供給，等之過激勵技術時；作為規定第 1 控制信號之激活化至第 2 控制信號之激活化為止之過激勵時間之延遲機構（1 2）乃採用：以電源電壓（V D D）為工作電源之反相器，使延遲電路之延遲時間，具有對電源電壓之負之依賴性者（圖 1）。

英文發明摘要（發明之名稱：

87.12.10 修正

補充

A8
B8
C8
D8

六、申請專利範圍

第 88109192 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 87 年 12 月 修正

1. 一種半導體積體電路，其特徵為：

備有：放大互補信號線之電位差之差動放大電路；及形成供給作為前述差動放大電路之工作電源之第 1 驅動電壓之第 1 驅動控制信號，同時在第 1 驅動控制信號被活性化 (activation) 後，該第 1 驅動控制信號亦與被非活性化相呼應被活性化，而將較前述第 1 驅動電壓電平為低之第 2 驅動電壓，作為前述差動放大電路之工作電源來供給之第 2 驅動控制信號加以形成之控制電路等；

而前述控制電路亦含有規定第 1 驅動控制信號被活性化之期間之延遲電路；

前述延遲電路則含有將前述第 1 驅動電壓作為工作電源來承接之反相器電路；前述第 1 驅動控制信號被活性化之期間亦對前述第 1 驅動電壓具有負之依存性 (dependency)；等為構成者。

2. 如申請專利範圍第 1 項所述之半導體積體電路中；前述反相器電路乃為 CMOS 反相器電路者。

3. 一種半導體積體電路，其特徵為：

備有選擇端子被結合在字線 (word line) 之複數個之記憶格 (memory cell)；及被連接在記憶格之資料輸出入端子之互補信號線 (complementary signal line)；及放大器互補信號線之電位差之差動放大電路 (different-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

87.12.10 修正

補充

A8
B8
C8
D8

六、申請專利範圍

第 88109192 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 87 年 12 月 修正

1. 一種半導體積體電路，其特徵為：

備有：放大互補信號線之電位差之差動放大電路；及形成供給作為前述差動放大電路之工作電源之第 1 驅動電壓之第 1 驅動控制信號，同時在第 1 驅動控制信號被活性化 (activation) 後，該第 1 驅動控制信號亦與被非活性化相呼應被活性化，而將較前述第 1 驅動電壓電平為低之第 2 驅動電壓，作為前述差動放大電路之工作電源來供給之第 2 驅動控制信號加以形成之控制電路等；

而前述控制電路亦含有規定第 1 驅動控制信號被活性化之期間之延遲電路；

前述延遲電路則含有將前述第 1 驅動電壓作為工作電源來承接之反相器電路；前述第 1 驅動控制信號被活性化之期間亦對前述第 1 驅動電壓具有負之依存性 (dependency)；等為構成者。

2. 如申請專利範圍第 1 項所述之半導體積體電路中；前述反相器電路乃為 CMOS 反相器電路者。

3. 一種半導體積體電路，其特徵為：

備有選擇端子被結合在字線 (word line) 之複數個之記憶格 (memory cell)；及被連接在記憶格之資料輸出入端子之互補信號線 (complementary signal line)；及放大器互補信號線之電位差之差動放大電路 (different-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

ial amplifier circuit)；及將從外部所供給之外部電源電壓加以降壓，以形成前述字線之選擇電平以下之降壓電壓之降壓電路；及形成：在前述差動放大電路之活性化定時 (activation timing) 最初將前述外部電源電壓作為工作電源供給至前述差動放大電路之第 1 驅動控制信號，同時之第 1 驅動控制信號被活性化後與該第 1 驅動控制信號被非活性化相呼應被活性化，並將在前述降壓電路所生成之降壓電壓作為差動放大電路之工作電源被供給之第 2 驅動控制信號之控制電路等；

而前述控制電路亦含有規定前述第 1 驅動控制信號被活性化之期間之延遲電路；

前述延遲電路則含有作為工作電源來承接前述外部電源電壓之反相器電路，而前述第 1 驅動控制信號被活性化之期間亦對前述外部電源電壓具有負之依存性；等為構成者。

4. 如申請專利範圍第 3 項所述之半導體積體電路中；前述降壓電路乃在電流源與高電阻之串聯連接點形成前述降壓電壓之電路者。

5. 如申請專利範圍第 4 項所述之半導體積體電路中；前述記憶格乃為動態型之記憶格，而備有：將前述降壓電路之輸出端子之電壓之大致一半之電壓，作為前述互補信號線之預充電電壓來形成之電路；及將前述互補信號線加以選擇性地導通之補償 (equalize) 電路；及與前述補償電路所生互補信號線之導通定時相呼應，對互補信號線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

ial amplifier circuit)；及將從外部所供給之外部電源電壓加以降壓，以形成前述字線之選擇電平以下之降壓電壓之降壓電路；及形成：在前述差動放大電路之活性化定時 (activation timing) 最初將前述外部電源電壓作為工作電源供給至前述差動放大電路之第 1 驅動控制信號，同時之第 1 驅動控制信號被活性化後與該第 1 驅動控制信號被非活性化相呼應被活性化，並將在前述降壓電路所生成之降壓電壓作為差動放大電路之工作電源被供給之第 2 驅動控制信號之控制電路等；

而前述控制電路亦含有規定前述第 1 驅動控制信號被活性化之期間之延遲電路；

前述延遲電路則含有作為工作電源來承接前述外部電源電壓之反相器電路，而前述第 1 驅動控制信號被活性化之期間亦對前述外部電源電壓具有負之依存性；等為構成者。

4. 如申請專利範圍第 3 項所述之半導體積體電路中；前述降壓電路乃在電流源與高電阻之串聯連接點形成前述降壓電壓之電路者。

5. 如申請專利範圍第 4 項所述之半導體積體電路中；前述記憶格乃為動態型之記憶格，而備有：將前述降壓電路之輸出端子之電壓之大致一半之電壓，作為前述互補信號線之預充電電壓來形成之電路；及將前述互補信號線加以選擇性地導通之補償 (equalize) 電路；及與前述補償電路所生互補信號線之導通定時相呼應，對互補信號線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

供給前述預充電電壓之預充電電路；等所成者。

6. 一種半導體積體電路，其特徵為：

含有：一對之資料線 (data line)；

及備有一對 P 溝道型 MOS 電晶體及一對 N 溝道型 MOS 電晶體之 CMOS 閃鎖電路 (CMOS latch circuit)，而放大前述一對之資料線之電位差之感測放大器；

及承接第 1 電壓之第 1 端子；

及承接較前述第 1 電壓為低之第 2 電壓之第 2 端子；

及在前述一對之 P 溝道型 MOS 電晶體被設在共同結合之一對之源極與前述第 1 端子之間之第 1 開關 MOS 電晶體；

及被設在前述共同結合之一對源極與前述第 2 端子之間之第 2 開關 MOS 電晶體；

及將前述第 1 及第 2 開關 MOS 電晶體控制成：在第 1 期間前述第 1 開關 MOS 電晶體被成為 ON 狀態，在前述第 1 期間後之第 2 期間前述第 1 開關 MOS 電晶體被成為 OFF 狀態，且前述第 2 開關 MOS 電晶體被成為 ON 狀態等之控制電路等；

而前述控制電路亦含有規定前述第 1 期間之延遲電路；

前述延遲電路則含有將前述第 1 電壓作為工作電源來承接之反相器電路；等為構成者。

7. 如申請專利範圍第 6 項所述之半導體積體電路中；前述第 1 及第 2 開關 MOS 電晶體乃被結合成並聯形態

六、申請專利範圍

供給前述預充電電壓之預充電電路；等所成者。

6. 一種半導體積體電路，其特徵為：

含有：一對之資料線 (data line)；

及備有一對 P 溝道型 MOS 電晶體及一對 N 溝道型 MOS 電晶體之 CMOS 閃鎖電路 (CMOS latch circuit)，而放大前述一對之資料線之電位差之感測放大器；

及承接第 1 電壓之第 1 端子；

及承接較前述第 1 電壓為低之第 2 電壓之第 2 端子；

及在前述一對之 P 溝道型 MOS 電晶體被設在共同結合之一對之源極與前述第 1 端子之間之第 1 開關 MOS 電晶體；

及被設在前述共同結合之一對源極與前述第 2 端子之間之第 2 開關 MOS 電晶體；

及將前述第 1 及第 2 開關 MOS 電晶體控制成：在第 1 期間前述第 1 開關 MOS 電晶體被成為 ON 狀態，在前述第 1 期間後之第 2 期間前述第 1 開關 MOS 電晶體被成為 OFF 狀態，且前述第 2 開關 MOS 電晶體被成為 ON 狀態等之控制電路等；

而前述控制電路亦含有規定前述第 1 期間之延遲電路；

前述延遲電路則含有將前述第 1 電壓作為工作電源來承接之反相器電路；等為構成者。

7. 如申請專利範圍第 6 項所述之半導體積體電路中；前述第 1 及第 2 開關 MOS 電晶體乃被結合成並聯形態

87.12.10 修正
年 月 日
補充

A8
B8
C8
D8

六、申請專利範圍

，而在前述第 1 期間前述第 2 開關 MOS 電晶體乃被成爲 OFF 狀態者。

8. 如申請專利範圍第 7 項所述之半導體積體電路中；前述反相器電路乃爲 CMOS 反相器電路者。

9. 如申請專利範圍第 8 項所述之半導體積體電路中；前述第 1 端子乃爲外部電源電壓者。

10. 如申請專利範圍第 9 項所述之半導體積體電路中；前述一對之 P 溝道型 MOS 電晶體乃具有：承接前述一對之資料線之電位之一對閘極及一對之汲極，而將前述一對之 P 溝道型 MOS 電晶體之一方之 MOS 電晶體之汲極與另一方之閘極互相加以結合所成；前述一對之 N 溝道型 MOS 電晶體則具有：被共同結合之一對之源極及承接前述一對之資料線之電位之一對閘極及一對之汲極等；而將前述一對之 N 溝道型 MOS 電晶體之一方之 MOS 電晶體之汲極與另一方之閘極互相加以結合所成者。

11. 一種半導體積體電路，其特徵爲：

備有放大互補信號線之電位差之差動放大電路；及在前述差動放大電路之高電位側之傳動線路 (drive line) 供給第 1 驅動電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給第 1 驅動電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給較前述第 1 驅動電壓爲低電平之第 2 驅動電壓之第 2 開關 MOS 電晶體；及在前述差動放大電路之活性化期間，最初經由前述第 1 開關 MOS 電晶體將第 1 驅動電壓供給傳動線路，接著經由第 2 開關 MOS 電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

六、申請專利範圍

，而在前述第 1 期間前述第 2 開關 MOS 電晶體乃被成爲 OFF 狀態者。

8. 如申請專利範圍第 7 項所述之半導體積體電路中；前述反相器電路乃爲 CMOS 反相器電路者。

9. 如申請專利範圍第 8 項所述之半導體積體電路中；前述第 1 端子乃爲外部電源電壓者。

10. 如申請專利範圍第 9 項所述之半導體積體電路中；前述一對之 P 溝道型 MOS 電晶體乃具有：承接前述一對之資料線之電位之一對閘極及一對之汲極，而將前述一對之 P 溝道型 MOS 電晶體之一方之 MOS 電晶體之汲極與另一方之閘極互相加以結合所成；前述一對之 N 溝道型 MOS 電晶體則具有：被共同結合之一對之源極及承接前述一對之資料線之電位之一對閘極及一對之汲極等；而將前述一對之 N 溝道型 MOS 電晶體之一方之 MOS 電晶體之汲極與另一方之閘極互相加以結合所成者。

11. 一種半導體積體電路，其特徵爲：

備有放大互補信號線之電位差之差動放大電路；及在前述差動放大電路之高電位側之傳動線路 (drive line) 供給第 1 驅動電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給第 1 驅動電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給較前述第 1 驅動電壓爲低電平之第 2 驅動電壓之第 2 開關 MOS 電晶體；及在前述差動放大電路之活性化期間，最初經由前述第 1 開關 MOS 電晶體將第 1 驅動電壓供給傳動線路，接著經由第 2 開關 MOS 電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

107.12.10

A8
B8
C8
D8

六、申請專利範圍

體將第2驅動電壓供給傳動線路之開關控制信號之發生機構等；而前述第1開關MOS電晶體乃為P溝道型，而其開關控制信號之高電平電位乃為第1驅動電壓之電位；前述第2開關MOS電晶體則為N溝道型，而其開關控制信號之高電平電位亦為較第2驅動電壓被昇壓之電位；等為構成者。

12. 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述電源電壓之第1開關MOS電晶體；及對前述傳動線路供給前述降壓電壓之第2開關MOS電晶體；及在前述差動放大電路之活性化期間，最初經由前述第1開關MOS電晶體將電源電壓供給傳動線路，接著經由第2開關MOS電晶體，將降壓電壓供給傳動線路之開關控制信號之發生機構等；而前述第1開關MOS電晶體乃為P溝道型，且其開關控制信號之高電平電位亦為從前述外部所供給之電源電壓之電位，前述第2開關MOS電晶體則為N溝道型，且其開關控制信號之高電平電位則為較前述降壓電壓被昇壓之電位；等為構成者。

13. 如申請專利範圍第12項所述之半導體積體電路中；前述被昇壓之電位乃為與較前述降壓電壓高出等於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

107.12.10

A8
B8
C8
D8

六、申請專利範圍

體將第2驅動電壓供給傳動線路之開關控制信號之發生機構等；而前述第1開關MOS電晶體乃為P溝道型，而其開關控制信號之高電平電位乃為第1驅動電壓之電位；前述第2開關MOS電晶體則為N溝道型，而其開關控制信號之高電平電位亦為較第2驅動電壓被昇壓之電位；等為構成者。

12. 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述電源電壓之第1開關MOS電晶體；及對前述傳動線路供給前述降壓電壓之第2開關MOS電晶體；及在前述差動放大電路之活性化期間，最初經由前述第1開關MOS電晶體將電源電壓供給傳動線路，接著經由第2開關MOS電晶體，將降壓電壓供給傳動線路之開關控制信號之發生機構等；而前述第1開關MOS電晶體乃為P溝道型，且其開關控制信號之高電平電位亦為從前述外部所供給之電源電壓之電位，前述第2開關MOS電晶體則為N溝道型，且其開關控制信號之高電平電位則為較前述降壓電壓被昇壓之電位；等為構成者。

13. 如申請專利範圍第12項所述之半導體積體電路中；前述被昇壓之電位乃為與較前述降壓電壓高出等於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

前述第 2 開關 MOS 電晶體之閾值之電壓份量之電位相等，或亦較其為高之電位者。

1 4 . 如申請專利範圍第 1 3 項所述之半導體積體電路中；備有承接前述降壓電壓並輸出前述被昇壓之電位之昇壓電路，而前述昇壓電路之輸出電平乃為字線選擇電平者。

1 5 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述電源電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給前述降壓電壓之第 2 開關 MOS 電晶體；及在前述差動放大電路之活性化期間，最初經由前述第 1 開關 MOS 電晶體將電源電壓供給傳動線路，接著經由第 2 開關 MOS 電晶體，將降壓電壓供給傳動線路之開關控制信號之發生機構等；及對前述外部所供給之電源電壓具有負之極性之負電壓之發生電路等；而前述第 1 開關 MOS 電晶體乃為 P 溝道型，且其開關控制信號之高電平電壓亦為從前述外部被供給之電源電壓之電平，前述第 2 開關 MOS 電晶體則為 P 溝道型，且其開關控制信號之低電平電壓則為較前述負電壓之電平；等為構成者。

六、申請專利範圍

前述第 2 開關 MOS 電晶體之閾值之電壓份量之電位相等，或亦較其為高之電位者。

1 4 . 如申請專利範圍第 1 3 項所述之半導體積體電路中；備有承接前述降壓電壓並輸出前述被昇壓之電位之昇壓電路，而前述昇壓電路之輸出電平乃為字線選擇電平者。

1 5 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述電源電壓之第 1 開關 MOS 電晶體；及對前述傳動線路供給前述降壓電壓之第 2 開關 MOS 電晶體；及在前述差動放大電路之活性化期間，最初經由前述第 1 開關 MOS 電晶體將電源電壓供給傳動線路，接著經由第 2 開關 MOS 電晶體，將降壓電壓供給傳動線路之開關控制信號之發生機構等；及對前述外部所供給之電源電壓具有負之極性之負電壓之發生電路等；而前述第 1 開關 MOS 電晶體乃為 P 溝道型，且其開關控制信號之高電平電壓亦為從前述外部被供給之電源電壓之電平，前述第 2 開關 MOS 電晶體則為 P 溝道型，且其開關控制信號之低電平電壓則為較前述負電壓之電平；等為構成者。

六、申請專利範圍

1 6 . 如申請專利範圍第 1 5 項所述之半導體積體電路中；前述負電壓之發生電路乃為基板偏壓之發生電路者。

1 7 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電壓之降壓電路；及形成字線之選擇電平之昇壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述降壓電壓之開關 M O S 電晶體；及在前述差動放大電路之活性化期間，經由前述開關 M O S 電晶體；將降壓電壓供給傳動線路之開關控制信號之發生機構等，而前述開關 M O S 電晶體乃為 N 溝道型，且其開關控制信號之低電平電位乃為接地電位，高電平電位則為以前述昇壓電路所形成之字線選擇電平之電位；等為構成者。

1 8 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給降壓電壓之第 2 開關 M O S 電晶體；及在前述差動放大電路之活性化期間，經由開關 M O S 電晶體將降壓電壓供給傳動線路

六、申請專利範圍

1 6 . 如申請專利範圍第 1 5 項所述之半導體積體電路中；前述負電壓之發生電路乃為基板偏壓之發生電路者。

1 7 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電壓之降壓電路；及形成字線之選擇電平之昇壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給前述降壓電壓之開關 M O S 電晶體；及在前述差動放大電路之活性化期間，經由前述開關 M O S 電晶體；將降壓電壓供給傳動線路之開關控制信號之發生機構等，而前述開關 M O S 電晶體乃為 N 溝道型，且其開關控制信號之低電平電位乃為接地電位，高電平電位則為以前述昇壓電路所形成之字線選擇電平之電位；等為構成者。

1 8 . 一種半導體積體電路，其特徵為：

備有：將從外部所供給之電源電壓加以降壓以形成降壓電路之降壓電路；及選擇端子被結合在字線之複數個之記憶格；及被連接在前述記憶格之資料輸出入端子之互補信號線；及放大互補信號線之電位差之差動放大電路；及對前述差動放大電路之高電位側之傳動線路供給降壓電壓之第 2 開關 M O S 電晶體；及在前述差動放大電路之活性化期間，經由開關 M O S 電晶體將降壓電壓供給傳動線路

六、申請專利範圍

之開關控制信號之發生機構；及對前述電源電壓具有負之極性之基板偏壓之發生電路等；而前述開關MOS電晶體乃為P溝道型，且其開關控制信號之低電平電位乃為前述基板偏壓，高電平電位則為前述降壓電壓以上之電位；等為構成者。

19. 一種半導體積體電路，其特徵為：

含有：一對之資料線；

及備有一對之P溝道型MOS電晶體及一對之N溝道型MOS電晶體之CMOS門鎖電路，而將前述一對之資料線之電位差加以放大之感測放大器(sense amplifier)；

及承接第1電壓之第1端子；

及承接較前述第1電壓為低之第2電壓之第2端子；

及被設在前述一對之P溝道型MOS電晶體中被共同結合之一對源極與前述第1端子之間之第1開關MOS電晶體；

及被設在前述共同結合之一對之源極與前述第2端子之間之N溝道型之第2開關MOS電晶體；

及向前述第1及第2開關MOS電晶體MOS電晶體之閘極輸出信號成為：在第1期間前述第1開關MOS電晶體被成為ON狀態，在前述第1期間後之第2期間，前述第1開關MOS電晶體被成為OFF狀態，且前述第2開關MOS電晶體被成為ON狀態等之控制電路等；

而在前述第2期間，前述第2開關MOS電晶體之閘

六、申請專利範圍

之開關控制信號之發生機構；及對前述電源電壓具有負之極性之基板偏壓之發生電路等；而前述開關MOS電晶體乃為P溝道型，且其開關控制信號之低電平電位乃為前述基板偏壓，高電平電位則為前述降壓電壓以上之電位；等為構成者。

19. 一種半導體積體電路，其特徵為：

含有：一對之資料線；

及備有一對之P溝道型MOS電晶體及一對之N溝道型MOS電晶體之CMOS門鎖電路，而將前述一對之資料線之電位差加以放大之感測放大器(sense amplifier)；

及承接第1電壓之第1端子；

及承接較前述第1電壓為低之第2電壓之第2端子；

及被設在前述一對之P溝道型MOS電晶體中被共同結合之一對源極與前述第1端子之間之第1開關MOS電晶體；

及被設在前述共同結合之一對之源極與前述第2端子之間之N溝道型之第2開關MOS電晶體；

及向前述第1及第2開關MOS電晶體MOS電晶體之閘極輸出信號成為：在第1期間前述第1開關MOS電晶體被成為ON狀態，在前述第1期間後之第2期間，前述第1開關MOS電晶體被成為OFF狀態，且前述第2開關MOS電晶體被成為ON狀態等之控制電路等；

而在前述第2期間，前述第2開關MOS電晶體之閘

87.12.10 修正
87.12.10 補充

A8
B8
C8
D8

六、申請專利範圍

極電壓乃被成爲較前述第 2 電壓爲高之電壓；等爲構成者。

20. 如申請專利範圍第 19 項所述之半導體積體電路中；前述控制電路乃含有規定前述第 1 期間之延遲電路，而前述第 1 期間之變動乃對前述第 1 電壓之變動具有負之依存性者。

21. 如申請專利範圍第 20 項所述之半導體積體電路中；前述延遲電路乃含有將前述第 1 電壓作爲工作電源來接受之反相器電路者。

22. 如申請專利範圍第 21 項所述之半導體積體電路中；在前述第 2 期間，前述第 2 開關 MOS 電晶體之閘極電壓，乃與前述第 2 電壓與前述第 2 開關 MOS 電晶體之臨限值電壓之和之電壓相等，或較其爲高之電壓者。

23. 如申請專利範圍第 22 項所述之半導體積體電路中；前述第 1 及第 2 開關 MOS 電晶體乃被結合成並聯形態，而在前述第 1 期間前述第 2 開關 MOS 電晶體將成爲 OFF 狀態者。

24. 一種半導體積體電路，其特徵爲：

含有：一對之資料線；

及複數之字線；

及各被結合在前述一對之資料線之一方及前述複數之字線之一個之複數之動態型記憶格；

及備有一對之 P 溝道型 MOS 電晶體及一對之 N 溝道型 MOS 電晶體之 CMOS 門鎖電路，而放大前述一對之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10 修正
87.12.10 補充

A8
B8
C8
D8

六、申請專利範圍

極電壓乃被成爲較前述第 2 電壓爲高之電壓；等爲構成者。

20. 如申請專利範圍第 19 項所述之半導體積體電路中；前述控制電路乃含有規定前述第 1 期間之延遲電路，而前述第 1 期間之變動乃對前述第 1 電壓之變動具有負之依存性者。

21. 如申請專利範圍第 20 項所述之半導體積體電路中；前述延遲電路乃含有將前述第 1 電壓作爲工作電源來接受之反相器電路者。

22. 如申請專利範圍第 21 項所述之半導體積體電路中；在前述第 2 期間，前述第 2 開關 MOS 電晶體之閘極電壓，乃與前述第 2 電壓與前述第 2 開關 MOS 電晶體之臨限值電壓之和之電壓相等，或較其爲高之電壓者。

23. 如申請專利範圍第 22 項所述之半導體積體電路中；前述第 1 及第 2 開關 MOS 電晶體乃被結合成並聯形態，而在前述第 1 期間前述第 2 開關 MOS 電晶體將成爲 OFF 狀態者。

24. 一種半導體積體電路，其特徵爲：

含有：一對之資料線；

及複數之字線；

及各被結合在前述一對之資料線之一方及前述複數之字線之一個之複數之動態型記憶格；

及備有一對之 P 溝道型 MOS 電晶體及一對之 N 溝道型 MOS 電晶體之 CMOS 門鎖電路，而放大前述一對之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10 修正
年 月 日 補充

A8
B8
C8
D8

六、申請專利範圍

資料線之電位差之感測放大器；

及承接第 1 電壓之第 1 端子；

及承接較前述第 1 電壓為低之第 2 電壓之第 2 端子；

及被設在前述一對之 P 溝道型 MOS 電晶體中被共同結合之一對源極與前述第 1 端子之間之第 1 開關 MOS 電晶體；

及被設在前述被共同結合之一對之源極與前述第 2 端子之間之 N 溝道型之第 2 開關 MOS 電晶體；

及對前述第 1 及第 2 開關 MOS 電晶體之閘極輸出信號成為：在第 1 期間，前述第 1 開關 MOS 電晶體被成為 ON 狀態，在前述第 1 期間後之第 2 期間，前述第 1 開關 MOS 電晶體被成為 OFF 狀態，且前述第 2 開關 MOS 電晶體被成為 ON 狀態等之控制電路；

及使前述第 2 電壓昇壓以輸出昇壓電壓之昇壓電路等；

而在前述第 2 期間，前述昇壓電壓乃被供給前述第 2 開關 MOS 電晶體之閘極；等為構成者。

25. 如申請專利範圍第 24 項所述之半導體積體電路中；前述昇壓電壓乃被供給選擇字線者。

26. 如申請專利範圍第 25 項所述之半導體積體電路中；前述昇壓電壓乃被成為與從前述第 2 電壓被昇壓等於前述第 2 開關 MOS 電晶體之閾值份量之電壓相等，或較其高之電壓者。

27. 如申請專利範圍第 26 項所述之半導體積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10 修正
年 月 日 補充

A8
B8
C8
D8

六、申請專利範圍

資料線之電位差之感測放大器；

及承接第 1 電壓之第 1 端子；

及承接較前述第 1 電壓為低之第 2 電壓之第 2 端子；

及被設在前述一對之 P 溝道型 MOS 電晶體中被共同結合之一對源極與前述第 1 端子之間之第 1 開關 MOS 電晶體；

及被設在前述被共同結合之一對之源極與前述第 2 端子之間之 N 溝道型之第 2 開關 MOS 電晶體；

及對前述第 1 及第 2 開關 MOS 電晶體之閘極輸出信號成為：在第 1 期間，前述第 1 開關 MOS 電晶體被成為 ON 狀態，在前述第 1 期間後之第 2 期間，前述第 1 開關 MOS 電晶體被成為 OFF 狀態，且前述第 2 開關 MOS 電晶體被成為 ON 狀態等之控制電路；

及使前述第 2 電壓昇壓以輸出昇壓電壓之昇壓電路等；

而在前述第 2 期間，前述昇壓電壓乃被供給前述第 2 開關 MOS 電晶體之閘極；等為構成者。

25. 如申請專利範圍第 24 項所述之半導體積體電路中；前述昇壓電壓乃被供給選擇字線者。

26. 如申請專利範圍第 25 項所述之半導體積體電路中；前述昇壓電壓乃被成為與從前述第 2 電壓被昇壓等於前述第 2 開關 MOS 電晶體之閾值份量之電壓相等，或較其高之電壓者。

27. 如申請專利範圍第 26 項所述之半導體積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10

修正
補

A8
B8
C8
D8

六、申請專利範圍

路中；前述第1端子乃為外部電源電壓端子者。

28. 如申請專利範圍第27項所述之半導體積體電路中；前述控制電路乃含有規定前述第1期間之延遲電路，而前述第1期間之變動乃對前述第1電壓之變動具有負之依存性者。

29. 如申請專利範圍第28項所述之半導體積體電路中；前述延遲電路乃含有將前述第1電壓作為工作電壓來接受之反相器電路者。

30. 如申請專利範圍第29項所述之半導體積體電路中；前述第1及第2開關MOS電晶體乃被結合成並聯狀態，而在前述第1期間前述第2開關MOS電晶體乃被成為OFF狀態者。

31. 如申請專利範圍第30項所述之半導體積體電路中；前述一對之P溝道型MOS電晶體乃具有承接前述一對之資料線之電位之一對閘極及一對汲極，而將前述一對之P溝道型MOS電晶體之一方之MOS電晶體之汲極與他方之閘極互相加以結合所成；前述一對之N溝道型MOS電晶體則具有共同被結合之一對源極及承接前述一對之資料線之電位之一對閘極及一對汲極，並將前述一對之N溝道型MOS電晶體之一方之MOS電晶體之汲極與他方之閘極互相加以結合所成；等為構成者。

32. 一種半導體積體電路，其特徵為：

含有：一對之資料線；

及備有一對之P溝道型MOS電晶體及一對之N溝道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

87.12.10 修正
年 月 日 補

A8
B8
C8
D8

六、申請專利範圍

路中；前述第1端子乃為外部電源電壓端子者。

28. 如申請專利範圍第27項所述之半導體積體電路中；前述控制電路乃含有規定前述第1期間之延遲電路，而前述第1期間之變動乃對前述第1電壓之變動具有負之依存性者。

29. 如申請專利範圍第28項所述之半導體積體電路中；前述延遲電路乃含有將前述第1電壓作為工作電壓來接受之反相器電路者。

30. 如申請專利範圍第29項所述之半導體積體電路中；前述第1及第2開關MOS電晶體乃被結合成並聯狀態，而在前述第1期間前述第2開關MOS電晶體乃被成為OFF狀態者。

31. 如申請專利範圍第30項所述之半導體積體電路中；前述一對之P溝道型MOS電晶體乃具有承接前述一對之資料線之電位之一對閘極及一對汲極，而將前述一對之P溝道型MOS電晶體之一方之MOS電晶體之汲極與他方之閘極互相加以結合所成；前述一對之N溝道型MOS電晶體則具有共同被結合之一對源極及承接前述一之資料線之電位之一對閘極及一對汲極，並將前述一對之N溝道型MOS電晶體之一方之MOS電晶體之汲極與他方之閘極互相加以結合所成；等為構成者。

32. 一種半導體積體電路，其特徵為：

含有：一對之資料線；

及備有一對之P溝道型MOS電晶體及一對之N溝道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

型 MOS 電晶體之 CMOS 門鎖電路，而將前述之一對資料線之電位差加以放大之感測放大器；

及承接對前述一對之資料線之高電平側之資料線之驅動電壓之端子；

及在前述一對之 P 溝道型 MOS 電晶體中，具有共通被結合之一對之被源極結合之源極及被結合在前述端子之汲極及接受控制信號之閘極等之 N 溝道型之開關 MOS 電晶體等；

而前述控制信號之高電平電壓乃被定為較前述驅動電壓為高之電壓；等為構成者。

33. 如申請專利範圍第 32 項所述之半導體積體電路中；前述控制信號之高電平電壓乃被定為：與該高電平電壓與前述開關 MOS 電晶體之臨限值電壓之和之電壓相等，或較其為高之電壓者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

型 MOS 電晶體之 CMOS 門鎖電路，而將前述之一對資料線之電位差加以放大之感測放大器；

及承接對前述一對之資料線之高電平側之資料線之驅動電壓之端子；

及在前述一對之 P 溝道型 MOS 電晶體中，具有共通被結合之一對之被源極結合之源極及被結合在前述端子之汲極及接受控制信號之閘極等之 N 溝道型之開關 MOS 電晶體等；

而前述控制信號之高電平電壓乃被定為較前述驅動電壓為高之電壓；等為構成者。

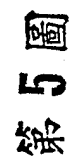
33. 如申請專利範圍第 32 項所述之半導體積體電路中；前述控制信號之高電平電壓乃被定為：與該高電平電壓與前述開關 MOS 電晶體之臨限值電壓之和之電壓相等，或較其為高之電壓者。

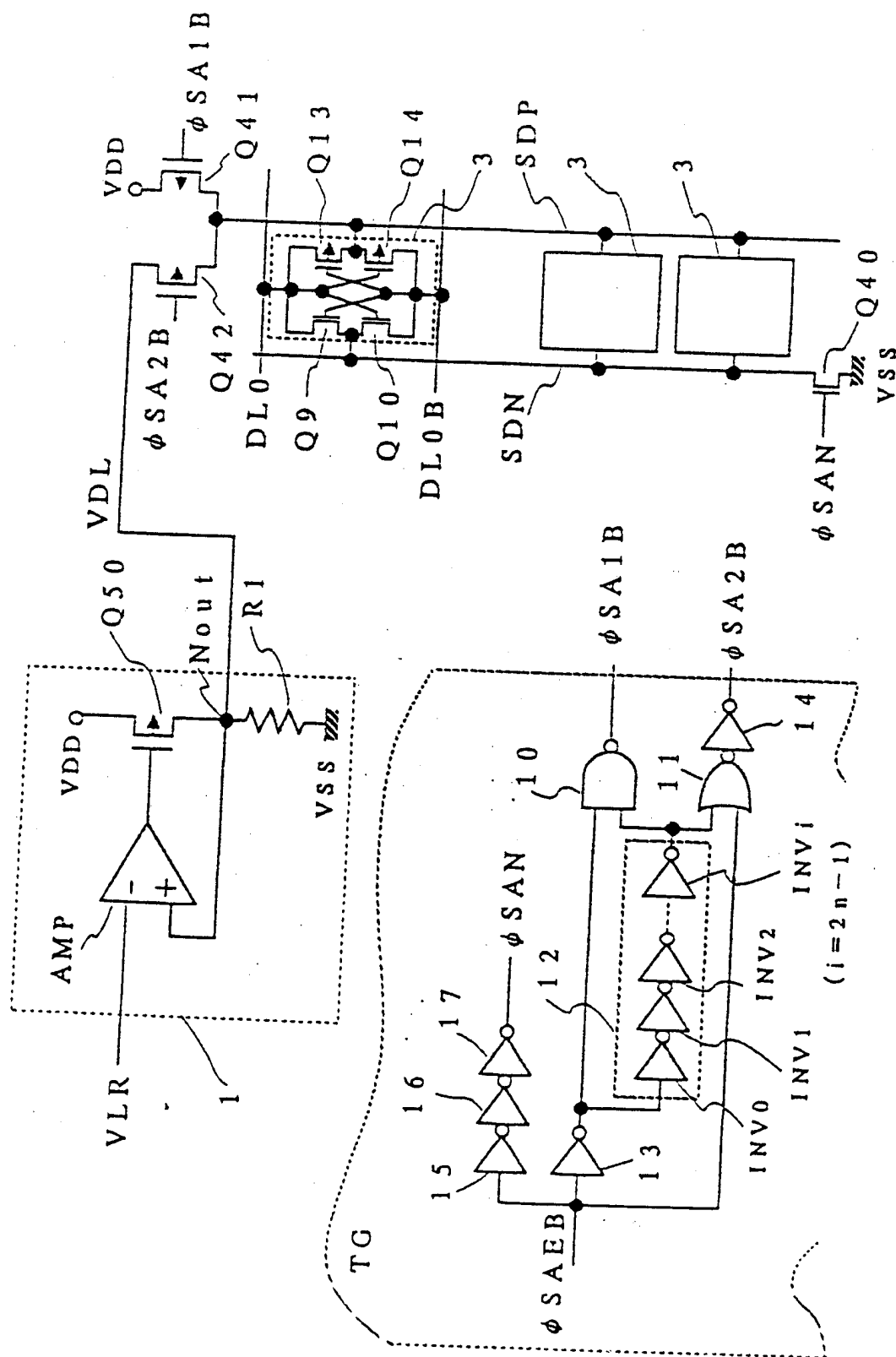
(請先閱讀背面之注意事項再填寫本頁)

裝

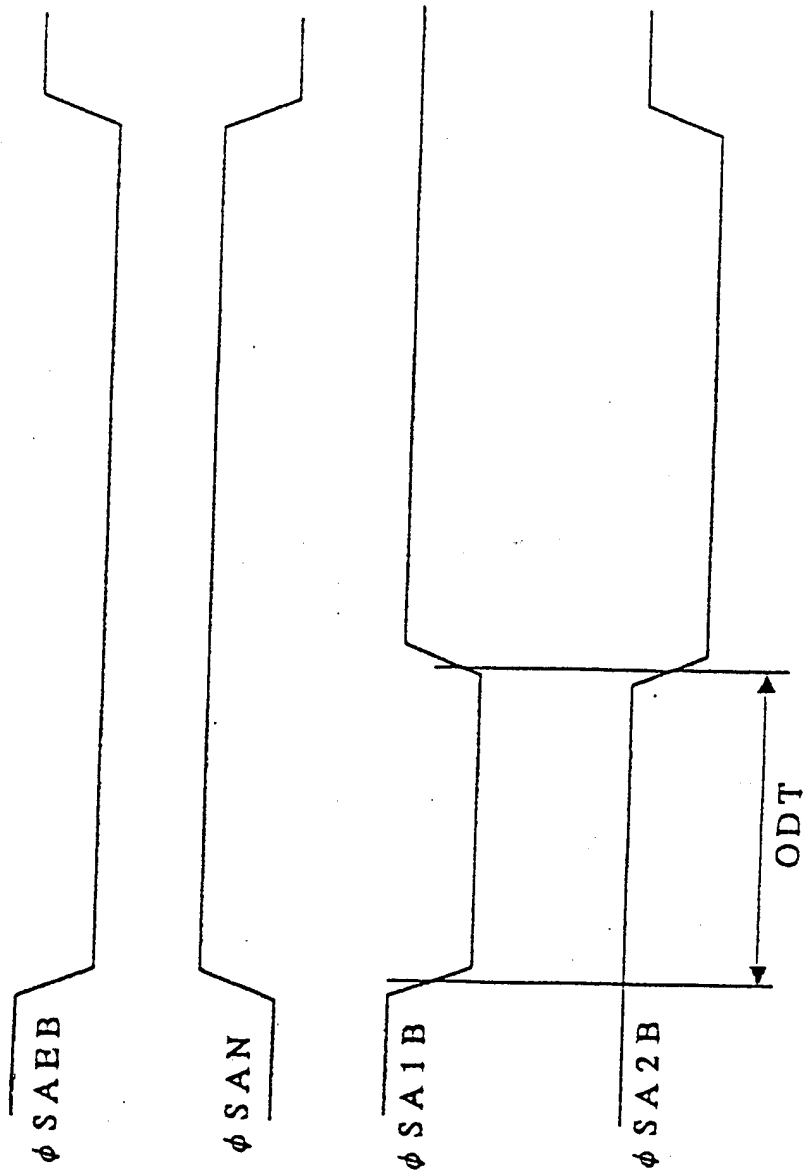
訂

錄

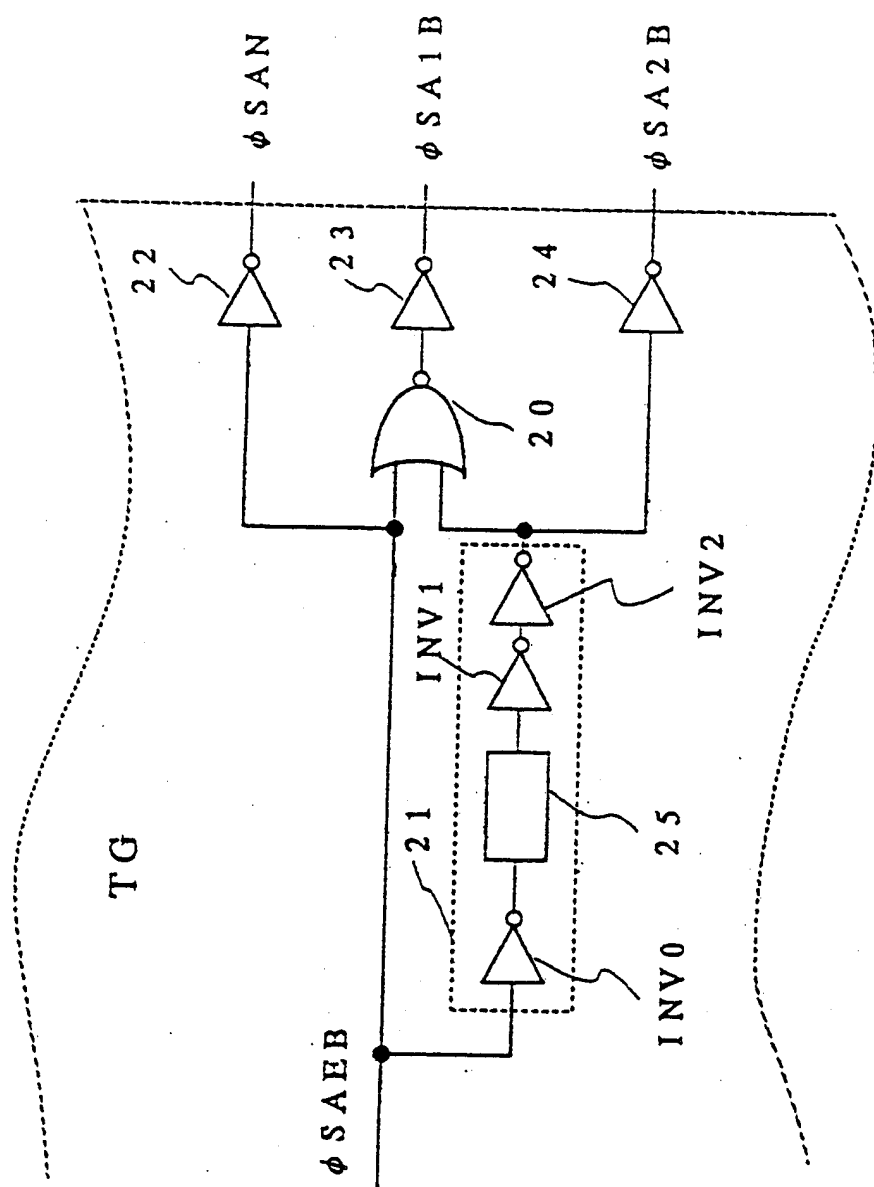




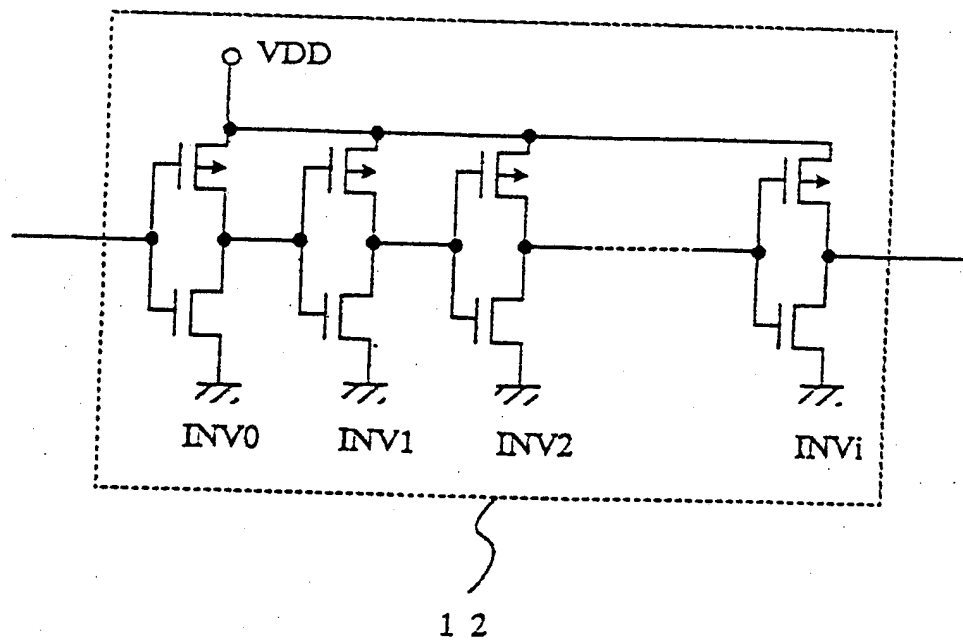
第1圖



第2圖



第3圖



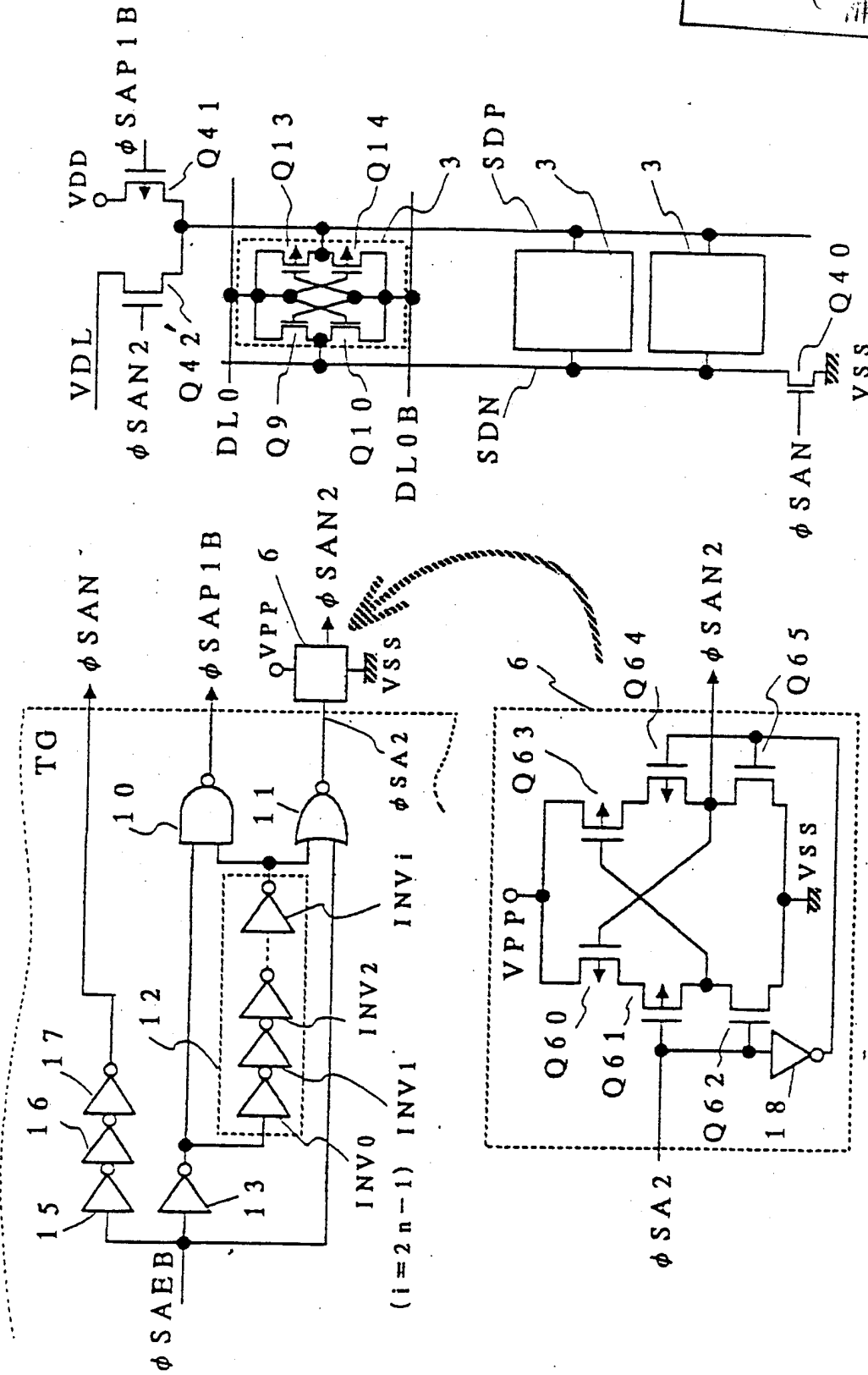
第 4 圖

880313

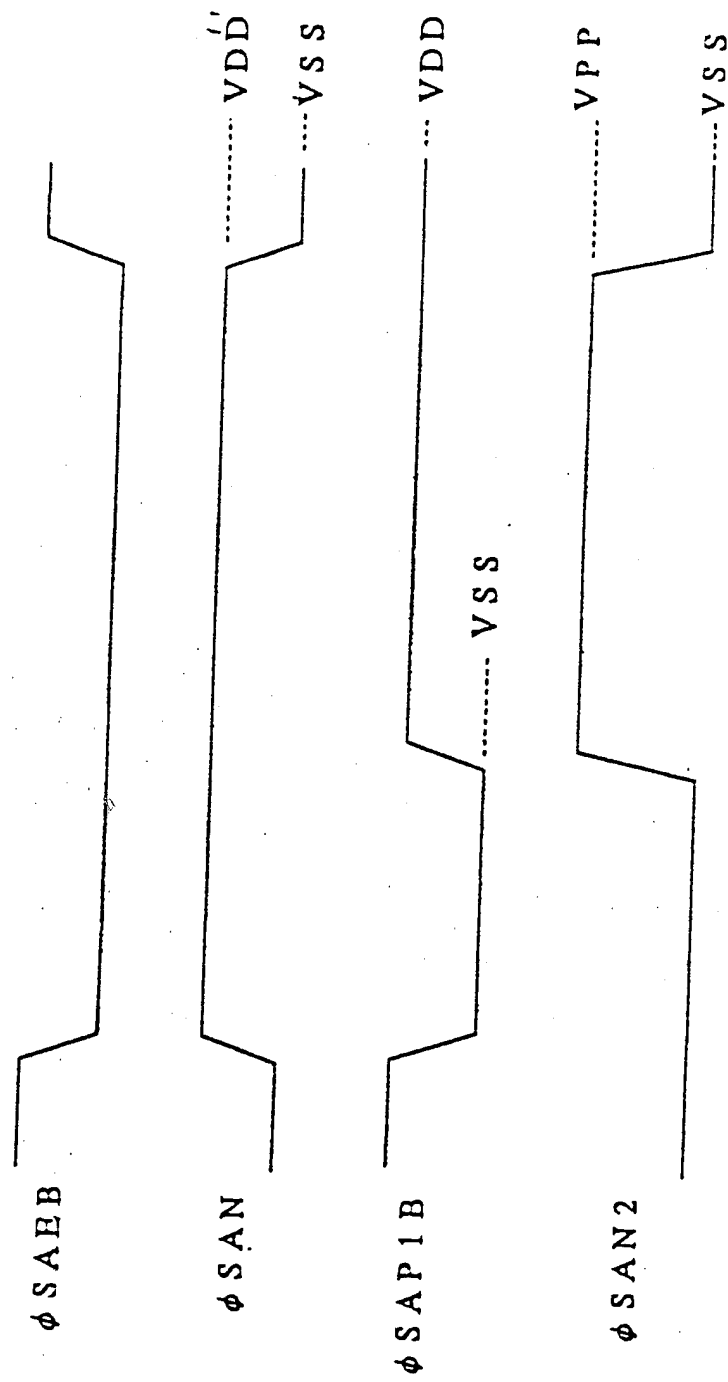
第 85109692 號專利申請案
中文修正圖式

民國 87 年 3 月 修正

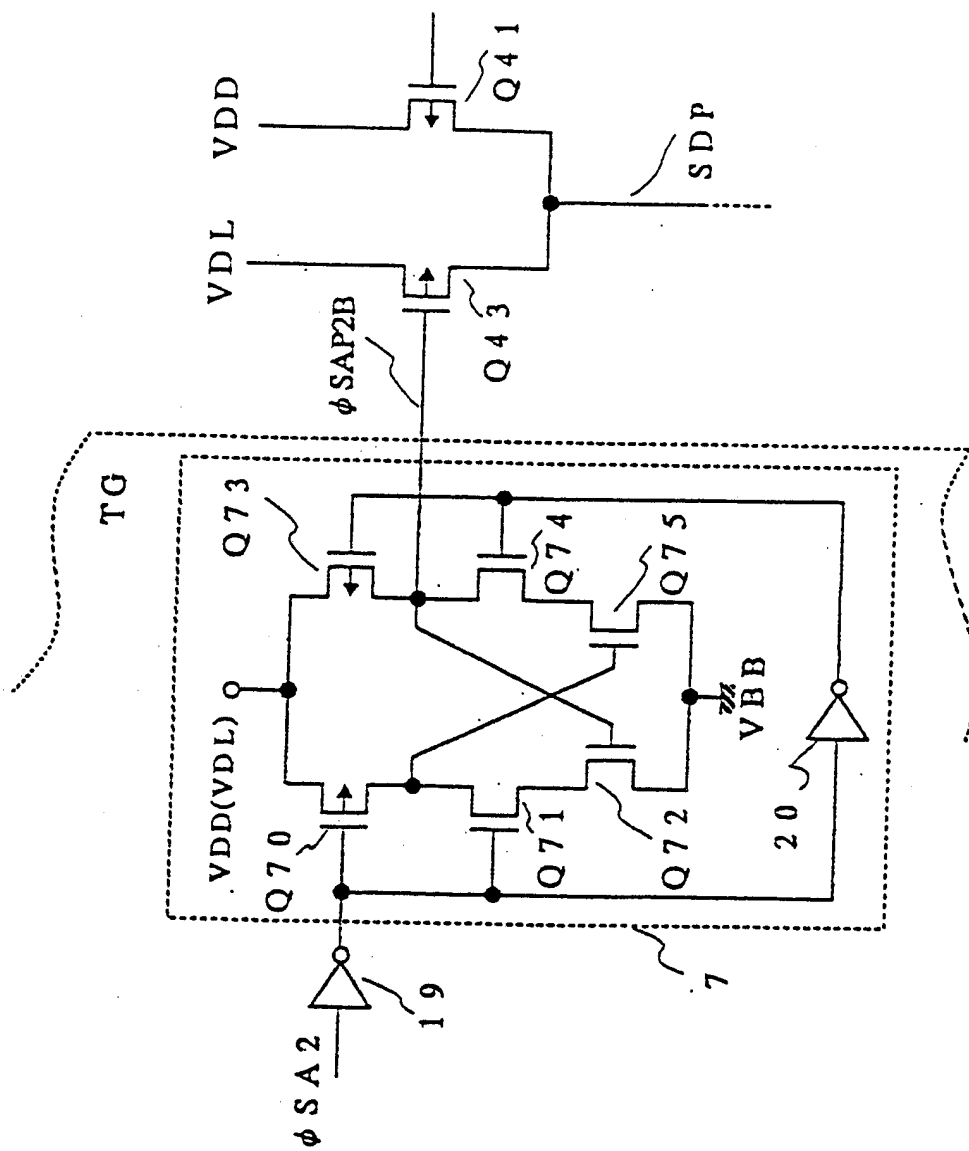
87 年 3 月 19 日 修正
補充



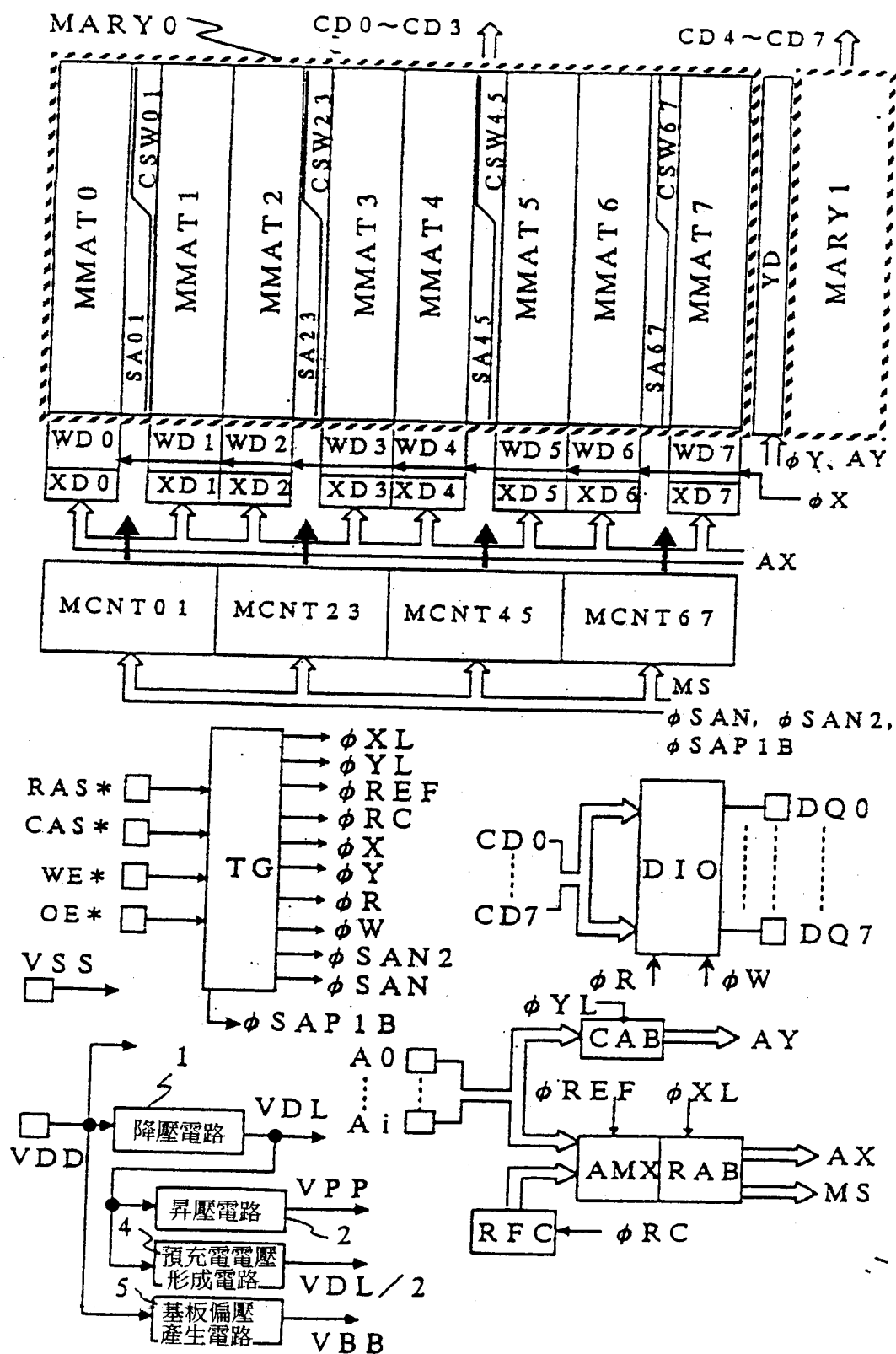
第 5 圖



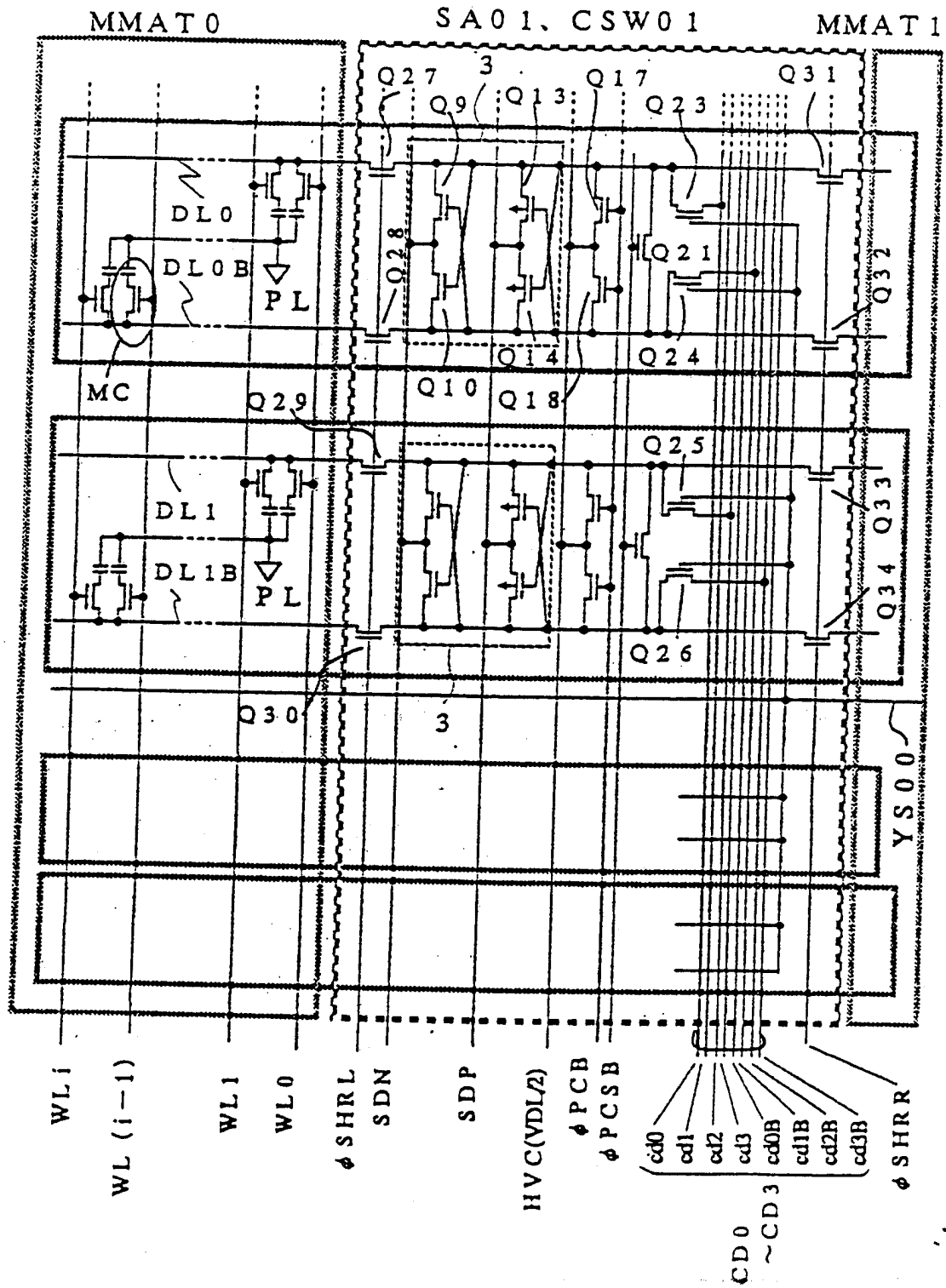
第6圖



第7圖



第 8 圖



第 9 圖