



(12)发明专利

(10)授权公告号 CN 105144624 B

(45)授权公告日 2018.08.31

(21)申请号 201480016925.3

(72)发明人 S·森戈库 J·张 G·A·威利

(22)申请日 2014.03.20

(74)专利代理机构 上海专利商标事务所有限公

(65)同一申请的已公布的文献号

申请公布号 CN 105144624 A

司 31100

代理人 唐杰敏

(43)申请公布日 2015.12.09

(51)Int.Cl.

(30)优先权数据

61/803,684 2013.03.20 US

H04L 7/033(2006.01)

61/846,977 2013.07.16 US

H03K 5/153(2006.01)

14/220,056 2014.03.19 US

H03K 3/017(2006.01)

H03L 7/081(2006.01)

(85)PCT国际申请进入国家阶段日

2015.09.18

(56)对比文件

US 5493538 A,1996.02.20,

US 7667500 B1,2010.02.23,

(86)PCT国际申请的申请数据

PCT/US2014/031363 2014.03.20

US 6320437 B1,2001.11.20,

US 2008/0159432 A1,2008.07.03,

(87)PCT国际申请的公布数据

W02014/153472 EN 2014.09.25

CN 103404027 A,2013.11.20,

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

审查员 张旭

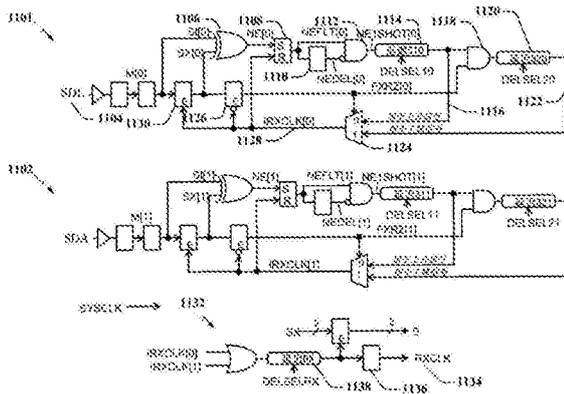
权利要求书3页 说明书11页 附图19页

(54)发明名称

用于生成时钟信号的方法和装置

(57)摘要

描述了方法、装置以及计算机程序产品。该装置通过确定接收自多导线漏极开路链路的信号中的转变、响应于该转变而生成时钟脉冲、如果该转变在第一方向上则延迟该时钟脉冲达经预配置的第一区间、以及如果该转变在第二方向上则延迟该时钟脉冲达经预配置的第二区间来生成用于从该多导线漏极开路链路接收数据的接收时钟信号。经预配置的第一和/或第二区间基于与通信接口相关联的上升时间和/或下降时间来配置,并且可以通过测量与针对第一和第二校准转变所生成的时钟脉冲相关联的各个延迟来校准。



1. 一种用于生成时钟信号的方法,包括:
确定接收自通信接口的信号中的码元转变;
响应于所述码元转变而生成所述时钟信号的时钟脉冲;
如果所述码元转变为低到高转变,则延迟所述时钟脉冲达经预配置的第一区间;以及
如果所述码元转变为高到低转变,则延迟所述时钟脉冲达经预配置的第二区间。
2. 如权利要求1所述的方法,其特征在于,
当所述码元转变为低到高转变时,延迟所述时钟脉冲达经预配置的第一区间在如果有不同的时钟脉冲被生成并且所述时钟脉冲的延迟尚未完成的情况下重新开始;并且
当所述码元转变为高到低转变时,延迟所述时钟脉冲达经预配置的第二区间在如果有不同的时钟脉冲被生成并且所述时钟脉冲的延迟尚未完成的情况下重新开始。
3. 如权利要求1或2所述的方法,其特征在于,所述经预配置的第一和/或第二区间使所述时钟脉冲在有码元在所述通信接口上被传送时发生,由此准许所述码元被可靠地采样。
4. 如权利要求1或2所述的方法,其特征在于,所述经预配置的第一和/或第二区间基于与所述通信接口相关联的上升时间和下降时间来配置,并且所述上升时间对应于与漏极开路晶体管相关联的上升时间,所述漏极开路晶体管驱动接收自所述通信接口的所述信号中的所述低到高转变。
5. 如权利要求4所述的方法,其特征在于,所述经预配置的第二区间被选择成匹配于检测所述码元转变时的归因于所述上升时间的延迟。
6. 如权利要求5所述的方法,其特征在于,所述经预配置的第一区间被选择成匹配于检测所述码元转变时的归因于所述下降时间的延迟。
7. 如权利要求2所述的方法,其特征在于,进一步包括将所述时钟脉冲与所述不同的时钟脉冲聚集。
8. 如权利要求1或2所述的方法,其特征在于,进一步包括校准所述经预配置的第一和/或第二区间。
9. 如权利要求8所述的方法,其特征在于,校准所述经预配置的第一和/或第二区间包括:
提供彼此在不同方向上的第一和第二校准转变;
测量与针对所述第一和第二校准转变所生成的时钟脉冲相关联的各个延迟;以及
修改所述经预配置的第一和/或第二区间以使所述各个延迟中的差异最小化。
10. 如权利要求9所述的方法,其特征在于,
修改所述经预配置的第一区间包括基于与在所述第一校准转变之后生成的时钟脉冲相关联的测得延迟来调整第一延迟电路的经编程延迟;并且
修改所述经预配置的第二区间包括基于与在所述第二校准转变之后生成的时钟脉冲相关联的测得延迟来调整第二延迟电路的经编程延迟。
11. 如权利要求9所述的方法,其特征在于,所述各个延迟是使用定时器来测量的,所述定时器反映与针对任一校准转变所生成的时钟脉冲相关联的期望延迟。
12. 一种用于生成时钟信号的设备,包括:
用于确定接收自通信接口的信号中的码元转变的装置;
用于响应于所述码元转变而生成所述时钟信号的时钟脉冲的装置;

用于如果所述码元转变为低到高转变,则延迟所述时钟脉冲达经预配置的第一区间的装置;以及

用于如果所述码元转变为高到低转变,则延迟所述时钟脉冲达经预配置的第二区间的装置。

13. 如权利要求12所述的设备,其特征在于,对所述时钟脉冲的延迟在如果有不同的时钟脉冲被接收到并且所述时钟脉冲的延迟尚未完成的情况下重新开始。

14. 如权利要求12或13所述的设备,其特征在于,所述经预配置的第一和/或第二区间被选择成使所述时钟脉冲在有码元在所述通信接口上被传送时发生,由此准许所述码元被可靠地采样。

15. 如权利要求12或13所述的设备,其特征在于,所述经预配置的第一和/或第二区间基于与所述通信接口相关联的上升时间和下降时间来配置,并且所述上升时间对应于与漏极开路晶体管相关联的上升时间。

16. 如权利要求15所述的设备,其特征在于,所述经预配置的第二区间被选择成匹配于检测所述码元转变时的归因于所述上升时间的延迟。

17. 如权利要求16所述的设备,其特征在于,所述经预配置的第一区间被选择成匹配于检测所述码元转变时的归因于所述下降时间的延迟。

18. 如权利要求12或13所述的设备,其特征在于,进一步包括用于将所述时钟脉冲与响应于所述码元转变而生成的至少一个其他时钟脉冲聚集的装置。

19. 如权利要求12或13所述的设备,其特征在于,进一步包括用于校准所述经预配置的第一和/或第二区间的装置。

20. 如权利要求19所述的设备,其特征在于,所述用于校准所述经预配置的第一和/或第二区间的装置提供彼此在不同方向上的第一和第二校准转变,测量与针对所述第一和第二校准转变所生成的时钟脉冲相关联的各个延迟,以及修改所述经预配置的第一和/或第二区间以使所述各个延迟中的差异最小化。

21. 如权利要求20所述的设备,其特征在于,所述用于校准所述经预配置的第一和/或第二区间的装置通过基于与所述第一校准转变之后所生成的时钟脉冲相关联的测得延迟调整第一延迟电路的经编程延迟来修改所述经预配置的第一区间,以及通过基于与所述第二校准转变之后所生成的时钟脉冲相关联的测得延迟调整第二延迟电路的经编程延迟来修改所述经预配置的第二区间。

22. 如权利要求20所述的设备,其特征在于,所述各个延迟是使用定时器来测量的,所述定时器反映与针对任一校准转变所生成的时钟脉冲相关联的期望延迟。

23. 一种用于生成时钟信号的装置,包括:

处理系统,其被配置成:

确定接收自通信接口的信号中的码元转变;

响应于所述码元转变而生成所述时钟信号的时钟脉冲;

如果所述码元转变为低到高转变,则延迟所述时钟脉冲达经预配置的第一区间;以及

如果所述码元转变为高到低转变,则延迟所述时钟脉冲达经预配置的第二区间。

24. 如权利要求23所述的装置,其特征在于,对所述时钟脉冲的延迟在如果有不同的时钟脉冲被接收到并且所述时钟脉冲的延迟尚未完成的情况下重新开始。

25. 如权利要求23或24所述的装置,其特征在于,所述经预配置的第一和/或第二区间被选择成使所述时钟脉冲在有码元在所述通信接口上被传送时发生,由此准许所述码元被可靠地采样。

26. 如权利要求23或24所述的装置,其特征在于,所述经预配置的第一和/或第二区间基于与所述通信接口相关联的上升时间和下降时间来配置,并且所述上升时间对应于与漏极开路晶体管相关联的上升时间。

27. 如权利要求26所述的装置,其特征在于,所述经预配置的第二区间被选择成匹配检测所述码元转变时的归因于所述上升时间的延迟。

28. 如权利要求27所述的装置,其特征在于,所述经预配置的第一区间被选择成匹配检测所述码元转变时的归因于所述下降时间的延迟。

29. 如权利要求23或24所述的装置,其特征在于,进一步包括将所述时钟脉冲与响应于所述码元转变而生成的至少一个其他时钟脉冲聚集。

30. 如权利要求23或24所述的装置,其特征在于,进一步包括校准所述经预配置的第一和/或第二区间。

31. 如权利要求30所述的装置,其特征在于,校准所述经预配置的第一和/或第二区间包括:

提供彼此在不同方向上的第一和第二校准转变;

测量与针对所述第一和第二校准转变所生成的时钟脉冲相关联的各个延迟;以及

修改所述经预配置的第一和/或第二区间以使所述各个延迟中的差异最小化。

32. 如权利要求31所述的装置,其特征在于,修改所述经预配置的第一区间包括基于与在所述第一校准转变之后生成的时钟脉冲相关联的测得延迟来调整第一延迟电路的经编程延迟;并且

修改所述经预配置的第二区间包括基于与在所述第二校准转变之后生成的时钟脉冲相关联的测得延迟来调整第二延迟电路的经编程延迟。

33. 如权利要求31所述的装置,其特征在于,所述各个延迟是使用定时器来测量的,所述定时器反映与针对任一校准转变所生成的时钟脉冲相关联的期望延迟。

34. 一种具有一条或多条指令的处理器可读存储介质,所述指令在由至少一个处理电路执行时使所述至少一个处理电路:

确定接收自通信接口的信号中的码元转变;

响应于所述码元转变而生成时钟信号的时钟脉冲;

如果所述码元转变为低到高转变,则延迟所述时钟脉冲达经预配置的第一区间;以及

如果所述码元转变为高到低转变,则延迟所述时钟脉冲达经预配置的第二区间。

35. 如权利要求34所述的处理器可读存储介质,其特征在于,对所述时钟脉冲的延迟在如果有不同的时钟脉冲被接收到并且所述时钟脉冲的延迟尚未完成的情况下重新开始。

用于生成时钟信号的方法和装置

[0001] 根据35U.S.C.§119的优先权要求

[0002] 本专利申请要求2013年3月20日提交的题为“Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking(具有基于数据码元转变的时钟控制的多导线漏极开路链路)”的美国临时申请No.61/803,684、2013年7月16日提交的题为“Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking(具有基于数据码元转变的时钟控制的多导线漏极开路链路)”的美国临时申请61/846,977、以及2014年3月19日提交的题为“Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking(具有基于数据码元转变的时钟控制的多导线漏极开路链路)”的美国发明申请No.14/220,056的优先权,这些申请均被转让给本专利申请的受让人并且由此明确通过援引纳入于此。

[0003] 领域

[0004] 本公开一般涉及数据通信,尤其涉及从多导线漏极开路链路上的码元转变进行的时钟恢复。

[0005] 背景

[0006] 绝大多数单端源同步漏极开路通信接口(诸如I2C)使用专用时钟或选通信号线来将循环定时信息从发射机发送至接收机。某些缺点与这些信令系统相关联,包括需要专用于时钟信息的一个额外信号。在使用单速率信令时,最大数据率常常受到限制,以使得针对由时钟高和时钟低循环构成的每个全时钟周期发送一个数据码元,由此最大数据率往往受到系统时钟的最大允许频率而不是数据线的最大允许频率的限制。最大数据率还常常受到时钟与数据之间的偏斜所限制,该偏斜可能难以控制来达到最优信令。

[0007] 在一些实例中,为了避免使用专用时钟线,可以通过保证所传送数据码元内的码元到码元转变来嵌入时钟。因此,接收机设备可以从码元到码元转变的检测中提取时钟信息。然而,由接收机的逻辑对转变作出可靠的或一致的检测可能会受到所传送信号的上升时间和下降时间的影响。

[0008] 与互补金属氧化物半导体(CMOS)推挽驱动器不同,漏极开路型驱动器具有显著长于信号下降时间的信号上升时间。漏极开路型驱动器的上升时间和下降时间的这种差异给从所传送数据码元进行时钟恢复造成问题,因为一些转变可能被错过。

[0009] 因此,需要准许从所传送数据码元中提取时钟而不减慢数据传输率的解决方案。

[0010] 概述

[0011] 本文公开的实施例提供了用于在可共处于电子装置中并且通过一个或多个数据链路通信地耦合的两个设备之间进行通信的系统、方法和装置。

[0012] 根据一个特征,一种用于生成时钟信号的方法包括:确定接收自通信接口的信号中的转变;响应于该转变而生成时钟脉冲;如果该转变在第一方向上,则延迟该时钟脉冲达经预配置的第一区间;以及如果该转变在第二方向上,则延迟该时钟脉冲达经预配置的第二区间。例如,转变是上升转变(低到高),时钟脉冲可以被延迟达第一区间。如果转变是下降转变(高到低),则时钟脉冲可以被延迟达第一区间加第二区间(或者替换地第二区间可

以简单地长于第一区间)。延迟时钟脉冲在如果不同的时钟脉冲被接收到并且原时钟脉冲的延迟尚未完成的情况下可以重新开始。经预配置的第一和/或第二区间可以基于与通信接口相关联的上升时间和/或下降时间来配置。上升时间可以对应于与漏极开路晶体管相关联的上升时间。经预配置的第一和/或第二区间可以被选择以使时钟脉冲在有码元在通信接口上被传送时发生,由此准许该码元被可靠地采样。在一个示例中,第二转变的下降时间加第一和第二区间(第一和第二延迟)可以被选择成基本上等于第一转变的上升时间加经预配置的第一区间(例如,第一延迟)。例如,第二区间可以被选择以匹配检测转变时归因于上升时间的延迟(上升时间与下降时间之差)。经预配置的第一区间可以被选择以匹配检测该转变时归因于下降时间的延迟。时钟脉冲可以与响应于该转变而生成的至少一个附加时钟脉冲聚集。

[0013] 经预配置的第一和/或第二区间可以被校准。例如,经预配置的第一和/或第二区间可以通过以下方式来校准:提供彼此在不同方向上的第一和第二校准转变、测量与针对第一和第二校准转变所生成的时钟脉冲相关联的各个延迟、以及修改经预配置的第一和/或第二区间以使各个延迟中的差异最小化。例如,经预配置的第一区间可以通过基于与在第一校准转变之后生成的时钟脉冲相关联的测得延迟来调整第一延迟电路的经编程延迟来修改或设置。经预配置的第二区间可以通过基于与在第二校准转变之后生成的时钟脉冲相关联的测得延迟来调整第二延迟电路的经编程延迟来修改或设置。各个延迟可以使用定时器来测量,该定时器反映与针对任一校准转变生成的时钟脉冲相关联的期望延迟。

[0014] 附图简述

[0015] 图1描绘了单端信令系统。

[0016] 图2是具有漏极开路驱动器并且其中时钟被集成到码元转变中的发射机设备的框图。

[0017] 图3是具有CMOS接收机并且具有集成时钟恢复的接收机设备的框图。

[0018] 图4解说了发射机处从比特至码元转变数以及随后在接收机处从码元转变数至比特的转换。

[0019] 图5解说了顺序码元与码元转变数之间的转换。

[0020] 图6解说了与漏极开路晶体管相关联的信号的定时。

[0021] 图7解说了在CDR电路中使用的时钟恢复电路的示例以及相应的时序图。

[0022] 图8是解说与漏极开路晶体管相关联的、如关于图7中所描绘的时钟恢复电路所描述的定时的示图。

[0023] 图9解说了与具有基于码元转变的时钟控制的多导线漏极开路链路的接收机相关联的定时问题。

[0024] 图10解说了其中图9的上升时间延迟可以通过减小图1的数据链路的工作频率来容适的时序图。

[0025] 图11是根据某些方面的解说使用多个CDR电路来生成可靠定时的示图。

[0026] 图12是解说配置成与具有基于码元转变的时钟控制的多导线漏极开路链路的接收机联用的时钟数据和恢复电路的操作的时序图。

[0027] 图13是解说可被用于实现CDR电路内的一个或多个延迟元件的可编程延迟电路的示例的简化框图。

[0028] 图14解说了图11的接收时钟聚集和采样电路连同对应的时序图。

[0029] 图15解说了用于校准CDR电路的定时的方法以及用于图11的一个或多个延迟电路的校准的相关联的电路。

[0030] 图16解说了用于使用图15的方法来执行一个或多个延迟电路的校准的逻辑电路。

[0031] 图17包括解说用于校准图11的延迟电路的校准电路的实现的时序图。

[0032] 图18是解说采用时钟提取电路的装置的硬件实现的示例的示意图。

[0033] 图19解说了用于从码元转变可靠地生成时钟信号的方法。

[0034] 详细描述

[0035] 现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。然而,明显的是,没有这些具体细节也可实践此种(类)方面。

[0036] 综览

[0037] 提供了用于从收到码元转变生成时钟信号的方法和设备。在多导线漏极开路链路上接收信号。收到信号内的转变是根据该信号内的码元的负到正(即,低到高)转变和正到负(即,高到低)转变来确定的。响应于转变而生成时钟脉冲。如果转变在第一方向上(例如,上升转变),则时钟脉冲被选择性地延迟达经预配置的第一区间(例如,第一延迟)。如果转变在第二方向上(例如,下降转变),则时钟脉冲可以进一步被选择性地延迟达经预配置的第二区间(第二延迟)。例如,第一方向可以从低到高,而第二方向为从高到低。经预配置的第二区间可以基于与通信接口相关联的上升时间和/或下降时间来配置,并且可以通过测量与针对第一和第二校准转变生成的时钟脉冲相关联的各个延迟来校准。

[0038] 示例性操作环境

[0039] 图1解说了单端信令系统。在单端信令中,一根导线携带表示信号的变动电压,而另一根导线可以连接到参考电压(例如,接地)。发射机设备102可包括多个单端漏极开路(晶体管)驱动器108,每一驱动器108耦合到单根导线/导体106a、106b、106c和/或106d。接收机设备104可以包括一个或多个单端CMOS(晶体管)接收机110,每一单端接收机110耦合到单根导线/导体106a、106b、106c和/或106d。发射机设备102接收输入比特118,(在编码器122处)将其编码成单端信号,并通过单端驱动器108经由每一导线/导体106a、106b、106c和/或106d将其传送给接收机104作为单端信号。接收机设备104通过单端接收机110经由每一导线/导体106a、106b、106c和/或106d接收单端信号,(在解码器124处)解码单端信号,并提供输出比特120。在该单端系统中,解码器124可包括时钟和数据恢复(CDR)以使得从一个或多个接收到的单端信号中提取时钟信号。

[0040] 图2是具有漏极开路驱动器的发射机设备200的框图,其中时钟被集成到码元转变中。发射机设备200可以包括编码器203,编码器203包括比特至码元转变数转换器202、码元转变数转换器至顺序码元号转换器204、以及时钟控制的寄存器206和208。输入数据由比特至码元转变数转换器202从二进制数或流(比特)转变成 m 个码元转变数($m \times T$)。码元转变数至顺序码元号转换器204可以将码元转变数(T)转换成顺序码元号(C_s)。顺序码元号(C_s)可以被时钟控制通过输出寄存器206到控制多个线驱动器212的一组缓冲器210。在一个示例中,线驱动器212可以使用由电阻216上拉的漏极开路晶体管来实现。延迟寄存器208用于保持先前的顺序码元号(P_s)。码元转变数至顺序码元号转换器204使用当前码元转变数 T 和

先前的顺序码元号 (Ps)) 来选择下一当前顺序号 (Cs)。

[0041] 图3是具有CMOS接收机并且具有集成时钟恢复的接收机设备350的框图。接收机设备350可以包括从n条导线364接收信号的多个互补金属氧化物半导体 (CMOS) 接收缓冲器362。

[0042] 接收机设备350可以包括解码器303, 解码器303包括时钟控制的保持寄存器354、顺序码元号至码元转变数转换器356、以及码元转变数至比特转换器358。收到信号可以被提供给时钟和数据恢复 (CDR) 电路352, CDR电路 352从在导线364上接收的输入码元 (SI) 的转变恢复出接收时钟 (RXCLK)。顺序码元号至码元转变数转换器356基于先前的码元Ps (其保持在保持寄存器处) 来转换当前码元Cs以提供码元转变数T。保持寄存器354通过由CDR电路352提供的接收时钟 (RXCLK) 来被时钟控制。由接收时钟 (RXCLK) 触发的码元转变数至比特转换器358随后将m个码元转变数 ($m \times T$) 转换成二进制数。校准电路366可以用于生成用于CDR电路352和CMOS接收缓冲器362 的延迟校准控制信号。

[0043] 比特与码元转变数之间的示例性转换

[0044] 图4解说了在发射机402处从比特到码元转变数以及随后在接收机404 处从码元转变数到比特的转换。发射机402将二进制信息 (即, 比特) 馈送到“比特至 $m \times T$ ”转换器406以生成m个码元转变数T0到T_{m-1}。接收机404 接收m个码元转变数T0到T_{m-1}, 这些码元转变数被馈送到“ $m \times T$ 至比特”转换器408以取回二进制信息 (即, 比特)。如果每一个T (T0到T_{m-1}) 存在r个可能的码元转变状态, 则m个转变能发送 r^m 个不同状态。

[0045] 在一个示例中, 可以假设每一个T的可能码元转变r为10。还假设一群中的码元数量m为3, 以使得码元转变数为T₂、T₁、T₀, 其中 $T_i: 0, 1, 2, \dots, 9$ 。由此, 每一个T可具有10个不同状态。由此, 对于T₂、T₁、T₀, 码元转变数可以是例如3位数, 诸如T₂=3、T₁=9、T₀=1 (或者十进制数391)。以此方式, 比特序列可被转换成多个码元转变数T, 以及反过来。

[0046] 顺序码元与码元转变数之间的示例性转换

[0047] 图5解说了顺序码元与转变数之间的转换。该转换将从前一顺序码元号 (Ps) 到当前顺序码元 (Cs) 的每一转变映射成转变数 (T)。在发射机设备处, 转变数被转换成顺序码元。由于正在使用相对转换方案, 因此转变数保证了没有两个连贯的顺序码元504将会是相同的。

[0048] 在针对2导线系统的一个示例中, 存在被指派给4个顺序码元S₀、S₁、S₂和S₃的四 (4) 个原始码元。对于这四 (4) 个顺序码元, 表502解说了可如何在前一顺序码元 (Ps) 和基于当前转变数 (T) 的临时转变数T_{tmp}的基础上来指派当前顺序码元 (Cs)。

[0049] 在该示例中, 转变数Cs可根据下式来指派:

$$[0050] \quad C_s = P_s + T_{tmp}$$

[0051] 其中 $T_{tmp} = T = 0?3:T$ 。换言之, 如果T等于0, 则T_{tmp}变成3, 否则T_{tmp}变成等于T。并且一旦T_{tmp}被计算出, Cs就被设置成Ps加T_{tmp}。此外, 在接收机端, 逻辑被反相以恢复T, $T_{tmp} = C_s + 4 - P_s$ 并且 $T = T_{tmp} = 3?0:T_{tmp}$ 。

[0052] 示例性漏极开路晶体管定时

[0053] 如先前提及的, 图2的发射机设备200和图3的接收机设备350将漏极开路晶体管用于它们的驱动器和接收机。

[0054] 图6解说了与漏极开路晶体管相关联的信号的示例性定时。在一个示例中, 集成电

路间 (I2C) 中的串行时钟 (SCL) 驱动器608可以包括漏极开路晶体管。在进行传送时,主控设备602可以在高阻抗与接地(或电压轨)之间切换漏极开路晶体管608。电阻606可被提供以在漏极开路晶体管608处于高阻抗状态时将输出拉至期望的电压电平。在晶体管608处于高阻抗状态时,传输线上的对应于逻辑0和逻辑1的电压之间的信号的变化率由与电阻606和线电容610相关联的RC常数来管控。在这个示例中,可以领会,漏极开路晶体管608的上升时间 t_r 632显著长于其下降时间 t_f 630。特性时序图620解说了低到高转变624(例如,上升沿)要比从逻辑1电压到逻辑0电压的高到低转变622(例如,下降沿)就转变而言显著更缓和(例如,更长)。高到低转变 622(下降时间)相对于低到高转变624(上升时间)的差异的结果为:检测逻辑可能在比查明高到低转变的时间显著更长的时间628处查明低到高转变。即,从低到高转换626的开始到查明高状态的时间628的时间延迟显著大于或长于用于查明高到低转变622中的低状态的时间延迟。这具有减慢传递率的趋势。

[0055] 图7解说了在CDR电路中使用的时钟恢复电路700的示例以及相应的时序图750。时钟恢复电路700可以从一个或多个信号703中提取接收时钟 (RXCLK) 712。时钟恢复电路700可以检测由输入线703的状态表示的码元转变,并且生成相对于该转变对齐的脉冲以准许对当前收到码元进行采样。

[0056] 时钟恢复电路700使用比较器702来检测码元转变,该比较器702将当前码元(C_s)与由保持寄存器714维持的前一码元(P_s)作比较并且产生指示是否检测到差异的输出(NE)。当该码元不等于该码元的所寄存副本时,生成 NE信号。比较器702的输出设置置位-复位寄存器704以记录转变。置位-复位寄存器704的输出在门706处用自己的经反相延迟版本来选通以产生单稳脉冲(NE1SHOT)。NE1SHOT脉冲的宽度(P)由基于触发器的电路708来确定(其可以作为可编程或可配置延迟来操作)。NE1SHOT脉冲可以被进一步延迟达由第一延迟电路S 710确定的时间以提供结果得到的实现对当前码元的可靠采样的时钟IRXCLK 720。时钟IRXCLK 720可以被用于时钟控制诸码元进入保持寄存器714中并且清除记录转变的发生的置位-复位寄存器704。第二触发器电路713可以用于保持(延迟)时钟IRXCLK 720并且生成可以用于采样收到码元的第二时钟RXCLK 712。

[0057] 时钟恢复电路700假定在每个码元转变处发生至少一个转变。然而,一个码元区间处的诸转变可以仅包括正转变或者仅包括负转变。这可能当在导线 703上使用漏极开路晶体管驱动器时导致一些非对称定时。

[0058] 在更详细的示例中,时钟恢复700包括比较器702、置位-复位寄存器704、第一模拟或数字延迟器件708(例如,基于触发器的电路)、单稳逻辑706、第二模拟或数字延迟器件710、以及寄存器714。比较器702可将第一状态转变信号的第一实例(SI)与第一状态转变信号的电平锁存实例(S)进行比较并输出比较信号(NE)。置位-复位锁存器704可以从比较器702接收比较信号(NE)并输出比较信号的经滤波版本(NEFLT)。第一延迟器件708(例如,基于触发器的电路)可接收比较信号的经滤波版本(NEFLT)并输出比较信号的经滤波版本的延迟实例(NEDEL)。单稳逻辑706可接收经滤波比较信号 (NEFLT)以及比较信号的经滤波版本的延迟实例(NEDEL)并输出比较信号的第二经滤波版本(NE1SHOT)。第二延迟器件710可以接收比较信号的第二经滤波版本(NE1SHOT)并且输出第一状态转变信号的延迟实例(RXCLK) 720。置位-复位寄存器704可基于第一状态转变信号的延迟实例 (IRXCLK) 720来被复位。寄存器714可接收第一状态转变信号(SI)并输出第一状态转变信号的经寄存实例

(S),其中该寄存器714基于第一状态转变信号的延迟实例(IRXCLK)来被触发。

[0059] 如可以从时序图750中领会的,所引入的小延迟P 708(例如,由触发器电路引入)为码元之间的建立时间提供更多余裕。

[0060] 以下定义在时序图750信号中使用:

[0061] t_{sym} :一个码元循环周期,

[0062] t_{su} :寄存器714的以IRXCLK 720的上升(前)沿为参照的SI建立时间,

[0063] t_{hd} :寄存器714的以IRXCLK 720的下降(后)沿为参照的SI保持时间,

[0064] t_{dNE} :比较器702的传播延迟,

[0065] t_{dRST} :置位-复位锁存器704的从IRXCLK 720的上升(前)沿起的复位时间。

[0066] t_{dIS} :单稳逻辑706的传播延迟。

[0067] 最初,信号SI和S保持前一码元值Sym0 752。信号NE、NEFLT和IRXCLK 为零。当正在接收新码元值Sym1756时,这导致信号SI开始改变其值。SI 值由于接收到信号转变(从Sym0到Sym1)的中间或不确定状态754的可能性而可能不同于Sym1 756(有效数据),中间或不确定状态754可能例如由线间偏斜、过冲/下冲、串话等所导致。

[0068] 只要比较器702检测到SI和S之间的不同值,NE信号就变为高,并且这异步地在 t_{dNE} 后将置位-复位寄存器704输出NEFLT信号设为高,该置位-复位寄存器输出NEFLT信号保持其高状态直到它被IRXCLK 720的高状态复位, IRXCLK 720的高状态将在NEFLT信号的上升后约延迟时段S(由延迟S 710 所导致)时到达。

[0069] SI处的中间状态(无效数据)可包含短时段的码元值Sym0 752,这导致比较器702输出NE信号在短时段上返回到低(NE信号中的尖峰762)。NE 信号的低状态将不影响置位-复位寄存器704输出NEFLT信号,因为置位-复位寄存器704在输出NEFLT信号之前有效地滤除了NE信号上的尖峰。

[0070] 单稳电路(具有延迟P 708的逻辑门706)在从NEFLT信号的上升沿起的 t_{dIS} 后在其输出NE1SHOT信号上生成高状态,并且将该NE1SHOT信号保持在高状态长达延迟P时段708,之后将其调至低状态。

[0071] NE1SHOT信号的高状态在由延迟S 710所导致的延迟S时段770后传播至IRXCLK信号720。IRXCLK信号720的高状态在 t_{dRST} 后将置位-复位寄存器704输出NEFLT信号复位为低。IRXCLK信号720的高状态还启用寄存器714以使得SI信号值被输出到S信号。比较器702检测S信号(码元Sym1 760)何时匹配于SI信号的码元Sym1 756,并将其输出NE信号调为低。NE1SHOT 信号的低状态在由延迟S 710所导致的延迟时段S 770后传播至IRXCLK信号 720。

[0072] 当正在接收新码元值Sym2 752时,这导致SI信号在从IRXCLK信号720 的最末下降(后)沿768起的 t_{hd} 后开始将其值变为下一码元Sym2 758。码元循环周期 t_{sym} 的定时约束可以如下:

[0073] i) $t_{\text{dNE}} + t_{\text{dIS}} + \text{延迟S} + \text{延迟P} + t_{\text{hd}} < t_{\text{sym}}$ 。

[0074] 更具体地,码元循环时间 t_{sym} 必须大于以下各项的总和:延迟时段S、延迟时段P、 t_{hd} 、 t_{dNE} 、 t_{dIS} 、和 t_{dRST} 。如果这六个时间段的总和超过 t_{sym} 时段,则IRXCLK的后沿与下一码元循环交叠,从而禁止NEFLT信号在该交叠时段上被置位。注意,交叠时段量随每循环累积并最终导致一个码元循环中的额外 IRXCLK脉冲。建立时间 t_{su} 的定时约束可以如下:

[0075] i) 最大偏斜规约+ $t_{\text{su}} < \text{延迟S}$ 。

[0076] 更具体而言,延迟时段S必须小于建立时间 t_{su} 加上最大偏斜。

[0077] 图8是解说与漏极开路晶体管相关联的、如关于图7中所描绘的时钟恢复电路700所描述的定时的图示800。在时间802开始的第一转变804(低到高转变)解说了可归因于漏极开路晶体管驱动器上的上拉的缓慢上升时间。第二转变806(高到低转变)较快并且可归因于接通的晶体管驱动器。在此示例中,可以提取出有效时钟定时,因为在导线703(图7)中发生至少一个负转变。例如,在假定能够抑制源于慢转变804(例如,长上升时间)的任何延迟了的效应的情况下,可以使用来自不同导线703的转变808和810来可靠地提取时钟定时以生成接收机时钟的后续时钟。

[0078] 图9是解说与漏极开路晶体管驱动器相关联的定时的示图900。这里,时钟定时依赖于在显著的延迟之后(在低到高转变902处)检测到的单个负到正或低到高转变904(例如,上升沿)。作为延迟了的检测902的结果,由CDR电路700提取的接收时钟可能会被破坏,并且码元可能由于不正确的采样时间而被错过。输出码元流TX_S0[1:0]918包括第一码元906和第二码元908,其中每个码元906/908在码元传输循环内被传送。这里,TX_S[0]指示S[1:0]的比特0。由于慢电压转变904,接收机缓冲器在第一码元906后期检测到信号上升转变902。在该码元循环中晚得多的时间生成NE(不相等)信号910并且随后生成NE1SHOT脉冲912,从该时刻起的延迟S时间之后生成IRXCLK。由于此额外延迟,IRXCLK很可能在下一码元定时中(即,在第二码元908期间)被生成。由于过多延迟,这可能例如使IRXCLK脉冲914采样下一循环908的信号SI而不是预期的循环906的信号。即,错过了对转变926的检测,因为转变926在前一转变的“延迟S”时段期间发生,因而NEFLT尚未被复位成0。错过此码元转变926导致错过接收机时钟循环928和930。错过码元转变的可能性使得恢复出的时钟是不可预测的并且因此是不可使用的。

[0079] 图10解说了其中图9的上升时间延迟902可以通过减小数据链路118(图1)的工作频率来容适的时序图1000。通过减慢码元速率/频率(即,延长码元周期),就可以采样到第一码元906而不是下一码元908。然而,减小频率的办法并不令人满意,因为它使接口的性能降级(即,减慢了数据吞吐量)。

[0080] 具有可靠的码元转变感测的示例性时钟数据恢复电路

[0081] 图11是根据某些方面的解说使用多个CDR电路1101和1102来生成可靠定时的示图。可以为接口中的每根导线提供CDR电路1101/1102,并且由此准许针对单根导线的时钟/定时提取。每个CDR电路1101/1102被配置成生成相对于输入1104上的转变对齐的脉冲。异或逻辑1106将输入1104的状态改变与由保持寄存器1130维持的前一状态进行比较并且产生指示是否检测到差异的输出(NE)。在当前状态不等于前一状态的所寄存副本(即,单根信号线SCL线1104或SDA线的当前码元SI和前一码元SX的比较)时,生成NE信号。异或逻辑1106的输出设置置位-复位寄存器1108以记录该转变。置位-复位寄存器1108的输出在门1112处用自己的经反相延迟版本来选通以产生单稳脉冲(NE1SHOT[0])。置位-复位寄存器1108的输出的经反相延迟版本是触发器电路1110的输出。

[0082] 对每个CDR电路1101/1102使用两个“延迟S”。第一延迟S10 1114被用于慢上升信号(即,低到高转变),并且第二延迟S20和1120被用于快下降信号(即,高到低转变)。即,慢上升信号(即,低到高转变)被暴露于较短的总延迟(第一延迟S10 1114),而较快的下降信号(即,高到低转变)被暴露于较长的总延迟(即,两个延迟S10 1114和S20 1120的总延迟)。

因此,在上升转变(低到高转变)时,NE1SHOT[0]脉冲被延迟达由第一延迟S10 1114 确定的时间以提供结果得到的实现在上升转变之后对下一码元的可靠采样的脉冲1116。在下降转变(高到低转变)时,脉冲1116被进一步延迟达第二延迟S20 1120,第二延迟S20 1120被选择成匹配基于上升沿的定时(例如,第二延迟S20 1120被选择成延长下降转变以匹配于上升转变)。

[0083] 每个CDR电路1101/1102包括附加的第二延迟电路1120,该附加的第二延迟电路1120操作于归一化从上升(低到高)和下降(高到低)转变推导出的定时。具体而言,第二延迟电路1120延迟由下降转变(例如,高到低转变)生成的脉冲1116。从由维持导线(例如,SCL线1104)的前一状态的副本的寄存器1126指示的该导线的前一状态知晓转变的方向(例如,低到高或高到低)。如果导线处于高电平,则下降转变(即,高到低转变)将是下一检测到的转变,并且门1118被控制以使得基于该转变所生成的脉冲1116能够被提供给第二延迟电路1120。另外,复用器1124被用于在转变为下降(即,高到低转变)时选择由第二延迟电路1120生成的定时1122作为下一接收时钟。如果前一信号状态处于低电平,则通过门1118的操作来禁用第二延迟电路 1120的操作并且复用器1124选择由第一延迟电路1114输出的定时1116。第二延迟电路1120可以被编程或配置成引入针对高到低转变(例如,负转变或下降转变)的延迟,该延迟等效于由较慢的低到高上升转变导致的延迟。例如,针对高到低转变的此类延迟可以大致等于针对低到高转变的上升时间与针对高到低转变的下降时间之差。

[0084] 系统接收时钟1134可以使用时钟电路1132来获得,该时钟电路1132聚集和/或组合由所有CDR 1101/1102生成的接收时钟IRXCLK[0]和IRXCLK[1] 并且生成系统接收时钟RXCLK 1134。

[0085] 图12是解说使用图11的CDR电路1101从接收自多导线漏极开路链路中的单根导线的信号生成的接收时钟定时的时序图1200。在该示例中,可以生成对于上升转变和下降转变两者而言具有接近相等定时的接收时钟。

[0086] 进一步参照图11,接收机CDR电路1101/1102可以从接收编码为N导线信道上的码元的数据的CMOS单端接收机来构造。寄存器1130在每个 IRXCLK[0]上升沿存储每根导线的状态并且生成前一状态信息以供由异或(XOR)逻辑1106进行比较。延迟元件1114和1120可以被配置成获得可靠的时钟转变,这些时钟转变被定位成实现对接收自导线1104的信号状态的正确采样。延迟电路1114和1120被串联部署并且选择性地耦合以创建针对慢上升信号的较短延迟和针对快下降信号的较长延迟。具体地,在转变与快下降信号相关联时,第二延迟1120被添加至串联延迟链。由多个CDR电路1101/1102 生成的IRXCLK时钟1128由时钟电路1132聚集以生成恢复出的单速率接收机时钟RXCLK 1134。

[0087] 图13是解说可被用于实现CDR电路内的延迟元件1114、1120和1138 中的一个或多个延迟元件的可编程延迟电路的示例的简化框图1300。此电路 1300实现对脉冲进行滤波的递减计数器。延迟选择信号或值DELSEL可以是固定的或可编程的。第一复用器1302通过输入I变为高来被启用,其启动递减计数器。n位触发器1304保持计数值。第二复用器1308用于使计数减1,直至计数器达到0。随后,比较器1310将输出计数与0进行比较并且如果计数器等于0则输出Q=1。注意,与(AND)门1006使第二复用器在达到0时停止倒计数,并且随后翻转为全部二进制1(“1...111”)。

[0088] 示图1320进一步解说了多个脉冲也可以由电路1300来滤波。例如,如果第一脉冲

1322启动递减计数器,则第二脉冲1324的发生使该递减计数器复位到DELSEL值并且重新启动。这有效地滤除了不想要的多个脉冲并且输出单个脉冲。

[0089] 图14解说了图11的接收时钟聚集和采样电路1132连同对应的时序图 1400。图14解说了针对不同CDR电路1101/1102的延迟生成了失准的接收时钟1410和1412时的实例,这可能会导致过剩的时钟脉冲1402和1404。这些脉冲1402和1404可以通过使用延迟RX 1138来滤波和/或组合。通过聚集两个时钟IRXCLK (即,IRXCLK[0]1410和IRXCLK[1]1412)并且从经取或运算的IRXCLK 1414的尾部脉冲取单稳态(该单稳态由延迟单元1138和触发器 1136延迟)来生成接收机时钟RXCLK 1134。由于SCL CDR电路1101与SDA CDR电路1102之间不匹配的延迟,收到码元SX可能在两个码元之间具有一些中间值,所以在SX值稳定时在SX的每个码元边界之后的延迟RX处对码元SX进行采样。

[0090] 图15解说了用于校准CDR电路1101/1102的定时的方法1500,其用于校准图11的延迟电路1114、1120和1138中的一个或多个延迟电路。该方法1500 可以用于校准来自多个CDR的时钟信号,从而这些时钟信号可靠地交叠并且由此避免在码元区间内在接收时钟RXCLK 1128上生成多个脉冲。

[0091] 图16解说了用于使用图15的方法来执行一个或多个延迟电路的校准的逻辑电路。该示例解说了用于校准由CDR电路使用的第一延迟或区间(例如,图11中的延迟S11114)的第一逻辑电路1600a。第二逻辑电路1600b(或第一逻辑电路1600a)可以用于校准由CDR电路使用的第二延迟或区间(例如,图11中的延迟S21120)。类似地,其他CDR电路的延迟(例如,针对不同导线)可以使用逻辑电路1602a/1602b来校准。

[0092] 图17包括解说用于校准图11的延迟电路1114、1120、和/或1138的校准电路1600a和1600b的实现的时序图1600。在一个示例中,延迟1114和1120 被校准以调整在输入信号1104的上升沿和下降沿上生成的时钟信号的定时。

[0093] 在该示例中,校准通过提供第一下降转变(高到低转变)而开始。可以针对延迟电路1114和1120的组合来配置初始校准延迟。可以预期由CDR电路 1101生成的时钟IRXCLK 1128在第一(下降)转变之后产生反映第一延迟电路1114的延迟的脉冲,该第一延迟电路1114对下降转变(即,高到低转变)和上升转变(即,低到高转变)两者应用延迟。在一个示例中,在校准过程期间基于与信号导线的下降转变(高到低转变)中的下降时间和上升转变(低到高转变)中的上升时间之间的差异相对应的观察延迟差异来校准与延迟电路 1114和1120相关联的一个或多个延迟。校准延迟的结束与关联于第一转变的脉冲的抵达之间的关系1702被检查以确定校准延迟是要被增加还是减少数个延迟时钟循环。校准延迟随后视需要被修改并且被用于对延迟电路1114进行编程。

[0094] 作为校准过程的一部分,还可以提供第二下降转变(高到低转变)。在漏极开路链路在SCL CDR电路1101与SDA CDR电路1102之间延迟时,针对第二下降转变(高到低转变)启用第二延迟电路1120,所以在SX值稳定时在 SX的每个码元边界之后的延迟RX处对码元SX进行采样。

[0095] 校准延迟的结束与时钟IRXCLK[0]1128上的脉冲的抵达之间的关系1604 可被用于进一步调整校准延迟值。此进一步调整的值可随后被用于对延迟电路 1120进行编程,并且正常操作可被建立。

[0096] 校准可以在上电事件之后或者在接口特性上的改变要求重新校准时被执行。例

如,环境温度的改变可以影响与接口导线1104相关联的RC常数,包括上拉电阻值的变动。

[0097] 在校准期间,发射机可以被超驰以产生校准信号模式,包括逻辑0到逻辑1的第一(上升)转变(即,低到高转变)继以从逻辑1到逻辑0转变的第二(下降)转变(即,高到低转变)。发射机可以被置于离线模式,并且校准电路366(参见图3)可以通过接收设备362'(图3)中的门370引入校准信号。参考计数器可以在校准信号中的每次转变处被初始化。例如,在第一校准步骤中,参考计数器可被用于校准延迟电路1114,由此预期参考计数器将在正转变之后预期有脉冲时期满,如由图16中所示的关系1602所指示的。可以在第一步骤结束时通过将参考计数器中的任何剩余值添加到延迟电路1114的经编程延迟上来校准延迟电路1114,其中参考计数器具有有符号的值。在第二步骤中,参考计数器可被用于校准延迟1120,由此预期参考计数器将在检测到负转变之后预期有脉冲时并且在由延迟电路1120引入的延迟之后期满,如由图16中所示的关系1604所指示的。可以在第二步骤结束时通过将参考计数器中的任何剩余值添加到延迟电路1120中编程的延迟上来校准延迟电路1120,其中参考计数器具有有符号值时间。

[0098] 图18是解说采用处理系统1814的设备的硬件实现的示例的示图1800。处理系统1814可以是在具有基于码元转变的时钟控制的多导线漏极开路链路上传送的数据的消费方或生成方。在一个示例中,处理系统1814可以被配置成校准如关于图11所描述的延迟电路1114和1120。处理系统可以配置多导线漏极开路链路的其他方面,包括多导线漏极开路链路的数据率。

[0099] 处理系统1814可实现成具有由总线1808一般化地表示的总线架构。取决于处理系统1814的具体应用和整体设计约束,总线1808可包括任何数目的互连总线和桥接器。总线1808将包括一个或多个处理器和/或硬件模块(由处理器1804、模块1824、1826、1828、1830和1832以及计算机可读介质1806表示)的各种电路链接在一起。总线1808还可链接各种其它电路,诸如定时源、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,且因此将不再进一步描述。

[0100] 处理系统1814可耦合至收发机1810。收发机1810提供用于通过传输介质与各种其它装置通信的手段。处理系统1814包括耦合至计算机可读介质1806的处理器1804。处理器1804负责一般性处理,包括执行存储在计算机可读介质1806上的软件。该软件在由处理器1804执行时使处理系统1814执行上文针对任何特定装置描述的各种功能。计算机可读介质1806还可被用于存储由处理器1804在执行软件时操纵的数据。处理系统进一步包括模块1824、1826、1828、1830和1832中的至少一个模块。各模块可以是在处理器1404中运行的软件模块、驻留/存储在计算机可读介质1806中的软件模块、耦合至处理器1804的一个或多个硬件模块、或其某种组合。

[0101] 在一种配置中,该设备包括用于检测信号导线上的转变的装置1824、用于响应于转变的检测而生成脉冲的装置1826、用于基于检测到的转变的类型来选择性地向脉冲应用延迟的装置1828、用于组合针对多根导线生成的脉冲的装置1830、以及用于校准延迟的装置1832。前述装置可以是设备1802的前述模块和/或设备1802中配置成执行由前述装置所述的功能的处理系统1814中的一者或多者。

[0102] 图19解说了用于从码元转变可靠地生成时钟信号的方法。确定、查明、和/或感测接收自通信接口的信号中的转变(1902)。生成响应于该转变的时钟脉冲(1904)。如果转变

在第一方向上,则时钟脉冲被延迟达经预配置的第一区间(第一延迟)(1906)。如果转变在第二方向上,则该方法可以将时钟脉冲延迟达经预配置的第二区间(第二延迟)(1908)。在一个示例中,在第一方向是上升转变并且第二方向是下降转变的情况下,第二区间可被选择以使得时钟脉冲下降时间加上第一区间加上第二区间大致等于时钟脉冲上升时间加上第一区间。

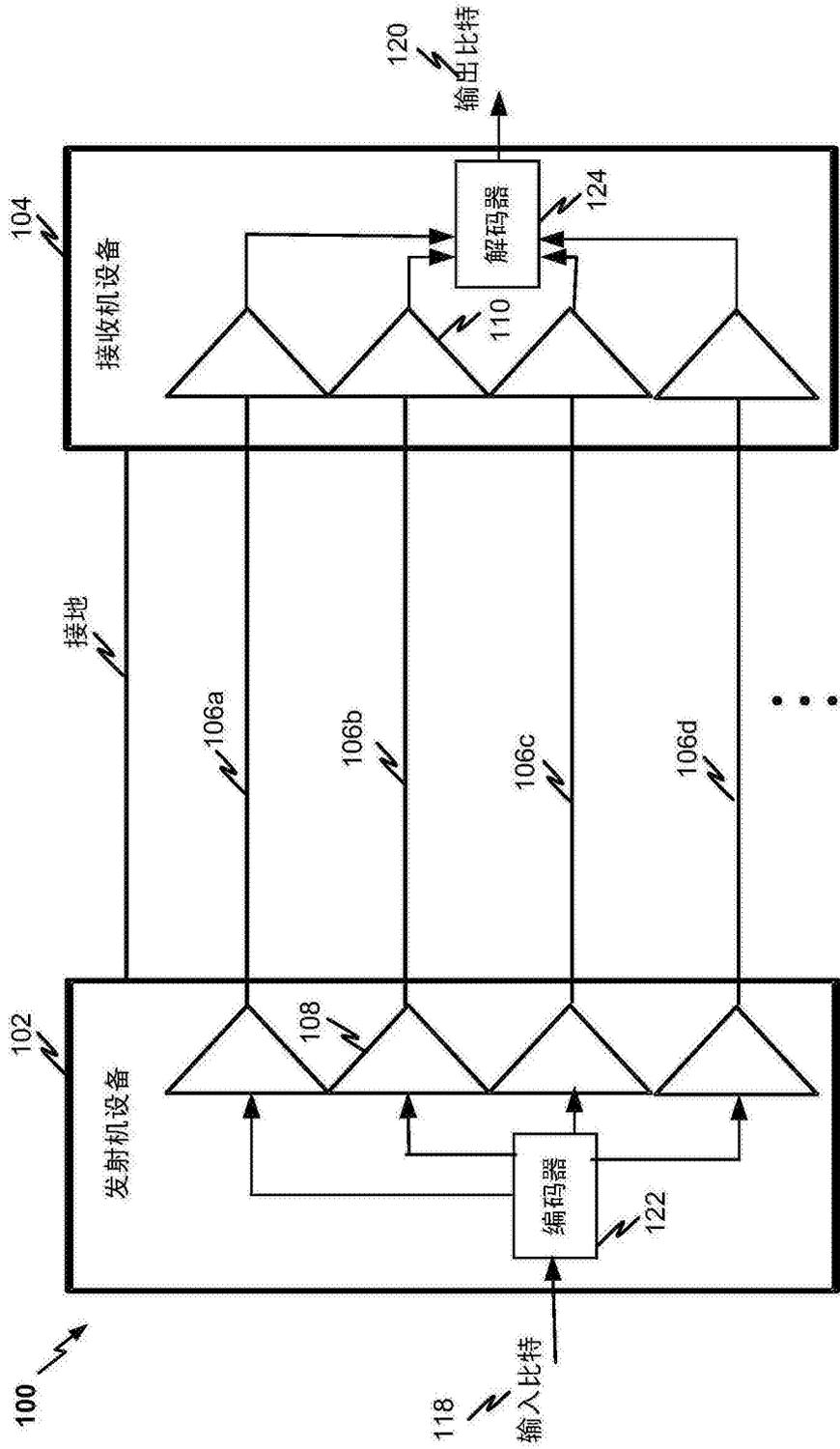
[0103] 一时钟脉冲在如果有不同的时钟脉冲被接收到并且原时钟脉冲的延迟尚未完成的情况下可以重新开始。在一个示例中,经预配置的第一和/或第二区间可以基于与通信接口相关联的上升时间和下降时间来配置,并且上升时间对应于与漏极开路晶体管相关联的上升时间。例如,经预配置的第一和/或第二区间可以被选择以使时钟脉冲在有码元在通信接口上被传送时发生,由此准许该码元被可靠地采样。在另一实例中,经预配置的第二区间可以被选择成匹配于检测该转变时归因于时钟脉冲上升时间的延迟。经预配置的第一区间可以被选择以匹配检测该转变时归因于时钟脉冲下降时间的延迟。

[0104] 该方法可以进一步包括将时钟脉冲与响应于转变而生成的至少一个附加时钟脉冲聚集(1910)。如聚集电路1132(图14中的图11)所解说的,来自两个或更多个不同CDR的时钟脉冲可被校准,以使得这些时钟脉冲大致同步。另外,该方法包括校准经预配置的第一和/或第二区间(1912)。

[0105] 在一个示例中,校准经预配置的第一和/或第二区间可以包括:(a)提供彼此在不同方向上的第一和第二校准转变;(b)测量与针对第一和第二校准转变所生成的时钟脉冲相关联的各个延迟;和/或(c)修改经预配置的第一和/或第二区间以使各个延迟中的差异最小化。修改经预配置的第一和/或第二区间可以包括:(a)基于与第一校准转变之后所生成的时钟脉冲相关联的测得延迟来调整第一延迟电路的经编程延迟;和/或(b)基于与第二校准转变之后所生成的时钟脉冲相关联的测得延迟来调整第二延迟电路的经编程延迟。各个延迟使用定时器来测量,该定时器反映与针对任一校准转变所生成的时钟脉冲相关联的期望延迟。

[0106] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所呈现的具体次序或层次。

[0107] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语用于“……的装置来明确叙述的”。



具有基于数据转变的时钟控制的多导线单端链路

图1

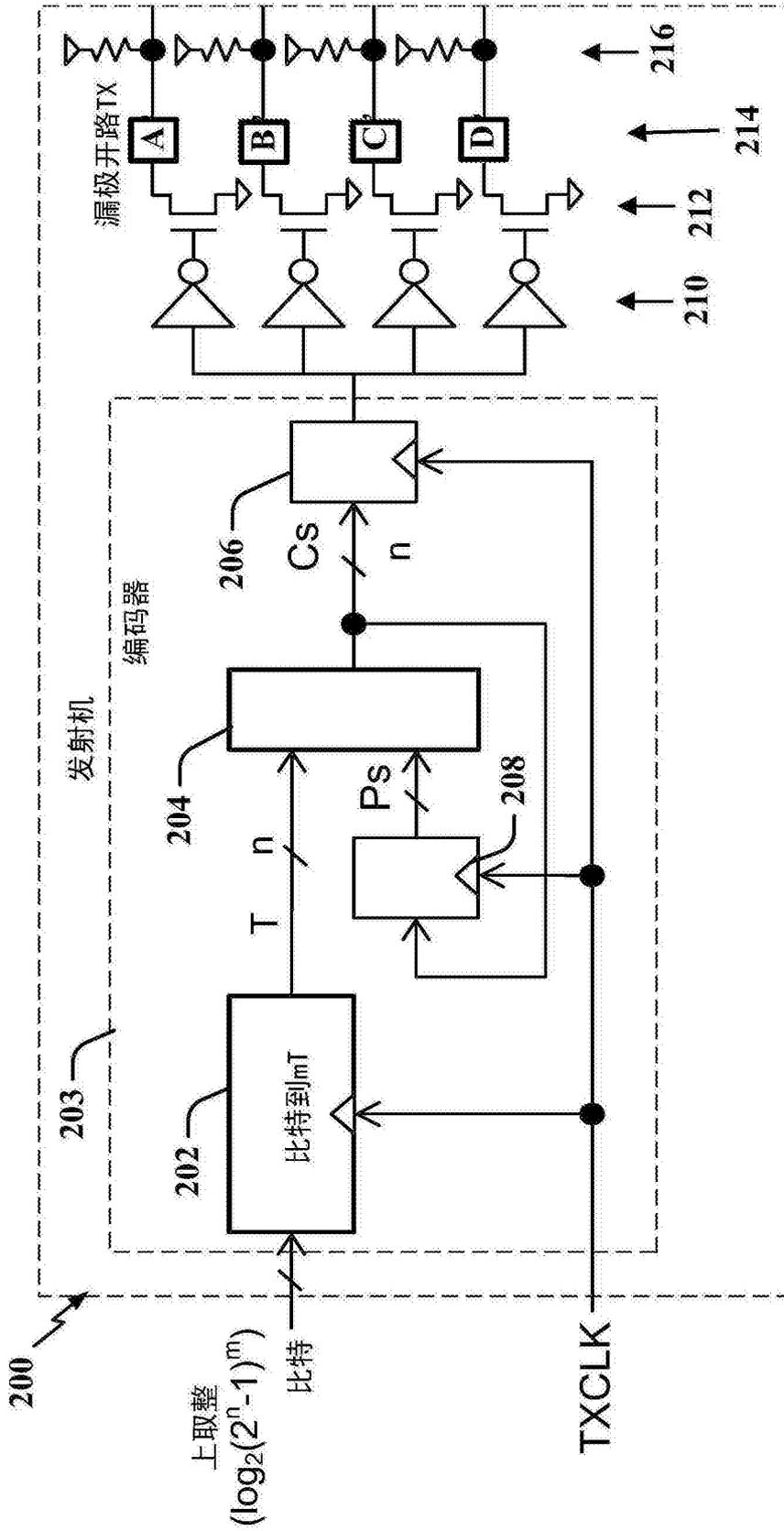


图2

比特到 $m \times T$	将二进制数 (比特) 转换成 m 个码元转变数 ($m \times T$)
T到S	将顺序码元转变数 (T) 转换成经编号码元 (Cs)

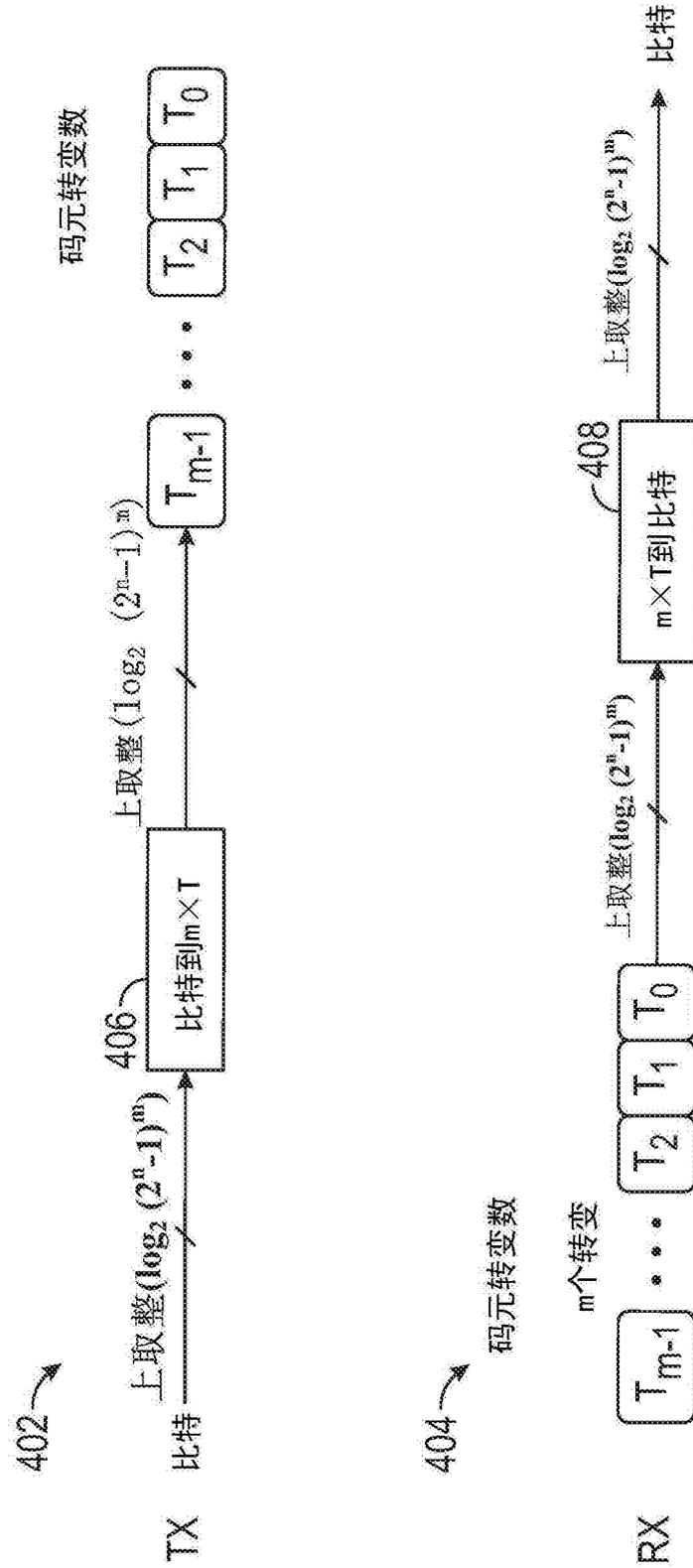


图4

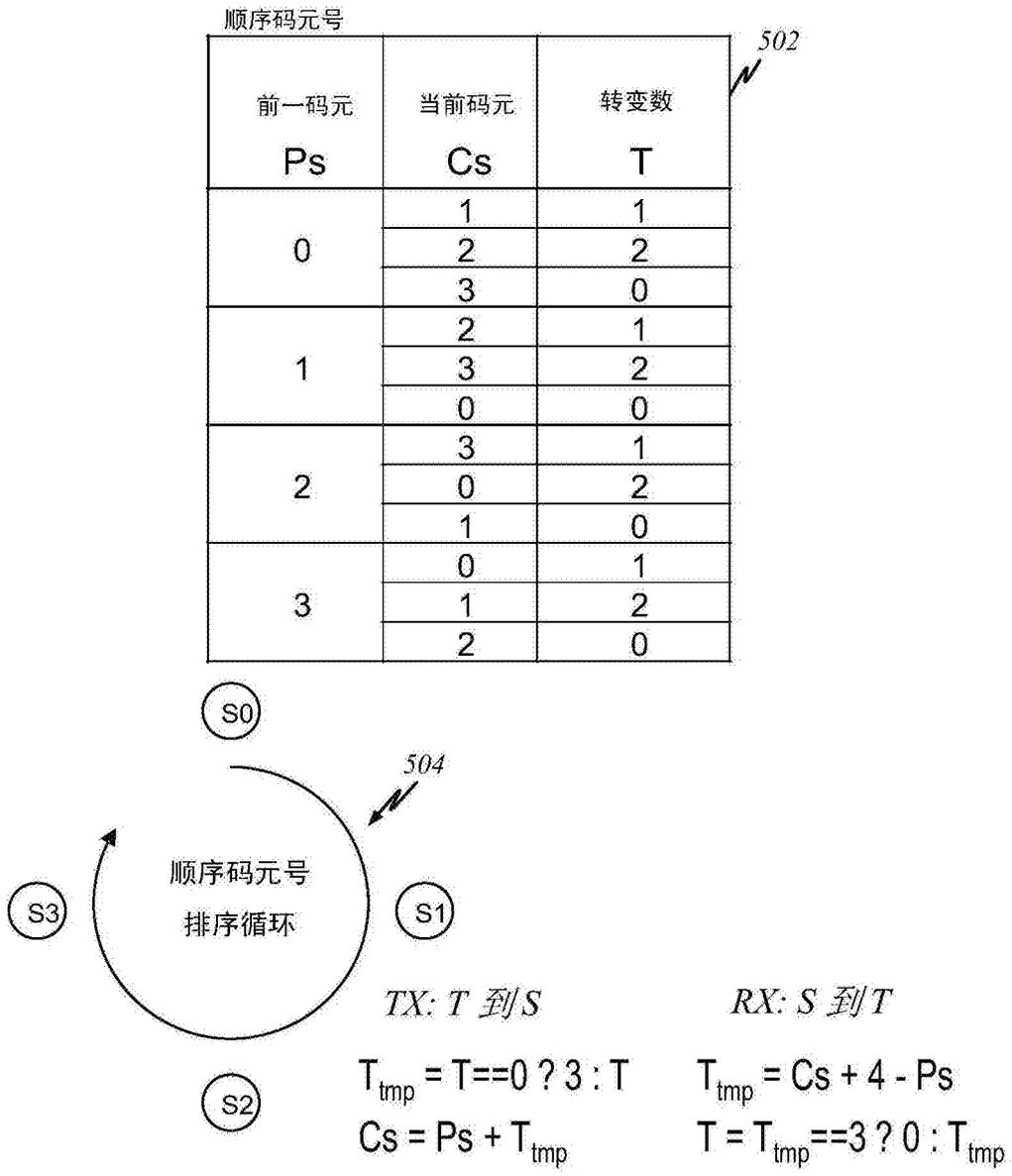


图5

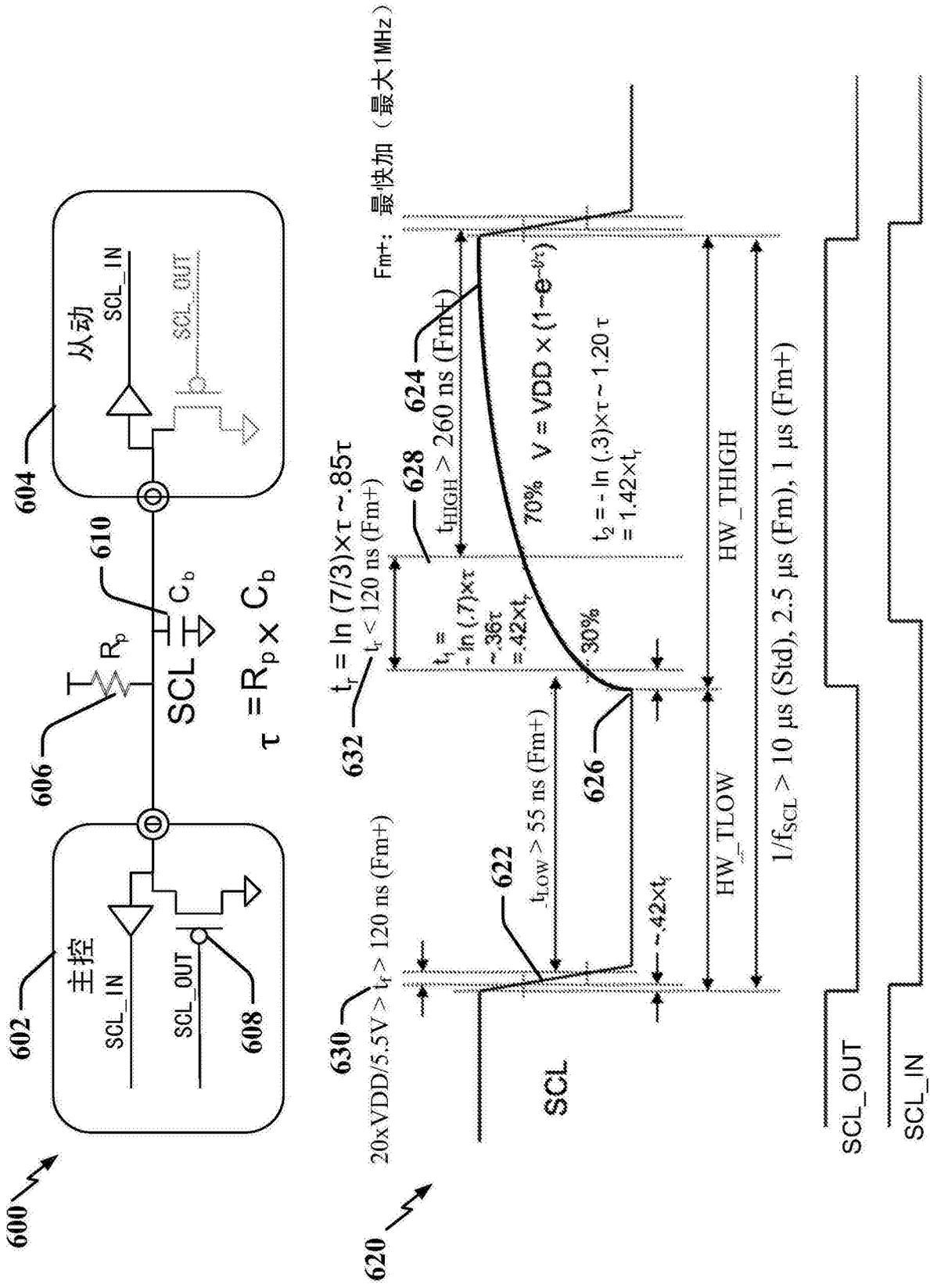


图6

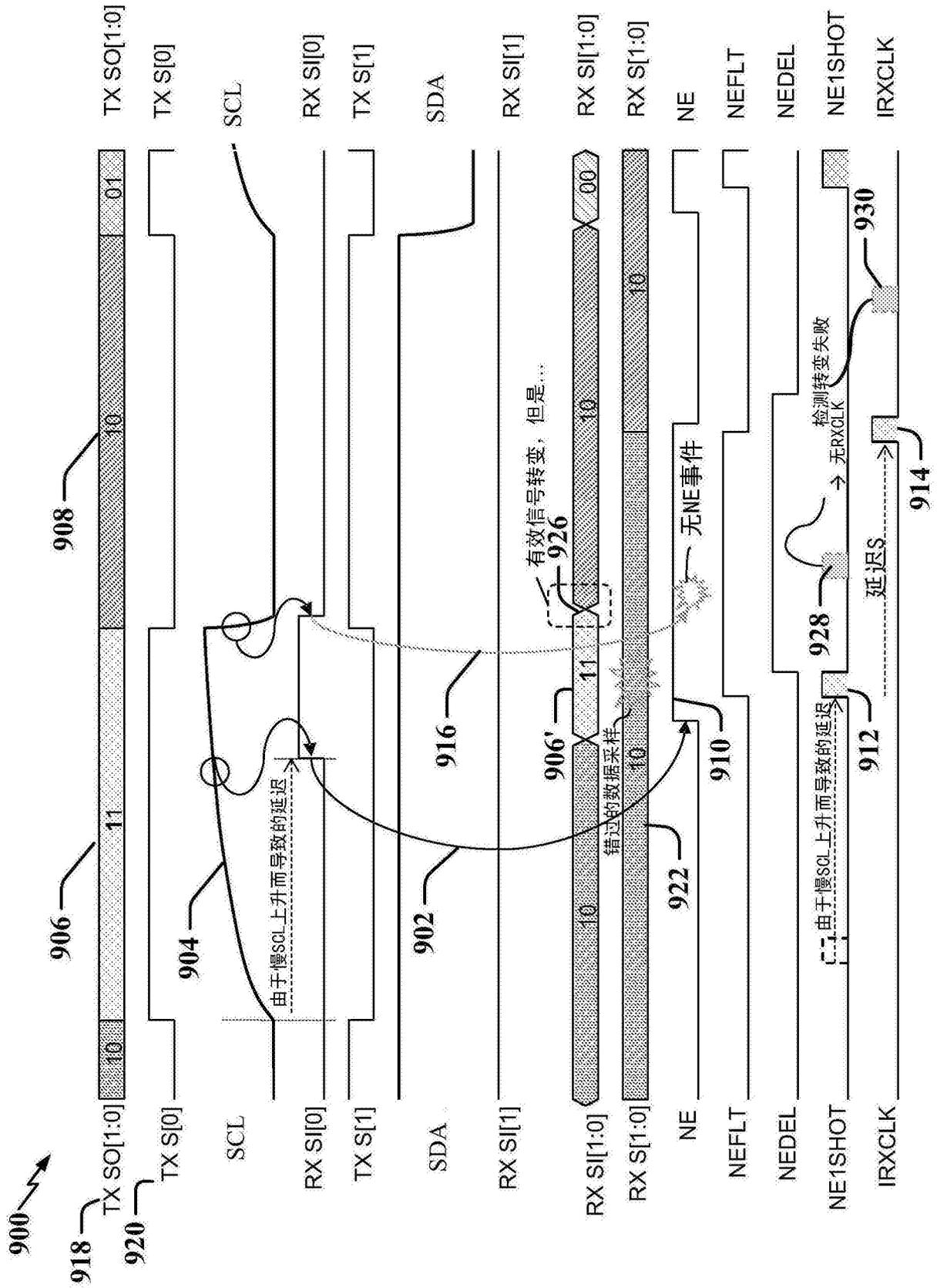


图9

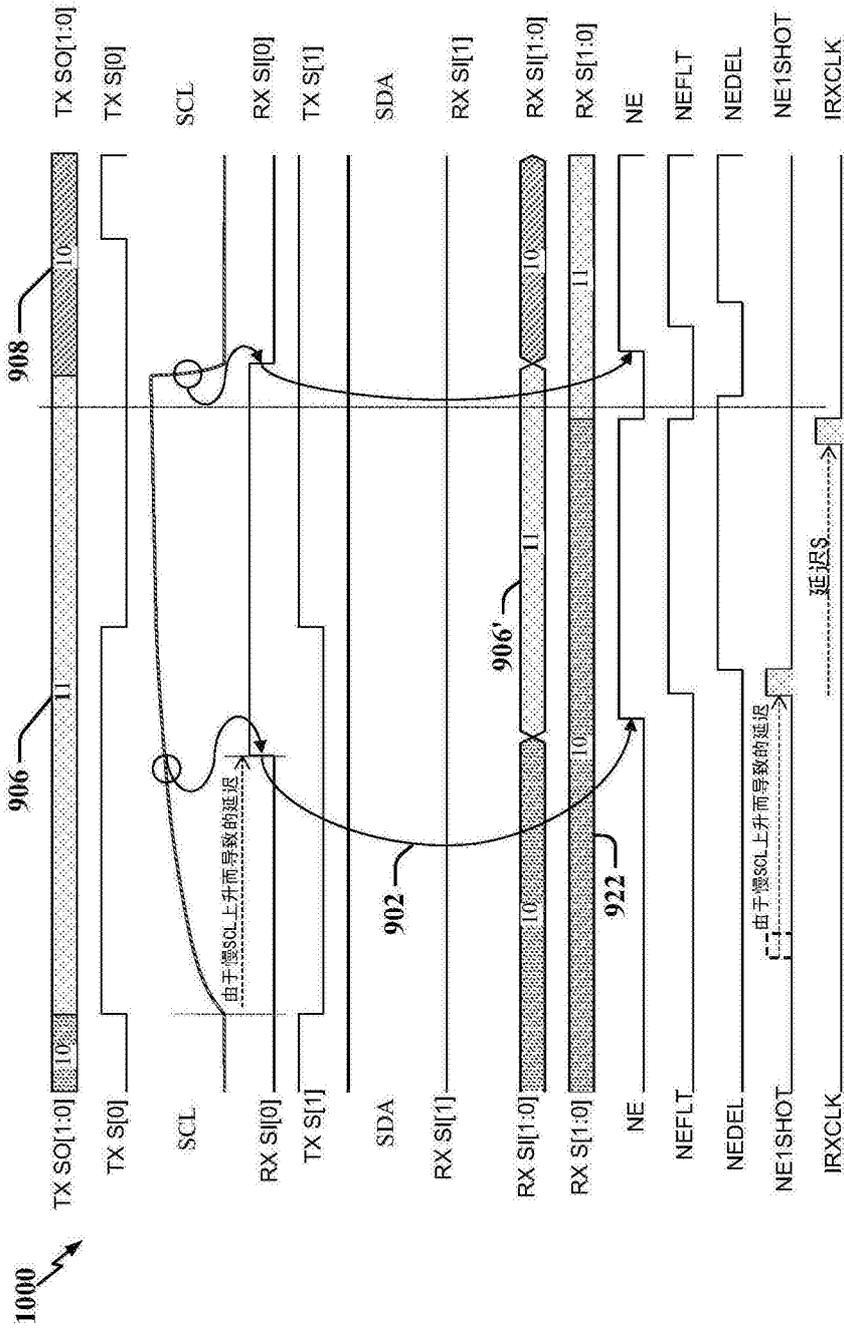


图10

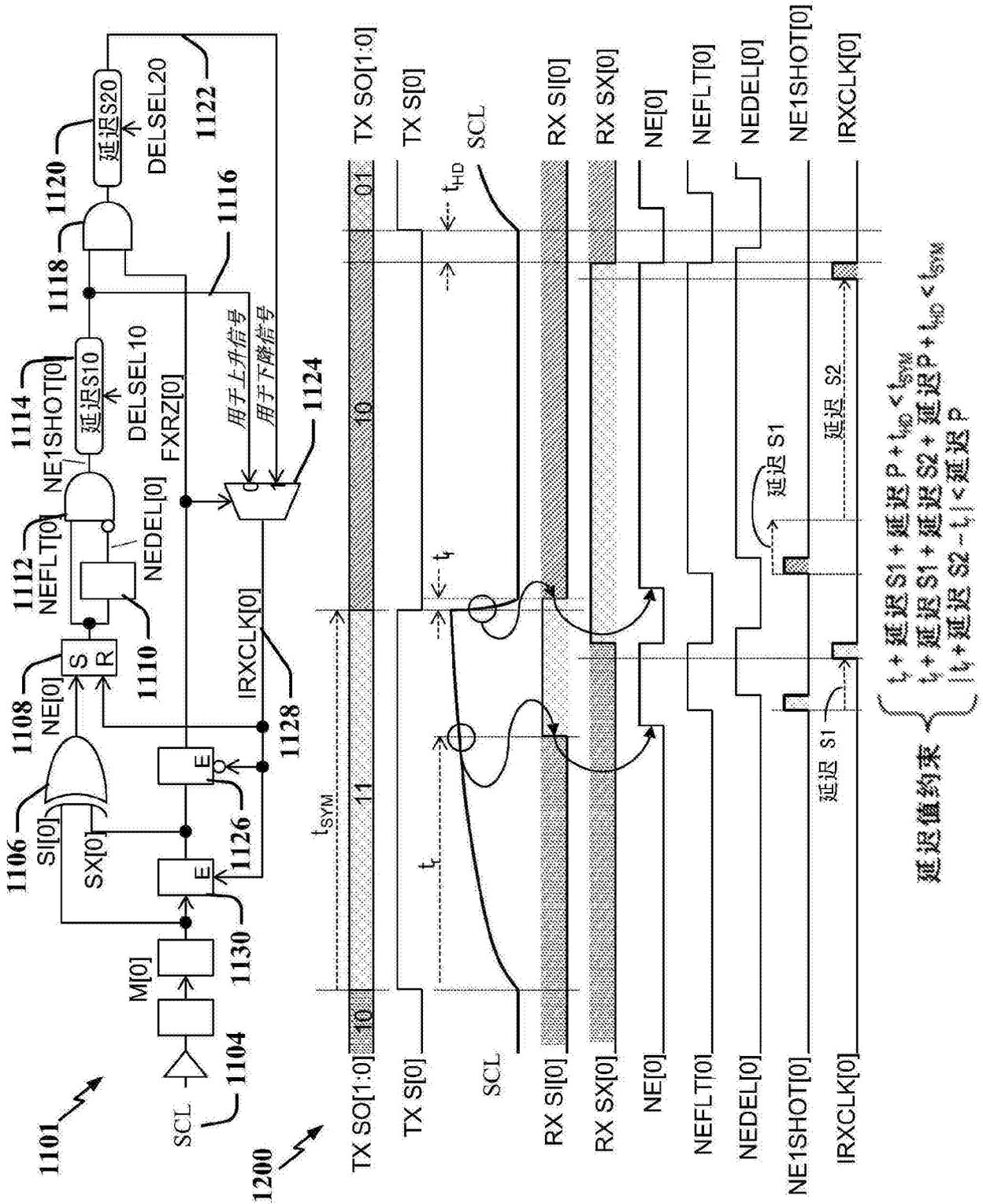


图12

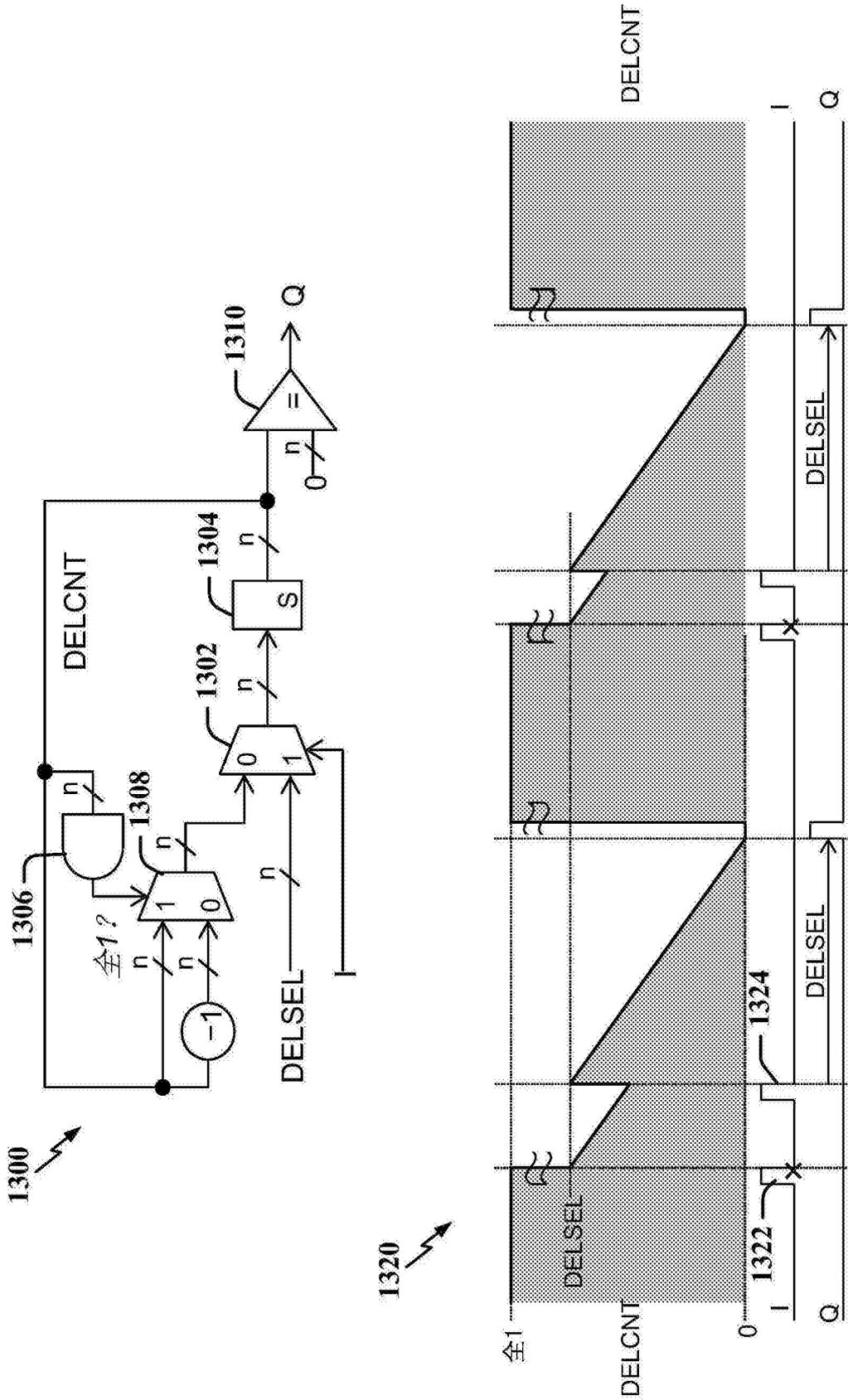


图13

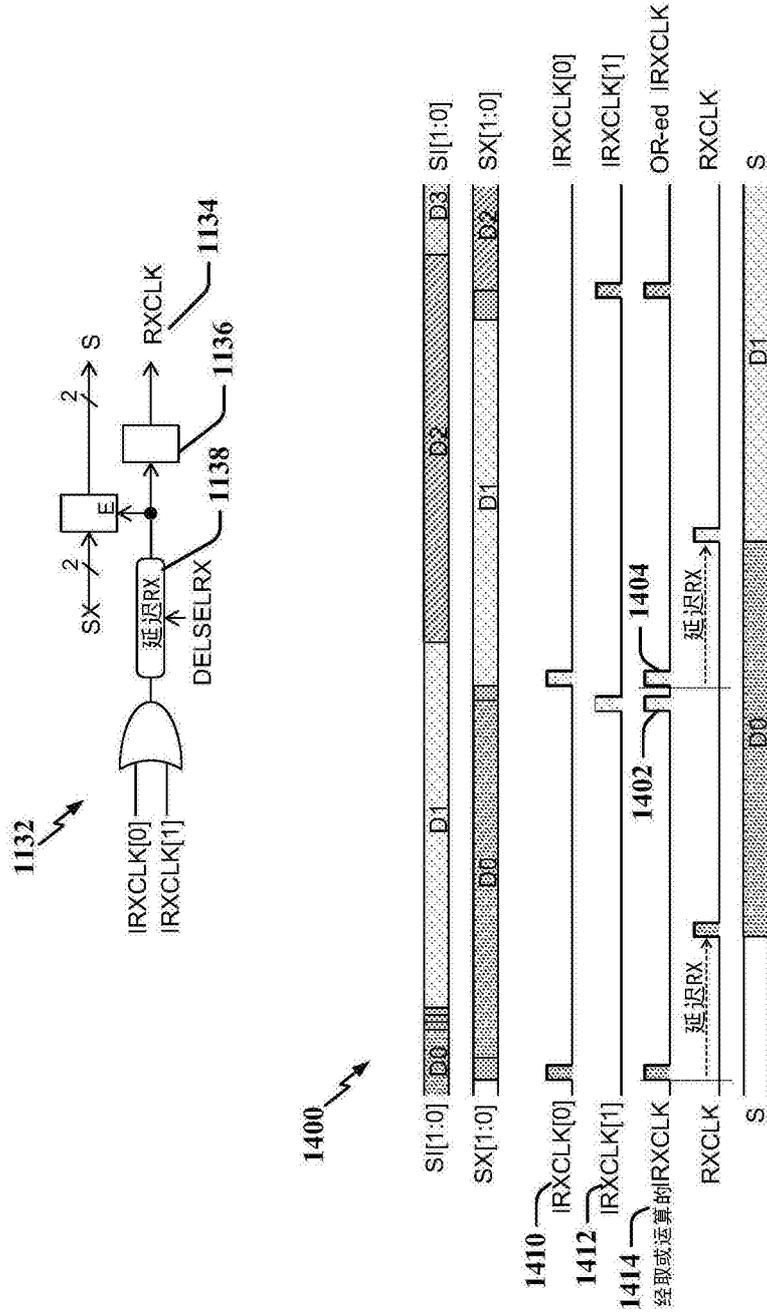


图14

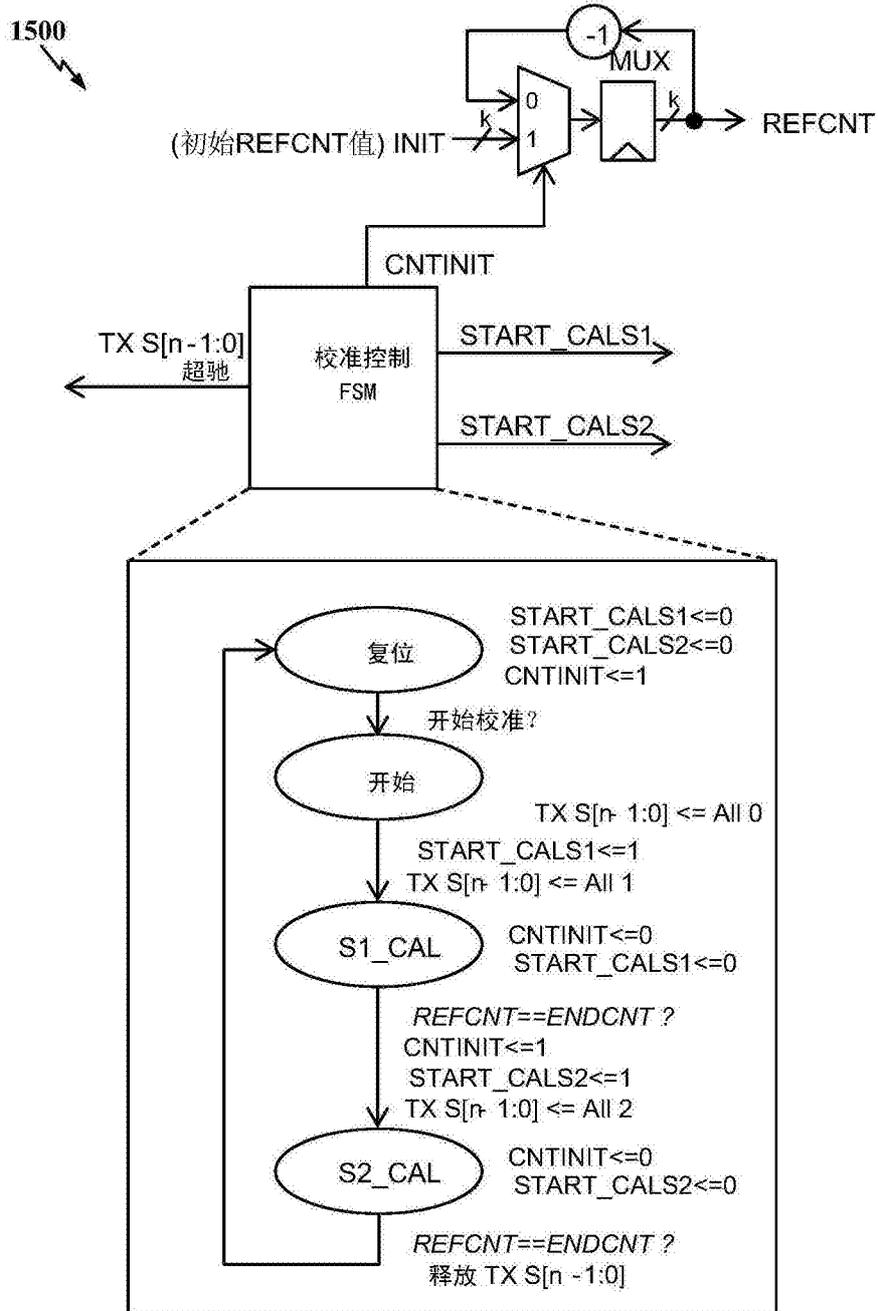


图15

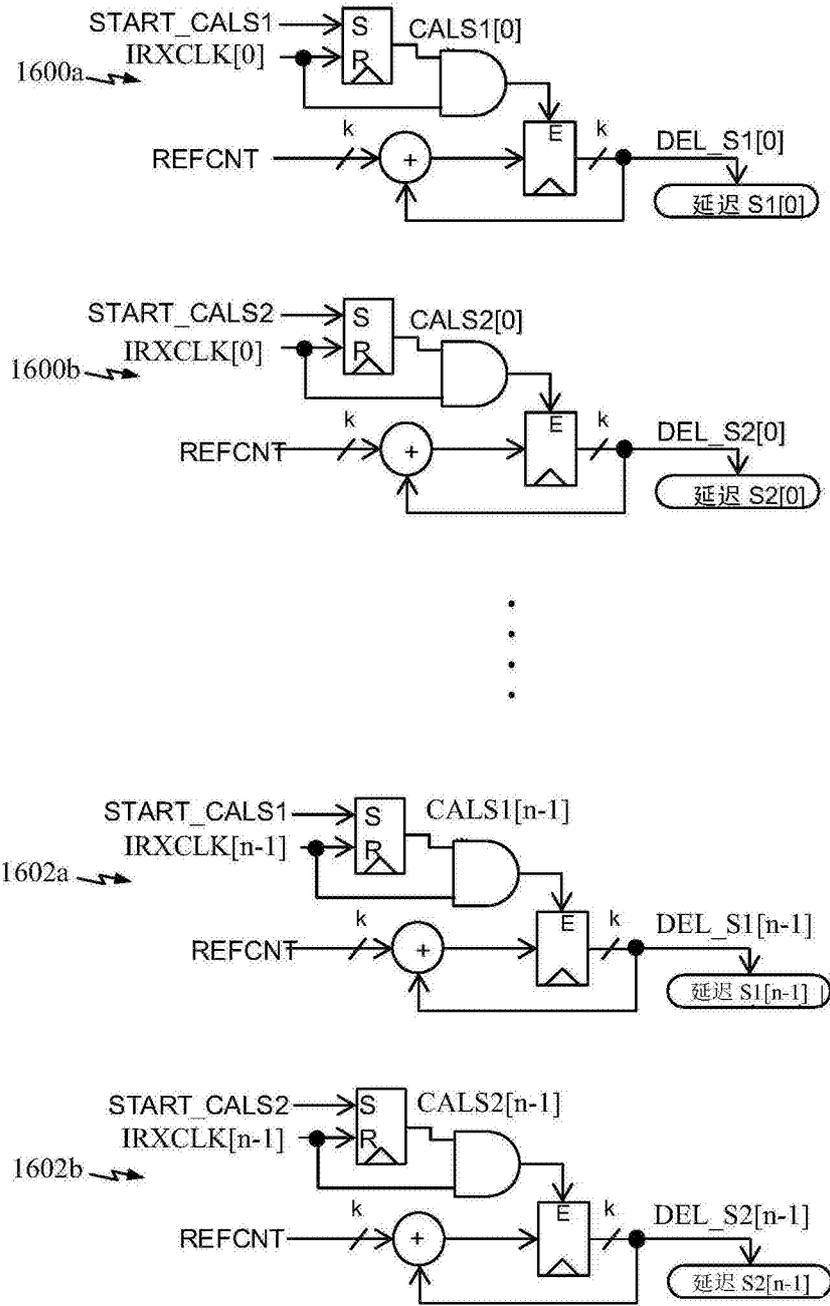


图16

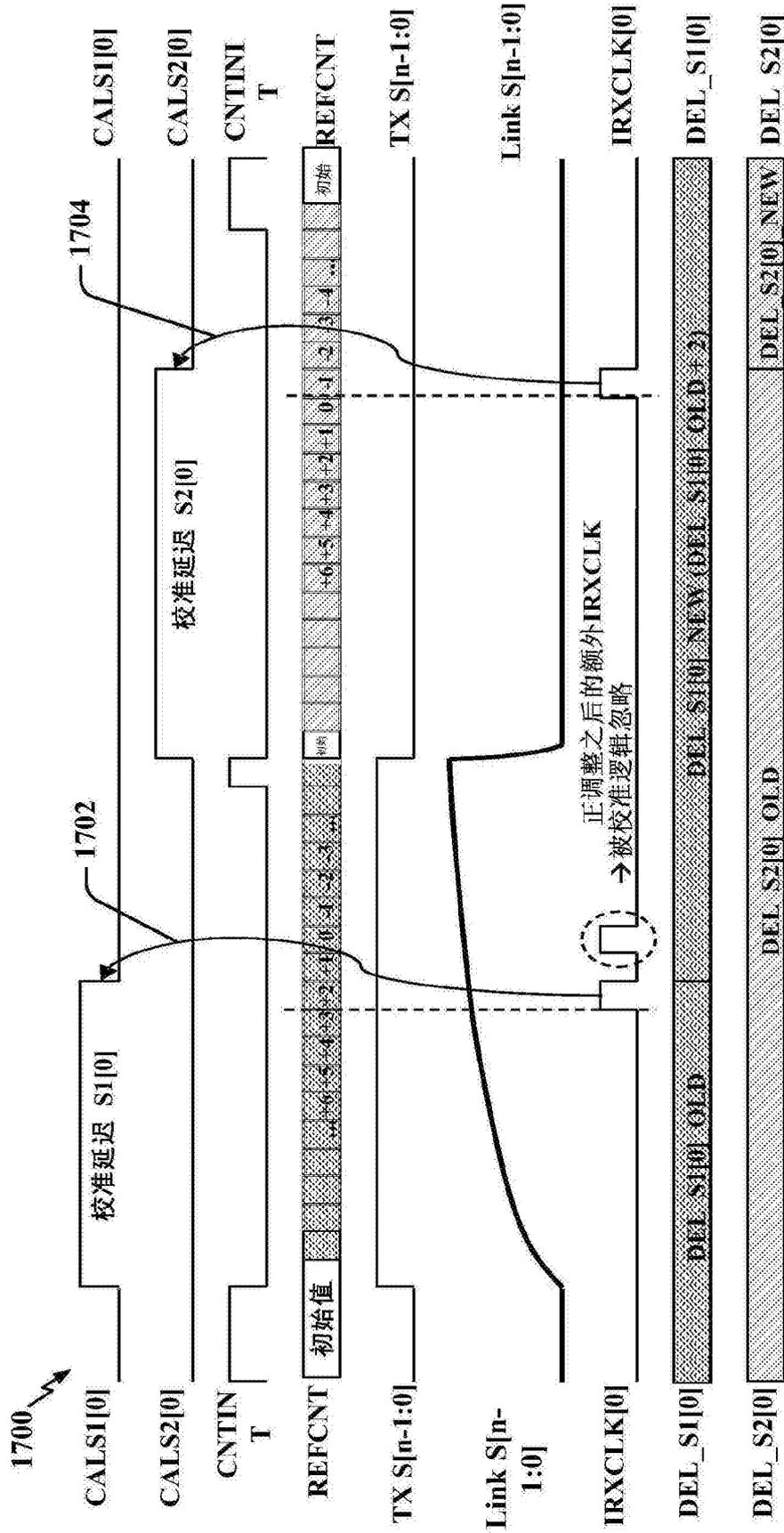


图17

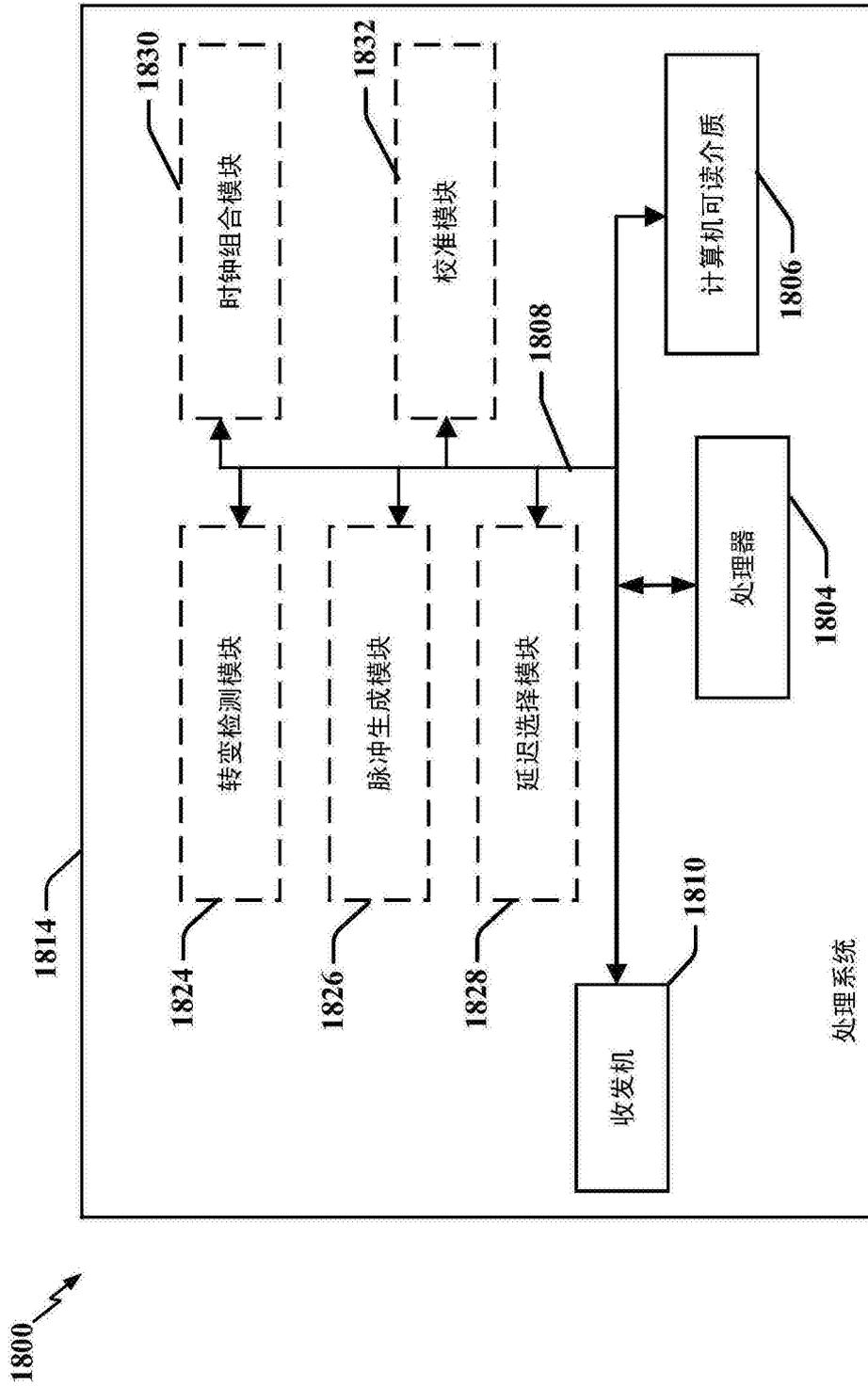


图18

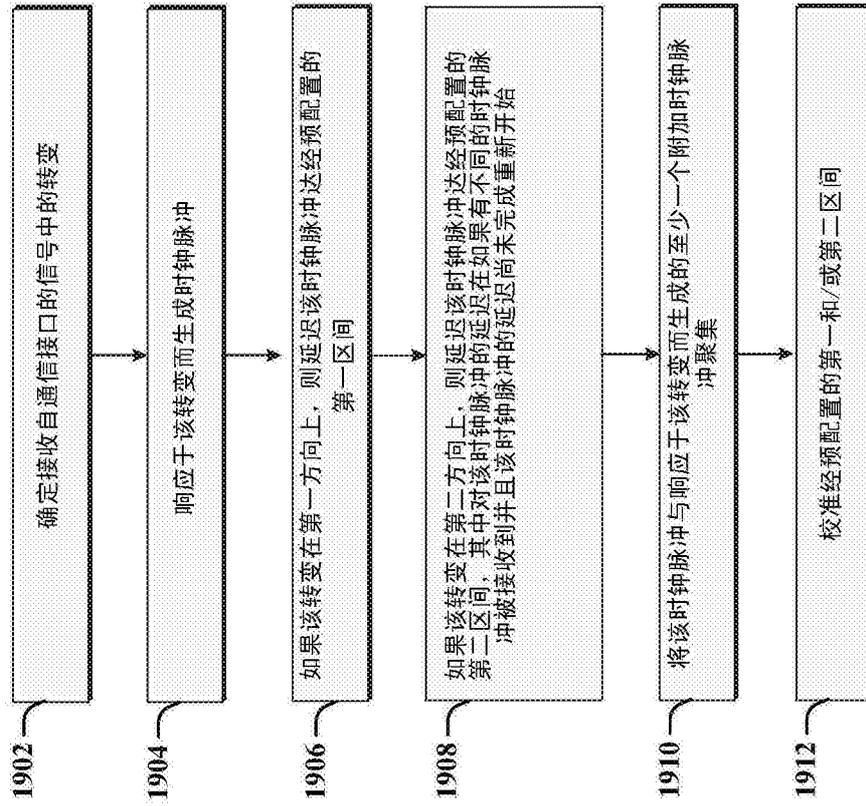


图19