

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年5月10日(2012.5.10)

【公表番号】特表2011-528817(P2011-528817A)

【公表日】平成23年11月24日(2011.11.24)

【年通号数】公開・登録公報2011-047

【出願番号】特願2011-500284(P2011-500284)

【国際特許分類】

G 06 F 9/38 (2006.01)

【F I】

G 06 F 9/38 3 7 0 B

【手続補正書】

【提出日】平成24年3月13日(2012.3.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

それぞれが異なる複雑さのインストラクションを含む、複数のインストラクションスレッドからのインストラクションを実行する、マルチスレッド型プロセッサにおいて、前記インストラクションスレッドからのインストラクションを実行するための複数のパイプラインと、インストラクションを発行し、各クロックサイクルにどのパイplineでインストラクションを実行するか決定するためのインストラクションスケジューラーとを備え、前記パイplineの少なくとも幾つかは、複雑さの低いインストラクションを実行するための低い待ち時間有する速い経路と、高い複雑さを有するインストラクションを実行するための高い待ち時間有する遅い経路との、2つの経路を含み、さらに該インストラクションスケジューラーは、2つの経路のどちらでインストラクションを実行すべきか決定するための手段を含み、前記インストラクションスケジューラーは、インストラクションを発行することが、データクラッシュを生じるかどうかを判断し、データクラッシュを生じる結果となる場合には、インストラクションを発行しないようにすることを特徴とする、

マルチスレッド型プロセッサ。

【請求項2】

前記インストラクションのいくつかは、デジタル信号処理(DSP)インストラクションセットであり、前記遅いパイpline経路で実行されるようになっている請求項1に記載のマルチスレッド型プロセッサ。

【請求項3】

前記インストラクションセットのいくつかは、縮小インストラクションセットコンピュータ(RISC)セットである、請求項1又は2のいずれかに記載のマルチスレッド型プロセッサ。

【請求項4】

2つのパイpline経路をもつパイpline上の前記経路は、共通のクロック信号を有するインストラクションを実行する、請求項1、2または3のいずれか1つの請求項に記載のマルチスレッド型プロセッサ。

【請求項5】

前記インストラクションには、それらが高い複雑さのものであるかどうか指示するフラ

グが関連付けられ、インストラクションに関連したフラグを検出するための手段と、その検出されたフラグに基づいてどの経路でインストラクションを実行すべきか決定するための手段とを備えた、請求項 1 から 4 のいずれか 1 つの請求項に記載のマルチスレッド型プロセッサ。

【請求項 6】

前記インストラクションは、2つのパイプライン経路で同時に実行される、請求項 1 から 5 のいずれか 1 つの請求項に記載のマルチスレッド型プロセッサ。

【請求項 7】

前記インストラクションスケジューラーは、2つのパイプライン経路が異なるクロックサイクルで実行を完了するようにそれらパイプライン経路においてインストラクションをスケジューリングする、請求項 6 に記載のマルチスレッド型プロセッサ。

【請求項 8】

それぞれがインストラクションを含む複数のインストラクションスレッドからのインストラクションを実行し、あるいは該インストラクションスレッドからのインストラクションを実行するための複数のインストラクションパイプラインを有するマルチスレッド型プロセッサで異なる複雑さのインストラクションを実行する方法において、

どのパイプラインでインストラクションを実行するかインストラクションスケジューラーで決定するステップを備え、前記パイプラインの少なくとも幾つかは速いパイpline 経路と遅いパイpline 経路とを含み、

さらに、低い複雑化と待ち時間の前記速いパイpline 経路でインストラクションを実行し、かつ高い複雑さと待ち時間の前記遅いパイpline 経路でインストラクションを実行するステップと、前記2つの経路のどちらでインストラクションを実行すべきかインストラクションスケジューラーで判断するステップと、

インストラクションを発行することが、データクラッシュを生じるかどうかを判断し、データクラッシュを生じる結果となる場合には、インストラクションを発行しないようにするステップと、

を備えた方法。

【請求項 9】

前記インストラクションの幾つかは、デジタル信号処理 (DSP) インストラクションであり、前記遅いパイpline 経路で実行される、ことを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記インストラクションの幾つかは、縮小インストラクションセットコンピュータ (RISC) であり、前記速いパイpline 経路で実行される、請求項 8 又は 9 のいずれかに記載の方法。

【請求項 11】

パイpline の前記2つのパイpline 経路を共通のクロック信号でクロックするステップを備えた、請求項 8 から 10 のいずれか 1 つの請求項に記載の方法。

【請求項 12】

インストラクションが高い複雑さのものであるかどうか指示するフラグを各インストラクションに関連付けるステップと、インストラクションに関連したフラグを検出しそしてその検出されたフラグに基づいてインストラクションのどの部分を実行すべきか決定するステップとを更に備えた、請求項 8 から 11 のいずれか 1 つの請求項に記載の方法。

【請求項 13】

2つのパイpline 経路上でインストラクションを同時に実行するステップを備えた、請求項 8 から 12 のいずれか 1 つの請求項に記載の方法。

【請求項 14】

前記2つのパイpline 経路が異なるクロックサイクルで実行を完了するようにそれらパイpline 経路においてインストラクションをスケジューリングするステップを備えた、請求項 13 に記載の方法。