

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 22 日 (22.12.2005)

PCT

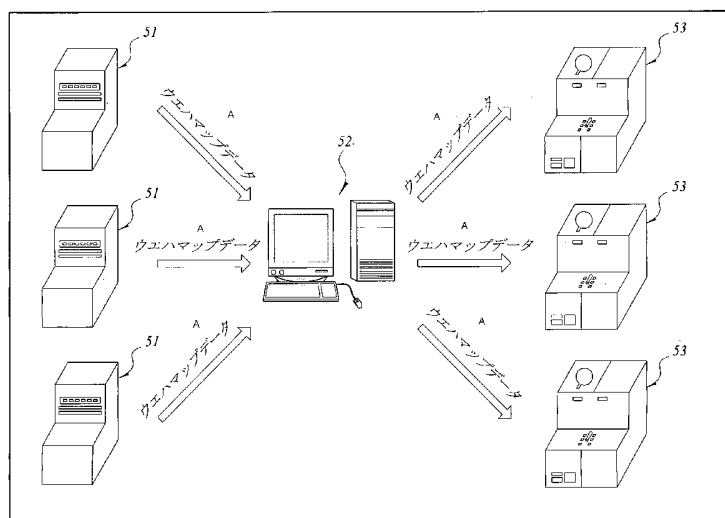
(10) 国際公開番号
WO 2005/122238 A1

- (51) 国際特許分類: H01L 21/66 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/008414 (75) 発明者/出願人 (米国についてのみ): 神田 信 (KANDA, Makoto) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 渡辺 孝司 (WATANABE, Koji) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 廣田 大介 (HIROTA, Daisuke) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).
(22) 国際出願日: 2004 年 6 月 9 日 (09.06.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).

/ 続葉有 /

(54) Title: PROCESS FOR FABRICATING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置の製造方法



A WAFER MAP DATA

(57) Abstract: When probe-mark inspection is performed using a probe card equipped with a thin film probe, a visual inspection system (51) visually inspects an external view of the major surface of an inspection object, i.e. a wafer, collects inspection results such as adhesion of a dust particle to the major surface of the wafer or abnormal shape of a bump electrode on the major surface of the wafer, as wafer map data in the order of arrangement of respective chips in the wafer plane. The wafer map data is transmitted through a server (52) to a probe inspection system (53) where probe-mark inspection is omitted for the chips which have not passed visual inspection according to the wafer map data and probe-mark inspection is performed for the other chips which have passed visual inspection.

(57) 要約: 薄膜プローブを備えたプローブカードを用いて行うプローブ検査時において、薄膜プローブの破損を防ぐために、外観検査装置 51 により検査対象であるウエハの主面の外観を検査し、ウエハの主面への異物の付着およびウエハの主面のバンプ電極の形状の異常などの外観不良の結果をウエハの面内における各チップの配列通りにウエハマップデータとしてまとめた後に、このウエハマップデータをサーバー 52 を介してプローブ検査装置 53 に送信し、

/ 続葉有 /



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体集積回路装置の製造方法

5 技術分野

本発明は、半導体集積回路装置の製造技術に関し、特に、狭ピッチで多数個の電極パッドが配置された半導体集積回路の電氣的検査に適用して有効な技術に関するものである。

10 背景技術

たとえば、日本特開平7-283280号公報、日本特開平8-50146号公報（対応PCT国際公開WO95-34000）、日本特開平8-201427号公報、日本特開平11-23615号公報（対応米国特許公報USP6,305,230）、日本特開2001-159643号公報、日本特開平10-308423号公報、日本特開平11-97471号公報（対応欧州公報EP1022775）、および日本特開2000-150594号公報（対応欧州公報EP0999451）には、半導体集積回路装置の製造技術を用いて形成された探針（接触端子）、絶縁フィルムおよび引き出し用配線を有するプローバの構造と、その製造方法と、テストパッドが狭ピッチ化したチップに対してもそのプローバを用いることによってプローブ検査の実施を可能とする技術とが開示されている。

また、日本特開2002-163900号公報（対応米国特許公開公報US2002-061606；2002.5.23公開）には、ウエハレベルバーンインにより、良品と判断されたチップのみプローブ検査を行うことにより、不良チップについてはプローブ検査を省略できる技術が開示されている。

また、日本特開平5-74888号公報には、チップ外観検査によって不良品と判定されたチップは特性検査の対象とせず、外観検査で良品とされたチップのみ特性検査を行うことにより、不良品と判定されたチップについてはプローブ検査を省略できる技術が開示されている。

また、日本特開平 7-94559 号公報には、画像処理によってウエハ上の不良マークのついたチップにはプローブ針を接触させずに電気的特性試験を行うことにより、不良チップについてはプローブ検査を省略できる技術が開示されている。

- 5 また、日本特開平 7-142547 号公報には、ウエハ上の不良チップをチップ外観検査装置によって検出し、さらに救済できなかった不良チップを特定し、それらのチップはテストを省略することにより、全テスト時間を短縮できる技術が開示されている。

- 10 また、日本特開平 7-147304 号公報（対応米国特許公報 US 5,644,245）には、プローブ針の針痕が許容範囲なら以降のチップに対してプローブ検査を実行し、針痕が許容範囲外ならプローブ検査を実行しないことにより、針跡トラブルによる不良チップの発生を未然に防止することのできる技術が開示されている。

- 15 また、日本特開平 5-3239 号公報には、ウエハ加工プロセスによって発生した不良チップが存在するウエハ外周領域のチップをプローブ検査の対象から除外してプローブ検査を実施し、その後ウエハ外周領域のチップにはバンプ電極を形成しないことにより、不要なバンプ電極の形成を省略できる技術が開示されている。

- 20 また、日本特開平 8-306748 号公報には、まずウエハ上のすべての素子に対してプローブ検査を行い、救済処置を行った後に、救済不可能な素子を除いた他の素子に対して第 2 プローブ検査を行うことにより、プローブ検査のスループットを向上できる技術が開示されている。

- 25 また、日本特開平 6-089929 号公報には、ウエハ内のチップごとに電気的に書き込み可能な永久記録手段を組み込み、試験結果で不良と判定された以降の試験は健全なチップのみに対して行う技術が開示されている。

発明の開示

半導体集積回路装置の検査技術として、たとえばプローブ検査がある。このプローブ検査は、所定の機能どおりに動作するか否かを確認する機能テストや、D

C動作特性およびA C動作特性のテストを行って良品／不良品を判別するテスト等を含む。

近年、半導体集積回路装置の多機能化が進行し、1個の半導体チップ（以下、単にチップと記す）に複数の回路を作りこむことが進められている。また、半導体集積回路装置の製造コストを低減するために、半導体素子および配線を微細化して、半導体チップ（以下、単にチップと記す）の面積を小さくし、ウエハ1枚当たりの取得チップ数を増加することが進められている。そのため、テストパッド（ボンディングパッド）数が増加するだけでなく、テストパッドの配置が狭ピッチ化し、テストパッドの面積も縮小されてきている。このようなテストパッドの狭ピッチ化に伴って、上記プローブ検査にカンチレバー状の探針を有するプローバを用いようとした場合には、探針をテストパッドの配置位置に合わせて設置することが困難になってしまう課題が存在する。

本発明者らは、半導体集積回路装置の製造技術を用いて形成された探針を有するプローバを用いることにより、テストパッドが狭ピッチ化したチップに対してもプローブ検査が実現できる技術について検討している。その中で、本発明者らは、以下のような課題を見出した。

すなわち、そのプローバは、たとえば半導体集積回路装置の製造技術を用いて金属膜およびポリイミド膜の堆積や、それらのパターニング等を実施することにより形成された薄膜プローブが備えられたプローブカードを有している。その薄膜プローブにおいて、金属膜の一部は探針となっており、半導体集積回路装置の製造技術によって微細にパターニングされていることから、狭ピッチ化したテストパッドへの対応を可能としている。このようなプローブカードを用いた場合において、検査対象のチップの表面に異物が付着していると、探針がテストパッドと接触する際にその異物が薄膜プローブと接し、薄膜プローブを破損してしまう虞がある。また、テストパッドの形状に異常があった場合にも薄膜プローブを破損してしまう虞がある。このように薄膜プローブが破損してしまった場合には、破損に気付かぬままプローブ検査を続けてしまう虞があり、正確な検査結果を得られなくなってしまう課題が存在する。

また、薄膜プローブの破損に気付いた場合には、薄膜プローブの破損に起因し

て正確な検査結果が得られていないと思われるチップに対しては、プローブカードの交換後に再度プローブ検査を実施する必要が生じ、プローブ検査に要する時間が延びてしまう課題が存在する。

- 本願に開示された一つの発明の一つの目的は、薄膜プローブを備えたプローブカードを用いて行うプローブ検査時において、薄膜プローブの破損を防ぐ技術を提供することにある。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明による半導体集積回路装置の製造方法は、

- 10 (a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第1電極が形成された半導体ウェハを用意する工程と、
- (b) 前記複数のチップ領域の前記主面の外観を検査し、外観異常が検出された第1チップ領域が配置されている第1位置を第1データとして記録する工程と、
- 15 (c) 第1配線が形成された配線基板と、前記複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第2配線が形成され、前記第2配線が前記第1配線と電氣的に接続し前記複数の接触端子の先端が前記複数の第1電極のうちの対応するものと対向して保持された第1シートと、前記第1シートのうち前記複数の接触端子が形成された領域を裏面より押圧する
- 20 押圧機構とを有する第1カードを用意する工程と、
- (d) 前記第1データを基に、前記複数のチップ領域毎に前記複数の接触端子の前記先端を前記複数の第1電極に接触させて前記半導体集積回路の電氣的検査を行い、前記第1チップ領域に対しては前記複数の接触端子の前記先端を前記複数の第1電極に接触させず、前記半導体集積回路の電氣的検査を省略する工程とを含むものである。
- 25

また、本願に開示されたその他の概要を項に分けて簡単に説明するとすれば、以下のごとくである。

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体集積回路製造工程において、ウェハ工程がほぼ完了し、複数のチッ

プ領域の各々にボンディングパッド（一般にワイヤボンディング用のパッドはアルミニウムを主成分とするAlパッドであるが、ワイヤボンディング用以外でもよい）上のボンディングパッド開口またはバンパ電極（ここでは主に金を主要な成分とする金バンパについて説明するが、はんだ金バンパ、銀バンパでもよい）

- 5 が形成されたウェハを準備する工程（一般にボンディングパッド等のプローブ用電極は、各チップ領域に対して、複数または多数個設けられる）；

（b）前記ウェハ上の前記複数のチップ領域の各々において、少なくとも前記ボンディングパッド開口または前記バンパ電極およびその周辺について、外観検査（一般に光学的な方法で行われる）を実行する工程；

- 10 （c）前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域の内、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な（ここでは、主に薄膜プローブ等に対するダメージの有無で判断する）第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程（プローブ検査自体はチップ領域一つずつでも複数個同時でも可能である）。
- 15

2. 第1項記載の半導体集積回路装置の製造方法において、

- 前記（c）工程の前記プローブテスト中、前記第1群のチップ領域に対しては
- 20 、前記薄膜プローブの突起針をプローブ用電極としての前記ボンディングパッドまたは前記バンパ電極に接触させない（たとえば、バンパのあるウェハプロセスにおける異物または異常パターンの高さの上限はバンパの高さと同等程度と考えられる。したがって、突起針をプローブ用電極に接触させない限り、たとえそのプローブ用電極またはその近傍に異物等があっても致命的なプローブの損傷は発生しないと考えられる。また、損傷は、電氣的測定を行うためのオーミックコンタクト達成のための加圧によって発生すると考えられるので、異物等との接触による突起針の軽度の損傷等を見逃すならば、外観異常のあるチップ領域のプローブ用電極に、名目的に突起針を接触させるが、加圧はしないのであれば、実質的に薄膜プローブ等への損傷を大幅に抑えることができる）。
- 25

3. 第1項記載の半導体集積回路装置の製造方法において、

前記(c)工程の前記プローブテスト中、前記第1群のチップ領域に対しては、前記薄膜プローブの突起針をプローブ用電極としての前記ボンディングパッドまたは前記バンプ電極に、少なくとも電氣的な測定が可能な程度までは接触させない。

4. 第1～第3項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記(b)工程の前記外観検査は、前記(c)工程の前記プローブテストの際に、前記ウエハ上の異物または異常パターンが前記薄膜プローブにダメージを与えるか否かを光学的に検査する工程を含む。

5. 第1～第4項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記(b)工程の外観検査は、以下の下位工程を含む：

(i) 第1の精度で、前記ボンディングパッド開口または前記バンプ電極およびその周辺に対して外観検査を実行する工程；

(i i) 前記第1の精度よりも粗い第2の精度で、前記ボンディングパッド開口または前記バンプ電極およびその周辺以外の部分に対して外観検査を実行する工程。

6. 第2～第5項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、バンプ電極である。

7. 第2～第5項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、ボンディングパッドである。

8. 第2～第6項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、金を主要な成分とするバンプ電極である。

9. 第2～第5項、および第7項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、アルミニウムを主要な成分とするボンディングパッドである。

10. 第1～第9項のいずれか1項に記載の半導体集積回路装置の製造方法において、

- 5 前記ボンディングパッドまたは前記バンプ電極よりも下層の相互配線層の少なくとも一部は、銅を主成分とする配線材料で構成された埋め込み配線である。

11. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々にプローブ用電極が形成されたウエハを準備する工程；

- 10 (b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記プローブ用電極およびその周辺について、外観検査を実行する工程；

(c) 前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域の内、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、且つ、前記薄膜プローブの突起針を前記プローブ用電極に接触させず、一方、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程。

12. 第11項に記載された半導体集積回路装置の製造方法において、
20 前記(b)工程の前記外観検査は、前記(c)工程の前記プローブテストの際に、前記ウエハ上の異物または異常パターンが前記薄膜プローブにダメージを与えるか否かを光学的に検査する工程を含む。

13. 第11項または第12項記載の半導体集積回路装置の製造方法において、
前記(b)工程の外観検査は、以下の下位工程を含む：

- 25 (i) 第1の精度で、前記プローブ用電極およびその周辺に対して外観検査を実行する工程；

(ii) 前記第1の精度よりも粗い第2の精度で、前記プローブ用電極およびその周辺以外の部分に対して外観検査を実行する工程。

14. 第11～第13項のいずれか1項に記載の半導体集積回路装置の製造方法

において、

前記プローブ用電極は、バンプ電極である。

15. 第11～第13項のいずれか1項に記載の半導体集積回路装置の製造方法において、

5 前記プローブ用電極は、ボンディングパッドである。

16. 第11～第14項のいずれか1項に記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、金を主要な成分とするバンプ電極である。

17. 第11～第13項、および15項のいずれか1項に記載の半導体集積回路
10 装置の製造方法において、

前記プローブ用電極は、アルミニウムを主要な成分とするボンディングパッドである。

18. 第11～第17項のいずれか1項に記載の半導体集積回路装置の製造方法において、

15 前記プローブ用電極よりも下層の相互配線層の少なくとも一部は、銅を主成分とする配線材料で構成された埋め込み配線である。

19. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々に金を主要な成分とする金バンプ電極が形成されたウエハを準備する工程；
20

(b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記金バンプ電極およびその周辺について、外観検査を実行する工程；

(c) 前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域の内、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、且つ、前記薄膜プローブの突起針を前記金バンプ電極に少なくとも電氣的な測定が可能な程度までは接触させず、一方、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程。
25

20. 第19項記載の半導体集積回路装置の製造方法において、

前記(b)工程の外観検査は、以下の下位工程を含む：

(i) 第1の精度で、前記金バンプ電極およびその周辺に対して外観検査を実行する工程；

5 (ii) 前記第1の精度よりも粗い第2の精度で、前記金バンプ電極およびその周辺以外の部分に対して外観検査を実行する工程。

21. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々にプローブ用電極が形成されたウエハを準備する工程；

10 (b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記プローブ用電極およびその周辺について、外観検査を実行する工程；

(c) 前記複数のチップ領域に対して、微小針高さプローブ（従来のカンチレバー方式では数十 μm の高さを有する異物等がウエハ上にあっても、プローブ針の先とそれを支える針支持部とのウエハ主面と平行な面方向での高度差は数百 μm もしくはそれ以上あり、まったく問題とならなかった。ところが、薄膜プローブに代表される微小針高さプローブでは、一般に針高さが90 μm 以下であるため、異物の形状、場所、属性によっては、プローブまたは被測定ウエハを損傷する可能性が高い）を用いてプローブテストを実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域の内、前記微小針高さプローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、且つ、前記微小針高さプローブの突起針を前記プローブ用電極に接触させず、一方、前記第1群に属さない第2群のチップ領域に対して、前記微小針高さプローブを用いて前記プローブテストを実行する工程。

25 22. 第21項記載の半導体集積回路装置の製造方法において、

前記微小針高さプローブの前記突起針の針高さは、90 μm 以下である。

23. 第21項に記載された半導体集積回路装置の製造方法において、

前記微小針高さプローブの前記突起針の針高さは、50 μm 以下である。

24. 前記第21項に記載された半導体集積回路装置の製造方法において、

前記微小針高さプローブの前記突起針の針高さは、 $30\text{ }\mu\text{m}$ 以下である。

25. 前記第21項に記載された半導体集積回路装置の製造方法において、

前記微小針高さプローブの前記突起針の針高さは、 $20\text{ }\mu\text{m}$ 以下である。

更に、本願に開示されたその他の概要を項に分けて簡単に説明するとすれば、

5 以下のごとくである。

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第1電極が形成された半導体ウエハを用意する工程；

10 (b) 前記複数のチップ領域の前記主面の外観を検査し、外観異常が検出された第1チップ領域が配置されている第1位置を第1データとして記録する工程；

(c) 第1配線が形成された配線基板と、前記複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第2配線が形成され、前記第2配線が前記第1配線と電氣的に接続し前記複数の接触端子の先端
15 が前記複数の第1電極のうちの対応するものと対向して保持された第1シートと、前記第1シートのうち前記複数の接触端子が形成された領域を裏面より押圧する押圧機構とを有する第1カードを用意する工程；

(d) 前記第1データを基に、前記複数のチップ領域毎に前記複数の接触端子の前記先端を前記複数の第1電極に接触させて前記半導体集積回路の電氣的検査を行
20 い、前記第1チップ領域に対しては前記複数の接触端子の前記先端を前記複数の第1電極に接触させず、前記半導体集積回路の電氣的検査を省略する工程。

2. 項1記載の半導体集積回路装置の製造方法において、

前記第1電極は、突起電極であることを特徴とする半導体集積回路装置の製造方法。

25 3. 項2記載の半導体集積回路装置の製造方法において、

前記外観異常は、前記突起電極の断面形状の異常もしくは前記チップ領域前記主面への異物の付着であることを特徴とする半導体集積回路装置の製造方法。

4. 項2記載の半導体集積回路装置の製造方法において、

前記(b)工程は、

(b 1) 前記複数のチップ領域の各々において、前記チップ領域の外周から前記第 1 電極より第 1 距離だけ内側の領域を複数の第 1 領域に分割し、各々の前記第 1 領域毎に前記外観を検査する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

5 5. 項 4 記載の半導体集積回路装置の製造方法において、

前記突起電極は、平面において長辺と短辺を有する矩形であり、

前記第 1 距離は、平面における前記突起電極の前記短辺より長いことを特徴とする半導体集積回路装置の製造方法。

6. 項 4 記載の半導体集積回路装置の製造方法において、

10 前記複数の第 1 領域の各々は、一辺が $10 \mu\text{m}$ 以下の矩形であることを特徴とする半導体集積回路装置の製造方法。

7. 項 4 記載の半導体集積回路装置の製造方法において、

前記 (b) 工程は、

(b 2) 前記複数の前記第 1 領域以外の領域を前記第 1 領域より面積の大きい複数の第 2 領域に分割し、各々の前記第 2 領域毎に前記外観を検査する工程、
15 を含むことを特徴とする半導体集積回路装置の製造方法。

8. 項 1 記載の半導体集積回路装置の製造方法において、

前記第 1 電極は、前記複数のチップ領域の前記主面に配置された突起電極下に配置され、前記突起電極と電氣的に接続するパッド電極であり、

20 前記 (d) 工程は、前記突起電極を形成する前に行うことを特徴とする半導体集積回路装置の製造方法。

9. 項 1 記載の半導体集積回路装置の製造方法において、

前記第 1 電極は、前記複数のチップ領域の各々において前記半導体ウエハの前記主面に形成された活性領域、および前記主面上に形成された複数層の配線層で
25 あり、

前記 (d) 工程は、前記活性領域および前記複数層の配線層を形成する毎に行うことを特徴とする半導体集積回路装置の製造方法。

10. 項 1 記載の半導体集積回路装置の製造方法において、

前記複数の第 1 電極の各々は、金を主成分とする突起電極であり、平面におい

て長辺と短辺を有する矩形であり、前記長辺は前記チップ領域の外周に向かって延在していることを特徴とする半導体集積回路装置の製造方法。

1 1. 項 1 0 記載の半導体集積回路装置の製造方法において、

隣り合う前記第 1 電極の間隔は、前記短辺以下の距離であることを特徴とする

5 半導体集積回路装置の製造方法。

1 2. 項 1 0 記載の半導体集積回路装置の製造方法において、

前記複数の第 1 電極の各々は、前記チップ領域の外周に沿って配列され、

隣り合う前記第 1 電極の間隔は $1.5 \mu\text{m}$ 以下であり、

隣り合う前記第 1 電極は第 2 距離毎に配置され、前記第 2 距離は $3.4 \mu\text{m}$ 以下

10 であることを特徴とする半導体集積回路装置の製造方法。

1 3. 項 1 0 記載の半導体集積回路装置の製造方法において、

前記半導体集積回路装置は、LCD ドライバを含むことを特徴とする半導体集積回路装置の製造方法。

1 4. 項 1 記載の半導体集積回路装置の製造方法において、

15 前記複数のチップ領域の各々には、前記主面上に複数層の配線層が形成され、

前記複数の第 1 電極は、前記複数層の配線層のうちの最上層の前記配線層に含まれることを特徴とする半導体集積回路装置の製造方法。

1 5. 項 1 4 記載の半導体集積回路装置の製造方法において、

前記複数の第 1 電極の各々は、前記チップ領域の外周に沿って配列され、

20 隣り合う前記第 1 電極の間隔は $1.5 \mu\text{m}$ 以下であり、

隣り合う前記第 1 電極は第 2 距離毎に配置され、前記第 2 距離は $3.4 \mu\text{m}$ 以下であることを特徴とする半導体集積回路装置の製造方法。

図面の簡単な説明

25 図 1 は本発明の一実施の形態であるプローブカードの下面の要部平面図である。

図 2 は図 1 中の A-A 線に沿った断面図である。

図 3 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

図 4 は図 3 に示した半導体チップに形成されたパッドの斜視図である。

図 5 は図 4 に示した半導体チップの液晶パネルへの接続方法を示す要部断面図である。

5 図 6 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 7 は図 6 中の B－B 線に沿った断面図である。

図 8 は図 6 中の C－C 線に沿った断面図である。

図 9 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部を拡大して示す断面図である。

10 図 10 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

図 11 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

15 図 12 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップに設けられたバンプ電極上にてプローブが接触する位置を示した要部平面図である。

図 13 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

20 図 14 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 15 は図 14 中の D－D 線に沿った断面図である。

図 16 は図 14 中の E－E 線に沿った断面図である。

図 17 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの製造工程を説明する要部断面図である。

25 図 18 は図 17 に続く薄膜シートの製造工程中の要部断面図である。

図 19 は図 18 に続く薄膜シートの製造工程中の要部断面図である。

図 20 は図 19 に続く薄膜シートの製造工程中の要部断面図である。

図 21 は図 20 に続く薄膜シートの製造工程中の要部断面図である。

図 22 は図 21 に続く薄膜シートの製造工程中の要部断面図である。

図 2 3 は図 2 2 に続く薄膜シートの製造工程中の要部断面図である。

図 2 4 は図 2 3 に続く薄膜シートの製造工程中の要部断面図である。

図 2 5 は図 2 4 に続く薄膜シートの製造工程中の要部断面図である。

図 2 6 は図 2 5 に続く薄膜シートの製造工程中の要部断面図である。

- 5 図 2 7 は本発明の一実施の形態であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

- 10 図 2 8 は本発明の一実施の形態であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

図 2 9 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 3 0 は図 2 9 中の F - F 線に沿った要部断面図である。

- 15 図 3 1 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 3 2 は図 3 1 中の F - F 線に沿った要部断面図である。

図 3 3 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 3 4 は図 3 3 中の F - F 線に沿った要部断面図である。

- 20 図 3 5 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

図 3 6 は図 3 5 中の F - F 線に沿った要部断面図である。

図 3 7 は本発明の一実施の形態であるプローブカードを形成する薄膜シートの要部平面図である。

- 25 図 3 8 は図 3 7 中の F - F 線に沿った要部断面図である。

図 3 9 は本発明の一実施の形態であるプローブ検査工程に用いる各装置の構成について示した説明図である。

図 4 0 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの主面内における領域の規定を説明する平面図である

。

図 4 1 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの主面に設けられたパッドの形状異常を説明する要部断面図である。

- 5 図 4 2 は本発明の一実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの外観検査の結果をまとめたウエハマップデータを示す説明図である。

図 4 3 は本発明の他の実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの要部断面図である。

- 10 図 4 4 は本発明の他の実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの要部断面図である。

図 4 5 は本発明の他の実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップの外観検査の結果をまとめたウエハマップデータを示す説明図である。

- 15 図 4 6 は本発明の他の実施の形態であるプローブカードを用いてプローブ検査を行う対象の半導体チップ領域が形成された半導体ウエハの平面図である。

図 4 7 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

- 20 図 4 8 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

図 4 9 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

図 5 0 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

- 25 図 5 1 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

図 5 2 は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

図 5 3 はカンチレバー方式のプローブカードの要部断面図である。

発明を実施するための最良の形態

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

- 5 ウエハとは、集積回路の製造に用いる単結晶シリコン基板（一般にほぼ平面円形状）、SOI（Silicon On Insulator）基板、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板をいう。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうで
- 10 ない旨明示された場合を除き、TFT（Thin Film Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

デバイス面とは、ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面をいう。

- 15 微小針高さプローブとは、図53に示すような探針201、プローブ基板202および針押さえ部203などからなる従来のカンチレバー方式のプローブカードのように、探針201の先端とそれを実質的に支える部分（針押さえ部203）の距離（すなわち針高さH101）が数百 μm 程度かそれ以上あるものと異なり、針高さが50 μm 以下（大きくとも90 μm 以下）、更に望ましくは30 μm
- 20 m以下である狭ピッチ半導体集積回路用のプローブである。その典型的な例が、本願実施の形態に詳述する薄膜プローブである。針高さは、薄膜プローブの場合は、一般に針近傍のシート表面（基準面）から測った針先端の高さである。

- 接触端子とは、シリコンウエハを半導体集積回路の製造に用いるのと同様な、ウエハプロセス、すなわちフォトリソグラフィ技術、CVD（Chemical Vapor
- 25 Deposition）技術、スパッタリング技術およびエッチング技術などを組み合わせたパターニング手法によって、配線層およびそれに電氣的に接続された先端部を一体的に形成したものをいう。

薄膜プローブ（membrane probe）、薄膜プローブカード、または突起針配線シート複合体とは、検査対象と接触する前記接触端子（突起針）とそこから引き回

された配線とが設けられ、その配線に外部接触用の電極が形成された薄膜をいい、たとえば厚さ $10\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度のものをいう。

プローブカードとは、検査対象となるウエハと接触する接触端子および多層配線基板などを有する構造体をいい、半導体検査装置とは、プローブカードおよび

5 検査対象となるウエハを載せる試料支持系を有する検査装置をいう。

プローブ検査とは、ウエハ工程が完了したウエハに対してプローバを用いて行われる電氣的試験であって、チップ領域の主面上に形成された電極に上記接触端子の先端を当てて半導体集積回路の電氣的検査を行うことをいい、所定の機能通りに動作するか否かを確認する機能テストやDC動作特性およびAC動作特性の

10 テストを行って良品／不良品を判別するものである。各チップに分割してから（またはパッケージング完了後）行われる選別テスト（最終テスト）とは区別される。プローブ検査の結果は、後述するウエハマップとしてまとめられる。

ウエハ外観検査装置とは、鏡面ウエハ、薄膜付きウエハおよびパターン付きウエハ上において、微細パターンの寸法測定、血管検査、膜厚測定および平面度測定などの寸法・形状測定や、異物を検査するパーティクル計測などの検査を実施

15 するものである。これらの測定および検査（以降、ウエハ外観検査と記す）は所定の分解能で行われ、測定結果および検査結果は、次に説明するウエハマップとしてまとめられる。

ウエハマップとは、プローブ検査の結果およびウエハ外観検査の結果をチップ

20 領域の配列通りもしくは測定・検査した領域の配列通りに表示したものをいい、ウエハ処理状態の分布や、ウエハ処理の良否などの判断に用いる。

サーバーとは、ネットワークの中心となるコンピュータをいい、たとえばネットワーク上のファイルを蓄積してネットワークに接続しているユーザーが使えるようにするファイルサーバーがある。本願においては、ウエハマップデータが上

25 記ファイルに相当する。

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

- 5 さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

- 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。
- 10 このことは、上記数値および範囲についても同様である。

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

- また、本実施の形態で用いる図面においては、平面図であっても図面を見易く
- 15 するために部分的にハッチングを付す場合がある。

また、本実施の形態においては、絶縁ゲート型電界効果トランジスタをMOS FET（Metal Oxide Semiconductor Field Effect Transistor）も含めてMIS FET（Metal Insulator Semiconductor Field Effect Transistor）と呼ぶ。

- また、本願で使用する半導体リソグラフィ技術による薄膜プローブの各詳細
- 20 については、本発明者および関連する発明者等による以下の特許出願に開示されているので、特に必要な時以外はそれらの内容は繰り返さない。前記特許出願、すなわち、日本特許出願第2002-289377号（対応米国出願番号第10／676,609号；米国出願日2003.10.2）、日本特許出願第2002-294376号、日本特許出願第2003-189949号、日本特許出願
- 25 第2003-075429号（対応米国出願番号第10／765,917号；米国出願日2004.1.29）、日本特許出願第2003-371515号、日本特許出願第2003-372323号、および日本特許出願第2004-115048号である。

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

(実施の形態 1)

図 1 は本実施の形態 1 のプローブカードの下面の要部平面図であり、図 2 は図 1 中の A-A 線に沿った断面図である。

図 1 および図 2 に示すように、本実施の形態 1 のプローブカード (第 1 カード 5) は、たとえば多層配線基板 1、薄膜シート (薄膜プローブ (第 1 シート)) 2 およびプランジャ (押圧機構) 3 などから形成されている。薄膜シート 2 は押さえリング 4 によって多層配線基板 1 の下面に固定され、プランジャ 3 は多層配線基板 1 の上面に取り付けられている。多層配線基板 1 の中央部には開口部 5 が設けられ、この開口部 5 内において、薄膜シート 2 とプランジャ 3 とは接着リング 6 を介して接着されている。

薄膜シート 2 の下面には、たとえば 4 角錐型または 4 角錐台形型の複数のプローブ (接触端子) 7 が形成されている。薄膜シート 2 内には、プローブ 7 の各々と電氣的に接続し、各々のプローブ 7 から薄膜シート 2 の探部まで延在する複数の配線が形成されている。多層配線基板 1 の下面には、この複数の配線の端部とそれぞれ電氣的に接触する複数の受け部 (図示は省略) が形成されており、この複数の受け部は、多層配線基板 1 内に形成された配線 (第 1 配線) を通じて多層配線基板 1 の上面に設けられた複数のポゴ (POGO) 座 8 と電氣的に接続している。このポゴ座 8 は、テストからの信号をプローブカードへ導入するピンを受ける機能を有する。

本実施の形態 1 において、薄膜シート 2 は、たとえばポリイミドを主成分とする薄膜から形成されている。このような薄膜シート 2 は柔軟性を有することから、本実施の形態 1 では、チップ (半導体集積回路装置) のパッドにすべてのプローブ 7 を接触させるために、プローブ 7 が形成された領域の薄膜シート 2 を上面 (裏面) から押圧具 (押圧機構) 9 を介してプランジャ 3 が押圧する構造となっている。すなわち、プランジャ 3 内に配置されたばね 3 A の弾性力によって一定の圧力を押圧具 9 に加えるものである。本実施の形態 1 において、押圧具 9 の材質としては、42 アロイを例示することができる。

本実施の形態 1 において、上記プローブカードを用いてプローブ検査 (電氣的検査) を行う対象としては、LCD (Liquid Crystal Display) ドライバが形成

されたチップを例示することができる。図46は、それら複数のチップ（チップ領域）10が区画されたウエハWHの平面図である。なお、本実施の形態1のプロブカードを用いたプロブ検査は、これら複数のチップ10が区画されたウエハWHに対して行うものである。

- 5 また、図3は、そのチップ10の平面と、その一部を拡大したものを図示している。このチップ10は、たとえば単結晶シリコン基板からなり、その主面にはLCDドライバ回路が形成されている。また、チップ10の主面の周辺部には、LCDドライバ回路と電氣的に接続する多数のパッド（第1電極）11、12が配置されており、図3中におけるチップ10の上側の長辺および両短辺に沿って配
- 10 列されたパッド11は出力端子となり、チップ10の下側の長辺に沿って配列されたパッド12は入力端子となっている。LCDドライバの出力端子数は入力端子数より多いことから、隣り合ったパッド11の間隔をできる限り広げるために、パッド11はチップ10の上側の長辺および両短辺に沿って2列で配列され、チップ10の上側の長辺および両短辺に沿って互いの列のパッド11が互い違
- 15 いに配列されている。本実施の形態1において、隣り合うパッド11が配置されているピッチ（第2距離）LPは、たとえば約68 μm である。また、本実施の形態1において、パッド11は平面矩形であり、チップ10の外周と交差（直交）する方向に延在する長辺の長さLAは約63 μm であり、チップ10の外周に沿って延在する短辺の長さLBは約34 μm である。また、隣り合うパッド11
- 20 が配置されているピッチLPが約68 μm であり、パッド11の短辺の長さLBが約34 μm であることから、隣り合うパッド11の間隔は約34 μm となる。

パッド11、12は、たとえばAu（金）から形成されたバンプ電極（突起電極）であり、チップ10の入出力端子（ボンディングパッド）上に、電解めっき、無電解めっき、蒸着あるいはスパッタリングなどの方法によって形成されたものである。図4は、パッド11の斜視図である。パッド11の高さLCは約15 μm であり、パッド12も同程度の高さを有する。

25

また、上記チップ10は、ウエハの主面に区画された多数のチップ領域に半導体製造技術を使ってLCDドライバ回路（半導体集積回路）や入出力端子（ボンディングパッド）を形成し、次いで入出力端子上に上記の方法でパッド11を形

成した後、ウエハをダイシングしてチップ領域を個片化することにより製造することができる。また、本実施の形態1において、上記プローブ検査は、ウエハをダイシングする前に各チップ領域に対して実施するものである。なお、以後プローブ検査（パッド11、12とプローブ7とが接触する工程）を説明する際に、

5 特に明記しない場合には、チップ10はウエハをダイシングする前の各チップ領域を示すものとする。

図5は、上記チップ10の液晶パネルへの接続方法を示す要部断面図である。図5に示すように、液晶パネルは、たとえば主面に画素電極14、15が形成されたガラス基板16、液晶層17、および液晶層17を介してガラス基板16と

10 対向するように配置されたガラス基板18などから形成されている。本実施の形態1においては、このような液晶パネルのガラス基板16の画素電極14、15に、それぞれパッド11、12が接続するようにチップ10をフェイスダウンボンディングすることによって、チップ10を液晶パネルへ接続することを例示できる。

15 図6は上記薄膜シート2の下面のプローブ7が形成された領域の一部を拡大して示した要部平面図であり、図7は図6中のB-B線に沿った要部断面図であり、図8は図6中のC-C線に沿った要部断面図である。

上記プローブ7は、薄膜シート2中にて平面六角形状にパターニングされた金属膜21A、21Bの一部であり、金属膜21A、21Bのうちの薄膜シート2

20 の下面に4角錐型または4角錐台形に飛び出した部分である。プローブ7は、薄膜シート2の主面において上記チップ10に形成されたパッド11、12の位置に合わせて配置されており、図6ではパッド11に対応するプローブ7の配置について示している。これらプローブ7のうち、プローブ7Aは、2列で配列されたパッド11のうちの相対的にチップ10の外周に近い配列（以降、第1列と

25 記す）のパッド11に対応し、プローブ7Bは、2列で配列されたパッド11のうちの相対的にチップ10の外周から遠い配列（以降、第2列と記す）のパッド11に対応している。また、最も近い位置に存在するプローブ7Aとプローブ7Bとの間の距離は、図6が記載された紙面の左右方向の距離LXと上下方向の距離LYとで規定され、距離LXは前述の隣り合うパッド11が配置されているピ

タッチLPの半分の約 $34\mu\text{m}$ となる。また、本実施の形態1において、距離LYは、約 $93\mu\text{m}$ となる。また、図9に示すように、ポリイミド膜22の表面からプローブ7A、7Bの先端までの高さLZ（針高さ）は、 $50\mu\text{m}$ 以下（大きくとも $90\mu\text{m}$ 以下）、更に望ましくは $30\mu\text{m}$ 以下で揃えられている。

- 5 金属膜21A、21Bは、たとえば下層からロジウム膜およびニッケル膜が順次積層して形成されている。金属膜21A、21B上にはポリイミド膜22が成膜され、ポリイミド膜22上には各金属膜21と電氣的に接続する配線（第2配線）23が形成されている。配線23は、ポリイミド膜22に形成されたスルーホール24の底部で金属膜21A、21Bと接触している。また、ポリイミド膜
- 10 22および配線23上には、ポリイミド膜25が成膜されている。

- 上記したように、金属膜21A、21Bの一部は4角錐型または4角錐台形型に形成されたプローブ7A、7Bとなり、ポリイミド膜22には金属膜21A、21Bに達するスルーホール24が形成される。そのため、プローブ7Aが形成された金属膜21Aおよびスルーホール24の平面パターンと、プローブ7Bが
- 15 形成された金属膜21Bおよびスルーホール24の平面パターンとが同じ方向で配置されるようにすると、隣り合う金属膜21Aと金属膜21Bとが接触してしまい、プローブ7A、7Bからそれぞれ独立した入出力を得られなくなってしまい不具合が懸念される。そこで、本実施の形態1では、図6に示すように、プローブ7Bが形成された金属膜21Bおよびスルーホール24の平面パターン
- 20 は、プローブ7Aが形成された金属膜21Aおよびスルーホール24の平面パターンを 180° 回転したパターンとしている。それにより、平面でプローブ7Aおよびスルーホール24が配置された金属膜21Aの幅広の領域と、平面でプローブ7Bおよびスルーホール24が配置された金属膜21Bの幅広の領域とが、紙面の左右方向の直線上に配置されないようになり、金属膜21Aおよび金属
- 25 膜21Bの平面順テーパー状の領域が紙面の左右方向の直線上に配置されるようになる。その結果、隣り合う金属膜21Aと金属膜21Bとが接触してしまう不具合を防ぐことができる。また、狭ピッチでパッド11（図3参照）が配置されても、それに対応した位置にプローブ7A、7Bを配置することが可能となる。

本実施の形態1では、図3を用いてパッド11が2列で配列されている場合について説明したが、図10に示すように、1列で配列されているチップも存在する。そのようなチップに対しては、図11に示すように、上記金属膜21Aの幅広の領域が紙面の左右方向の直線上に配置された薄膜シート2を用いることで
5 対応することができる。また、このようにパッド11が1列で配列され、たとえばチップ10の外周と交差（直交）する方向に延在する長辺の長さLA約140 μm であり、チップ10の外周に沿って延在する短辺の長さLBが約19 μm であり、隣り合うパッド11が配置されているピッチLPが約34 μm であり、隣り合うパッド11の間隔が約15 μm である場合には、図3に示したパッド11
10 に比べて長辺が約2倍以上となり、短辺方向でのパッド11の中心位置を図3に示したパッド11の中心位置と揃えることができるので、図6～図8を用いて説明した薄膜シート2を用いることが可能となり、図12に示す位置POS1、POSでプローブ7A、7Bのそれぞれがパッド11に接触することになる。

また、パッド11の数がさらに多い場合には、3列以上で配列されている場合
15 もある。図13は3列で配列されたパッド11に対応した薄膜シート2の要部平面図であり、図14は4列で配列されたパッド11に対応した薄膜シート2の要部平面図である。チップ10のサイズが同じであれば、パッド11の配列数が増えるに従って、図6を用いて説明した距離LXがさらに狭くなるので、上記金属膜21A、21Bを含む金属膜が接触してしまうことがさらに懸念される。そこで、図13および図14に示すように、金属膜21A、21B、21C、21D
20 を、たとえば図6に示した金属膜21Aの平面パターンを45°回転させたものとするので、金属膜21A、21B、21C、21Dが互いに接触してしまう不具合を防ぐことが可能となる。また、ここでは図6に示した金属膜21Aの平面パターンを45°回転させた例について説明したが、45°に限定するもの
25 ではなく、金属膜21A、21B、21C、21Dの互いの接触を防ぐことができるのであれば他の回転角でもよい。なお、金属膜21Cには、プローブ7Bが対応するパッド11よりさらにチップ10内の内側に配置されたパッド11に対応するプローブ7Cが形成され、金属膜21Dには、プローブ7Cが対応するパッド11よりさらにチップ10内の内側に配置されたパッド11に対応するブ

ローブ 7 D が形成されている。

ここで、図 1 5 は図 1 4 中の D-D 線に沿った要部断面図であり、図 1 6 は図 1 4 中の E-E 線に沿った要部断面図である。図 1 4 に示したように、4 列のパッド 1 1 に対応するプローブ 7 A ~ 7 D を有する金属膜 2 1 A ~ 2 1 D を配置した場合には、金属膜 2 1 A ~ 2 1 D のそれぞれに上層から電氣的に接続する配線のすべてを同一の配線層で形成することが困難になる。これは、上記距離 L X が狭くなることによって、金属膜 2 1 A ~ 2 1 D のそれぞれ同士が接触する虞が生じると共に、金属膜 2 1 A ~ 2 1 D に電氣的に接続する配線同士も接触する虞が生じるからである。そこで、本実施の形態 1 においては、図 1 5 および図 1 6 に示すように、それら配線を 2 層の配線層（配線 2 3、2 6）から形成することを例示することができる。なお、配線 2 6 およびポリイミド膜 2 5 上には、ポリイミド膜 2 7 が形成されている。相対的に下層の配線 2 3 はポリイミド膜 2 2 に形成されたスルーホール 2 4 の底部で金属膜 2 1 A、2 1 C と接触し、相対的に上層の配線 2 6 はポリイミド膜 2 2、2 5 に形成されたスルーホール 2 8 の底部で金属膜 2 1 B、2 1 D と接触している。それにより、同一の配線層においては、隣り合う配線 2 3 または配線 2 6 の間隔を大きく確保することが可能となるので、隣り合う配線 2 3 または配線 2 6 が接触してしまう不具合を防ぐことができる。また、パッド 1 1 が 5 列以上となり、それに対応するプローブ数が増加して上記距離 L X が狭くなる場合には、さらに多層に配線層を形成することによって、配線間隔を広げてもよい。

次に、上記の本実施の形態 1 の薄膜シート 2 の構造について、その製造工程と併せて図 1 7 ~ 図 2 6 を用いて説明する。図 1 7 ~ 図 2 6 は、図 6 ~ 図 8 を用いて説明した 2 列のパッド 1 1（図 3 参照）に対応したプローブ 7 A、7 B を有する薄膜シート 2 の製造工程中の要部断面図である。なお、薄膜シートの構造および薄膜シートの製造工程と、上記プローブ 7（プローブ 7 A ~ 7 D）と同様のプローブの構造および製造工程については、特願 2 0 0 3 - 7 5 4 2 9 号、特願 2 0 0 3 - 3 7 1 5 1 5 号、特願 2 0 0 3 - 3 7 2 3 2 3 号、および特願 2 0 0 4 - 1 1 5 0 4 8 号にも記載がある。

まず、図 1 7 に示すように、厚さ 0.2 mm ~ 0.6 mm 程度のシリコンから

なるウエハ 3 1 を用意し、熱酸化法によってこのウエハ 3 1 の両面に膜厚 0. 5 μm 程度の酸化シリコン膜 3 2 を形成する。続いて、フォトレジスト膜をマスクとしてウエハ 3 1 の主面側の酸化シリコン膜 3 2 をエッチングし、ウエハ 3 1 の主面側の酸化シリコン膜 3 2 にウエハ 3 1 に達する開口部を形成する。次いで、
5 残った酸化シリコン膜 3 2 をマスクとし、強アルカリ水溶液（たとえば水酸化カリウム水溶液）をもちいてウエハ 3 1 を異方的にエッチングすることによって、ウエハ 3 1 の主面に（1 1 1）面に囲まれた 4 角錐型または 4 角錐台形型の穴 3 3 を形成する。

次に、図 1 8 に示すように、上記穴 3 3 の形成時にマスクとして用いた酸化シリコン膜 3 2 をフッ酸およびフッ化アンモニウムの混合液によるウェットエッチングにより除去する。続いて、ウエハ 3 1 に熱酸化処理を施すことにより、穴 3 3 の内部を含むウエハ 3 1 の全面に膜厚 0. 5 μm 程度の酸化シリコン膜 3 4 を形成する。次いで、穴 3 3 の内部を含むウエハ 3 1 の主面に導電性膜 3 5 を成膜する。この導電性膜 3 5 は、たとえば膜厚 0. 1 μm 程度のクロム膜および膜
15 厚 1 μm 程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。次いで、導電性膜 3 5 上にフォトレジスト膜を成膜し、フォトリソグラフィ技術によって後の工程で金属膜 2 1 A、2 1 B（図 6 ～図 8 参照）が形成される領域のフォトレジスト膜を除去し、開口部を形成する。

次に、導電性膜 3 5 を電極とした電解めっき法により、上記フォトレジスト膜の開口部の底部に現れた導電性膜 3 5 上に硬度の高い導電性膜 3 7 および導電性膜 3 8 を順次堆積する。本実施の形態 1 においては、導電性膜 3 7 をロジウム膜とし、導電性膜 3 8 をニッケル膜とすることを例示できる。ここまでの工程により、導電性膜 3 7、3 8 から前述の金属膜 2 1 A、2 1 B を形成することがで
25 きる。また、穴 3 3 内の導電性膜 3 7、3 8 が前述のプローブ 7 A、7 B となる。なお、導電性膜 3 5 は、後の工程で除去されるが、その工程については後述する。

金属膜 2 1 A、2 1 B においては、後の工程で前述のプローブ 7 A、7 B が形成された時に、ロジウム膜から形成された導電性膜 3 7 が表面となり、導電性膜

37がパッド11に直接接触することになる。そのため、導電性膜37としては、硬度が高く耐磨耗性に優れた材質を選択することが好ましい。また、導電性膜37はパッド11に直接接触するため、プローブ7A、7Bによって削り取られたパッド11の屑が導電性膜37に付着すると、その屑を除去するクリーニング工程が必要となり、プローブ検査工程が延びてしまうことが懸念される。そのため、導電性膜37としては、パッド11を形成する材料が付着し難い材質を選択することが好ましい。そこで、本実施の形態1においては、導電性膜37として、これらの条件を満たすロジウム膜を選択している。それにより、そのクリーニング工程を省略することができる。

- 10 次に、上記金属膜21A、21B（導電性膜37、38）の成膜に用いたフォトレジスト膜を除去した後、図19に示すように、金属膜21A、21Bおよび導電性膜35を覆うようにポリイミド膜22（図7および図8も参照）を成膜する。続いて、そのポリイミド膜22に金属膜21A、21Bに達する前述のスルーホール24を形成する。このスルーホール24は、レーザを用いた穴あけ加工
- 15 またはアルミニウム膜をマスクとしたドライエッチングによって形成することができる。

- 次に、図20に示すように、スルーホール24の内部を含むポリイミド膜22上に導電性膜42を成膜する。この導電性膜42は、たとえば膜厚0.1 μ m程度のクロム膜および膜厚1 μ m程度の銅膜を順次スパッタリング法または蒸着
- 20 法によって堆積することによって成膜することができる。続いて、その導電性膜42上にフォトレジスト膜を形成した後に、そのフォトレジスト膜をフォトリソグラフィ技術によってパターニングし、フォトレジスト膜に導電性膜42に達する開口部を形成する。次いで、めっき法により、その開口部内の導電性膜42上に導電性膜43を成膜する。本実施の形態1においては、導電性膜43として銅
- 25 膜、または銅膜およびニッケル膜を下層から順次堆積した積層膜を例示することができる。

次に、上記フォトレジスト膜を除去した後、導電性膜43をマスクとして導電性膜42をエッチングすることにより、導電性膜42、43からなる配線23を形成する。配線23は、スルーホール24の底部にて金属膜21A、21Bと電

氣的に接続することができる。

次に、図 2 1 に示すように、ウエハ 3 1 の主面に前述のポリイミド膜 2 5 を成膜する。このポリイミド膜 2 5 は、後の工程でウエハ 3 1 の主面に固着される金属シートの接着層として機能する。

- 5 次に、図 2 2 に示すように、ポリイミド膜 2 5 の上面に金属シート 4 5 を固着する。この金属シート 4 5 としては、線膨張率が低く、かつシリコンから形成されたウエハ 3 1 の線膨張率に近い材質を選ぶものであり、本実施の形態 1 では、たとえば 4 2 アロイ（ニッケル 4 2 % かつ鉄 5 8 % の合金で、線膨張率 $4 \text{ ppm}/^{\circ}\text{C}$ ）またはインバー（ニッケル 3 6 % かつ鉄 6 4 % の合金で、線膨張率 $1.5 \text{ ppm}/^{\circ}\text{C}$ ）を例示することができる。また、金属シート 4 5 を用いる代わりに
- 10 ウエハ 3 1 と同じ材質のシリコン膜を形成してもよいし、シリコンと同程度の線膨張率を有する材質、たとえば鉄とニッケルとコバルトとの合金、またはセラミックと樹脂との混合材料などでもよい。このような金属シート 4 5 を固着するには、ウエハ 3 1 の主面に位置合わせしつつ重ね合わせ、 $10 \sim 200 \text{ kgf}/\text{cm}^2$ 程度で加圧しながらポリイミド膜 2 5 のガラス転移点温度以上の温度で加熱
- 15 を行い、加熱加圧圧着することによって実現できる。

- このような金属シート 4 5 をポリイミド膜 2 5 を用いて固着することによって、形成される薄膜シート 2 の強度の向上を図ることができる。また、金属シート 4 5 を固着しない場合には、プローブ検査時の温度に起因する薄膜シート 2 およ
- 20 び検査対象のウエハの膨張または収縮によって、プローブ 7 A、7 B と対応するパッド 1 1 との相対的な位置がずれてしまい、プローブ 7 A、7 B が対応するパッド 1 1 と接触できなくなってしまう不具合が懸念される。一方、本実施の形態 1 によれば、金属シート 4 5 を固着したことにより、プローブ検査時の温度に起因する薄膜シート 2 および検査対象のウエハの膨張量または収縮量を揃えること
- 25 ができる。それにより、プローブ 7 A、7 B と対応するパッド 1 1 との相対的な位置がずれてしまうことを防ぐことが可能となる。すなわち、プローブ 7 A、7 B と対応するパッド 1 1 とがプローブ検査時の温度に関係なく常に電氣的接触を保つことが可能となる。また、様々な状況下での薄膜シート 2 と検査対象のウエハとの相対的な位置制度を確保することが可能となる。

次に、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして金属シート 4 5 をエッチングし、プローブ 7 A、7 B 上の金属シート 4 5 に開口部 4 6 を形成し、平面で金属膜 2 1 A 間または金属膜 2 1 B 間の領域上の金属シート 4 5 に開口部 4 7 を形成する。本実施の形態 1 において、このエッチングは、塩化第二鉄溶液を用いたスプレーエッチングとすることができる。

次に、上記フォトレジスト膜を除去した後、図 2 3 に示すように、開口部 4 6 内に、エラストマ 4 8 を形成する。この時、エラストマ 4 8 は所定量が開口部 4 6 の上部へ出るように形成する。本実施の形態 1 においては、エラストマ 4 8 を形成する方法として、開口部 4 6 内に弾性樹脂を印刷もしくはディスペンサ塗布する方法、またはシリコンシートを設置する方法を例示することができる。エラストマ 4 6 は、多数のプローブ 7 A、7 B の先端がパッド 1 1 に接触する際の衝撃を緩和しつつ、個々のプローブ 7 A、7 B の先端の高さのばらつきを局部的な変形によって吸収し、パッド 1 1 の高さのばらつきに倣った均一な食い込みによってプローブ 7 A、7 B とパッド 1 1 との接触を実現する。

次に、図 2 4 に示すように、たとえばフッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ 3 1 の裏面の酸化シリコン膜 3 4 を除去する。続いて、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜シート 2 を形成するための型材であるウエハ 3 1 を除去する。

次いで、酸化シリコン膜 3 4 および導電性膜 3 5 を順次エッチングにより除去する。この時、酸化シリコン膜 3 4 はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングし、導電性膜 3 5 に含まれるクロム膜は過マンガン酸カリウム水溶液を用いてエッチングし、導電性膜 3 5 に含まれる銅膜はアルカリ性銅エッチング液を用いてエッチングする。ここまでの工程により、プローブ 7 A、7 B を形成する導電性膜 3 7（図 1 8 参照）であるロジウム膜がプローブ 7 A、7 B の表面に現れる。前述したように、ロジウム膜が表面に形成されたプローブ 7 A、7 B においては、プローブ 7 A、7 B が接触するパッド 1 1 の材料である Au などが付着し難く、Ni より硬度が高く、かつ酸化され難く接触抵抗を安定させることができる。

次に、図25に示すように、開口部47下のポリイミド膜25、22を除去し、開口部49を形成する。この開口部49は、レーザを用いた穴あけ加工または金属シート45およびエラストマ48をマスクとしたドライエッチングによって形成することができる。その後、図26に示すように、たとえば42アロイから形成された押圧具50をエラストマ48上に接着して本実施の形態1の薄膜シート2を製造する。

上記の工程によって製造した本実施の形態1の薄膜シート2は、金属シート45が接着されたことにより剛性が向上している。また、図27に示すように、検査対象のウェハ（チップ10）に反りが生じていると、パッド11の高さとパッド12の高さとの間に差Sが生じる。そのため、このような差Sが生じていると、相対的に高さの低いパッド12にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。しかしながら、金属膜21A間（金属膜21B間）に開口部49が形成されていることにより、薄膜シート2は、この開口部49での剛性が低下する。それにより、プローブ検査時に押圧具50により圧力を加えると、エラストマ48の弾性変形の範囲内で薄膜シート2にも開口部49で段差を持たせることができる。その結果、薄膜シート2に上記差Sを解消するような段差が生じさせることができるので、すべてのプローブ7A、7Bをパッド11、12に確実に接触させることが可能となる。

また、図28に示すように、検査対象のウェハ（チップ10）の主面に異物DSTが付着しているような場合に、薄膜シート2に上記開口部49が設けられていないと、プローブ7A、7Bをパッド11、12に接触させようとした時に薄膜シート2が異物DSTに乗り上げ、パッド11、12にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。また、薄膜シート2が異物DSTに乗り上げてしまうことによって薄膜シート2が変形してしまうことも懸念される。特に異物DSTがプローブ7A、7Bの近傍に存在する場合には、プローブ7A、7Bが薄膜シート2の内部にめり込んでしまう不具合の発生も懸念される。しかしながら、上記開口部49を設けたことにより、平面で開口部49内に異物DSTが位置するようにできるので、それら不具合の発生の確率を低下することが可能となる。

ここで、上記開口部 49 の平面パターンについて説明する。図 29、図 31、図 33、図 35 および図 37 は薄膜シート 2 の下面の要部平面図であり、図 30、図 32、図 34、図 36 および図 38 はそれぞれ図 29、図 31、図 33、図 35 および図 37 中の F-F 線に沿った要部断面図である。

- 5 本実施の形態 1 において、開口部 49 の平面パターンとしては、まず図 29 に示すような矩形のパターンを例示することができる。このような矩形のパターンとすることによって薄膜シート 2 の剛性が低下し過ぎる場合には、図 31 に示すように、平面矩形の開口部 49 の対角線上に梁状にポリイミド膜 22、25 および金属シート 45 を残す構造としてもよい。これにより、薄膜シート 2 に所望の
- 10 剛性を保つことが可能となる。また、図 33 に示すように、図 31 に示したような開口部 49 のパターンをスリット状に加工し、前述の梁状のポリイミド膜 22、25 および金属シート 45 を残す構造としてもよい。それによっても薄膜シート 2 に所望の剛性を保つことが可能となる。このようなスリット状の開口部 49 は、図 25 を用いて説明したようなレーザを用いた穴あけ加工によって形成する
- 15 ことにより、加工に要する時間を短縮することができる。また、図 1 および図 2 を用いて説明した押さえリング 4、接着リング 6 および押圧具 50 が平面円形である場合には、図 35 に示すように、開口部 49 を平面円形のパターンとしてもよい。接着リング 6 および押圧具 50 が平面円形である場合に、開口部 49 が平面矩形のパターンであると、矩形パターンの角部などに不十分な力が集中することが懸念されるが、平面円形のパターンとすることによって、そのような不十分な力の集中を防ぐことが可能となる。また、図 3 を用いて説明したように、検査対象のチップ 10 は、平面で短辺および長辺を有する矩形であることから、図 37 に示すように、開口部 49 を短辺および長辺を有する平面矩形のパターンで形成し、そのパターン内において、短辺に沿った方向に延在する複数の梁状にポリイミ
- 20 ド膜 22、25 および金属シート 45 を残す構造としてもよい。それにより、薄膜シート 2 に所望の剛性を保つことが可能となる。

次に、本実施の形態 1 における上記薄膜シート 2 を有するプローブカード（図 1 および図 2 参照）によるプローブ検査工程について説明する。

図 39 は、本実施の形態 1 におけるプローブ検査工程に用いる各装置の構成に

ついて示した説明図である。まず、パッド11（図3参照）を形成する工程までが完了したウエハWHを用意する（図45参照）。続いて、外観検査装置51により検査対象であるウエハWHの主面の外観を検査する。この外観検査の目的の一つは、チップ10の主面における前述の異物DST（図28参照）の有無およびパッド11の形状を検査し、これらの異常を早期に発見することによって半導体集積回路装置の製造歩留りを維持することにある。たとえば、ウエハWHの主面に付着した異物DSTが導電性物質である場合や、パッド11の形状（平面）に異常がある場合には、隣接するパッド11同士が短絡してしまったり、隣接するパッド11がその異物DSTを介して短絡してしまったりする虞がある。そのため、その異常を早期に発見するし、その異常が発生した原因を解明することにより、同じ原因での異常の発生を防ぐことが可能となる。すなわち、大量の不良品を製造してしまうことを防ぐことが可能となる。また、その外観検査の他の目的は、異物DSTが付着していたり、パッド11の形状に異常のある製品が出荷されてしまったりすることを防ぐことにある。

外観検査装置51によるウエハWHの主面の外観検査時には、図40に示すように、チップ10の主面は、チップ10の主面内において相対的に内側に配列されたパッド11から、パッド11の短辺の長さLB（図3参照（たとえば約19 μ m））より長い距離（第1距離）LRだけ離れた位置より内側の領域10Aと、それ以外の領域とに分けられる。そして、領域10Aについては、たとえば一辺が約30 μ mの矩形の領域（第2領域）に分割し、それぞれの領域（第2領域）について外観を検査していく。パッド11が配置され、領域10Aを取り囲むように配置されている領域10A以外の領域については、たとえば一辺が約10 μ mの矩形の領域（第1領域）に分割し、それぞれの領域（第1領域）について外観を検査していく。このように、パッド11が配置されている領域10A以外の領域を領域10Aより細かく分割したのは、前述したようにウエハWHの主面に付着した異物DSTが導電性物質である場合や、パッド11の形状（平面）に異常がある場合に、隣接するパッド11同士が電氣的に短絡してしまう虞があることから、より精密な検査が求められるからである。また、本実施の形態1においては、図41に示すように、パッド11の高さLC（図4も参照）は、下層の

配線と接するバンプ電極用下地膜 1 1 A の最下部から突起部 1 1 B を除くパッド 1 1 の上面までと規定するものであり、このような規定のもとで突起部 1 1 B が形成されてしまっている場合をパッド 1 1 の高さの異常とするものである。つまり、外観検査においては、第 1 領域または第 2 領域からはみ出している異物 D S T、またはパッド 1 1 の形状（平面形状および高さ）の異常が検出されたチップ 1 0 を不良とするものである。このような外観検査の結果は、図 4 2 に示すように、ウエハ WH の面内における各チップ 1 0 の配列通りにウエハマップデータ（第 1 データ）としてまとめられ、ウエハマップデータ中には、外観異常が検出されたチップ（第 1 群のチップ領域） 1 0 E（図 4 2 中にてハッチングを付して図示）が配置されている位置（第 1 位置）とそれ以外のチップ（第 2 群のチップ領域） 1 0 が配置されている位置とが記録される。

ウエハ WH 内のすべてのチップ 1 0 についての外観検査が終わると、上記ウエハマップデータにはさらにウエハ WH を識別する情報が加えられた後にサーバー 5 2 に送信され、サーバー 5 2 内に蓄積される。その後、ウエハ WH がプローブ検査装置 5 3 に搬送され、プローブ検査装置 5 3 に搬送されたウエハ WH に対応するウエハマップデータがサーバー 5 2 からプローブ検査装置 5 3 へ送信される。ここで、配置されている外観検査装置 5 1 およびプローブ検査装置 5 3 は、それぞれ 1 台に限るものではない。すなわち、外観検査装置 5 1 およびプローブ検査装置 5 3 がそれぞれ複数台配置され、それぞれが 1 対 1 で対応していない場合（所定の外観検査装置 5 1 から所定のプローブ検査装置 5 3 へウエハ WH が搬送されるように決められていない場合）には、外観検査装置 5 1 とプローブ検査装置 5 3 との間にサーバー 5 2 を配置することにより、外観検査装置 5 1 とプローブ検査装置 5 3 との間でのウエハマップデータの受け渡しを実現することができる。また、外観検査装置 5 1 およびプローブ検査装置 5 3 が共に 1 台であり、外観検査装置 5 1 で外観検査が実施されたウエハ WH が一時的に他の場所に保管されることなくプローブ検査装置 5 3 へ搬送され、プローブ検査が実施されるような場合には、サーバー 5 2 を省略し、そのウエハ WH についてのウエハマップデータが外観検査装置 5 1 からプローブ検査装置 5 3 へ直接送信されるようにしてもよい。

プローブ検査装置 5 3 においては、上記薄膜シート 2 を有するプローブカード (図 1 および図 2 参照) を用いたプローブ検査が実施される。プローブ検査装置 5 3 は、サーバー 5 2 から送信されてきたウエハマップデータをもとにウエハ W H に対してプローブ検査を実施する。すなわち、ウエハマップデータ中において

5 外観異常が検出されたチップ 1 0 E (図 4 2 参照) となっているチップ 1 0 に対しては、プローブ検査を省略する。その結果、外観異常が検出されたチップ 1 0 E (図 4 2 参照) となっているチップ 1 0 に対しては、プローブ 7 A、7 B (図 6 ~ 図 8 参照) をパッド 1 1 に接触させる工程を省略できる。

プローブ 7 A、7 B をパッド 1 1 に接触させる際に、ウエハ W H (チップ 1 0

10) の主面に、薄膜シート 2 (図 2 参照) に開口部 4 9 (図 2 8 参照) を設けたことでも薄膜シート 2 との接触を防ぎきることのできない異物 D S T が付着していたり、パッド 1 1 に突起部 1 1 B が形成されていたりすると、薄膜シート 2 が異物 D S T または突起部 1 1 B に乗り上げてしまうことによって薄膜シート 2 が変形してしまうことも懸念され、特に異物 D S T または突起部 1 1 B がプローブ 7

15 A、7 B の近傍に存在する場合には、プローブ 7 A、7 B が薄膜シート 2 の内部にめり込んでしまう不具合の発生も懸念される。また、このように薄膜シート 2 が破損しない場合でも、薄膜シート 2 に異物 D S T または突起部 1 1 B との接触によるダメージが加わることも懸念される。なお、図 5 3 に示したような探針 2 0 1、プローブ基板 2 0 2 および針押さえ部 2 0 3 などからなる従来のカンチレ

20 バー方式のプローブカードのように、探針 2 0 1 の先端とそれを実質的に支える部分 (針押さえ部 2 0 3) の距離 (針高さ H 1 0 1) が数百 μ m 程度かそれ以上あるもの場合には、針高さ H 1 0 1 が本実施の形態 1 の薄膜シート 2 における針高さ (ポリイミド膜 2 2 の表面からプローブ 7 A、7 B の先端までの高さ L Z (図 1 1 参照)) より大きくなることから、針押さえ部 2 0 3 が異物 D S T また

25 は突起部 1 1 B に乗り上げてしまうことによって破損してしまう可能性は低くなる。そこで、本実施の形態 1 のように、ウエハマップデータ中において外観異常が検出されたチップ 1 0 E (図 4 2 参照) となっているチップ 1 0 に対しては、プローブ 7 A、7 B をパッド 1 1 に接触させる工程を省略することにより、そのような薄膜シート 2 の破損またはダメージを未然に防ぐことが可能となる。本発

明者らが行って実験によれば、外観検査装置 5 1 による外観検査で不良と判定されたチップ 1 0 についてもプローブ検査を実施した場合には、プローブ 7 A、7 B とパッド 1 1 との接触回数が平均で 2 0 万回で薄膜シート 2 が寿命となったが、不良と判定されたチップ 1 0 についてのプローブ検査を省略する本実施の形態 5 1 の場合には、プローブ 7 A、7 B とパッド 1 1 との接触回数が平均で 5 0 万回で薄膜シート 2 が寿命となった。つまり、本実施の形態 1 によれば、薄膜シート 2 の寿命を大幅に延ばすことができる。

(実施の形態 2)

次に、本実施の形態 2 について説明する。

10 図 4 3 および図 4 4 は、前記実施の形態 1 でも説明した L C D ドライバが形成されたチップ 1 0 の要部断面図であり、それぞれ異なる断面を示している。

基板 6 1 (ウエハ W H) は、たとえば p 型の単結晶 S i からなり、その主面のデバイス形成面には、分離部 6 2 が形成され活性領域 L a およびダミー活性領域 L b が規定されている。分離部 6 2 は、たとえば L O C O S (Local Oxidization of Silicon) 法によって形成された酸化シリコン膜からなる。ただし、分離部 6 2 を溝型 (S G I : Shallow Groove Isolation または S T I : Shallow Trench Isolation) の分離部 6 2 で形成しても良い。

図 4 3 に示すパッド P D 1 下層の基板 6 1 の分離部 6 2 に囲まれた活性領域 L a には、たとえば p n 接合ダイオード D が形成されている。この p n 接合ダイオード D は、たとえば静電破壊防止用の保護ダイオードであり、基板 6 1 の p 型ウェル P W L とその上部の n 型半導体領域 6 8 との p n 接合により形成されている。基板 6 1 の主面上には、たとえば酸化シリコン膜からなる絶縁膜 I S 1 が形成されている。その上には、第 1 層配線 M 1 が形成されている。第 1 層配線 M 1 は、たとえばチタン、窒化チタン、アルミニウム (またはアルミニウム合金) および窒化チタンが下層から順に堆積される構成を有している。このアルミニウムまたはアルミニウム合金等の膜が主配線材料であり、最も厚く形成されている。第 1 層配線 M 1 は、絶縁膜 I S 1 に形成された平面円形状の複数のコンタクトホール C N T を通じて n 型半導体領域 6 8 と、すなわち、p n 接合ダイオード D と接続されている。第 1 層配線 M 1 は、たとえば酸化シリコン膜からなる絶縁膜

I S 2によって覆われている。この絶縁膜 I S 2 上には、第 2 層配線 M 2 が形成されている。第 2 層配線 M 2 の材料構成は、上記第 1 層配線 M 1 と同じである。第 2 層配線 M 2 は、絶縁膜 I S 2 に形成された平面円形状の複数のスルーホール T H 1 を通じて第 1 層配線 M 1 と電氣的に接続されている。第 2 層配線 M 2 は、
5 たとえば酸化シリコン膜からなる絶縁膜 I S 3 によって覆われている。その絶縁膜 I S 3 上には、第 3 層配線 M 3 が形成されている。第 3 層配線 M 3 は、絶縁膜 I S 3 に形成された平面円形状の複数のスルーホール T H 2 を通じて第 2 層配線 M 2 と電氣的に接続されている。さらに、第 3 層配線 M 3 は、表面保護用の絶縁膜 I S 4 によってその大半が覆われているが、第 3 層配線 M 3 の一部は絶縁膜
10 I S 4 の一部に形成された平面長方形の開口部 6 9 から露出されている。この開口部 6 9 から露出された第 3 層配線 M 3 部分がパッド P D 1 となっている。表面保護用の絶縁膜 I S 4 は、たとえば酸化シリコン膜の単体膜、酸化シリコン膜上に窒化シリコン膜を積み重ねた構造を有する積層膜あるいは酸化シリコン膜上に窒化シリコン膜およびポリイミド膜を下層から順に積み重ねた構造を有する積層膜からなる。パッド P D 1 は、開口部 6 9 を通じてバンプ電極用下地膜 1
15 1 A を介してバンプ電極（突起電極） 7 1 （パッド 1 1 （図 3 および図 4 参照））と接合されている。バンプ電極用下地膜 1 1 A は、バンプ電極 7 1 とパッド P D や絶縁膜 I S 4 との接着性を向上させる機能の他、バンプ電極 7 1 の金属元素が第 3 層配線 M 3 側に移動することや反対に第 3 層配線 M 3 の金属元素がバン
20 プ電極 7 1 側に移動するのを抑制または防止するバリア機能を有する膜であり、たとえばチタンまたはチタンタンゲステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金を下層から順に積み重ねた構造を有する積層膜からなる。実施の形態 1 でも説明したように、バンプ電極 7 1 は、たとえば A
u 膜からなり、めっき法によって形成されている。

25 一方、図 4 4 に示すダミー用のパッド P D 2 下層の基板 6 1 には、上記のようにダミー活性領域 L b が形成されているが、そのダミー活性領域 L b には、特に素子は形成されていない。もちろん、他のパッド P D 1 と同様にダイオードや他の素子を形成したり、p 型ウエルや n 型ウエル等を設けても良い。このダミー用のパッド P D 2 下層の第 2 層配線 M 2 と第 1 層配線 M 1 とは複数のスルーホール

TH1を通じて電氣的に接続されている。パッドPD2は、ダミーなのでその下層の第2層配線M2と第1層配線M1とを電氣的に接続する必要はないが、ダミー用のパッドPD2に接合されるバンプ電極41の天辺の高さを他のパッドPDに接合されるバンプ電極41の天辺の高さにさらに近づけるために、パッドPD

5 2の下層にも複数のスルーホールTH1が配置されている。

次に、このチップ10の製造工程の一例を説明する。まず、ウェハ状の基板61（ウェハWH）の主面に、たとえばLOCOS法によって分離部62を形成し、活性領域Laおよびダミー活性領域Lbを形成した後、分離部62に囲まれた活性領域Laに素子（たとえば高耐圧MISFET（Metal Insulator

10 Semiconductor Field Effect Transistor）および低耐圧MISFET）を形成する。ダミー用のパッドPD2下のダミー活性領域Lbには素子を形成しない。続いて、基板61の主面上に絶縁膜IS1をCVD（Chemical Vapor Deposition）法等によって堆積した後、絶縁膜IS1の所定の箇所に平面円形状のコンタクトホールCNTをフォトリソグラフィ技術およびドライエッチング技術によって形

15 成する。その後、その絶縁膜IS1上に、たとえば窒化チタン、チタン膜、アルミニウム膜および窒化チタン膜を下層から順にスパッタリング法等によって堆積した後、その積層金属膜をフォトリソグラフィ技術およびドライエッチング技術によりパターニングすることにより第1層配線M1を形成する。次いで、同様に絶縁膜IS1上に絶縁膜IS2を堆積し、絶縁膜IS2にスルーホールTH1を

20 形成後、その絶縁膜IS2上に第1層配線M1と同様に第2層配線M2を形成する。続いて、同様に絶縁膜IS2上に絶縁膜IS3を堆積し、絶縁膜IS3にスルーホールTH2を形成後、その絶縁膜IS3上に第1層配線M1と同様に第3層配線M3を形成する。その後、絶縁膜IS3上に表面保護用の絶縁膜IS4を堆積した後、絶縁膜IS4に、第3層配線M3の一部が露出される開口部69を

25 形成し、パッドPD1、PD2を形成する。次いで、絶縁膜IS4上に、たとえばチタンまたはチタンタングステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金膜を下層から順に積み重ねた構造を有する積層膜からなる導体膜をスパッタリング法等によって堆積した後、その上にバンプ形成領域が露出され、それ以外が覆われるようなフォトレジストパターンを形成する。

次に、たとえば金からなるバンプ電極 7 1 (パッド 1 1) を形成する。前述したように、このバンプ電極 7 1 (パッド 1 1) は、フォトリソグラフィ技術によって開口部が設けられたフォトレジストパターンをマスクとしためっき法にて Au 膜を成膜することで形成することができる。

- 5 次に、そのフォトレジスト膜を除去し、さらに下地の導体膜をエッチング除去することにより、バンプ電極用下地膜 1 1 A を形成する。その後、基板 6 1 (ウエハ WH) を各チップ 1 0 へと切断する。

- 前記実施の形態 1 では、パッド 1 1 (図 3 参照) を形成する工程までが完了したウエハ WH に対して外観検査装置 5 1 (図 3 9 参照) により外観検査を実施し、
- 10 、結果をウエハマップデータとしてまとめる例について説明したが、本実施の形態 2 では、他の工程後にも外観検査装置 5 1 を用いて外観検査を実施し、ウエハ WH の主面への異物の付着および配線の形状の異常などの検査結果をウエハマップデータとしてまとめる場合について例示する。たとえば、活性領域 L a とダミー活性領域 L b とを形成した後、高耐圧 M I S F E T のゲート電極 (図示は省略)
- 15) を形成した後、低耐圧 M I S F E T のゲート電極 (図示は省略) を形成した後、コンタクトホール CNT を形成した後、第 1 層配線 M 1 を形成した後、第 2 層配線 M 2 を形成した後、第 3 層配線 M 3 を形成した後、および絶縁膜 I S 4 に開口部 6 9 を形成した後のそれぞれにおいても外観検査を実施し、各外観検査時に得られたウエハマップデータを重ね合わせ、最終的なウエハマップデータを作成
- 20 するものである。なお、このような各工程後に外観検査を実施するのは、本実施の形態 2 のチップ 1 0 が形成される全ウエハ WH のうち、1 % 程度のウエハ WH とすることを例示できる。ここで、図 4 5 は、その最終的なウエハマップデータを示す説明図であり、活性領域 L a とダミー活性領域 L b とを形成した後の外観検査で外観異常が検出されたチップ 1 0 F、高耐圧 M I S F E T のゲート電極 (
- 25 図示は省略) を形成した後の外観検査で外観異常が検出されたチップ 1 0 G、活性領域 L a とダミー活性領域 L b とを形成した後の外観検査で外観異常が検出されたチップ 1 0 H、高耐圧 M I S F E T のゲート電極を形成した後の外観検査で外観異常が検出されたチップ 1 0 I、低耐圧 M I S F E T のゲート電極を形成した後の外観検査で外観異常が検出されたチップ 1 0 J、コンタクトホール CNT

を形成した後の外観検査で外観異常が検出されたチップ10K、第1層配線M1を形成した後の外観検査で外観異常が検出されたチップ10L、第2層配線M2を形成した後の外観検査で外観異常が検出されたチップ10M、第3層配線M3を形成した後の外観検査で外観異常が検出されたチップ10N、絶縁膜IS4に

5 開口部69を形成した後の外観検査で外観異常が検出されたチップ10Q、パッド11（バンプ電極71）を形成した後の外観検査で外観異常が検出されたチップ10E、およびそれら以外のチップ10が示されており、チップ10E～10Qはハッチングを付して示されている。このようにして形成された最終的なウエハマップデータをもとに、プローブ検査装置53（図38参照）においては、薄膜シート2を有するプローブカード（図1および図2参照）を用いたプローブ検査が実施される。それにより、各工程時で外観異常が検出されたチップ10が出荷されてしまうことを防ぐことが可能となる。また、各外観検査時に得られたウエハマップデータを重ね合わせ、最終的なウエハマップデータを作成し、その最終的なウエハマップデータ中で外観異常が検出されていないチップ10に対して

10 のみプローブ検査を実施することにより、プローブ検査に要する時間を短縮することができる。

上記のような本実施の形態2によっても前記実施の形態1と同様の効果を得ることができる。

（実施の形態3）

20 図47は本実施の形態3の半導体集積回路装置を形成した半導体チップの要部を示す断面図であり、紙面左側の断面は積層配線が形成された領域を示し、紙面右側の断面はボンディングパッド（以降、単にパッドと記す）が形成された領域を示している。

たとえばp型の単結晶Si（シリコン）からなる基板81の主面にはp型ウェル82が形成されており、p型ウェルの素子分離領域には素子分離溝83が形成されている。素子分離溝83は、基板81をエッチングして形成した溝に酸化シリコンなどの絶縁膜84を埋め込んだ構成になっている。

nチャネル型MISFETQnは、主としてゲート酸化膜85、ゲート電極6およびLDD（Lightly Doped Drain）構造のn型半導体領域（ソース、ドレイン

） 87 からなる。ゲート電極 6 は、たとえば P（リン）がドーパされた低抵抗多結晶シリコン膜、WN（窒化タングステン）膜および W（タングステン）膜を積層した 3 層の導電性膜によって形成されている。

5 n チャネル型 MISFET の上部には、酸化シリコン膜 89 が形成されている。
この酸化シリコン膜 89 には n チャネル型 MISFET Qn の n 型半導体領域（ソース、ドレイン） 87 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、たとえばバリアメタル（TiN/Ti）と W 膜との積層膜からなるプラグ 90 が埋め込まれている。

10 酸化シリコン膜 89 上には、第 1 層目の配線 91 が形成されている。この配線 91 は、たとえば Al を主成分として含む厚い膜厚の Al 合金膜（たとえば Cu（銅）および Si を含む）とこの Al 合金膜を挟む薄い膜厚の Ti 膜および TiN 膜とからなる 3 層の導電性膜によって形成されている。また、配線 91 は、上記プラグ 90 を通じて n チャネル型 MISFET Qn の n 型半導体領域（ソース、ドレイン） 87 の一方と電氣的に接続されている。

15 配線 91 の上部には、酸化シリコン膜 92 が形成されている。この酸化シリコン膜 92 には配線 91 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、上記プラグ 90 と同様にバリアメタル（TiN/Ti）と W 膜との積層膜からなるプラグ 93 が埋め込まれている。

20 酸化シリコン膜 92 上には、配線 91 と同様の構成の第 2 層目の配線 94 が形成されている。この配線 94 は、上記プラグ 93 を通じて配線 91 と電氣的に接続されている。

25 配線 94 上には、酸化シリコン膜 95 が形成されている。この酸化シリコン膜 95 には配線 94 に達するコンタクトホール 96 が形成されており、その内部には、上記プラグ 90、93 と同様にバリアメタル（TiN/Ti）と W 膜との積層膜からなるプラグ 97 が埋め込まれている。

酸化シリコン膜 95 上には、配線 91、94 と同様の構成の第 3 層目の配線 98A、98B が形成されている。積層配線が形成された領域に配置された配線 98A は、プラグ 97 を通じて配線 94 と電氣的に接続されている。また、配線 98B は、パッドが形成された領域に配置されている。

配線 9 8 上には、プラズマ中で形成された酸化シリコン膜 9 9、1 0 0 が積層されている。積層配線が形成された領域において、酸化シリコン膜 9 9、1 0 0 には配線 9 8 A に達するコンタクトホール 1 0 1 A が形成されており、その内部には、上記プラグ 9 0、9 3、9 7 と同様に、薄い膜厚のバリアメタル (T i N / T i) と厚い膜厚の W 膜との積層膜からなるプラグ 1 0 2 A が埋め込まれている。一方、パッドが形成された領域では、酸化シリコン膜 9 9、1 0 0 には配線 9 8 B に達するコンタクトホール 1 0 1 B が形成されており、その内部にはバリアメタル (T i N / T i) と W 膜との積層膜からなるプラグ 1 0 2 B が埋め込まれている。

- 10 積層配線が形成された領域においては、酸化シリコン膜 1 0 0 上に第 4 層目の配線 1 0 3 が形成されている。また、プラグ 1 0 2 B の上部にはパッド B P が形成されている。

上記配線 1 0 3 は、厚い膜厚の A l 合金膜とこの A l 合金膜を挟む薄い膜厚の T i 膜および T i N 膜とからなる 3 層の導電性膜から形成されている。この配線 1 0 3 は、上記プラグ 1 0 2 A を通じて配線 9 8 A と電氣的に接続されている。また、パッド B P は、3 層の導電性膜によって構成された前記配線 1 0 3 と同一の工程で形成された配線を用いて形成される。

- 20 第 4 層目の配線 2 3 およびパッド B P の上部には、たとえば酸化シリコン膜 1 0 4 A と窒化シリコン膜 1 0 4 B とを積層した 2 層の絶縁膜によって構成される表面保護膜 1 0 4 が形成されている。また、パッド B P の上部において、この表面保護膜 1 0 4 にはパッド B P に達する開口部 1 0 5 が形成されている。

パッド B P は、開口部 1 0 5 を通じてバンプ電極用下地膜 1 0 6 A を介してバンプ電極 (突起電極) 1 0 6 と接合されている。

- 25 次に、上記のように構成された本実施の形態 3 の半導体集積回路装置の製造方法を説明する。

まず、比抵抗が $10 \Omega \text{ cm}$ 程度の単結晶シリコンからなる基板 8 1 を熱処理して、その主面に薄い酸化シリコン膜 (パッド酸化膜) を形成する。次いでこの酸化シリコン膜の上に窒化シリコン膜を CVD (Chemical Vapor Deposition) 法で堆積した後、フォトリジスト膜をマスクにしたドライエッチングで素子分離領域

の窒化シリコン膜と酸化シリコン膜とを除去する。酸化シリコン膜は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をデンシファイ（焼き締め）するときなどに基板に加わるストレスを緩和する目的で形成される。また、窒化シリコン膜は酸化されにくい性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

続いて、上記窒化シリコン膜をマスクにしたドライエッチングで素子分離領域の基板 8 1 に、たとえば深さ 350 nm 程度の溝を形成した後、エッチングで溝の内壁に生じたダメージ層を除去するために、基板 8 1 を熱処理して溝の内壁に薄い酸化シリコン膜を形成する。

10 続いて、基板 8 1 上に酸化シリコン膜 8 4 を堆積した後、この酸化シリコン膜 8 4 の膜質を改善するために、基板 8 1 を熱処理して酸化シリコン膜 8 4 をデンシファイ（焼き締め）する。その後、上記窒化シリコン膜をストップに用いた化学的機械研磨（Chemical Mechanical Polishing ; CMP）法でその酸化シリコン膜 8 4 を研磨して溝の内部に残すことにより、表面が平坦化された素子分離溝 8 3 を形成する。

15 続いて、熱リン酸を用いたウェットエッチングで基板 8 1 の活性領域上に残った窒化シリコン膜を除去した後、基板 8 1 に B（ホウ素）をイオン注入して p 型ウエル 8 2 を形成する。

20 続いて、基板 8 1 を熱処理することによって、p 型ウエル 8 2 表面にゲート酸化膜 8 5 を形成した後、ゲート酸化膜 8 5 の上部にゲート電極 8 6 を形成する。ゲート電極 8 6 は、たとえば P をドーブした低抵抗多結晶シリコン膜、WN（窒化タングステン）膜、および W（タングステン）膜をこの順で積層した後に、フォトリソ膜をマスクとしたドライエッチングによりこれらの薄膜をパターンニングし形成する。

25 次に、p 型ウエル 8 2 に P または As（ヒ素）をイオン注入することによって n⁻型半導体領域を形成する。続いて、基板 1 上に、たとえば酸化シリコン膜を堆積した後、その酸化シリコン膜を異方的にエッチングすることにより、ゲート電極 8 6 の側壁にサイドウォールスペーサを形成する。次いで、基板 8 1 の n チャネル型 MISFET Qn を形成する領域に P または As（ヒ素）をイオン注入する

ことよって、そのサイドウォールスペーサに対して n^+ 型半導体領域を自己整合的に形成し、LDD構造の n 型半導体領域（ソース、ドレイン）87を形成することができる。ここまでの工程により、 n チャネル型MISFETQnを形成することができる。

- 5 続いて、基板81上に層間絶縁膜となる酸化シリコン膜89を形成した後、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクにしてその酸化シリコン膜89をドライエッチングすることにより、 n 型半導体領域（ソース、ドレイン）87の上部にコンタクトホールを形成する。次いで、そのコンタクトホール内を含む基板81上に、バリアメタル膜（TiN膜/Ti膜）
- 10 を形成した後、さらにW膜を堆積し、そのコンタクトホールをW膜で埋め込む。その後、コンタクトホール以外の酸化シリコン膜89上のバリアメタル膜およびW膜を、たとえばCMP法により除去し、プラグ90を形成する。

- 次に、積層配線が形成される領域に配線91を形成する。配線91は、酸化シリコン膜89の上部にTi膜、Al合金膜およびTiN膜を順次堆積した後、こ
- 15 れらの薄膜をエッチングすることにより形成する。

- 続いて、基板81上に酸化シリコン膜92を形成した後、その酸化シリコン膜92をエッチングしてコンタクトホールを形成する。次いで、そのコンタクトホールの内部を含む酸化シリコン膜92の上部にバリアメタル膜（TiN膜/Ti膜）およびW膜を順次堆積した後、酸化シリコン膜92の上部のバリアメタル膜
- 20 およびW膜をCMP法により除去し、プラグ93を形成する。

次に、上記配線91を形成した工程と同様の工程により、積層配線が形成される領域にTi膜、Al合金膜およびTiN膜の3層の薄膜からなる配線94を形成する。

- 続いて、基板1上に酸化シリコン膜95を形成した後、その酸化シリコン膜9
- 25 5をエッチングしてコンタクトホール96を形成する。次いで、プラグ93を形成した工程と同様の工程により、コンタクトホール96内にプラグ97を形成する。

次に、上記配線91、94を形成した工程と同様の工程により、積層配線が形成される領域およびパッドが形成される領域に、それぞれTi膜、Al合金膜お

よびTiN膜の3層の薄膜からなる配線98Aと配線98Bとを形成した後、プラズマCVD法にて基板81上に高密度プラズマを用いた酸化シリコン膜99を堆積する。続いて、その酸化シリコン膜99上に、高密度プラズマを用いたプラズマCVD法にて酸化シリコン膜100を堆積する。次いで、たとえばCMP法
5 にて酸化シリコン膜100の表面を研磨し、その表面を平坦化する。

次に、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜（図示は省略）をマスクとして酸化シリコン膜100、99をエッチングすることにより、積層配線が形成される領域の配線98Aに達するコンタクトホール101Aを形成し、パッドが形成される領域の配線98Bに達するコンタクトホール101Bを形成する。
10

次に、コンタクトホール101Aの内部およびコンタクトホール101Bの内部を含む酸化シリコン膜100の上部に、膜厚約10nmのTi膜と膜厚約50nmのTiN膜とからなるバリアメタル膜を堆積する。続いて、このバリアメタル膜の上部に、膜厚約500nmのW膜を堆積する。

次に、コンタクトホール102A、102Bの外部のW膜およびバリアメタル膜CMP法で除去することにより、コンタクトホール101Aの内部にプラグ102Aを形成し、コンタクトホール101Bの内部にプラグ102Bを形成する。
15

次に、酸化シリコン膜100の上部にTi膜、Al合金膜およびTiN膜を順次堆積し、これらの薄膜からなる積層膜を形成する。続いて、その積層膜をエッチングしパターンニングすることによって、積層配線が形成される領域に配線103を形成し、パッドが形成される領域にパッドBPを形成する。
20

次に、基板81の表面に膜厚200nm程度の酸化シリコン膜104Aおよび膜厚800nm程度の窒化シリコン膜104Bを順次堆積することにより表面保護膜104を形成した後、パッドBP上の窒化シリコン膜104Bおよび酸化シリコン膜104Aをエッチングで除去することにより、平面矩形の開口部105を形成する。
25

次に、開口部105内を含む表面保護膜104上に、バンプ電極用下地膜106Aを堆積する。このバンプ電極用下地膜106Aは、たとえばTiまたはTi

W等のような高融点金属膜の単体膜やTi膜上にNi（ニッケル）膜およびAu膜を下層から順に積み重ねた構造を有する積層膜から形成することができる。続いて、たとえばAuからなる平面矩形のバンプ電極106を形成する。このバンプ電極106は、フォトリソグラフィ技術によって開口部が設けられたフォトレジストパターンをマスクとしためっき法にてAu膜を成膜することで形成することができる。次いで、そのフォトレジスト膜を除去し、さらに下地のバンプ電極106下以外のバンプ電極用下地膜106Aをエッチング除去する。

次に、前記実施の形態1で説明したプローブ検査工程（図39～図42参照）と同様の工程によって、プローブ検査を実施する。前記実施の形態1でも説明したように、プローブ検査を実施するに当たっては、まず、外観検査装置51（図39参照）により検査対象である基板81の主面の外観を検査する。外観検査装置51による基板81の主面の外観検査時には、前記実施の形態1にて図40を用いて説明したように、各チップ領域内においては、基板81の主面内においてバンプ電極106から、バンプ電極106の短辺の長さより長い距離（第1距離）だけ離れた位置より内側の領域（領域10A（図40参照）に相当）と、それ以外の領域とに分けられる。そして、そのチップ主面内において相対的に内側の領域については、複数の矩形の領域（第2領域）に分割し、それぞれの領域（第2領域）について外観を検査していく。バンプ電極106が配置され、チップ主面内において相対的に内側の領域を取り囲むように配置されている相対的に外側の領域については、たとえば一辺が前記第2領域の一辺より小さい矩形の領域（第1領域）に分割し、それぞれの領域（第1領域）について外観を検査していく。また、前記実施の形態1において図41を用いて説明したパッド11の高さの異常と同様に、本実施の形態3のバンプ電極106についても同様の基準で高さの異常を検査する。外観検査の結果は、前記実施の形態1で図42に示したように、基板81の面内における各チップ領域の配列通りにウエハマップデータ（第1データ）としてまとめられ、ウエハマップデータ中には、外観異常が検出されたチップ領域（第1チップ領域）が配置されている位置（第1位置）とそれ以外のチップ領域が配置されている位置とが記録される。

基板81内のすべてのチップ領域についての外観検査が終わると、上記ウエハ

マップデータにはさらに基板 8 1 を識別する情報が加えられた後にサーバー 5 2 (図 3 9 参照) に送信され、サーバー 5 2 内に蓄積される。その後、基板 8 1 がプローブ検査装置 5 3 に搬送され、プローブ検査装置 5 3 に搬送された基板 8 1 に対応するウエハマップデータがサーバー 5 2 からサーバー 5 2 を介してプローブ検査装置 5 3 へ送信される。

プローブ検査装置 5 3 においては、前記実施の形態 1 で説明した薄膜シート 2 (図 6 ~ 図 3 8 (図 1 0 および図 1 2 は除く) 参照) を有するプローブカード (図 1 および図 2 参照) を用いたプローブ検査が実施される。プローブ検査装置 5 3 は、サーバー 5 2 から送信されてきたウエハマップデータをもとに基板 8 1 に対してプローブ検査を実施する。すなわち、ウエハマップデータ中において外観異常が検出されたチップ領域に対しては、プローブ検査を省略する。その結果、外観異常が検出されたチップ領域に対しては、プローブ 7 A、7 B (図 6 ~ 図 8 参照) をバンプ電極 1 0 6 に接触させる工程を省略できる。

プローブ 7 A、7 B をバンプ電極 1 0 6 に接触させる際に、基板 8 1 の主面に、異物が付着していたり、バンプ電極 1 0 6 に突起部が形成されていたりすると、薄膜シート 2 が異物または突起部に乗り上げてしまうことによって薄膜シート 2 が変形してしまうことも懸念され、特に異物または突起部がプローブ 7 A、7 B の近傍に存在する場合には、プローブ 7 A、7 B が薄膜シート 2 の内部にめり込んでしまう不具合の発生も懸念される。また、このように薄膜シート 2 が破損しない場合でも、薄膜シート 2 に異物または突起部との接触によるダメージが加わることも懸念される。そこで、ウエハマップデータ中において外観異常が検出されたチップ領域に対しては、プローブ 7 A、7 B をバンプ電極 1 0 6 に接触させる工程を省略することにより、そのような薄膜シート 2 の破損またはダメージを未然に防ぐことが可能となる。

その後、基板 8 1 を各々のチップへと分割し、本実施の形態 3 の半導体集積回路装置を製造する。

上記の本実施の形態 3 では、バンプ電極 1 0 6 を形成し、バンプ電極 1 0 6 を介して実装するチップの例について説明したが、バンプ電極 1 0 6 の代わりにボンディングワイヤを用いて実装する構造としてもよい。その場合には、図 4 8 に

示すように、開口部 105 を形成するまでの工程は同様である。その後、上記プローブ検査工程と同様の工程に従ってプローブ検査を実施する。この時、上記プローブ 7A、7B が接触するのはパッド BP である。プローブ検査が終了した後、基板 81 を各々のチップへと分割し、ボンディングワイヤ（図示は省略）をパ
5 ッド BP と実装基板（図示は省略）とに接続することによってチップを実装基板へ実装する。

また、上記の本実施の形態 3 では、配線 11、14 を Al を主成分として形成したが、図 49 に示すように、Cu（銅）を主成分として形成してもよい。この
10 ような場合には、プラグ 90 を形成した後、酸化シリコン膜 9 上に、たとえば窒化シリコン膜からなるエッチングストップ膜 92A および酸化シリコン膜 92B を順次堆積することにより、層間絶縁膜 92C を形成する。

続いて、層間絶縁膜 92C をエッチングして、その底部がプラグ 90 と接する配線溝 91D を形成する。次いで、配線溝 91D の内部を含む酸化シリコン膜 9
15 2B の上部に、たとえば窒化チタン膜からなるバリアメタル膜および Cu 膜を順次堆積した後、CMP 法により酸化シリコン膜 92B 上のバリアメタル膜および Cu 膜を除去することにより、配線溝 91D の内部に配線 91 を形成する。なお、Cu 膜の代わりに、Cu を 80 重量パーセント程度以上含む銅合金膜を用いてもよい。

次に、層間絶縁膜 92C の上部に、窒化シリコン膜、酸化シリコン膜、窒化シリ
20 コン膜および酸化シリコン膜を順次堆積することにより、層間絶縁膜 95A を形成する。なお、この層間絶縁膜 95A を形成するに当たり、酸化シリコン膜の代わりに誘電率が約 4.3 以下の低誘電率絶縁膜（たとえば SiOF）を形成してもよい。このような低誘電率絶縁膜を形成することにより、半導体集積回路装置の配線の総合的な誘電率を低減することができるので、配線遅延などの不具合
25 を防ぐことができる。続いて、その層間絶縁膜 95A をエッチングして、その底部が配線 91 と接するコンタクトホール 93A を形成した後、さらに層間絶縁膜 95A のうち上層の酸化シリコン膜および窒化シリコン膜をエッチングすることにより、配線溝 93B を形成する。

次いで、配線溝 93B およびコンタクトホール 93A の内部を含む層間絶縁膜

95Aの上部に、たとえば窒化チタン膜からなるバリアメタル膜およびCu膜を順次堆積した後、CMP法により層間絶縁膜95A上のバリアメタル膜およびCu膜を除去することにより配線94を形成する。

次に、層間絶縁膜95Aの上部に、窒化シリコン膜および酸化シリコン膜を順次堆積することにより、層間絶縁膜95Bを形成する。なお、この層間絶縁膜95Bを形成するにあたり、酸化シリコン膜の代わりに誘電率が約4.3以下の低誘電率絶縁膜（たとえばSiOF）を形成してもよい。続いて、その層間絶縁膜95Bをエッチングして、その底部が配線94と接するコンタクトホール96を形成する。

10 次いで、そのコンタクトホール96の内部を含む層間絶縁膜95Bの上部にバリアメタル膜（TiN膜/Ti膜）およびW膜を順次堆積した後、層間絶縁膜95Bの上部のバリアメタル膜およびW膜をCMP法により除去し、プラグ97を形成する。なお、この時、W膜の代わりにCu膜を用いてもよい。

その後の工程は、図47を用いて説明した配線98A、98Bを形成した工程以降と同様であり、バンプ電極106を形成した後に、上記のプロープ検査工程と同様の工程に従ってプロープ検査を実施する。また、バンプ電極106を形成せずに、図48に示した構造と同様に、開口部105下のパッドBPにボンディングワイヤを接続する構造（図50参照）としてもよい。

また、配線98A、98Bは、Cu膜を主導電層として形成してもよい（図51および図52参照）。この場合、酸化シリコン膜99、100を窒化シリコン膜および酸化シリコン膜を下層より積層した積層膜99A、100Aと置き換える。配線98A、98Bは、配線94を形成した工程と同様の工程により、積層膜99Aをエッチングして形成した配線溝98C、98D内にそれぞれ形成することができる。また、プラグ97は、配線98Aの形成時に一括に形成することができる。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、前記実施の形態では、薄膜シートに形成されたプロープをバンプ電

極に接触させてプローブ検査を実施する場合について説明したが、バンプ電極を形成する前に、バンプ電極下に配置されるパッドにプローブを接触させてプローブ検査を実施してもよい。

5 産業上の利用可能性

本発明の半導体集積回路装置の製造方法は、たとえば半導体集積回路装置の製造工程におけるプローブ検査工程に広く適用することができる。

請求の範囲

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々にボンディングパッド上のボンディングパッド開口またはバンパ電

5 極が形成されたウエハを準備する工程；

(b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記ボンディングパッド開口または前記バンパ電極およびその周辺について、外観検査を実行する工程；

(c) 前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを
10 実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域のうち、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程。

15 2. 請求項1記載の半導体集積回路装置の製造方法において、

前記(c)工程の前記プローブテスト中、前記第1群のチップ領域に対しては、前記薄膜プローブの突起針をプローブ用電極としての前記ボンディングパッドまたは前記バンパ電極に接触させない。

3. 請求項1記載の半導体集積回路装置の製造方法において、

20 前記(c)工程の前記プローブテスト中、前記第1群のチップ領域に対しては、前記薄膜プローブの突起針をプローブ用電極としての前記ボンディングパッドまたは前記バンパ電極に、少なくとも電氣的な測定が可能な程度までは接触させない。

4. 請求項1記載の半導体集積回路装置の製造方法において、

25 前記(b)工程の前記外観検査は、前記(c)工程の前記プローブテストの際に、前記ウエハ上の異物または異常パターンが前記薄膜プローブにダメージを与えるか否かを光学的に検査する工程を含む。

5. 請求項1記載の半導体集積回路装置の製造方法において、

前記(b)工程の外観検査は、以下の下位工程を含む：

(i) 第1の精度で、前記ボンディングパッド開口または前記バンプ電極およびその周辺に対して外観検査を実行する工程；

(ii) 前記第1の精度よりも粗い第2の精度で、前記ボンディングパッド開口または前記バンプ電極およびその周辺以外の部分に対して外観検査を実行する

5 工程。

6. 請求項2記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、バンプ電極である。

7. 請求項2記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、ボンディングパッドである。

10 8. 請求項6記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、金を主要な成分とするバンプ電極である。

9. 請求項2記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、アルミニウムを主要な成分とするボンディングパッドである。

15 10. 請求項1記載の半導体集積回路装置の製造方法において、

前記ボンディングパッドまたは前記バンプ電極よりも下層の相互配線層の少なくとも一部は、銅を主成分とする配線材料で構成された埋め込み配線である。

11. 以下の工程を含む半導体集積回路装置の製造方法：

20 (a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々にプローブ用電極が形成されたウエハを準備する工程；

(b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記プローブ用電極およびその周辺について、外観検査を実行する工程；

25 (c) 前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域のうち、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、且つ、前記薄膜プローブの突起針を前記プローブ用電極に接触させず、一方、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程。

1 2. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記 (b) 工程の前記外観検査は、前記 (c) 工程の前記プローブテストの際に、前記ウエハ上の異物または異常パターンが前記薄膜プローブにダメージを与えるか否かを光学的に検査する工程を含む。

5 1 3. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記 (b) 工程の外観検査は、以下の下位工程を含む：

(i) 第 1 の精度で、前記プローブ用電極およびその周辺に対して外観検査を実行する工程；

10 (i i) 前記第 1 の精度よりも粗い第 2 の精度で、前記プローブ用電極およびその周辺以外の部分に対して外観検査を実行する工程。

1 4. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、バンプ電極である。

1 5. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、ボンディングパッドである。

15 1 6. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、金を主要な成分とするバンプ電極である。

1 7. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記プローブ用電極は、アルミニウムを主要な成分とするボンディングパッドである。

20 1 8. 請求項 1 1 記載の半導体集積回路装置の製造方法において、

前記プローブ用電極よりも下層の相互配線層の少なくとも一部は、銅を主成分とする配線材料で構成された埋め込み配線である。

1 9. 以下の工程を含む半導体集積回路装置の製造方法：

25 (a) 半導体集積回路製造工程において、ウエハ工程がほぼ完了し、複数のチップ領域の各々に金を主要な成分とする金バンプ電極が形成されたウエハを準備する工程；

(b) 前記ウエハ上の前記複数のチップ領域の各々において、少なくとも前記金バンプ電極およびその周辺について、外観検査を実行する工程；

(c) 前記複数のチップ領域に対して、薄膜プローブを用いてプローブテストを

実行する際に、前記外観検査の結果に基づいて、前記複数のチップ領域の内、前記薄膜プローブを用いて前記プローブテストを実行することが不適当な第1群の一つまたはそれ以上のチップ領域への前記プローブテストを実行せず、且つ、前記薄膜プローブの突起針を前記金バンプ電極に少なくとも電気的な測定が可能な程度までは接触させず、一方、前記第1群に属さない第2群のチップ領域に対して、前記薄膜プローブを用いて前記プローブテストを実行する工程。

20. 請求項19記載の半導体集積回路装置の製造方法において、前記(b)工程の外観検査は、以下の下位工程を含む：

- (i) 第1の精度で、前記金バンプ電極およびその周辺に対して外観検査を実行する工程；
- (ii) 前記第2の精度よりも粗い第2の精度で、前記金バンプ電極およびその周辺以外の部分に対して外観検査を実行する工程。

図 1

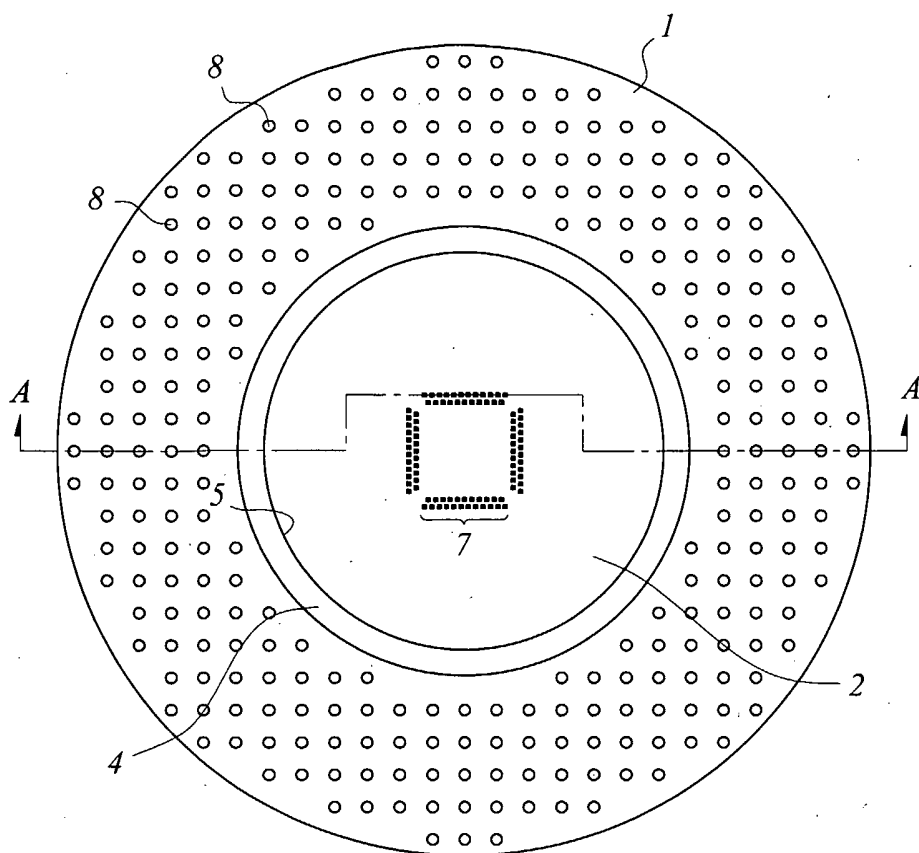


図 2

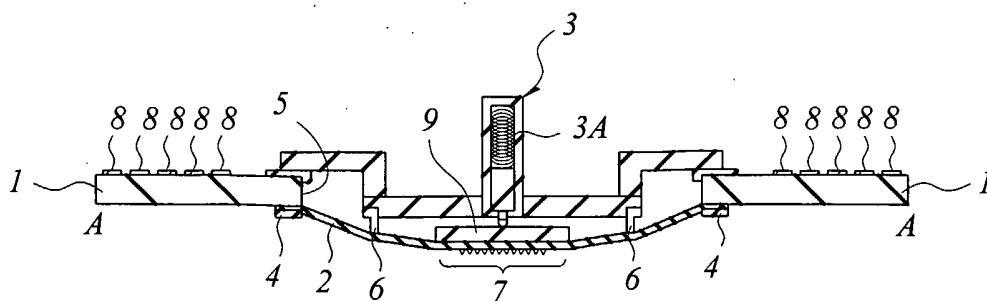


図 3

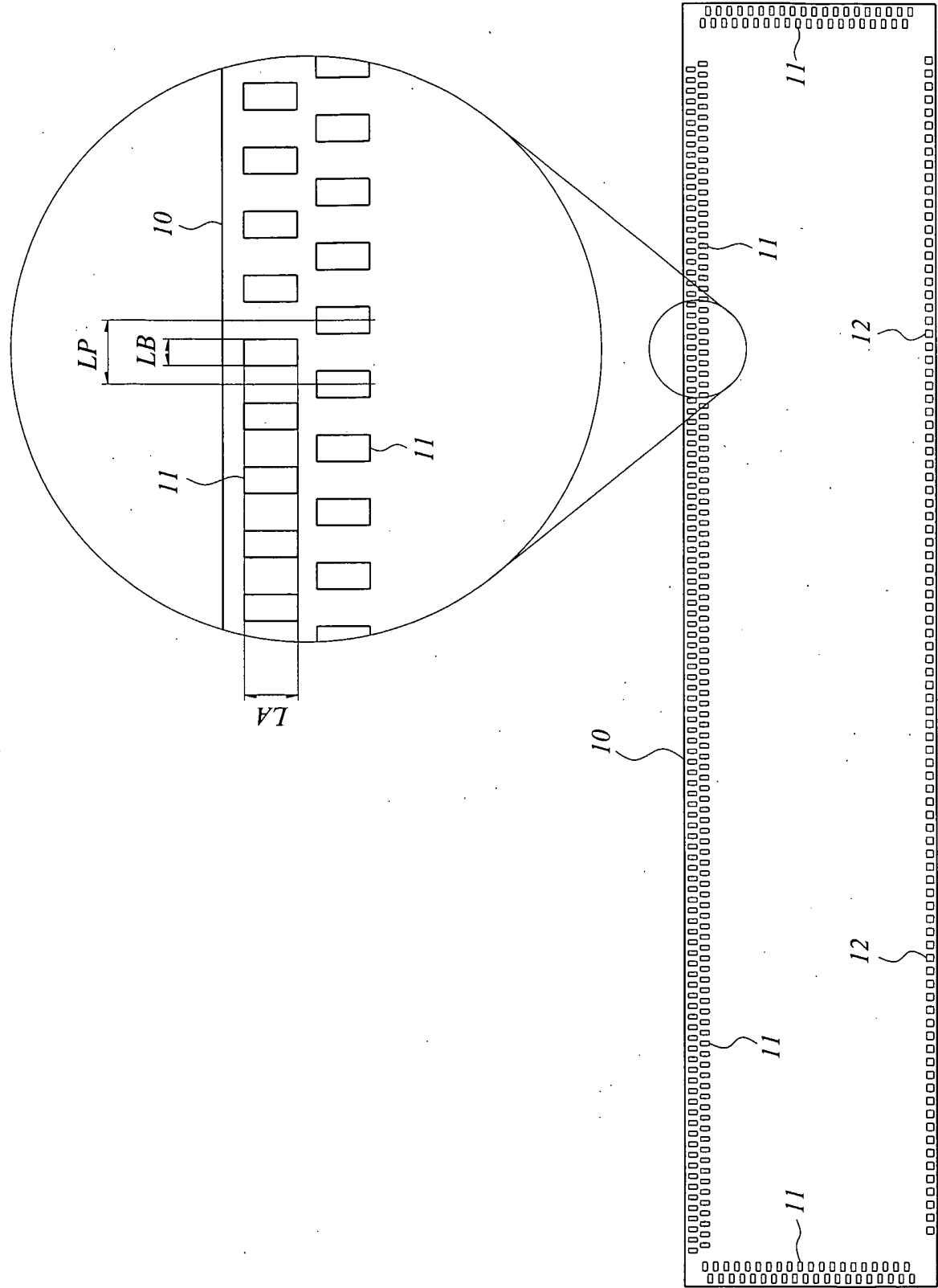


図 4

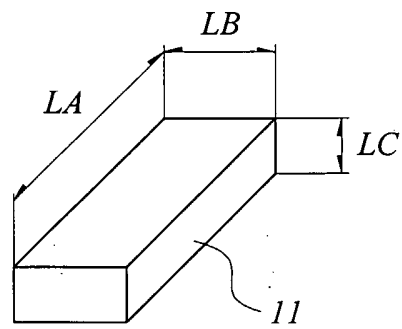


図 5

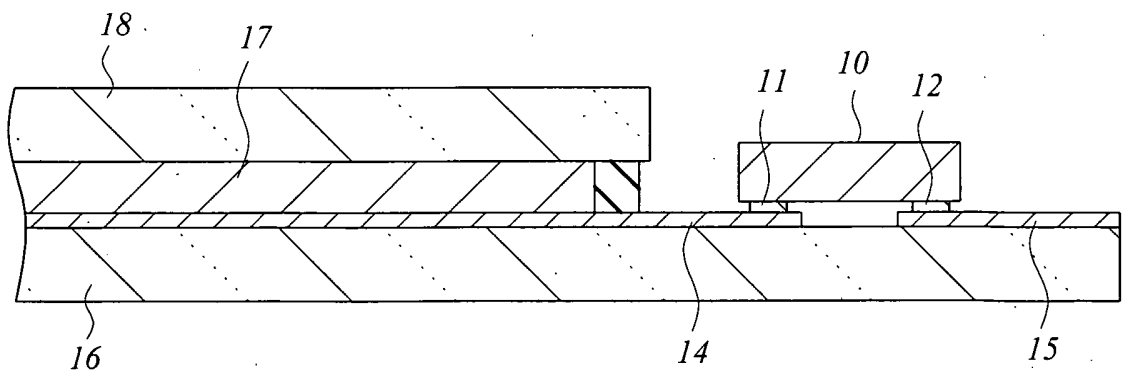


図 6

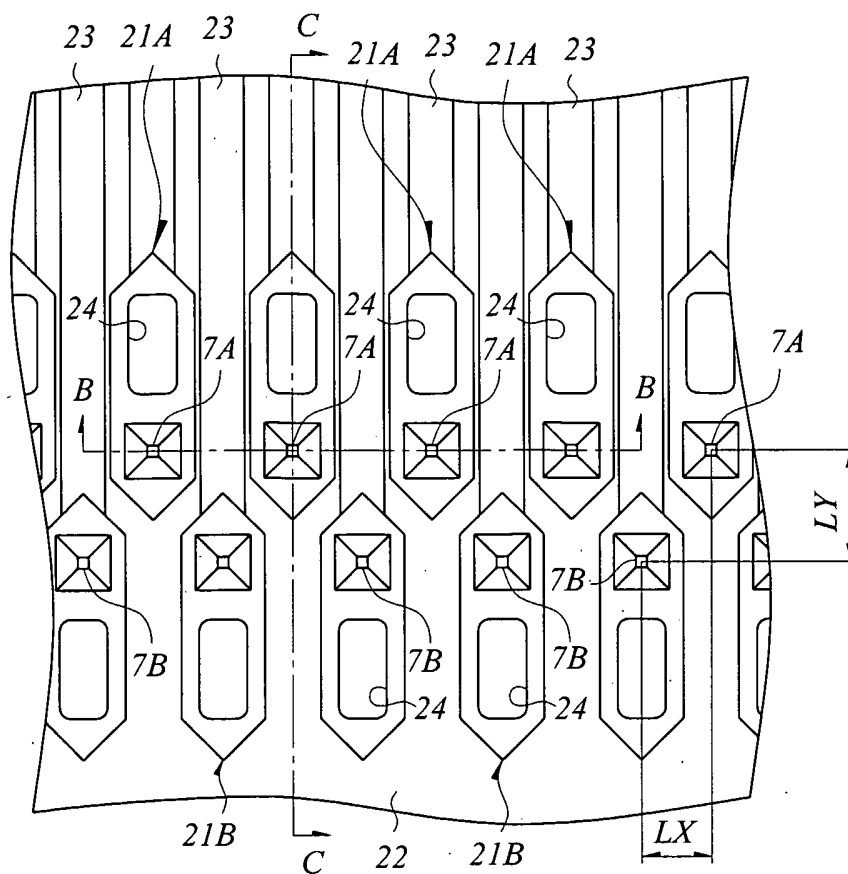


図 7

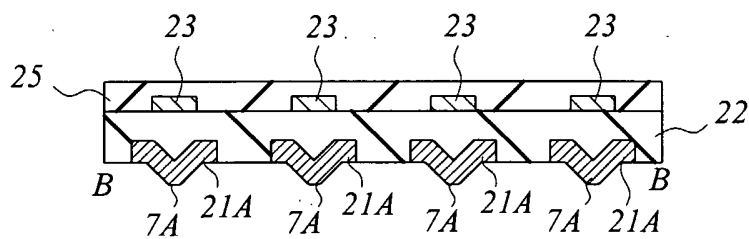


図 8

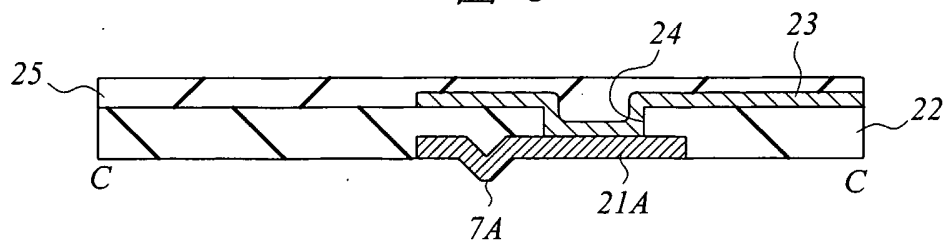
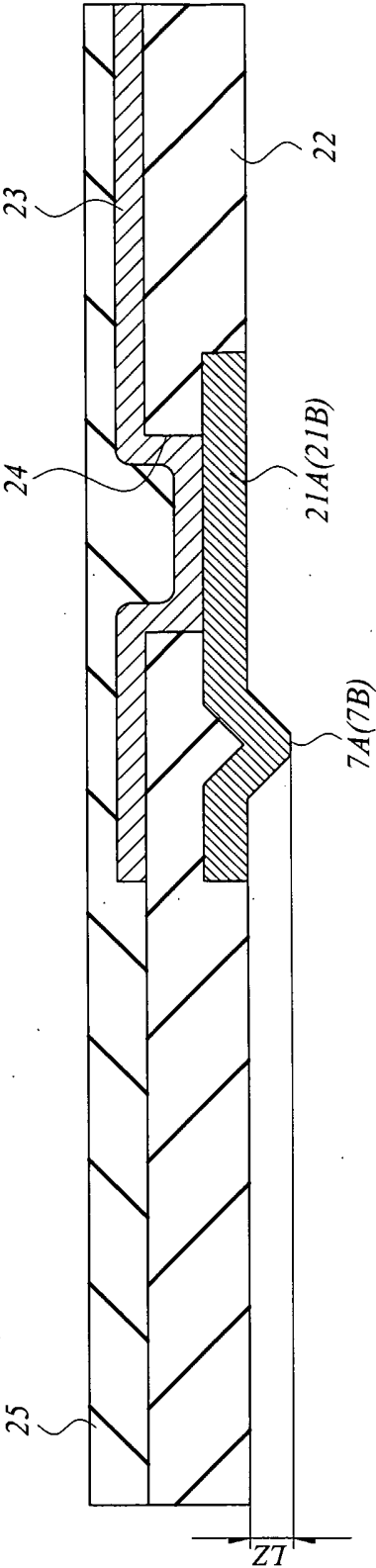


図 9



10

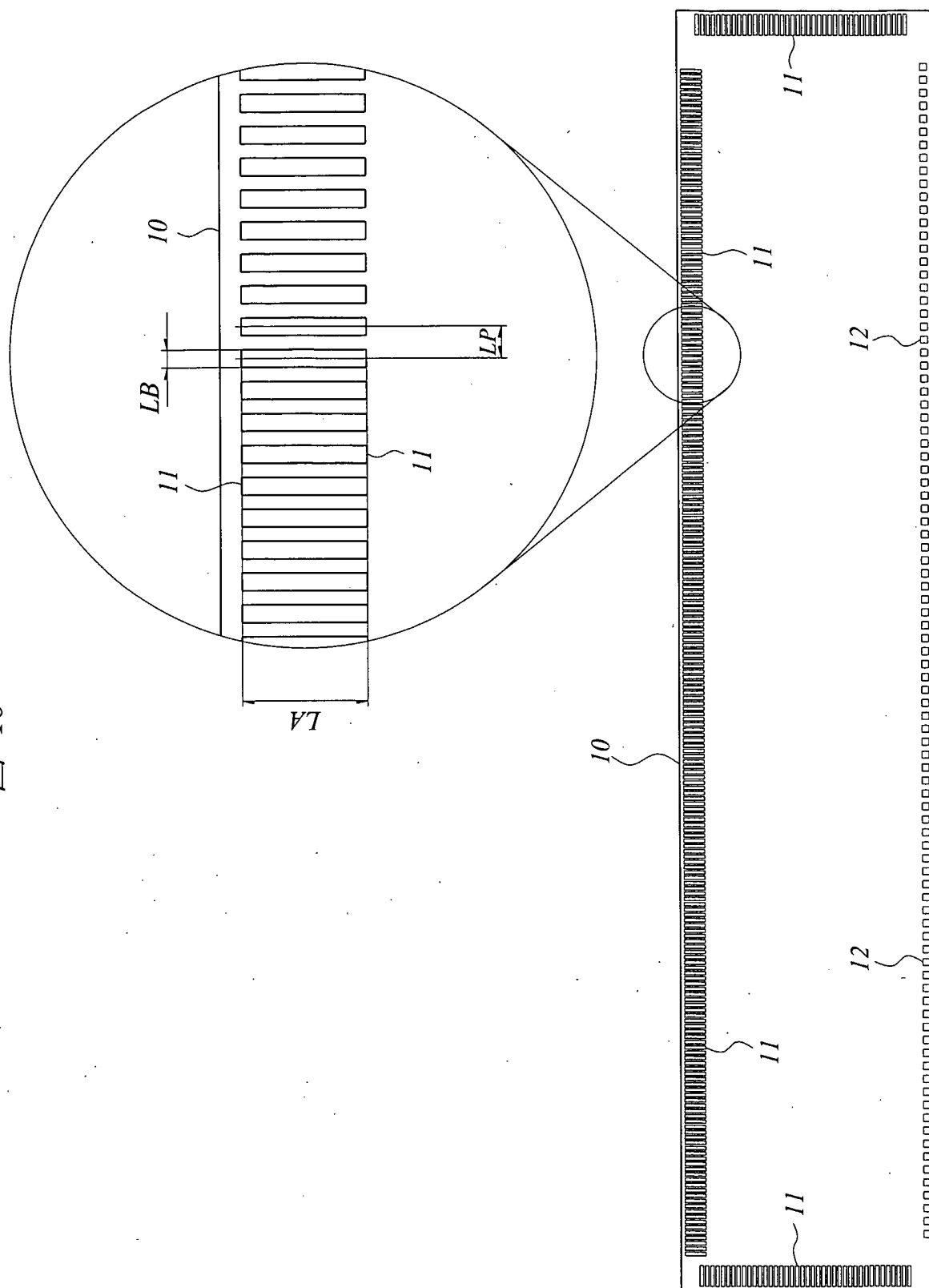


図 11

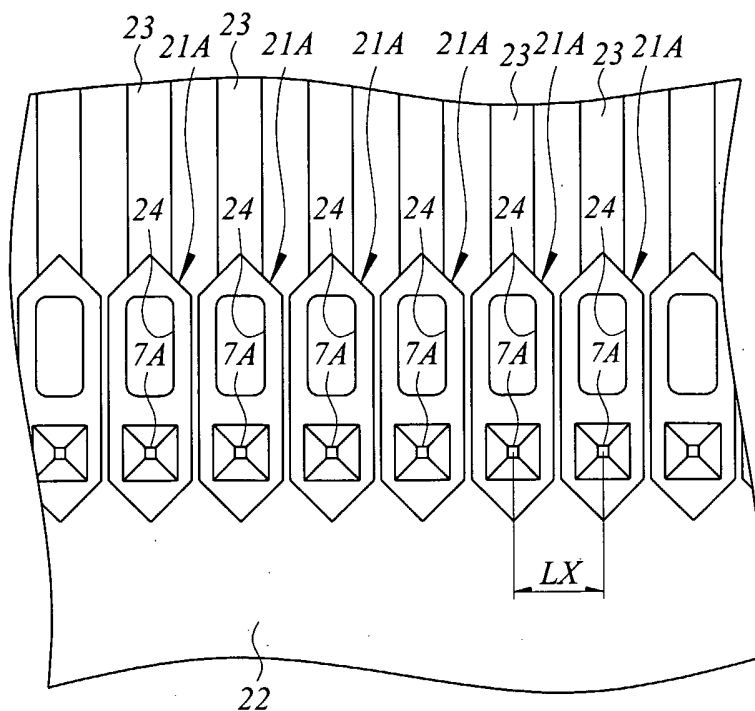


図 12

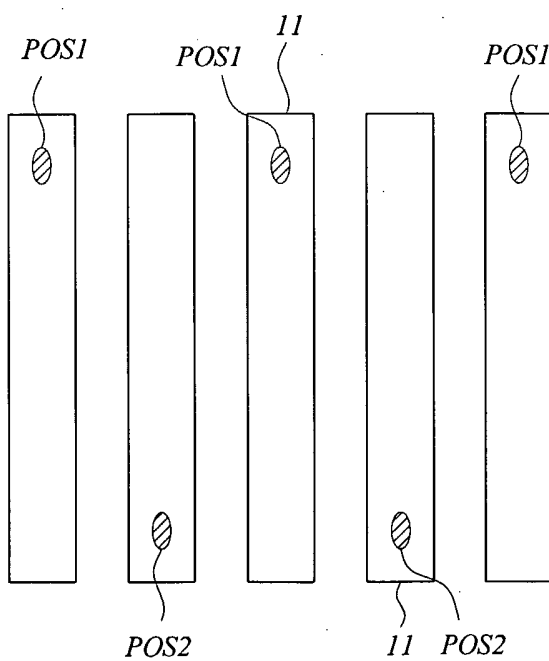
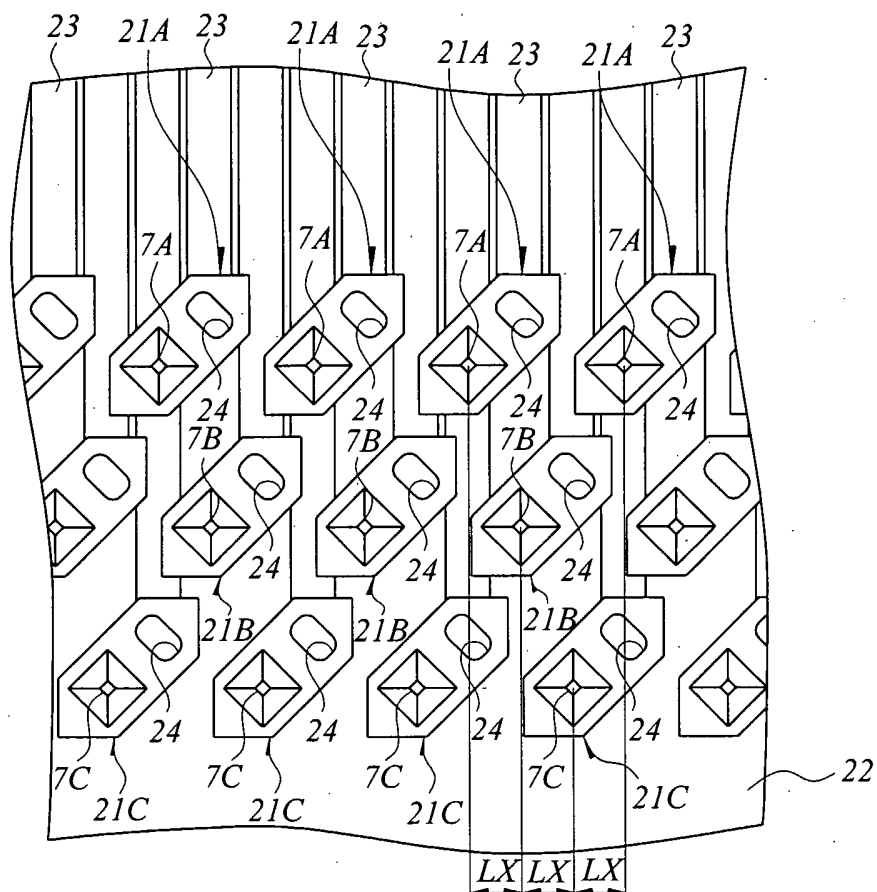


図 13



14

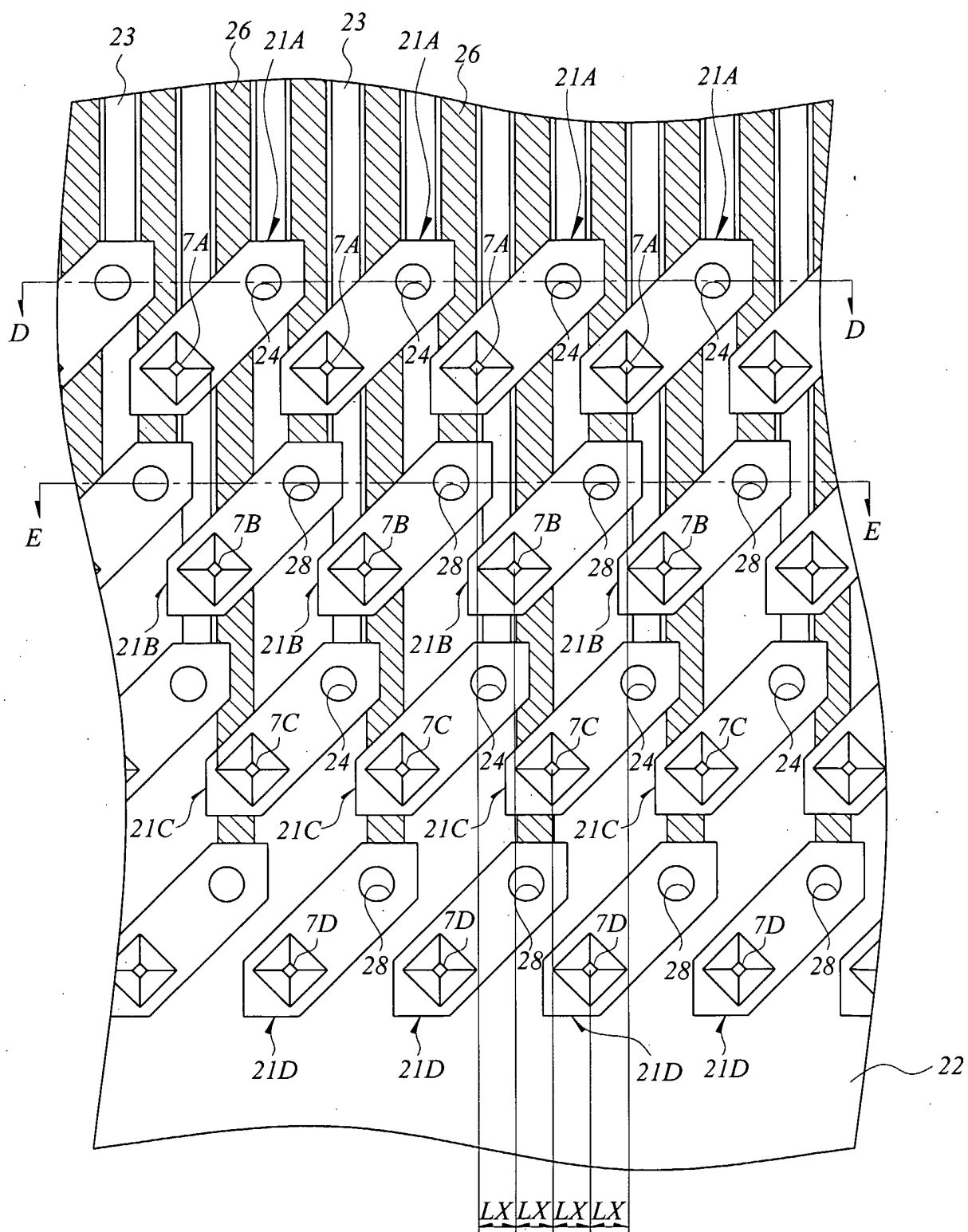


図 15

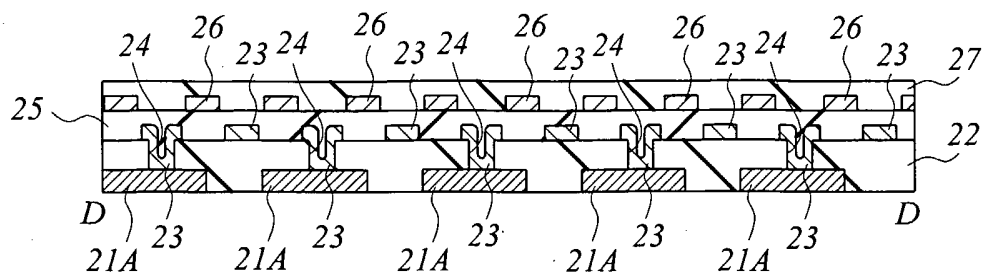


図 16

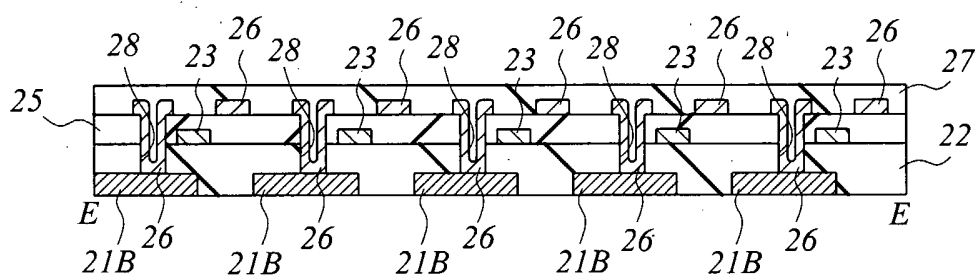


図 17

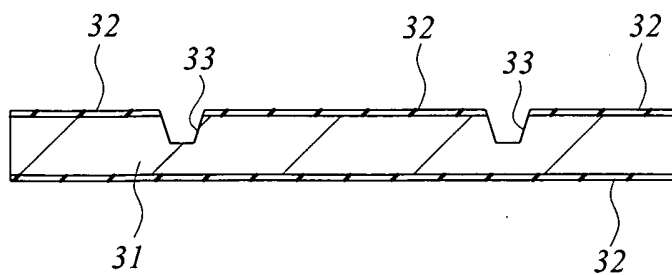


図 18

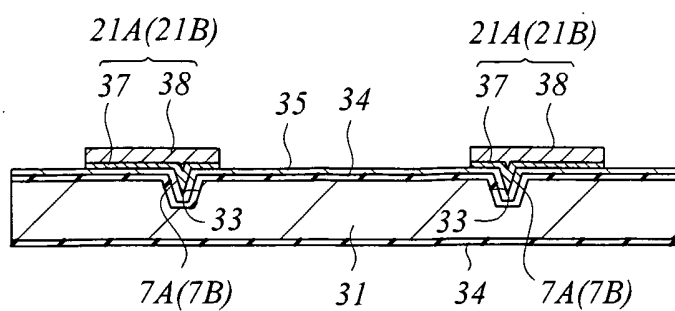


図 19

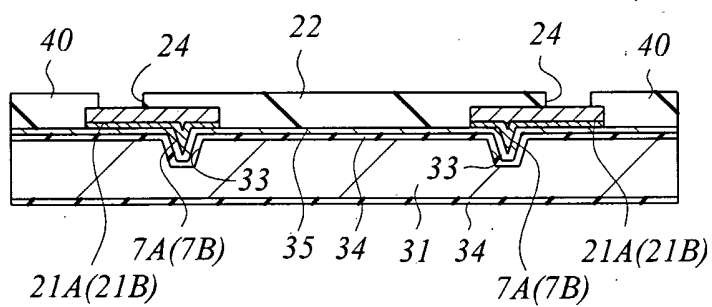


図 20

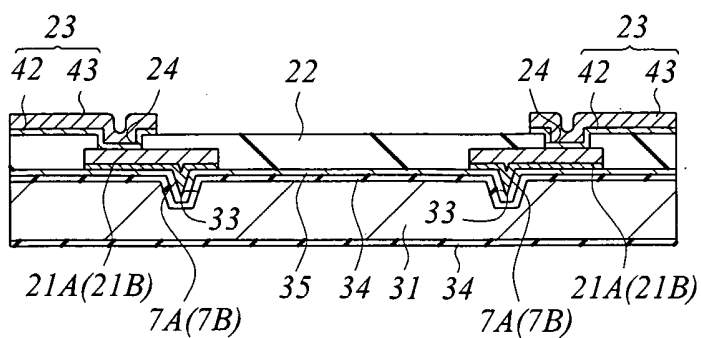
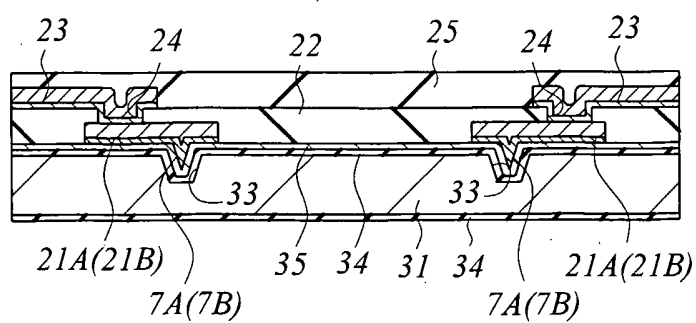
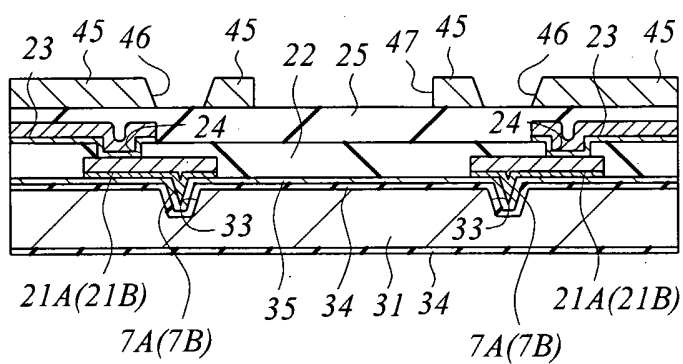


Figure 21 shows a square diagram with a diagonal line from the top-left to the bottom-right. The top-left triangle contains the character '天' (Heaven). The bottom-right triangle contains the character '地' (Earth). The top-right triangle contains the character '火' (Fire). The bottom-left triangle contains the character '水' (Water).

 22

23

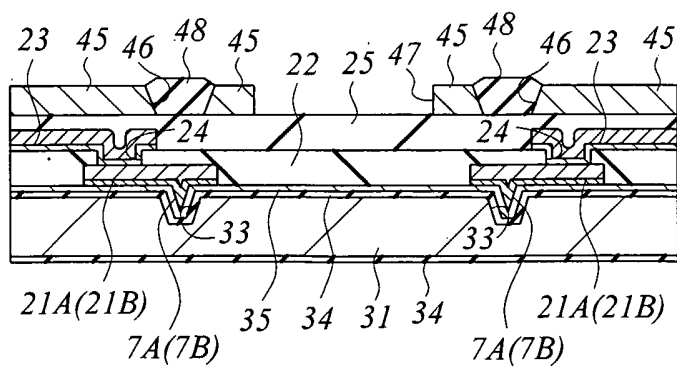


図 24

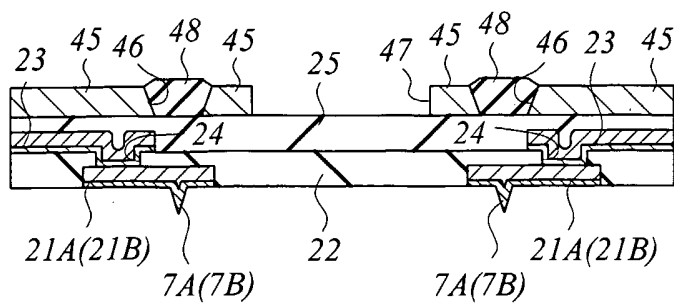


図 25

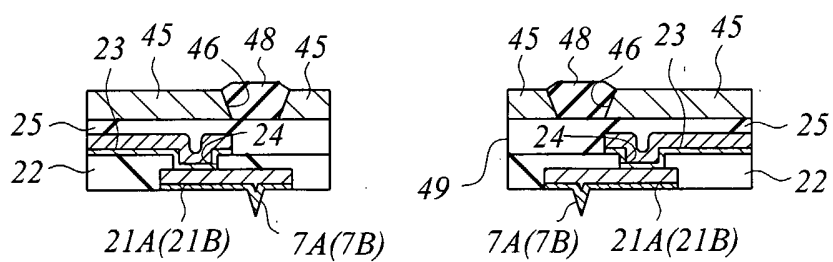
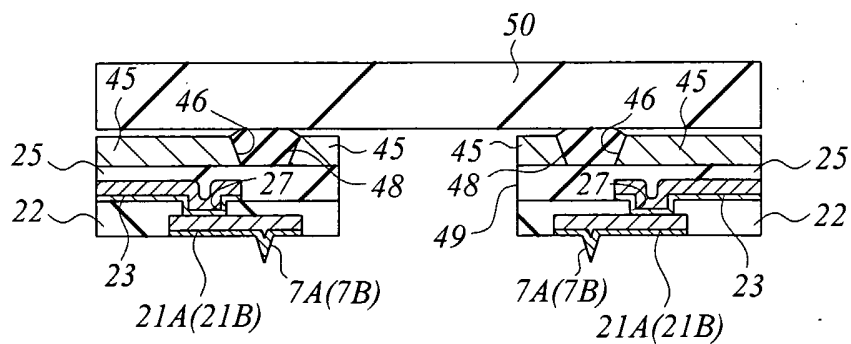
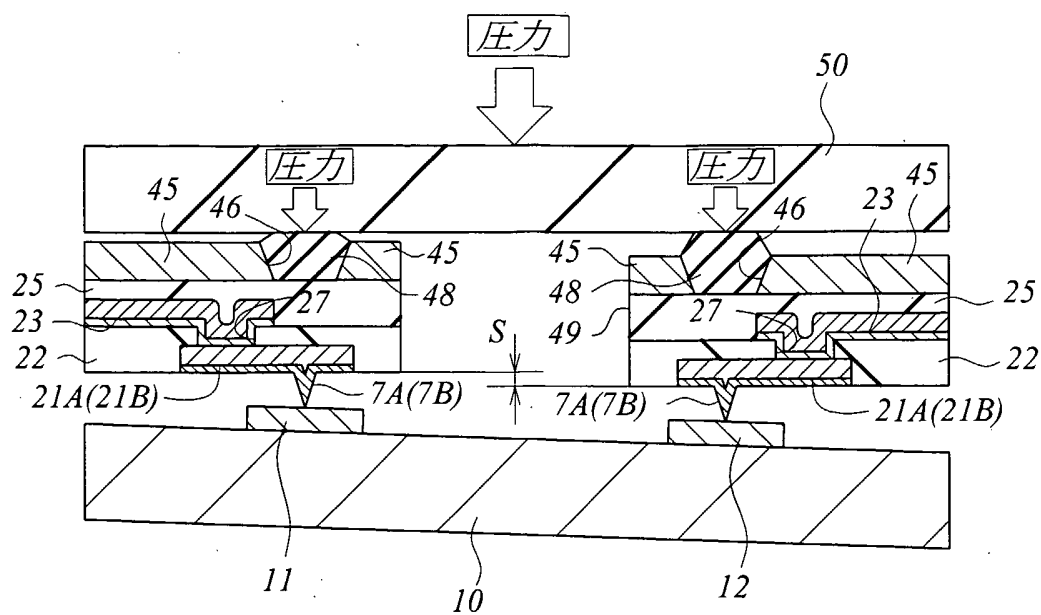


図 26



27



28

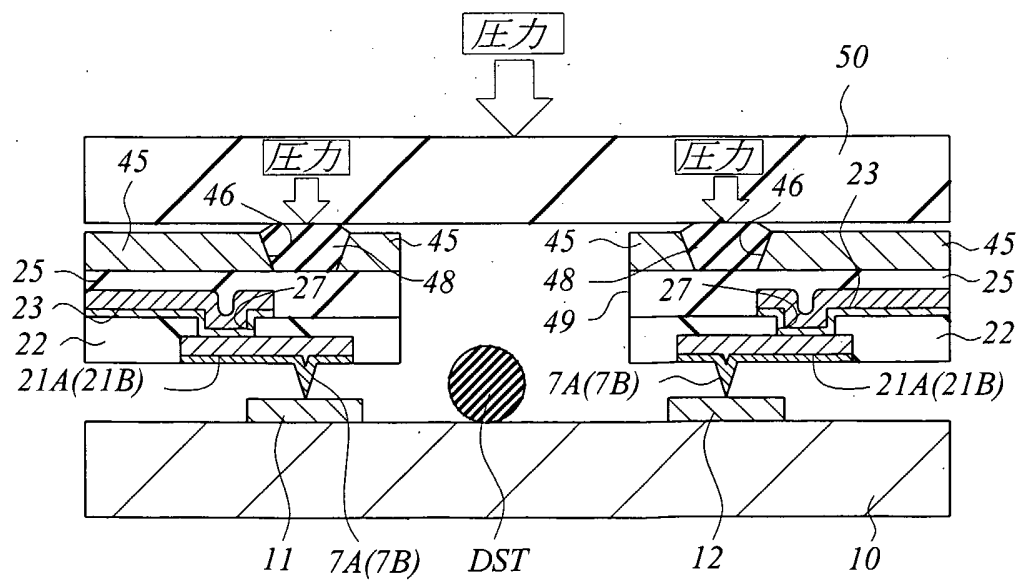


図 29

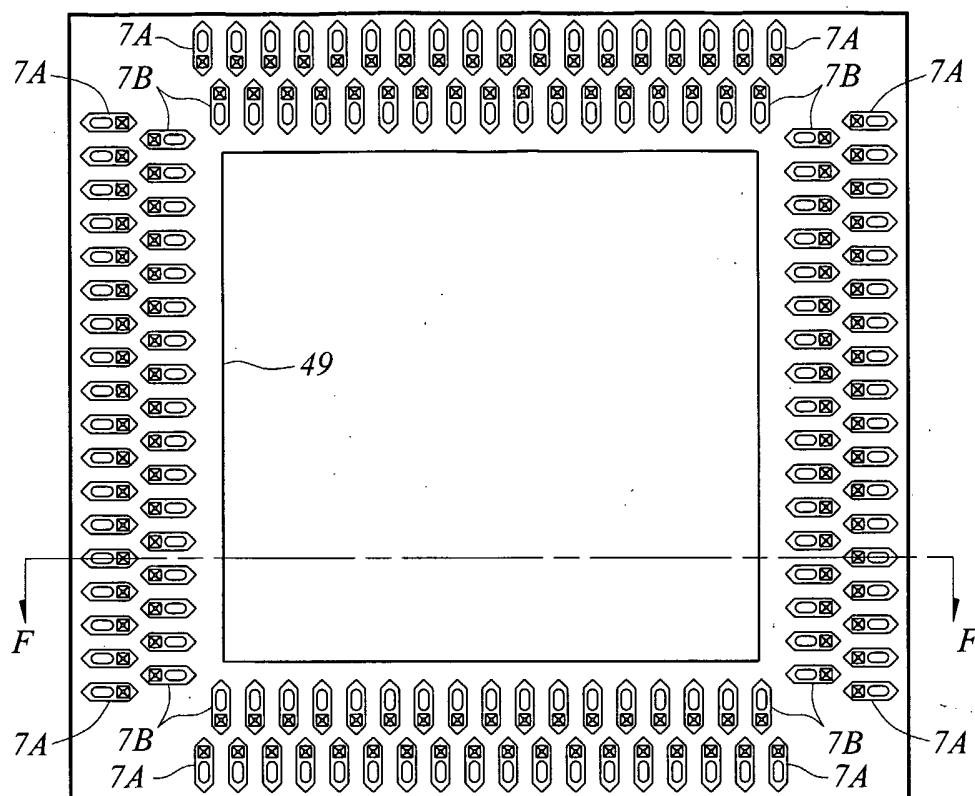


図 30

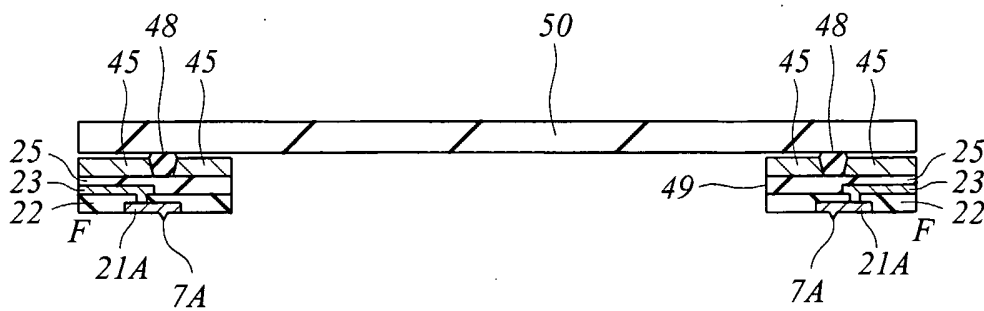


図 31

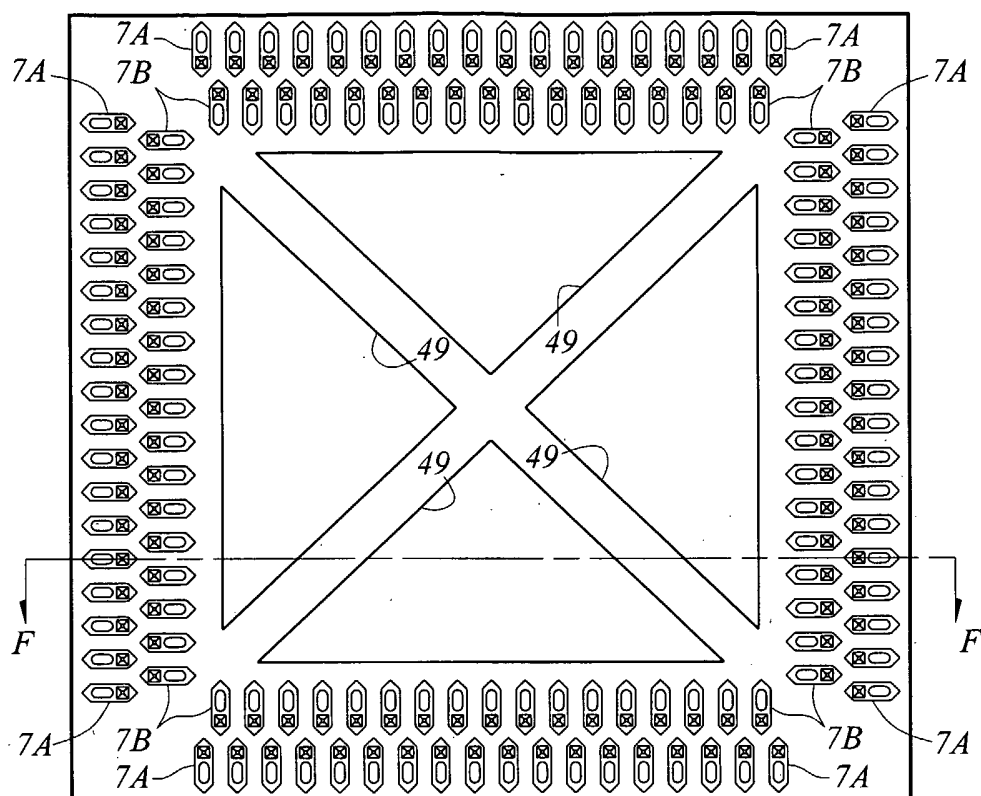


図 32

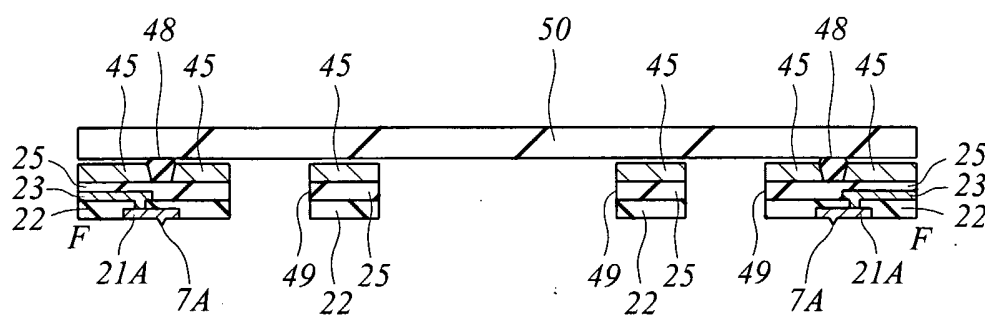


図 33

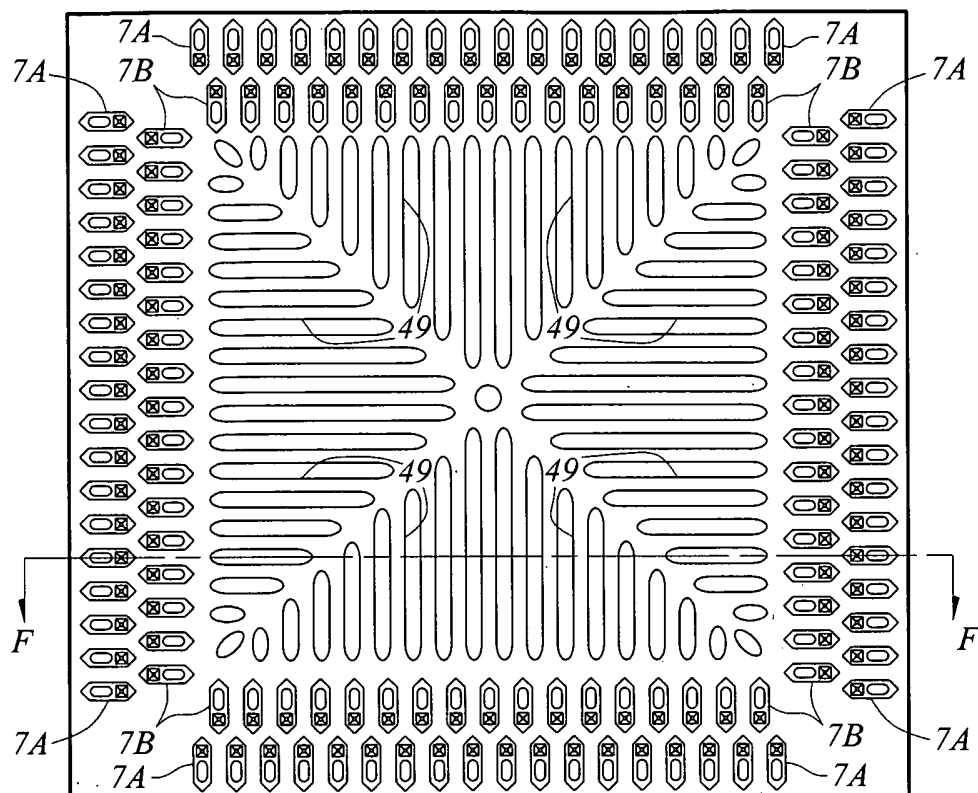


図 34

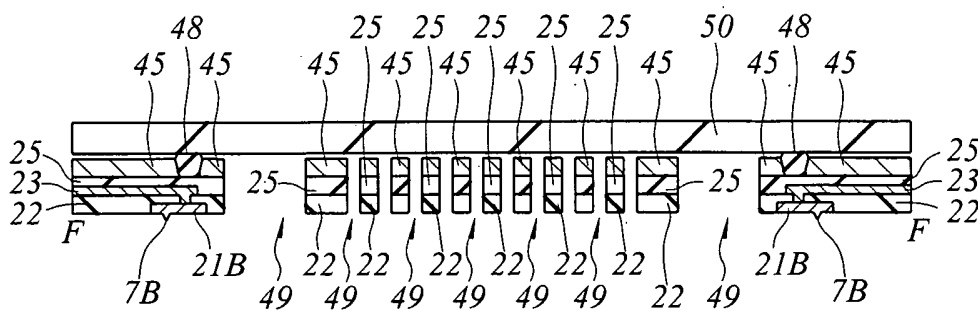


図 35

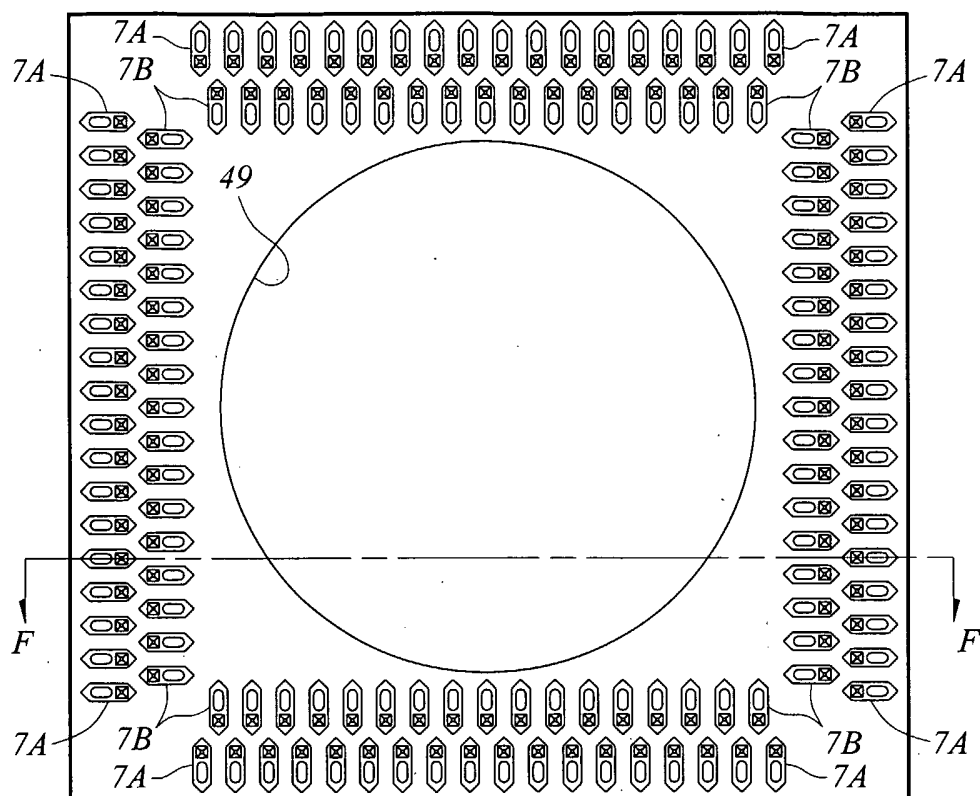


図 36

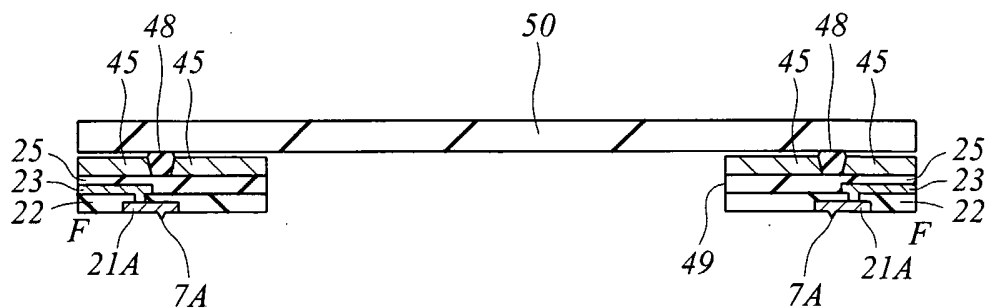
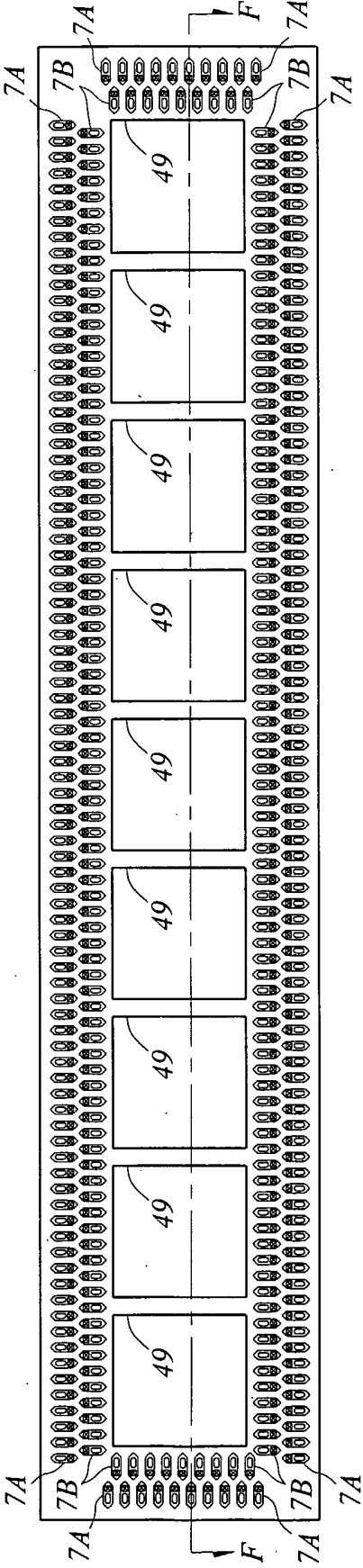


図 37



38

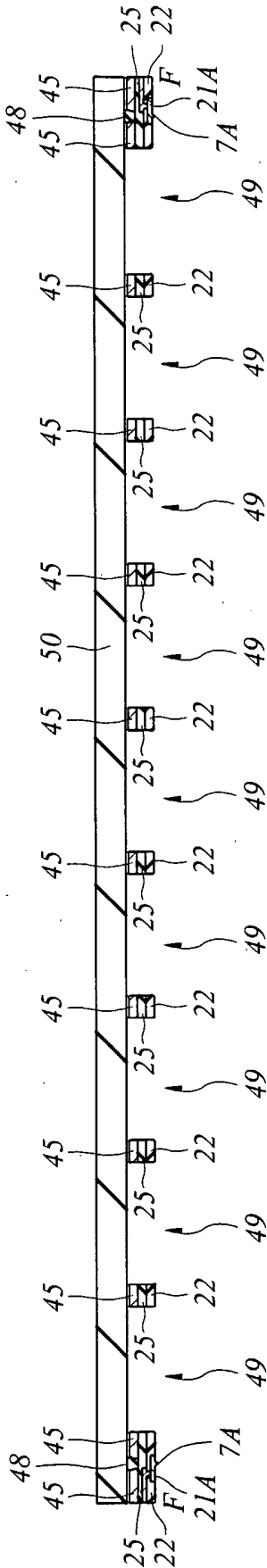


図 39

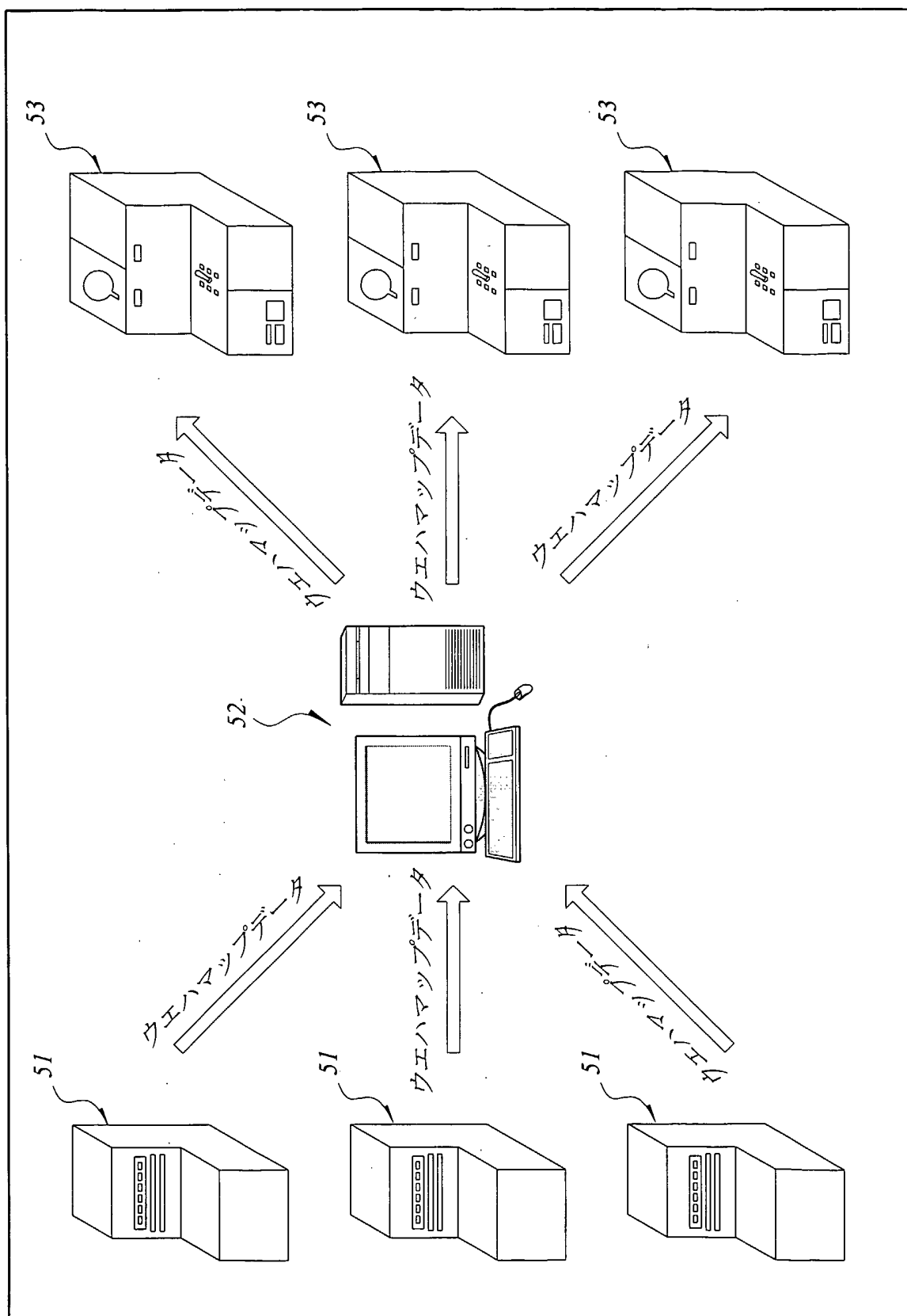


図 40

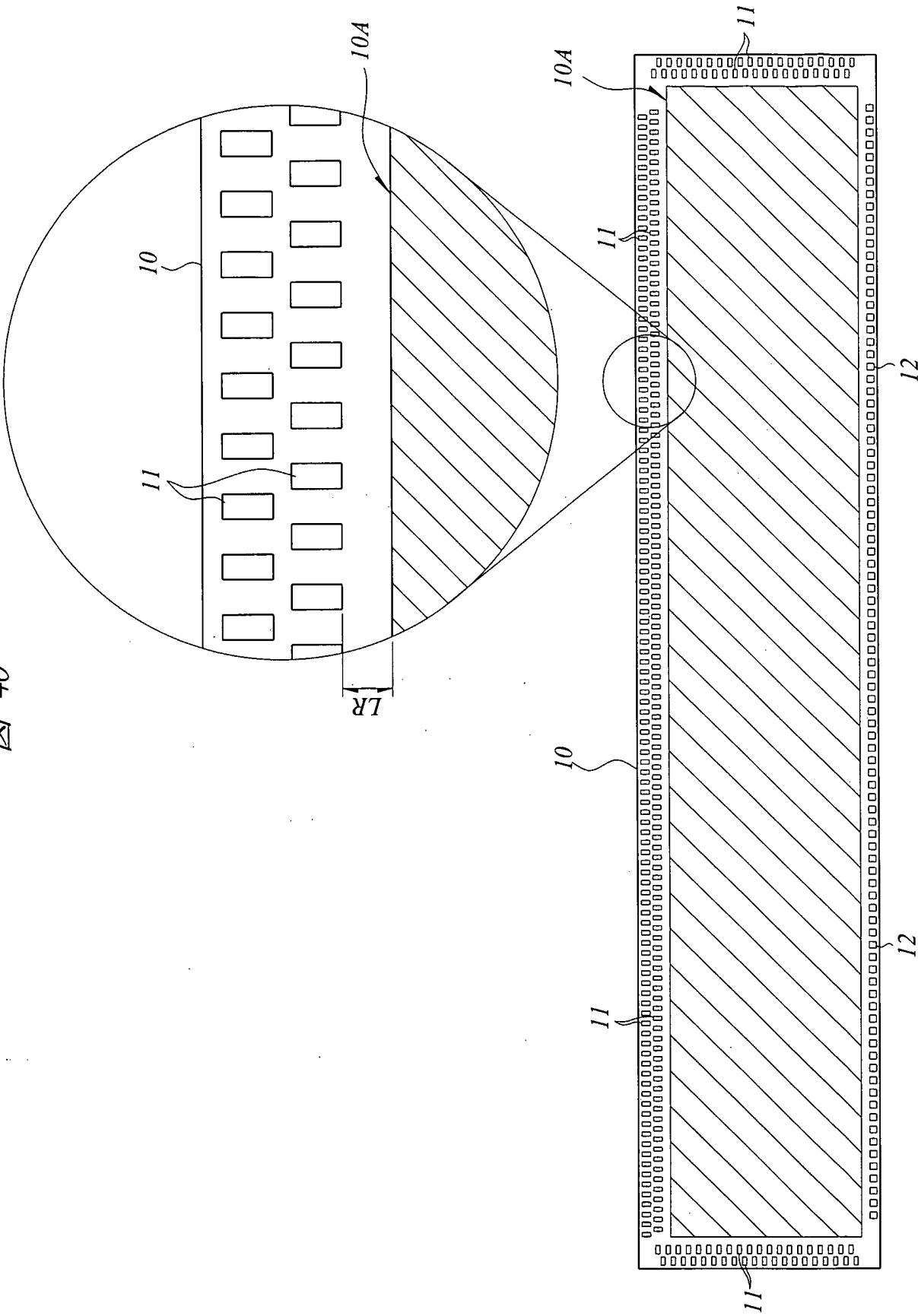


図 41

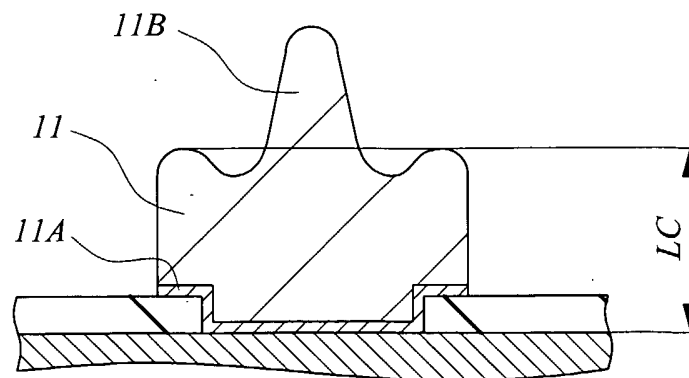
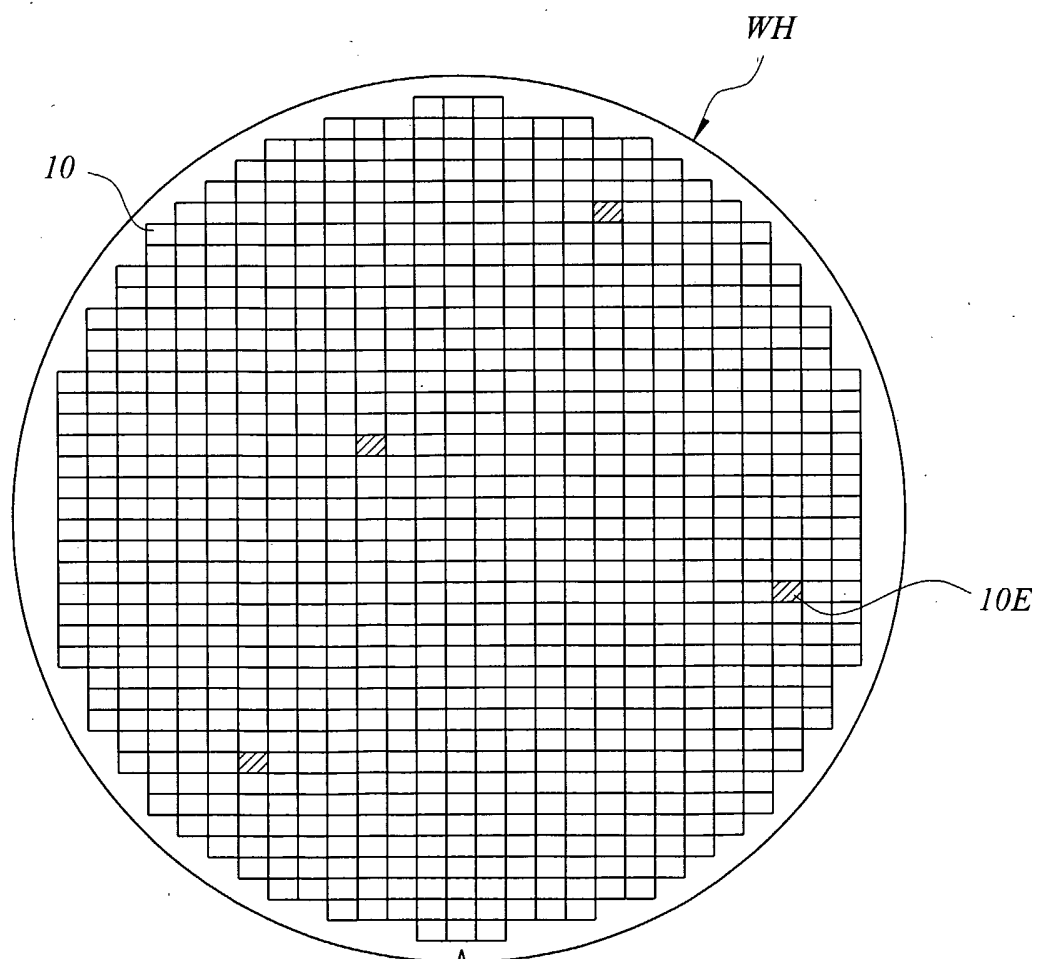
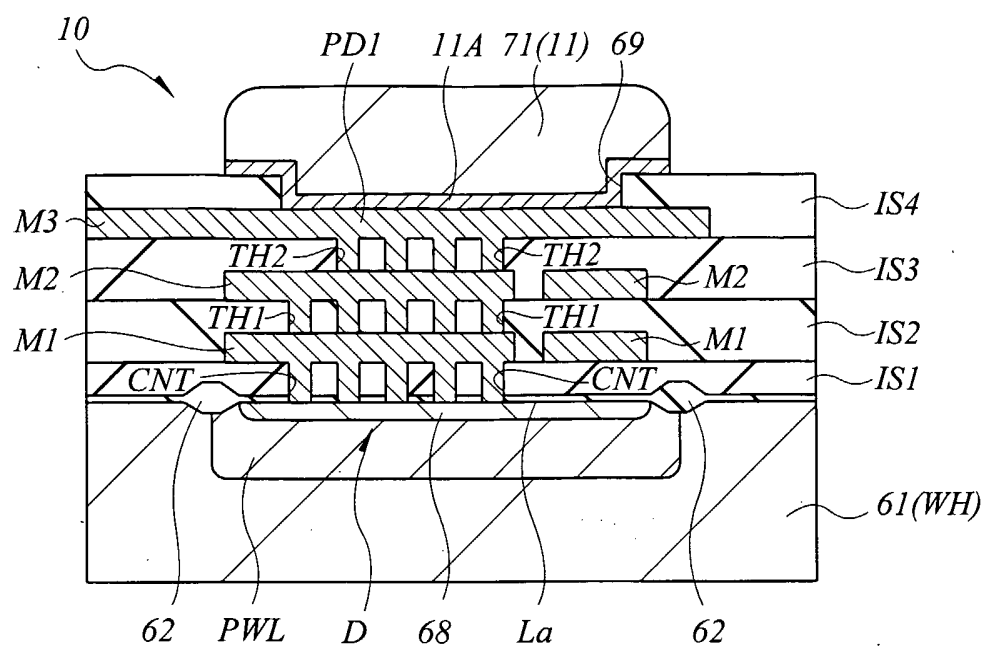


図 42



43



44

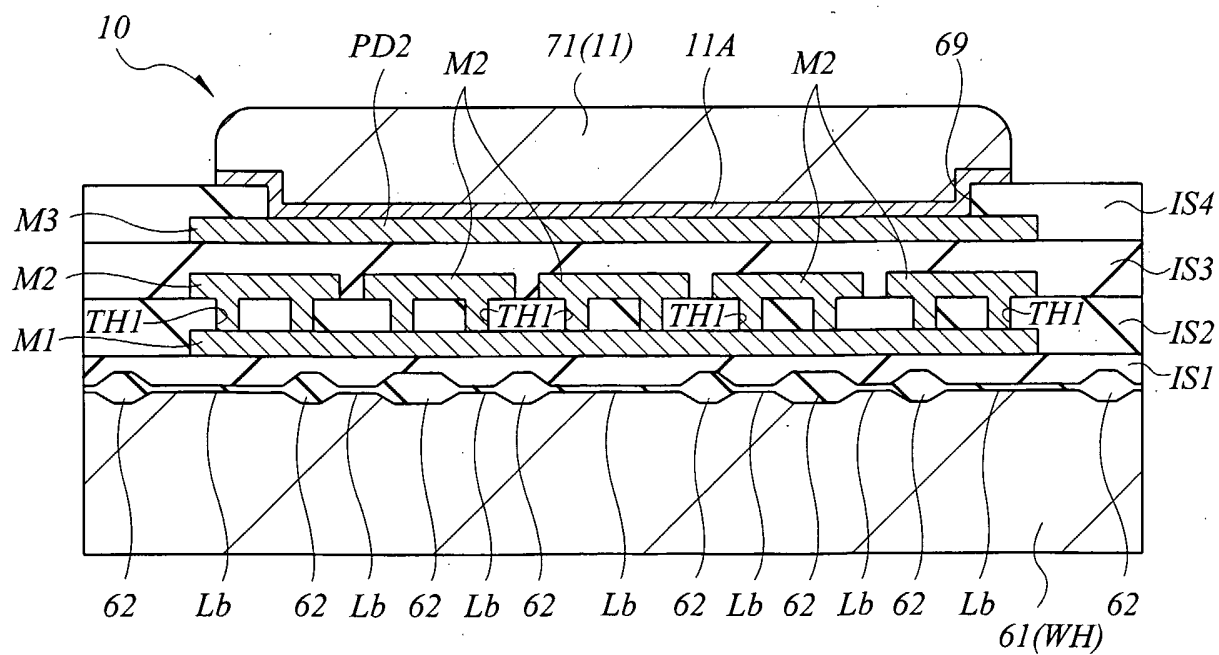


図 45

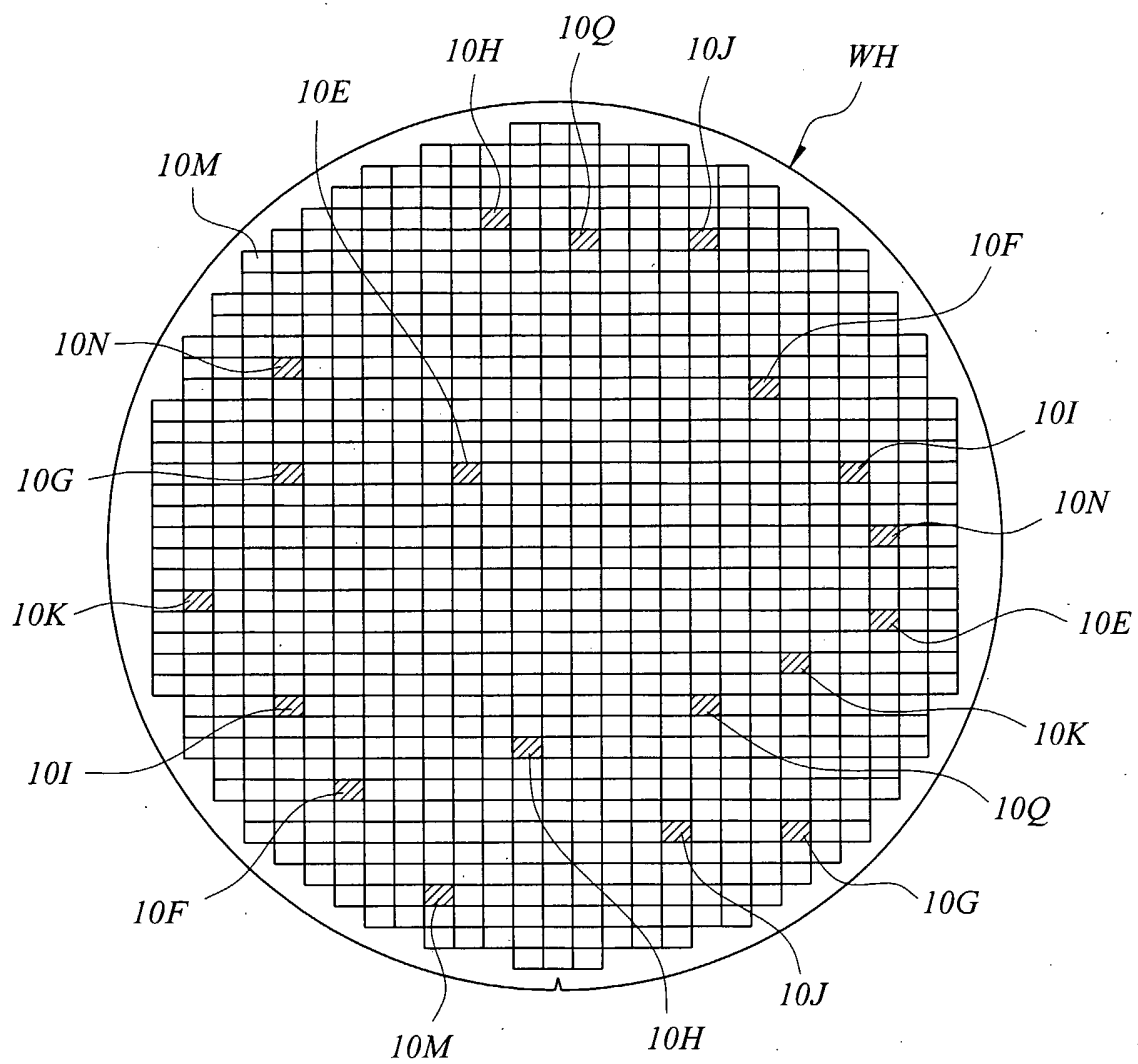
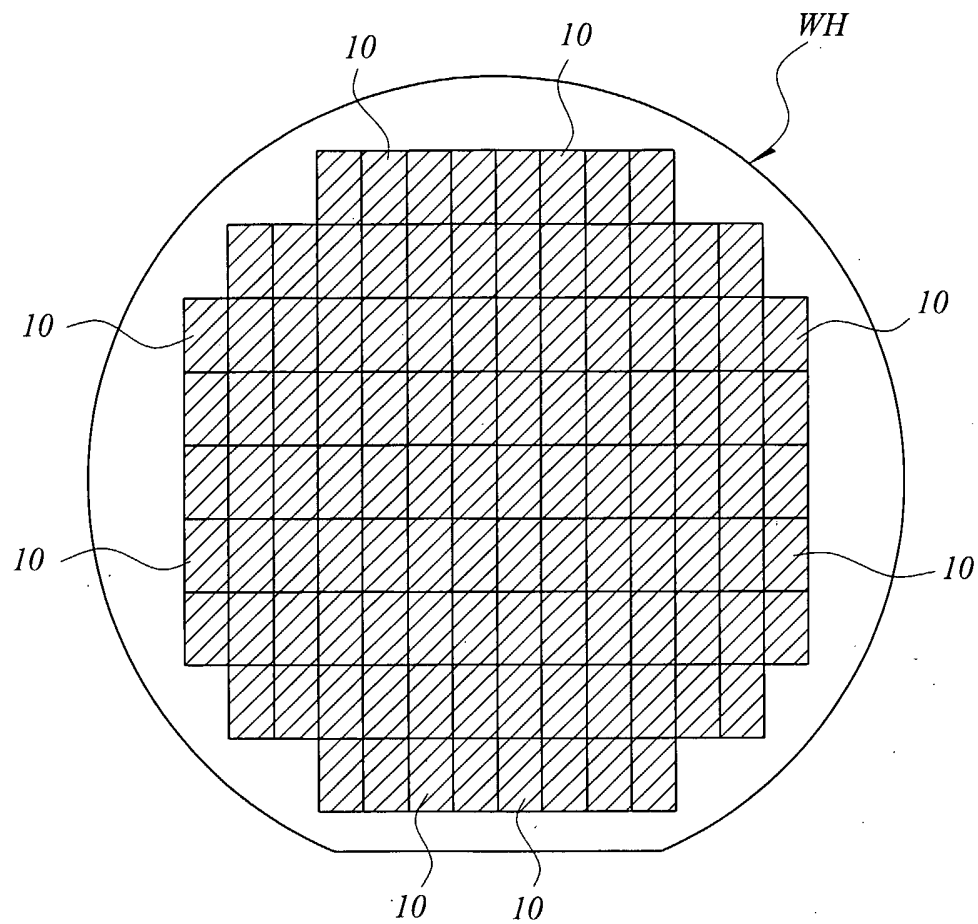
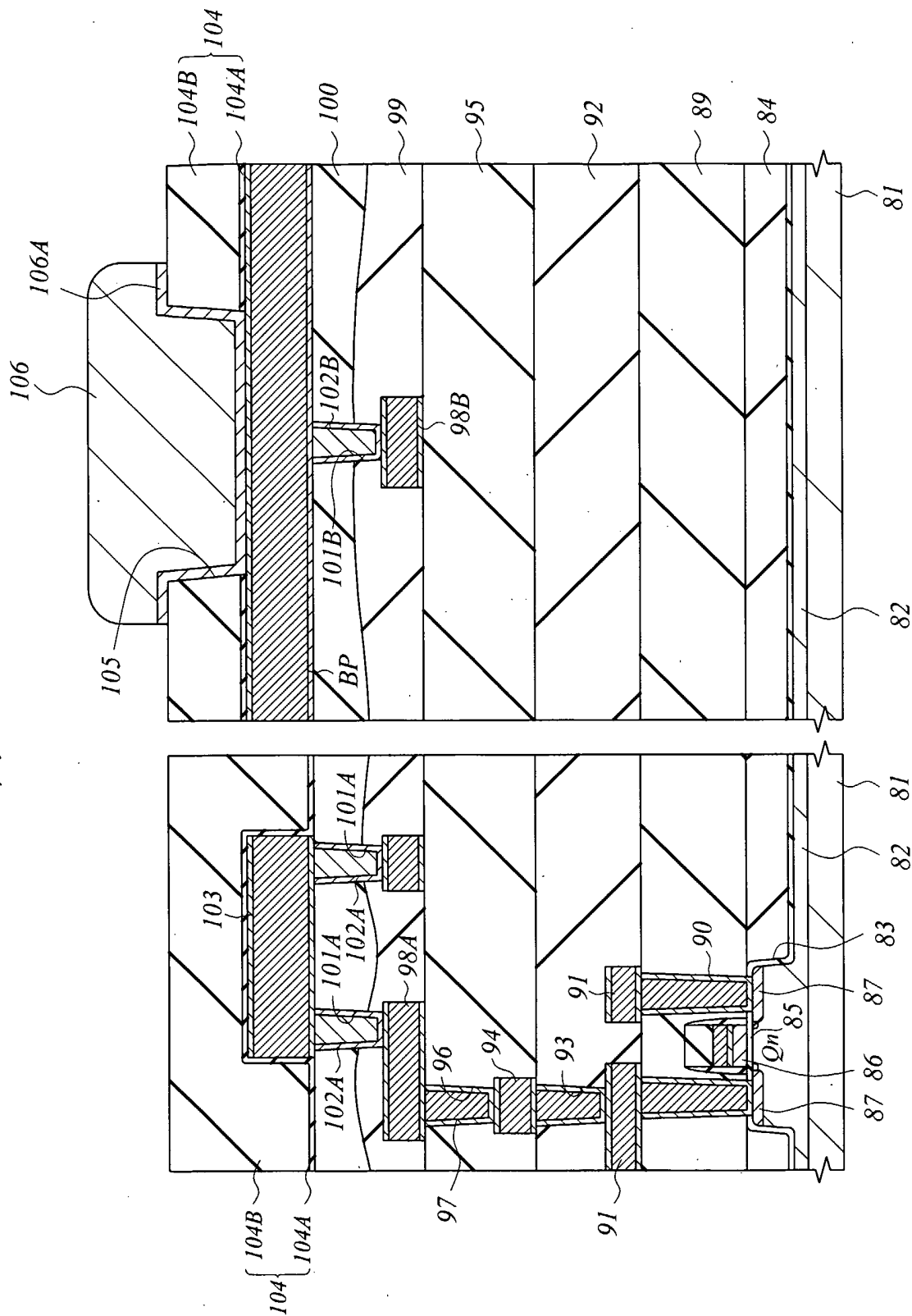


図 46



47



48

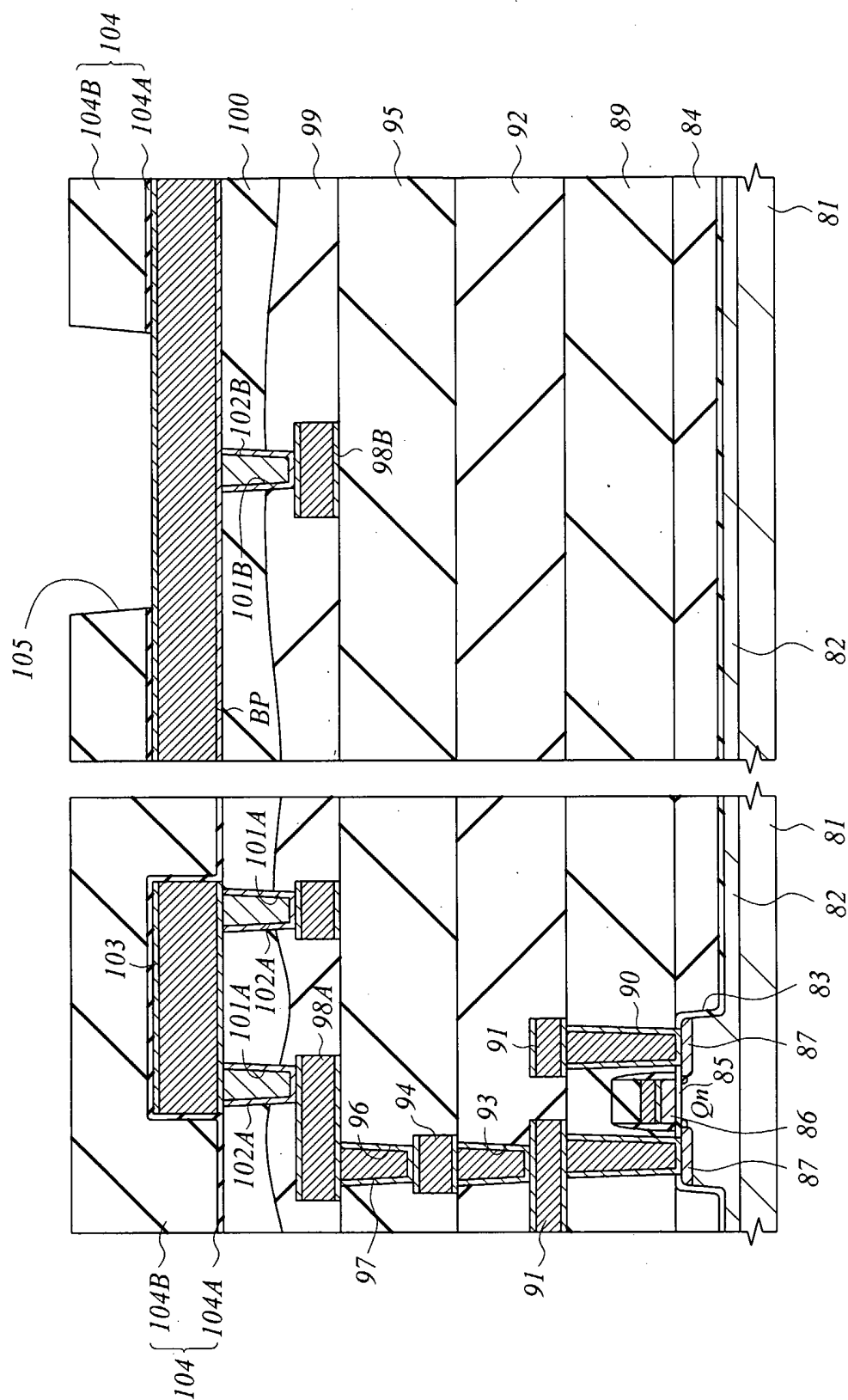


Fig. 49

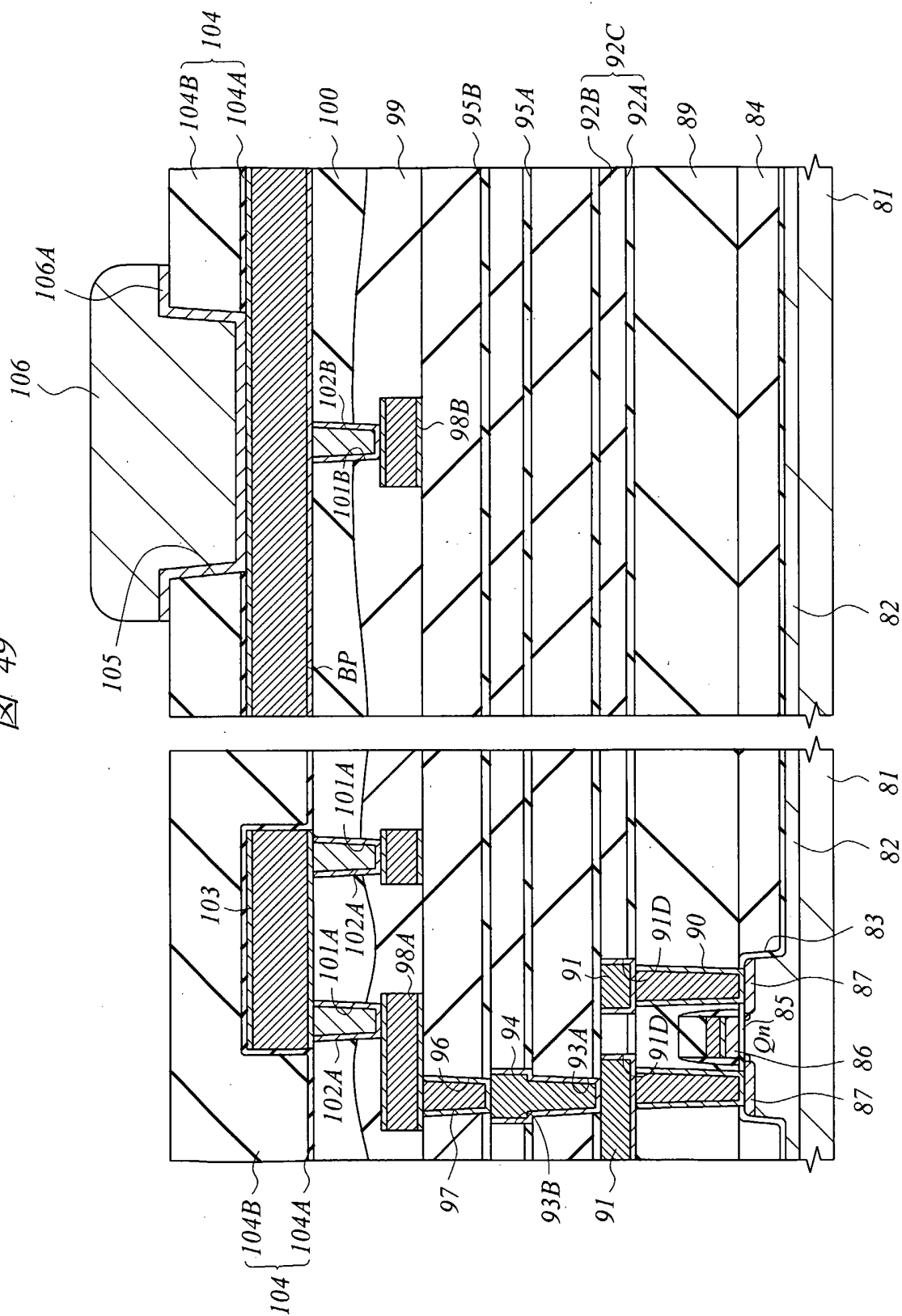
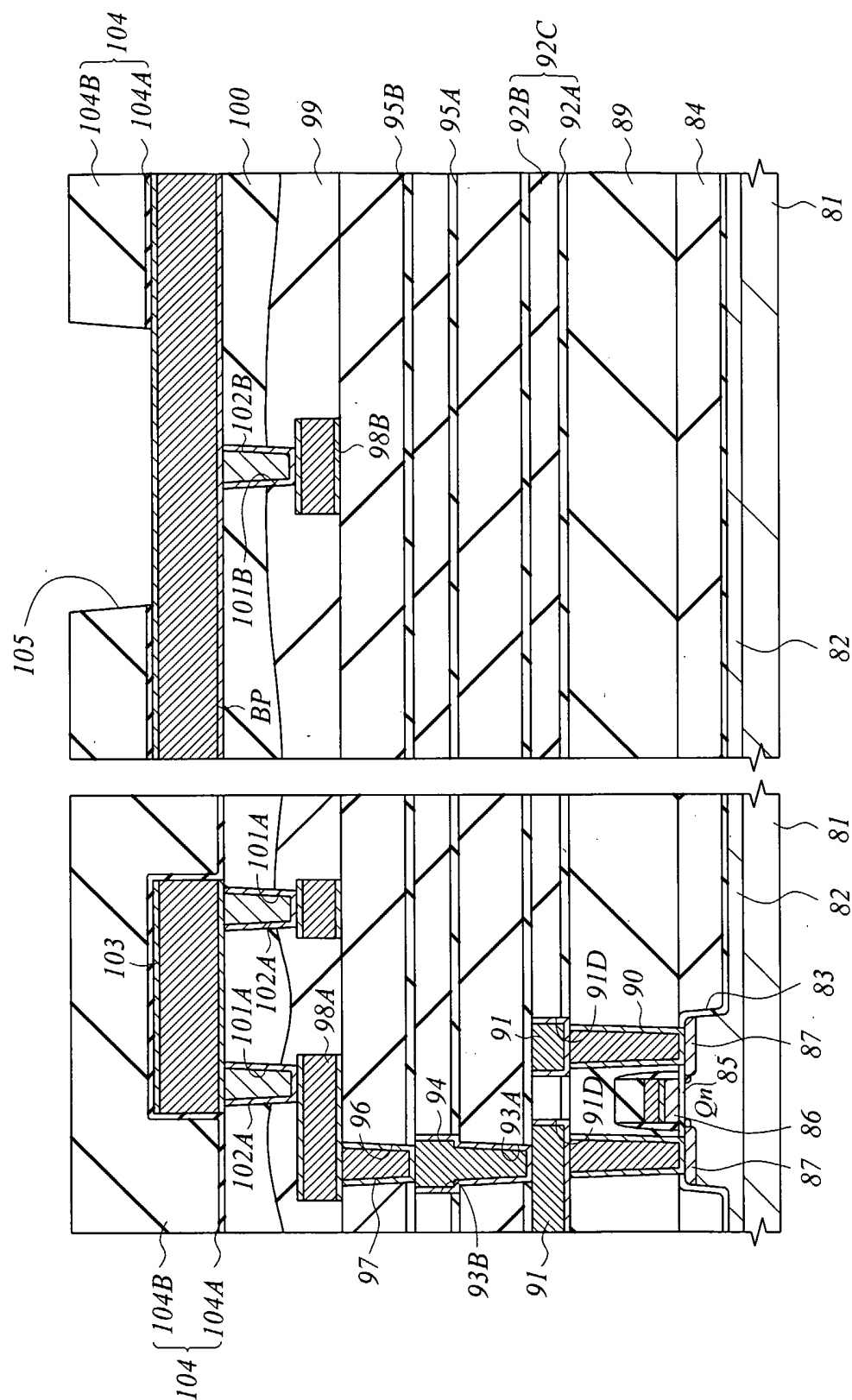


図 50



51

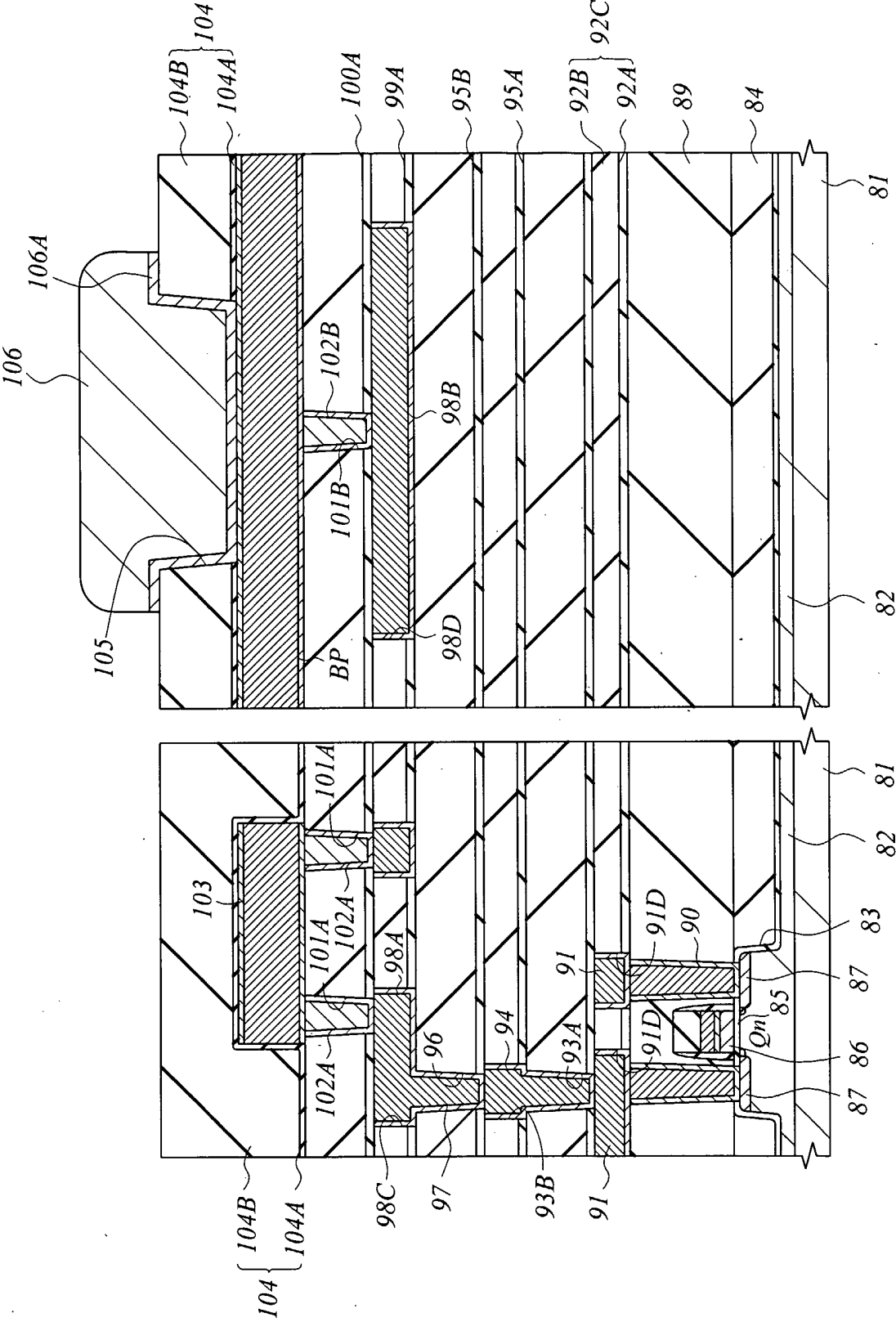


図 52

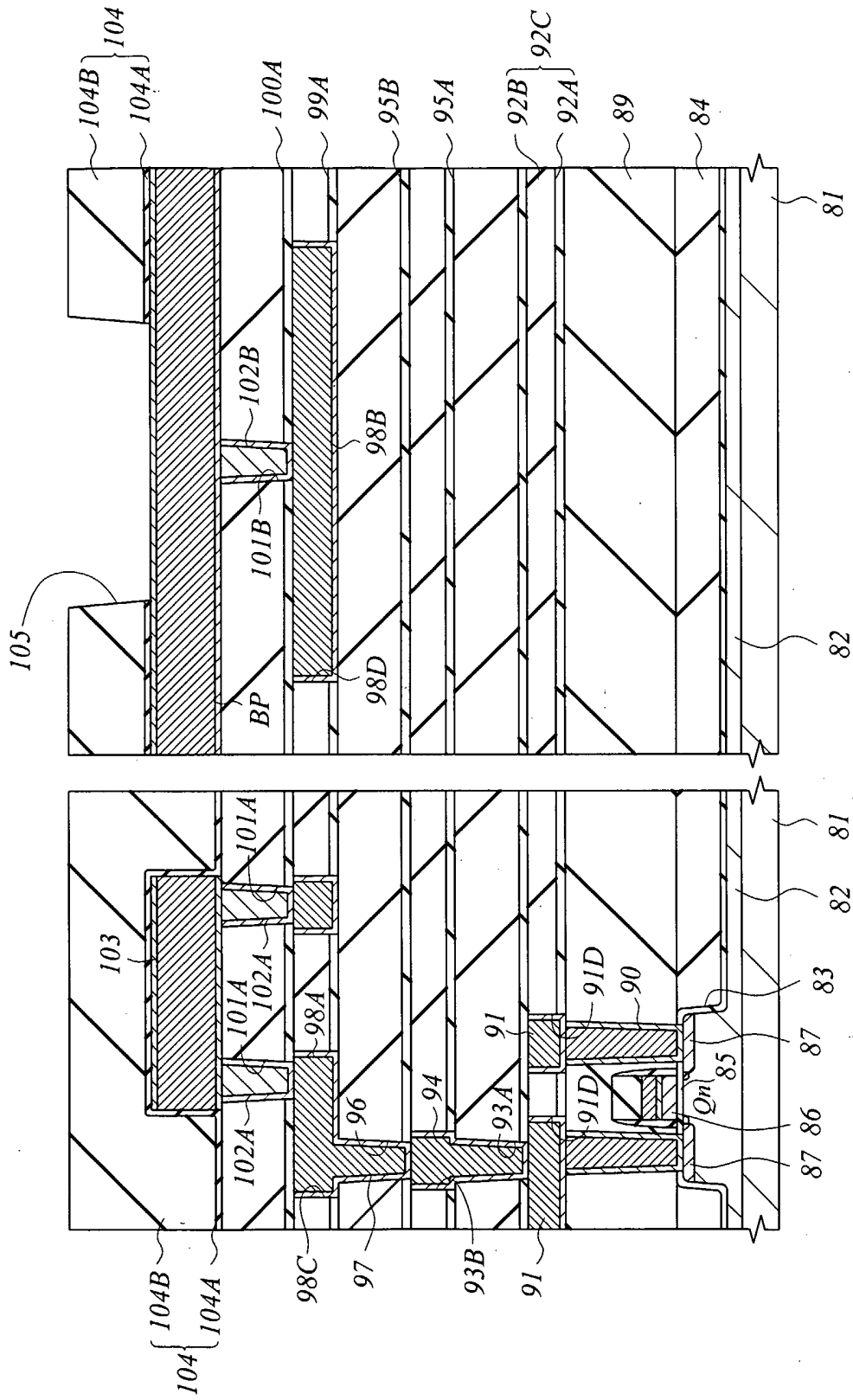
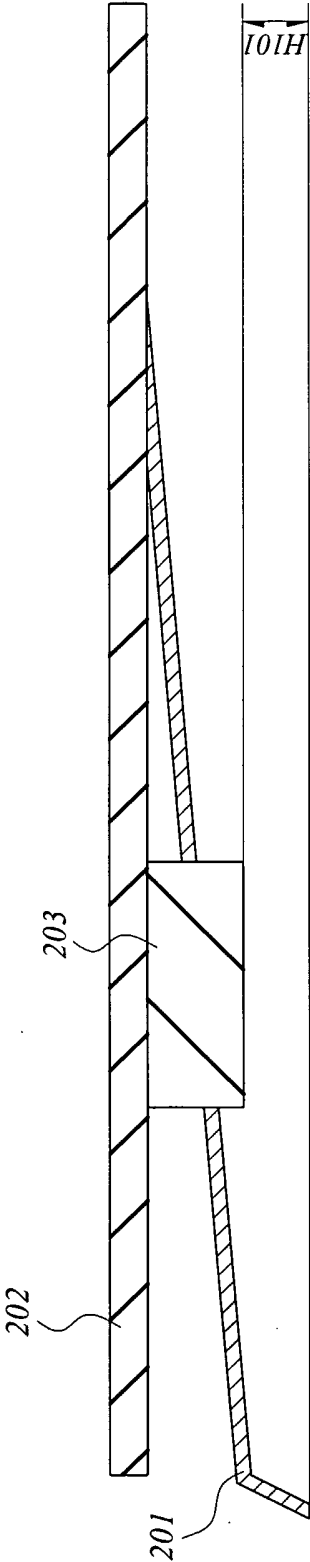


図 53



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008414

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/66, G01R1/073, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-074888 A (NEC Yamagata, Ltd.), 26 March, 1993 (26.03.93), Full text; Figs. 1 to 10	1-4, 6-12, 14-19
A	Full text; Figs. 1 to 10	5, 13, 20
Y	JP 2001-159643 A (Hitachi, Ltd.), 12 June, 2001 (12.06.01), Full text; Figs. 1 to 6	1-4, 6-12, 14-19
A	Full text; Figs. 1 to 6 (Family: none)	5, 13, 20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 July, 2004 (05.07.04)

Date of mailing of the international search report
20 July, 2004 (20.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H 01 L 21 / 66

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H 01 L 21 / 66, G 01 R 1 / 073, G 01 R 31 / 28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-074888 A (山形日本電気株式会社) 1993. 03. 26 全文, 図 1-10	1-4, 6-12, 14-19
A	全文, 図 1-10 (ファミリーなし)	5, 13, 20
Y	JP 2001-159643 A (株式会社日立製作所) 2001. 06. 12 全文, 図 1-6	1-4, 6-12, 14-19
A	全文, 図 1-6 (ファミリーなし)	5, 13, 20

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05. 07. 2004

国際調査報告の発送日

20. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 R

9 5 4 4

電話番号 03-3581-1101 内線 3469