



(12) 发明专利

(10) 授权公告号 CN 106652900 B

(45) 授权公告日 2021.12.21

(21) 申请号 201610806125.2

(22) 申请日 2016.09.06

(65) 同一申请的已公布的文献号
申请公布号 CN 106652900 A

(43) 申请公布日 2017.05.10

(30) 优先权数据
2015-215229 2015.10.30 JP

(73) 专利权人 精工爱普生株式会社
地址 日本东京都

(72) 发明人 太田人嗣 野泽陵一

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 邓毅 李庆泽

(51) Int.Cl.

G09G 3/3208 (2016.01)

(56) 对比文件

US 2011222008 A1, 2011.09.15

JP 2014522506 A, 2014.09.04

US 2012313100 A1, 2012.12.13

JP 2005518557 A, 2005.06.23

CN 1292100 A, 2001.04.18

CN 1462901 A, 2003.12.24

CN 1702530 A, 2005.11.30

CN 1940689 A, 2007.04.04

CN 1602509 A, 2005.03.30

CN 1700830 A, 2005.11.23

CN 101847651 A, 2010.09.29

审查员 杜昕

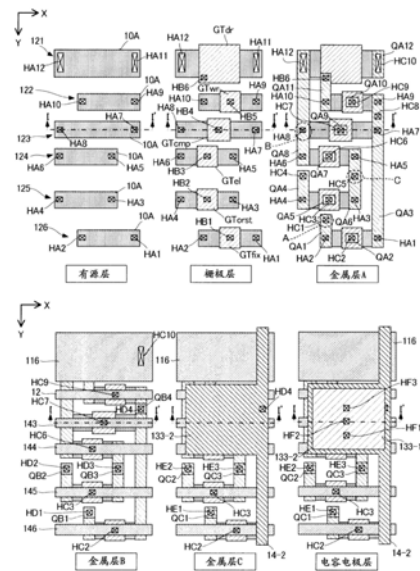
权利要求书2页 说明书30页 附图33页

(54) 发明名称

电光学装置、电子设备以及电光学装置的驱动方法

(57) 摘要

本发明涉及电光学装置、电子设备以及电光学装置的驱动方法。防止由伴随着数据信号的变动的噪声引起的显示品质的降低。与驱动晶体管121的栅极层GTdr连接的第二数据传输线14-2与栅极层GTdr相比形成在上层，传输电容133与第二数据传输线14-2相比形成在上层。被供给数据信号的第一数据传输线14-1与传输电容133相比形成在上层。



1. 一种电光学装置,其特征在于,具有:

第一导电层;

第二导电层;

第三导电层;

第一电容,其具有与所述第二导电层连接的第四导电层、和所述第三导电层与所述第四导电层之间的介电膜;以及

像素电路,其与所述第三导电层和所述第一导电层对应地设置,

所述第二导电层与形成有所述第三导电层的层相比形成在上层,

所述第一电容的所述第四导电层形成在与所述第二导电层不同的层,所述第一电容的所述第三导电层形成在与所述第四导电层不同的层。

2. 根据权利要求1所述的电光学装置,其特征在于,

所述第三导电层与形成有晶体管的源极电极的层相比形成在上层。

3. 根据权利要求1或2所述的电光学装置,其特征在于,

在所述第二导电层分别经由所述第一电容连接有两个以上的所述第三导电层,若将经由所述第三导电层与同一所述第二导电层连接的所述像素电路的集合作为像素列,并将比所述像素列所包含的所述像素电路的个数少的个数的所述像素电路作为一个块,则所述第三导电层针对各块设置。

4. 一种电光学装置,其特征在于,具有:

第一导电层;

第二导电层;

第三导电层;

第一电容,其具有与所述第二导电层连接的第四导电层、和所述第三导电层与所述第四导电层之间的介电膜;以及

像素电路,其与所述第三导电层和所述第一导电层对应地设置,

所述第二导电层与形成有所述第三导电层的层相比形成在上层,

所述像素电路具备:

多个晶体管,其包括驱动晶体管;以及

发光元件。

5. 根据权利要求4所述的电光学装置,其特征在于,

所述第三导电层与形成有晶体管的源极电极的层相比形成在上层。

6. 根据权利要求4或5所述的电光学装置,其特征在于,

在所述第二导电层分别经由所述第一电容连接有两个以上的所述第三导电层,若将经由所述第三导电层与同一所述第二导电层连接的所述像素电路的集合作为像素列,并将比所述像素列所包含的所述像素电路的个数少的个数的所述像素电路作为一个块,则所述第三导电层针对各块设置。

7. 根据权利要求4所述的电光学装置,其特征在于,

与所述多个晶体管中的所述驱动晶体管的电流端连接的电源线与所述第三导电层相比形成在下层。

8. 根据权利要求7所述的电光学装置,其特征在于,

所述驱动晶体管的栅极电极被所述电源线覆盖。

9. 一种电光学装置, 其特征在于, 具有:

第一导电层;

第二导电层;

第三导电层;

第一电容, 其具有与所述第二导电层连接的第四导电层、和所述第三导电层与所述第四导电层之间的介电膜; 以及

像素电路, 其与所述第三导电层和所述第一导电层对应地设置,

所述第二导电层与形成有所述第三导电层的层相比形成在上层,

所述第一电容按照每个所述第三导电层设置。

10. 根据权利要求9所述的电光学装置, 其特征在于,

所述第三导电层与形成有晶体管的源极电极的层相比形成在上层。

11. 根据权利要求9或10所述的电光学装置, 其特征在于,

在所述第二导电层分别经由所述第一电容连接有两个以上的所述第三导电层, 若将经由所述第三导电层与同一所述第二导电层连接的所述像素电路的集合作为像素列, 并将比所述像素列所包含的所述像素电路的个数少的个数的所述像素电路作为一个块, 则所述第三导电层针对各块设置。

12. 一种电子设备, 其特征在于,

具备权利要求1~11中任意一项所述的电光学装置。

电光学装置、电子设备以及电光学装置的驱动方法

技术领域

[0001] 本发明涉及电光学装置、电子设备以及电光学装置的驱动方法。

背景技术

[0002] 近年,提出各种使用了有机发光二极管(以下,称为OLED(Organic Light Emitting Diode))元件等发光元件的电光学装置。在该电光学装置的一般的构成中,同扫描线与数据线的交叉对应地且与应该显示的图像的像素对应地设置包括发光元件、晶体管等的像素电路。

[0003] 在这样的构成中,若对驱动晶体管的栅极施加与像素的灰度等级对应的电位的数字信号,则驱动晶体管向发光元件供给与栅极-源极间的电压对应的电流。由此,该发光元件以与灰度等级对应的亮度发光。

[0004] 在将晶体管使用于发光强度的调节的驱动方式中,若设置于各像素的驱动晶体管的阈值电压产生偏差,则在发光元件流通的电流产生偏差,所以显示图像的画质降低。因此,为了防止画质的降低,需要对驱动晶体管的阈值电压的偏差进行补偿。因此,为了将驱动晶体管的栅极电压调整为阈值电压,提出了在驱动晶体管的栅极与漏极或者源极之间设置补偿用晶体管,并且在驱动晶体管的栅极连接耦合电容的装置(例如参照专利文献1)。在该装置中,在数据线与驱动晶体管的栅极布线之间连接采样晶体管,在采样晶体管的栅极与驱动晶体管的栅极之间连接耦合电容,使数据信号的电位降低耦合电压的量。

[0005] 专利文献1:日本特开2010-048899号公报

[0006] 然而,在如专利文献1那样使用了耦合电容的装置中,若数据线、采样晶体管、耦合电容、以及驱动晶体管的栅极所连接的布线等形成于同一层,则存在伴随着振幅较大的数据信号的电位变动的噪声对驱动晶体管的栅极布线等造成影响而使显示品质降低的担心。

发明内容

[0007] 本发明是鉴于上述的情况而完成的,其目的在于即使在对数据线供给振幅较大的数据信号的情况下,也防止由伴随着数据信号的变动的噪声引起的显示品质的降低。

[0008] 为了实现上述目的,本发明的一方式所涉及的电光学装置的特征在于,具有:第一导电层;第二导电层;第三导电层;第一电容,其具有与上述第二导电层连接的第四导电层、和上述第三导电层与上述第四导电层之间的介电膜;以及像素电路,其与上述第三导电层和上述第一导电层对应地设置,上述第二导电层与形成有上述第三导电层的层相比形成在上层。

[0009] 根据该方式,像素电路与作为第三导电层的一个例子的第二数据传输线和作为第一导电层的一个例子的扫描线对应地设置。作为第二导电层的一个例子的第一数据传输线针对多个像素电路共用地设置,但若将经由第二数据传输线与同一第一数据传输线连接的像素电路的集合作为像素列,并将比该像素列所包含的像素电路的个数少的个数的像素电路作为一个块,则第二数据传输线针对各块设置。在这样的像素电路中,被供给振幅较大的

数据信号的第一数据传输线与形成有被供给由第一电容压缩的信号的第二数据传输线的层相比形成在上层。因此,能够抑制第一数据传输线的电位变动对第二数据传输线的影响,使显示品质提高。

[0010] 本发明的其它的方式所涉及的电光学装置的特征在于,上述第三导电层与形成有上述晶体管的源极电极的层相比形成在上层。根据该方式,作为第三导电层的一个例子的第二数据传输线作为针对晶体管的源极电极的屏蔽发挥作用,能够降低来自其它的布线的噪声的影响。

[0011] 本发明的其它的方式所涉及的电光学装置的特征在于,上述第一电容的上述第四导电层形成在与上述第二导电层不同的层,上述第一电容的上述第五导电层形成在与上述第四导电层不同的层。根据该方式,作为第一电容的第四导电层的一个例子的第一电极形成在与作为第二导电层的一个例子的第一数据传输线不同的层,并且,作为第一电容的第五导电层的一个例子的第二电极形成在与第一电极不同的层,所以即使在对第一数据传输线供给振幅较大的数据信号的情况下,也能够抑制电位变动对第一电容的影响。

[0012] 本发明的其它的方式所涉及的电光学装置的特征在于,与上述多个晶体管中的驱动上述发光元件的晶体管的电流端连接的电源线与上述第三导电层相比形成在下层。根据该方式,电源线作为屏蔽发挥作用,抑制电位变动对其它的元件的影响。

[0013] 上述电光学装置的特征在于,驱动上述发光元件的晶体管被上述电源线覆盖。根据该方式,电源线作为屏蔽发挥作用,抑制电位变动对驱动发光元件的晶体管的影响。

[0014] 上述电光学装置的特征在于,上述第一电容按照每个上述第三导电层设置。根据该方式,即使在对第一数据传输线供给振幅较大的数据信号的情况下,也能够抑制电位变动对作为第三导电层的一个例子的各第二数据传输线的影响。

[0015] 为了实现上述目的,本发明的一方式所涉及的电子设备的特征在于,具备上述各方式的任意一个所涉及的电光学装置。根据该方式,提供具备上述各方式的任意一个所涉及的电光学装置的电子设备。

附图说明

[0016] 图1是表示本发明的第一实施方式所涉及的电光学装置的构成的立体图。

[0017] 图2是表示该电光学装置的构成的框图。

[0018] 图3是用于说明该电光学装置的多路分配器和数据传输电路的构成的电路图。

[0019] 图4是表示该电光学装置的像素电路的构成的电路图。

[0020] 图5是说明该电光学装置特有的构成的图。

[0021] 图6是说明作为比较例而示出的以往的构成的图。

[0022] 图7是表示该电光学装置的动作的时序图。

[0023] 图8是该电光学装置的动作说明图。

[0024] 图9是表示该电光学装置的动作的时序图。

[0025] 图10是该电光学装置的动作说明图。

[0026] 图11是该电光学装置的动作说明图。

[0027] 图12是该电光学装置的动作说明图。

[0028] 图13是表示该电光学装置的动作的时序图。

- [0029] 图14是该电光学装置的动作说明图。
- [0030] 图15是形成在基板上的各要素的说明图。
- [0031] 图16是形成在基板上的各要素的说明图。
- [0032] 图17是发光装置的剖视图。
- [0033] 图18是本发明的第二实施方式所涉及的电光学装置的形成在基板上的各要素的说明图。
- [0034] 图19是形成在基板上的各要素的说明图。
- [0035] 图20是发光装置的剖视图。
- [0036] 图21是形成在基板上的各要素的说明图。
- [0037] 图22是形成在基板上的各要素的说明图。
- [0038] 图23是表示本发明的第三实施方式所涉及的电光学装置的像素电路的构成的电路图。
- [0039] 图24是形成在基板上的各要素的说明图。
- [0040] 图25是形成在基板上的各要素的说明图。
- [0041] 图26是发光装置的剖视图。
- [0042] 图27是表示本发明的第四实施方式所涉及的电光学装置的像素电路的构成的电路图。
- [0043] 图28是形成在基板上的各要素的说明图。
- [0044] 图29是形成在基板上的各要素的说明图。
- [0045] 图30是发光装置的剖视图。
- [0046] 图31是表示变形例所涉及的像素电路的构成的电路图。
- [0047] 图32是表示变形例所涉及的像素电路的构成的电路图。
- [0048] 图33是表示变形例所涉及的像素电路的第一数据传输线、传输电容、第二数据传输线以及像素电路的关系的图。
- [0049] 图34是表示HMD的外观构成的图。
- [0050] 图35是表示HMD的光学构成的图。

具体实施方式

[0051] 第一实施方式

[0052] 图1是表示本发明的第一实施方式所涉及的电光学装置1的构成的立体图。电光学装置1例如是在头戴式显示器中显示图像的微型显示器。

[0053] 如图1所示,电光学装置1具备显示面板2、和控制显示面板2的动作的控制电路3。显示面板2具备多个像素电路、和驱动该像素电路的驱动电路。在本实施方式中,显示面板2具备的多个像素电路以及驱动电路被形成于硅基板,在像素电路中使用作为发光元件的一个例子的OLED。另外,显示面板2例如被收纳于在显示部开口的框状的壳体82,并且与FPC(Flexible Printed Circuits:挠性印刷电路)基板84的一端连接。

[0054] 在FPC基板84上通过COF(Chip On Film:覆晶薄膜)技术安装有半导体芯片的控制电路3,并且设置有多个端子86来与省略图示的上位电路连接。

[0055] 图2是表示实施方式所涉及的电光学装置1的构成的框图。如上述那样,电光学装

置1具备显示面板2和控制电路3。

[0056] 控制电路3被从省略图示的上位电路与同步信号同步地供给数字的图像数据Vdata。这里,图像数据Vdata是例如以8比特规定应该在显示面板2(严格来说是后述的显示部100)显示的图像的像素的灰度等级的数据。另外,同步信号是包括垂直同步信号、水平同步信号以及点时钟信号的信号。

[0057] 控制电路3基于同步信号生成各种控制信号,并将各种控制信号供给至显示面板2。具体而言,控制电路3对显示面板2供给控制信号Ctr、正逻辑的控制信号Gini、与该控制信号Gini为逻辑反转的关系的负逻辑的控制信号/Gini、正逻辑的控制信号Gcpl、与该控制信号Gcpl为逻辑反转的关系的负逻辑的控制信号/Gcpl、控制信号Sel(1)、Sel(2)、Sel(3)、以及相对于这些控制信号Sel(1)、Sel(2)、Sel(3)为逻辑反转的关系的控制信号/Sel(1)、/Sel(2)、/Sel(3)。

[0058] 这里,控制信号Ctr是包含脉冲信号、时钟信号、使能信号等多个信号的信号。

[0059] 此外,有时将控制信号Sel(1)、Sel(2)、Sel(3)总称为控制信号Sel,将控制信号/Sel(1)、/Sel(2)、/Sel(3)总称为控制信号/Sel。

[0060] 另外,控制电路3包括电压生成电路31。电压生成电路31对显示面板2供给各种电位。具体而言,控制电路3对显示面板2供给复位电位Vorst以及初始电位Vini等。

[0061] 并且,控制电路3基于图像数据Vdata,生成模拟的图像信号Vid。具体而言,在控制电路3中设置有将图像信号Vid所表示的电位以及显示面板2所具备的发光元件(后述的OLED130)的亮度建立对应地存储的查寻表。而且,控制电路3通过参照该查寻表,生成表示与图像数据Vdata所规定的发光元件的亮度对应的电位的图像信号Vid,并将其供给至显示面板2。

[0062] 如图2所示,显示面板2具备显示部100、和驱动该显示部的驱动电路(数据传输线驱动电路5以及扫描线驱动电路6)。

[0063] 在显示部100矩阵状地排列有与应该显示的图像的像素对应的像素电路110。详细而言,在显示部100中,M行的扫描线12在图中沿横向(X方向)延伸设置,另外,以每三列进行分组的(3N)列的第一数据传输线14-1在图中沿纵向(Y方向)延伸,并且,以与各扫描线12相互保持电绝缘的方式设置。

[0064] 此外,虽然为了避免附图的复杂化而在图2中未图示,但第二数据传输线14-2相对于各个第一数据传输线14-1以能够电连接并且沿纵向(Y方向)延伸的方式设置(例如参照图4)。而且,与M行的扫描线12和(3N)列的第二数据传输线14-2对应地设置有像素电路110。因此,在本实施方式中像素电路110以纵M行×横(3N)列排列为矩阵状。

[0065] 这里,M、N均为自然数。为了区别扫描线12以及像素电路110的矩阵中的行(排),有时在图中从上到下依次称为1、2、3、…、(M-1)、M行。同样地,为了区别第一数据传输线14-1以及像素电路110的矩阵的列(竖列),有时在图中从左到右依次称为1、2、3、…、(3N-1)、(3N)列。

[0066] 这里,为了使第一数据传输线14-1的组一般化并进行说明,若将1以上的任意的整数表示为n,则第(3n-2)列、第(3n-1)列以及第(3n)列的第一数据传输线14-1属于从左数第n组。

[0067] 此外,与同一行的扫描线12和属于同一组的三列第二数据传输线14-2对应的三

个像素电路110分别与R(红)、G(绿)、B(蓝)的像素对应地表现这三个像素应该显示的彩色图像的一点。即,在本实施方式中,构成为通过与RGB对应的OLED的发光以加色混合表现一点的彩色。

[0068] 另外,如图2所示,在显示部100中,(3N)列的供电线(复位电位供给线)16沿纵向延伸,并且,以与各扫描线12相互保持电绝缘的方式设置。各供电线16被共同地供给规定的复位电位Vorst。这里,为了区别供电线16的列,有时在图中从左到右依次称为第1、2、3、…、(3N)列的供电线16。第一列~第(3N)列的供电线16的各个与第一列~第(3N)列的第一数据传输线14-1(第二数据传输线14-2)的各个对应地设置。

[0069] 扫描线驱动电路6根据控制信号Ctr生成用于在一帧的期间内按照每一行依次扫描M条扫描线12的扫描信号Gwr。这里,分别将供给到第1、2、3、…、(M-1)、M行的扫描线12的扫描信号Gwr标记为Gwr(1)、Gwr(2)、Gwr(3)、…、Gwr(M-1)、Gwr(M)。

[0070] 此外,扫描线驱动电路6除了扫描信号Gwr(1)~Gwr(M)之外,还按照每一行生成与该扫描信号Gwr同步的各种控制信号并供给至显示部100,但在图2中省略图示。另外,帧的期间是指电光学装置1显示一个镜头(一个画面)份的图像所需要的期间,例如若同步信号所包含的垂直同步信号的频率为120Hz,则是其一个周期份的8.3毫秒的期间。

[0071] 数据传输线驱动电路5具备:与(3N)列的第一数据传输线14-1的各个一对一对应地设置的(3N)个数据传输电路DT、按照构成各组的每三列的第一数据传输线14-1设置的N个多路分配器DM、以及数据信号供给电路70。

[0072] 数据信号供给电路70基于由控制电路3供给的图像信号Vid和控制信号Ctr,生成数据信号Vd(1)、Vd(2)、…、Vd(N)。即,数据信号供给电路70基于对数据信号Vd(1)、Vd(2)、…、Vd(N)进行了时分多路复用的图像信号Vid,生成数据信号Vd(1)、Vd(2)、…、Vd(N)。然后,数据信号供给电路70将数据信号Vd(1)、Vd(2)、…、Vd(N)分别供给至与第1、2、…、N组对应的多路分配器DM。

[0073] 图3是用于说明多路分配器DM和数据传输电路DT的构成的电路图。此外,图3代表性地示出属于第n组的多路分配器DM、和与该多路分配器DM连接的三个数据传输电路DT。此外,以下,有时将属于第n组的多路分配器DM标记为DM(n)。

[0074] 以下,除了图2之外还参照图3来对多路分配器DM以及数据传输电路DT的构成进行说明。

[0075] 如图3所示,多路分配器DM是按照每列设置的传输门34的集合体,依次向构成各组的三列供给数据信号。这里,与属于第n组的(3n-2)、(3n-1)、(3n)列对应的传输门34的输入端彼此共同连接,分别向该共用端子供给数据信号Vd(n)。在第n组中被设置于左端列即(3n-2)列的传输门34在控制信号Se1(1)为H电平时(控制信号/Se1(1)为L电平时)接通(导通)。同样地,在第n组中被设置于中央列即(3n-1)列的传输门34在控制信号Se1(2)为H电平时(控制信号/Se1(2)为L电平时)接通,在第n组中被设置于右端列即(3n)列的传输门34在控制信号Se1(3)为H电平时(控制信号/Se1(3)为L电平时)接通。

[0076] 数据传输电路DT是按每一列具有保持电容(第三电容)41、传输门45以及传输门42的组,在后述的初始化期间以及补偿期间在保持电容(第三电容)41积蓄从各列的传输门34的输出端输出的数据信号的电位,在后述的写入期间将积蓄于保持电容(第三电容)41的数据信号的电位传输给传输电容133的电路。

[0077] 各列的传输门45的源极或者漏极与第一数据传输线14-1电连接。另外,控制电路3对各列的传输门45的栅极共同地供给控制信号/Gini。传输门45在控制信号/Gini为L电平时将第一数据传输线14-1与初始电位Vini的供给线电连接,在控制信号/Gini为H电平时使它们不电连接。此外,初始电位Vini的供给线61被从控制电路3供给规定的初始电位Vini。

[0078] 保持电容41具有两个电极。保持电容41的一个电极经由节点h与传输门42的输入端电连接。另外,传输门42的输出端与第一数据传输线14-1电连接。

[0079] 控制电路3对各列的传输门42共同地供给控制信号Gcpl以及控制信号/Gcpl。因此,各列的传输门42在控制信号Gcpl为H电平时(控制信号/Gcpl为L电平时)一齐接通。

[0080] 各列的保持电容41的一个电极经由节点h与传输门34的输出端以及传输门42的输入端电连接。而且,在传输门34接通时,保持电容41的一个电极经由传输门34的输出端被供给数据信号Vd(n)。即,保持电容41的一个电极被供给数据信号Vd(n)。

[0081] 另外,各列的保持电容41的另一个电极共同地与供给作为固定电位的电位Vss的供电线63连接。这里,电位Vss也可以是与作为逻辑信号的扫描信号、控制信号的L电平相当的电位。此外,将保持电容41的电容值设为Crf。

[0082] 参照图4,对像素电路110等进行说明。为了一般地示出像素电路110排列的行,将1以上M以下的任意的整数表示为m。另外,将1以上M以下且连续的任意的整数表示为m1、m2。即,m是包括m1、m2的一般化的概念。

[0083] 对于各像素电路110,在电方面来看为彼此相同的构成,所以这里,以位于第m行且位于第n组中的左端列的第(3n-2)列的、m行(3n-2)列的像素电路110为例进行说明。

[0084] 如图4所示,在第一数据传输线14-1电连接有传输电容(第一电容)133的第一电极133-1和第一晶体管126的源极或者漏极中的一方。另外,传输电容133的第二电极133-2和第一晶体管126的源极或者漏极中的另一方与第二数据传输线14-2电连接。

[0085] 换句话说,在第一数据传输线14-1与第二数据传输线14-2之间,以并联的方式连接有传输电容133和第一晶体管126。

[0086] 另外,像素电路110与第二数据传输线14-2连接。即,像素电路110经由第一数据传输线14-1以及第二数据传输线14-2被供给与指定灰度对应的灰度电位。

[0087] 在本实施方式中,对一根第二数据传输线14-2电连接一个像素电路110。

[0088] 但是,本发明并不限于这样的构成,也可以对一根第二数据传输线14-2电连接Nb个像素电路110。换句话说,也可以多个像素电路110共用一根第二数据传输线14-2、一个传输电容133以及第一晶体管126。

[0089] 图5是说明本实施方式特有的构成的图。在本实施方式中,如图5所示,在第一数据传输线14-1分别经由传输电容133连接有两个以上的第二数据传输线14-2。

[0090] 这里,将经由第二数据传输线14-2和传输电容133与同一第一数据传输线14-1连接的像素电路110的集合称为“像素列”(图5中的像素列P)。另外,将规定数量的像素电路110的集合称为“块”(图5中的块B)。

[0091] 如图5所示,像素列P包含多个块B,各块B包含多个像素电路110。换句话说,在本实施方式中,第二数据传输线14-2针对与像素列P所包含的像素电路110的个数相等的个数的像素电路110而设置。

[0092] 与此相对,以往的构成如图6所示。图6是说明作为比较例而示出的以往的构成的图。如该图所示,在以往的构成中,第二数据传输线14-2针对像素列P设置,并且在其端部设置有传输电容133和第一数据传输线14-1。换句话说,在以往的构成中,针对一个像素列P(所包含的全部的像素电路110),设置有一根第一数据传输线14-1和一根第二数据传输线14-2。这一点与参照图5说明的本实施方式特有的构成、即第二数据传输线14-2以构成像素列P的块B为单位被分割并设置有多根的点明确不同。

[0093] 另外,如下述的(式1)所示,将显示部100中的像素电路110的所有行数M除以与一根第二数据传输线14-2连接的像素电路110的行数Nb后的值设为K。换句话说,第二数据传输线14-2被分割为M除以Nb后的值即K根,在一根第二数据传输线14-2连接有Nb个像素电路110。

[0094] 【式1】

$$K = \frac{M}{Nb} \quad \cdots (式1)$$

[0096] 在本实施方式中,针对一根第一数据传输线14-1设置有K($K \geq 2$) $\times$ Nb根第二数据传输线14-2。换句话说,一个像素列P具备K个块B。另外,第一数据传输线14-1与M行份(M个)的像素电路110对应地设置,第二数据传输线14-2与Nb行份(Nb个)的像素电路110对应地设置。因此,第二数据传输线14-2与第一数据传输线14-1相比较短。

[0097] 在本实施方式中,Nb的值为1。此外,使用k为1以上K以下的任意的整数。

[0098] 以后,设与从第一行数第m行上的各像素电路110对应的第一晶体管126是从第一行数第m个第一晶体管126,并被供给控制信号Gfix(m)。

[0099] 像素电路110包括P沟道MOS型的晶体管121~125、OLED130、以及像素电容132。第m行的像素电路110被供给扫描信号Gwr(m)、控制信号Gcmp(m)、Gel(m)以及Gorst(m)。这里,扫描信号Gwr(m)、控制信号Gcmp(m)、Gel(m)以及Gorst(m)分别与第m行对应地由扫描线驱动电路6供给。

[0100] 此外,虽然在图2中省略图示,但如图4所示,在显示面板2(显示部100)中设置有沿横向(X方向)延伸的M行的控制线143(第一控制线)、沿横向延伸的M行的控制线144(第二控制线)、沿横向延伸的M行的控制线145(第三控制线)、以及沿横向延伸的K行的控制线146(第四控制线)。

[0101] 而且,扫描线驱动电路6对第m行的控制线143供给控制信号Gcmp(m),对第m行的控制线144供给控制信号Gel(m),对第m行的控制线145供给控制信号Gorst(m),对第m行的控制线146供给控制信号Gfix(m)。

[0102] 即,扫描线驱动电路6分别经由第m行的扫描线12、控制线143、144、145对位于第m行的像素电路供给扫描信号Gwr(m)、控制信号Gel(m)、Gcmp(m)、Gorst(m)。另外,经由第m行的控制线146对位于第m行的第一晶体管126供给控制信号Gfix(m)。

[0103] 以下,有时将扫描线12、控制线143、控制线144、控制线145以及控制线146总称为“控制线”。即,在本实施方式所涉及的显示面板2中,针对各行设置包括扫描线12的四根控制线,并且按照每一行设置一根控制线146。

[0104] 像素电容132以及传输电容133分别具有两个电极。传输电容133是包括第一电极133-1和第二电极133-2的静电电容。

[0105] 第二晶体管122的栅极与第m行的扫描线12电连接,源极或者漏极中的一方与第二数据传输线14-2电连接。另外,第二晶体管122的源极或者漏极中的另一方与驱动晶体管121的栅极和像素电容132的一个电极分别电连接。即,第二晶体管122电连接在驱动晶体管121的栅极与传输电容133的第二电极133-2之间。而且,第二晶体管122作为对驱动晶体管121的栅极同与第(3n-2)列的第二数据传输线14-2连接的传输电容133的第二电极133-2之间的电连接进行控制的晶体管发挥作用。

[0106] 驱动晶体管121的源极与供电线116电连接,其漏极与第三晶体管123的源极或者漏极中的一方和第四晶体管124的源极电连接。

[0107] 这里,供电线116被供给在像素电路110中成为电源的高位侧的电位 V_{el} 。该驱动晶体管121作为流通与驱动晶体管121的栅极以及源极间的电压对应的电流的驱动晶体管发挥作用。

[0108] 第三晶体管123的栅极与控制线143电连接,并被供给控制信号 $G_{cmp}(m)$ 。该第三晶体管123作为对驱动晶体管121的栅极与漏极之间的电连接进行控制的开关晶体管发挥作用。因此,第三晶体管123是用于经由第二晶体管122使驱动晶体管121的栅极及漏极之间导通的晶体管。此外,虽然在第三晶体管123的源极和漏极中的一方与驱动晶体管121的栅极之间连接有第二晶体管122,但也可以解释为第三晶体管123的源极和漏极中的一方与驱动晶体管121的栅极电连接。

[0109] 第四晶体管124的栅极与控制线144电连接,并被供给控制信号 $G_{el}(m)$ 。另外,第四晶体管124的漏极与第五晶体管125的源极和OLED130的阳极130a分别电连接。该第四晶体管124作为对驱动晶体管121的漏极与OLED130的阳极之间的电连接进行控制的开关晶体管发挥作用。并且,虽然在驱动晶体管121的漏极与OLED130的阳极之间连接有第四晶体管124,但也可以解释为驱动晶体管121的漏极与OLED130的阳极电连接。

[0110] 第五晶体管125的栅极与控制线145电连接,并被供给控制信号 $G_{orst}(m)$ 。另外,第五晶体管125的漏极与第(3n-2)列的供电线16电连接并被保持为复位电位 V_{orst} 。该第五晶体管125作为对供电线16与OLED130的阳极130a之间的电连接进行控制的开关晶体管发挥作用。

[0111] 第一晶体管126的栅极与控制线146电连接,并被供给控制信号 $G_{fix}(k)$ 。另外,第一晶体管126的源极或者漏极中的一方与第二数据传输线14-2电连接,并经由第二数据传输线14-2与传输电容133的第二电极133-2以及第三晶体管123的源极或者漏极中的另一方电连接。另外,第一晶体管126的源极或者漏极中的另一方与第(3n-2)列的第一数据传输线14-1电连接。

[0112] 该第一晶体管126主要作为对第一数据传输线14-1与第二数据传输线14-2之间的电连接进行控制的开关晶体管发挥作用。

[0113] 这里,第一晶体管126以及传输电容133被与同一第二数据传输线14-2连接的Nb个像素电路110共用。在本实施方式中,如图4所示,在一根同一第二数据传输线14-2连接有各行的像素电路110。

[0114] 此外,在本实施方式中显示面板2形成于硅基板,所以设晶体管121~126的基板电位为电位 V_{el} 。另外,上述的晶体管121~126的源极、漏极也可以根据晶体管121~126的沟道型、电位的关系而调换。另外,晶体管既可以是薄膜晶体管也可以是场效应晶体管。

[0115] 像素电容132的一个电极与驱动晶体管121的栅极g电连接,另一个电极与供电线116电连接。因此,像素电容132作为保持驱动晶体管121的栅极-源极间的电压的保持电容发挥作用。此外,将像素电容132的电容值标记为 C_{pix} 。

[0116] 此外,作为像素电容132,既可以使用寄生于驱动晶体管121的栅极g的电容,也可以使用通过在硅基板中以相互不同的导电层夹持绝缘层而形成的电容。

[0117] 传输电容133的第一电极133-1经由第一数据传输线14-1以及传输门42与保持电容41的一个电极电连接。另外,传输电容133的第二电极133-2经由第二数据传输线14-2以及第二晶体管122与驱动晶体管121的栅极g电连接。因此,传输电容133作为在后述的补偿期间,使栅极g的电位电平位移对第一数据传输线14-1以及第一电极133-1的电位的变化量乘以传输电容133与保持电容41的电容比后的值的传输电容发挥作用。详细后述。此外,将传输电容133的电容值标记为 C_1 。

[0118] 另外,在本实施方式中,在被供给复位电位 V_{orst} 的供电线16与第一数据传输线14-1之间设置有屏蔽电容134。屏蔽电容134是包括第一电极134-1和第二电极134-2的静电电容。屏蔽电容134作为屏蔽第一数据传输线14-1的屏蔽电容发挥作用。此外,将屏蔽电容134的电容值标记为 C_2 。

[0119] OLED130的阳极130a是按照每个像素电路110独立地设置的像素电极。与此相对,OLED130的阴极是在像素电路110的全部共用地设置的共用电极118,并被保持为在像素电路110中成为电源的低位侧的电位 V_{ct} 。OLED130是在上述硅基板中,以阳极130a和具有透光性的阴极夹持有白色有机EL层的元件。而且,在OLED130的射出侧(阴极侧)重叠有与RGB的任意一个对应的彩色滤光器。此外,也可以调整夹着白色有机EL层而配置的两个反射层间的光学距离来形成空腔结构,来设定从OLED130发出的光的波长。在该情况下,既可以具有也可以不具有彩色滤光器。

[0120] 在这样的OLED130中,若从阳极130a向阴极流通电流,则从阳极130a注入的空穴与从阴极注入的电子在有机EL层再结合而生成激子,产生白色光。此时构成为:产生的白色光透过与硅基板(阳极130a)相反侧的阴极,经过基于彩色滤光器的着色,被观察者侧视觉确认。

[0121] 参照图7对电光学装置1的动作进行说明。图7是用于说明电光学装置1中的各部的动作的时序图。如该图所示,扫描线驱动电路6依次将扫描信号 $G_{wr}(1) \sim G_{wr}(M)$ 切换为L电平,在一帧的期间按每一个水平扫描期间(H)依次扫描第1~第M行的扫描线12。

[0122] 一个水平扫描期间(H)的动作在各行的像素电路110共同。因此,以下,在水平扫描第m1行的水平扫描期间,特别着眼于m1行($3n-2$)列的像素电路110对动作进行说明。

[0123] 在本实施方式中,第m1行的水平扫描期间大致分为图7中(a)所示的初始化期间、(b)所示的补偿期间、(c)所示的写入期间、以及(d)所示的不发光期间。另外,在下一个水平扫描期间,(d)所示的不发光期间继续,再下一个水平扫描期间,成为(e)所示的发光期间,在一帧的期间经过后再次到达第m1行的水平扫描期间。因此,以时间顺序来说,成为初始化期间→补偿期间→写入期间→不发光期间→发光期间这样的周期的反复。

[0124] 图8是说明发光期间的像素电路110等的动作的图。此外,在图8中,以粗线表示在动作说明中重要的电流路径,在截止状态的晶体管或者传输门上以粗线附加“X”记号(在以下的图9、图10、图11以及图14中也相同)。

[0125] 初始化期间

[0126] 如图7所示,在第 $m1$ 行的初始化期间,扫描信号 $Gwr(m1)$ 为H电平,控制信号 $Ge1(m1)$ 为H电平,控制信号 $Gcmp(m1)$ 为H电平,控制信号 $Gfix(m1)$ 为L电平。控制信号 $Gorst(m1)$ 为L电平。

[0127] 因此,如图8所示,在 $m1$ 行 $(3n-2)$ 列的像素电路110中,第五晶体管125、第一晶体管126接通,另一方面,驱动晶体管121、第二晶体管122、第三晶体管123、第四晶体管124截止。由此,向OLED130供给的电流的路径被切断,所以OLED130成为截止(不发光)状态。

[0128] 如图8所示,通过第五晶体管125接通,而OLED130的阳极130a与供电线16电连接,阳极130a的电位被设定为复位电位 $Vorst$ 。

[0129] 这里,在初始化期间,在数据传输电路DT中,控制信号 $/Gini$ 为L电平,控制信号 $Gini$ 为H电平,所以如图8所示那样传输门45接通,控制信号 $Gcpl$ 为L电平,控制信号 $/Gcpl$ 为H电平,所以如图8所示那样传输门42截止。另外,由于控制信号 $Gfix(k)$ 为L电平,所以第一晶体管126接通。因此,如图8所示,与传输电容133的第一电极133-1连接的第一数据传输线14-1被设定为初始电位 $Vini$,并且第一数据传输线14-1与第二数据传输线14-2电连接,传输电容133的第二电极133-2也被设定为初始电位 $Vini$ 。由此,传输电容133被初始化。

[0130] 另外,在初始化期间的多路分配器DM(n)中,控制信号 $Se1(1)$ 为H电平,控制信号 $/Se1(1)$ 为L电平,所以如图8所示那样传输门34接通。由此,电容值 Crf 的保持电容41被写入灰度电位。

[0131] 另外,在本实施方式中, $m1$ 行 $(3n-2)$ 列的像素电路110所连接的第二数据传输线14-2与 $m2$ 行 $(3n-2)$ 列的像素电路110所连接的第二数据传输线14-2不同。因此,在第 $m1$ 行的初始化期间使用被控制信号 $Gfix(m1)$ 控制的第一晶体管126,如图9所示那样在第 $m2$ 行的初始化期间使用被控制信号 $Gfix(m2)$ 控制的第一晶体管126。

[0132] 补偿期间

[0133] 若初始化期间结束,则补偿期间开始。在第 $m1$ 行的补偿期间,扫描信号 $Gwr(m1)$ 为L电平,控制信号 $Ge1(m1)$ 为H电平,控制信号 $Gcmp(m1)$ 为L电平,控制信号 $Gfix(m1)$ 为H电平。控制信号 $Gorst(m1)$ 为L电平。

[0134] 因此,如图10所示,在 $m1$ 行 $(3n-2)$ 列的像素电路110中,第二晶体管122、第三晶体管123、第五晶体管125接通,另一方面,第四晶体管124、第一晶体管126截止。此时,驱动晶体管121的栅极 g 经由第二晶体管122和第三晶体管123与自身的漏极连接(二极管连接),在驱动晶体管121中流通漏极电流而对栅极 g 进行充电。

[0135] 即,若驱动晶体管121的漏极和栅极 g 与第二数据传输线14-2连接并将驱动晶体管121的阈值电压设为 Vth ,则驱动晶体管121的栅极 g 的电位 Vg 逐渐接近 $(Ve1-Vth)$ 。

[0136] 这里,在补偿期间的数据传输电路DT中,控制信号 $/Gini$ 为L电平,控制信号 $Gini$ 为H电平,所以如图10所示那样传输门45接通,由于控制信号 $Gcpl$ 为L电平,控制信号 $/Gcpl$ 为H电平,所以传输门42截止。此时,如上述那样与以往的构成相比第二数据传输线14-2较短,所以对附随于第二数据传输线14-2的寄生电容的充电或者放电所需要的时间缩短,补偿期间本身缩短。

[0137] 另外,在补偿期间的多路分配器DM(n)中,控制信号 $Se1(1)$ 为H电平,控制信号 $/Se1$

(1) 为L电平,所以如图10所示那样传输门34接通。由此,电容值C_{rf}的保持电容41被写入灰度电位。

[0138] 此外,由于第四晶体管124截止,所以驱动晶体管121的漏极与OLED130不电连接。另外,与初始化期间相同,通过第五晶体管125接通,而OLED130的阳极130a与供电线16电连接,阳极130a的电位被设定为复位电位V_{orst}。

[0139] 写入期间

[0140] 若补偿期间结束,则写入期间开始。在第m1行的写入期间,扫描信号G_{wr}(m1)为L电平,控制信号G_{e1}(m1)为H电平,控制信号G_{cmp}(m1)为H电平,控制信号G_{fix}(m1)为H电平。控制信号G_{orst}(m1)为L电平。

[0141] 因此,如图11所示,在m1行(3n-2)列的像素电路110中,晶体管122、125接通,另一方面晶体管123、124、126截止。

[0142] 这里,在写入期间的数据传输电路DT中,控制信号/G_{ini}为H电平,所以如图11所示那样传输门45截止,由于控制信号G_{cp1}为H电平,所以如图11所示那样传输门42接通。因此,解除向第一数据传输线14-1以及第一电极133-1的初始电位V_{ini}的供给,并且电容值C_{rf}的保持电容41的一个电极与第一数据传输线14-1以及第一电极133-1连接,对该第一电极133-1供给灰度电位。而且,灰度电位电平位移后的信号被供给至驱动晶体管121的栅极,并被写入至像素电容132。这样,在本实施方式中,使用数据传输电路DT的传输门42以及保持电容41、以及传输电容133进行灰度电位的电平位移。

[0143] 此外,在写入期间的多路分配器DM(n)中,控制信号S_{e1}(1)为L电平,所以如图11所示那样传输门34截止。

[0144] 此外,由于第四晶体管124截止,所以驱动晶体管121的漏极与OLED130不电连接。另外,与初始化期间相同,通过第五晶体管125接通,而OLED130的阳极130a与供电线16电连接,阳极130a的电位被初始化为复位电位V_{orst}。

[0145] 此外,在第m行的写入期间开始之前(初始化期间、补偿期间的期间),以第n组来说,控制电路3依次将数据信号V_d(n)切换为与m行(3n-2)列、m行(3n-1)列、m行(3n)列的像素的灰度等级对应的电位。

[0146] 另一方面,控制电路3与数据信号的电位的切换配合地依次使控制信号S_{e1}(1)、S_{e1}(2)、S_{e1}(3)排他地成为H电平。虽然省略图示,但控制电路3也输出与控制信号S_{e1}(1)、S_{e1}(2)、S_{e1}(3)为逻辑反转的关系的控制信号/S_{e1}(1)、/S_{e1}(2)、/S_{e1}(3)。由此,在多路分配器DM中,在各组中传输门34分别以左端列、中央列、右端列的顺序接通。

[0147] 另外,在左端列的传输门34在通过控制信号S_{e1}(1)、/S_{e1}(1)而接通时,若将第一数据传输线14-1以及第一电极133-1的电位的变化量设为ΔV,则第二数据传输线14-2以及驱动晶体管121的栅极g的电位的变化量ΔV_g以下述(式2)表示。其中,传输电容133的电容值C₁与像素电路110的行数成比例且能够调整电容值,设每一行的电容为C_{1a}。另外,将每一行的附随于第二数据传输线14-2的寄生电容的电容值设为C_{3a}。另外,如上述那样,将与一根第二数据传输线14-2连接的像素电路110的行数表示为N_b。

[0148] 【式2】

$$[0149] \quad \Delta V_g = \frac{N_b \cdot C_{1a}}{N_b \cdot C_{1a} + N_b \cdot C_{3a} + C_{pix}} \Delta V \quad \cdots (式2)$$

[0150] 这里,如下述的(式3)所示那样将 ΔV 与 ΔV_g 之比设为压缩率R。

[0151] 【式3】

$$[0152] \quad R = \frac{N_b \cdot C_{1a}}{N_b \cdot C_{1a} + N_b \cdot C_{3a} + C_{pix}} \quad \dots (式3)$$

[0153] 换句话说,写入期间的驱动晶体管121的栅极g的电位 V_g 成为从补偿期间的电位 V_g 起电平位移了(被数据压缩了)对第一数据传输线14-1以及第一电极133-1的电位的变化量 ΔV 乘以R后的值后而得到的值。若该写入期间结束,则后述的发光期间开始。

[0154] 根据上述的(式2)所示的关系,与一根第二数据传输线14-2连接的像素电路110的个数 N_b 越多(一个块内所包含的像素电路110的个数 N_b 越多), ΔV_g 和 ΔV 越成为接近的值。换句话说, N_b 的值越大,(式3)所示的R越接近1。

[0155] 这里,优选与第二数据传输线14-2连接的像素电路110的个数 N_b (一个块内所包含的像素电路110的个数 N_b)鉴于补偿动作的完成所需要的时间和数据压缩的压缩率来决定。以下,进行具体的说明。

[0156] 首先,对补偿动作的完成所需要的时间进行说明。优选在结束补偿期间的时刻的驱动晶体管121的栅极g的电位 V_g (补偿点)被设定为灰度电压的中间灰度,但由于 N_b 的值越小,附随于驱动晶体管121的栅极g的寄生电容越小,所以补偿期间变得极短,作为结果,存在受到扫描信号 $G_{wr}(m)$ 的上升(下降)时的延迟的影响,而补偿期间在供给扫描信号 $G_{wr}(m)$ 侧和被供给侧不同的担心。在该情况下,导致需要消除该担心的程度的高驱动能力的扫描线驱动电路6。

[0157] 另外,如(式2)所示,对于数据压缩的压缩率来说, N_b 的值越小压缩率越大,相反 N_b 的值越大压缩率越小。

[0158] 因此,优选鉴于补偿动作的完成所需要的时间和数据压缩的压缩率,来将 N_b 的值决定为适当的值。例如在全部行数M为720行的情况下,可以将 N_b 设为90个,将总块数K设为8个。

[0159] 不发光期间

[0160] 如图7的时序图所示,若扫描信号 $G_{wr}(m1)$ 从L电平上升到H电平且结束写入期间,则一个水平扫描期间(H)的剩余的期间以及下一个水平扫描期间(H)成为不发光期间。在不发光期间中,全部的晶体管截止,控制信号 $G_{orst}(m1)$ 为L电平。

[0161] 发光期间

[0162] 若不发光期间结束,则发光期间开始。如图7的时序图所示,在第m1行的发光期间,扫描信号 $G_{wr}(m1)$ 为H电平,控制信号 $G_{el}(m1)$ 为L电平,控制信号 $G_{cmp}(m1)$ 为H电平,控制信号 $G_{fix}(m1)$ 为H电平。控制信号 $G_{orst}(m1)$ 为H电平。

[0163] 因此,如图12所示,在m1行(3n-2)列的像素电路110中,第四晶体管124接通,另一方面第二晶体管122、第三晶体管123、第五晶体管125、第一晶体管126截止。由此,驱动晶体管121向OLED130供给与由像素电容132保持的电压、即栅极-源极间的电压 V_{gs} 对应的驱动电流 I_{ds} 。换句话说,OLED130被驱动晶体管121供给与各像素的指定灰度对应的灰度电位所对应的电流,并以与该电流对应的亮度发光。

[0164] 这里,在发光期间,在数据传输电路DT中,控制信号/ G_{ini} 为H电平,控制信号 G_{ini} 为L电平,所以如图12所示那样传输门45截止,由于控制信号 G_{cp1} 为L电平,控制信号/ G_{cp1}

为H电平,所以传输门42截止。另外,在发光期间的多路分配器DM(n)中,控制信号Se1(1)为L电平,控制信号/Se1(1)为H电平,所以传输门34截止。

[0165] 此外,第m1行的发光期间是第m1行以外正被水平扫描的期间,所以传输门34、传输门42、传输门45与这些行的动作配合地接通或者截止,所以第一数据传输线14-1以及第二数据传输线14-2的电位适当地变动。特别是,在第一晶体管126、第二晶体管122以及第三晶体管123截止的情况下,第二数据传输线14-2成为浮动的状态,电位容易变动。

[0166] 因此,在本实施方式中,针对一个块B的发光期间,设置通过使第一晶体管126接通,来使第一数据传输线14-1和第二数据传输线14-2为导通状态,而对第二数据传输线14-2供给初始电位Vini的期间。

[0167] 若将第m1行、第m2行等像素电路110所属的块设为块B(m),则作为块B(m)的下一个块的块B(n)的初始化期间在块B(m)中为发光期间。在本实施方式中,例如,若将上述块B(m)的下一个块B(n)设为一个块,将上述块B(m)设为另一个块,则在作为一个块的块B(n)的初始化期间且作为另一个块的块B(m)的发光期间,使第一晶体管126接通来使第一数据传输线14-1和第二数据传输线14-2为导通状态,而对第二数据传输线14-2供给初始电位Vini。

[0168] 如图13所示,在从时刻t1到时刻t4的期间,在块B(m)中执行初始化期间、补偿期间以及写入期间的处理。

[0169] 在从时刻t5到时刻t6,在作为块B(m)的下一个块的块B(n)中,执行初始化期间的处理,但该期间在块B(m)中为发光期间。但是,在本实施方式中,在块B(n)中执行初始化期间的处理时,在以块B(m)为首的其它的块B中,使控制信号Gfix为L电平。其结果是,如图14所示,第一晶体管126接通,在以块B(m)为首的其它的块B中,第一数据传输线14-1和第二数据传输线14-2成为导通状态,而对第二数据传输线14-2供给初始电位Vini。

[0170] 以下,同样地,在块B(n)中执行初始化期间的处理的从时刻t8到时刻t9的期间、从时刻t11到时刻t12的期间、以及从时刻t14到时刻t15的期间,在以块B(m)为首的其它的块B中,使控制信号Gfix为L电平。其结果是,如图14所示,第一晶体管126接通,在以块B(m)为首的其它的块B中,第一数据传输线14-1与第二数据传输线14-2成为导通状态,而对第二数据传输线14-2供给初始电位Vini。

[0171] 如以上那样,根据本实施方式,在其它的块中进行初始化期间的处理的期间,将在发光期间中成为浮动节点的第二晶体管122的传输电容133侧的第二数据传输线14-2设定为固定电位的初始电位Vini,所以能够抑制第二数据传输线14-2的电位接近电源电压。其结果是,第二晶体管122不会接通,在像素电容132中保持电压,不会产生显示的不良情况。

[0172] 结构

[0173] 接下来,以下对本实施方式中的电光学装置1的具体的结构进行详述。此外,在以下的说明所参照的各附图中,为了方便说明,而使各要素的尺寸、比例与实际的电光学装置1不同。图15以及图16是着眼于一个像素电路110来图示了形成电光学装置1的各要素的各阶段下的基板10的表面的样子的俯视图。图17是电光学装置1的剖视图。与包含图15以及图16的I-I'线的剖面对应的剖视图相当于图17。此外,虽然图15以及图16是俯视图,但从使各要素的视觉性把握容易化的观点考虑,对与图17共同的各要素方便地附加有与图17同形状的阴影线。

[0174] 如根据图15的表示有源层的部分以及图17所理解的那样,在由硅等半导体材料形成的基板10的表面形成有像素电路110的各晶体管121、122、123、124、125、126的有源区域10A(源极/漏极区域)。有源区域10A被注入离子。像素电路110的各晶体管121、122、123、124、125、126的有源层存在于源极区域与漏极区域之间,并被注入与有源区域10A不同种类的离子,但为了方便,与有源区域10A一体地记载。

[0175] 如根据图15的表示栅极层的部分以及图17所理解的那样,形成有有源区域10A的基板10的表面被绝缘膜L0(栅极绝缘膜)覆盖,各晶体管121、122、123、124、125、126的栅极层GT(GTdr、GTwr、GTcmp、GTel、GTorst、GTfix)形成在绝缘膜L0的表面上。各晶体管121、122、123、124、125、126的栅极层GT隔着绝缘膜L0与有源层对置。

[0176] 如根据图17所理解的那样,在形成有各晶体管121、122、123、124、125、126的栅极层GT的绝缘膜L0的表面上,形成有交替地层叠了多个绝缘层L(LA~LH)和多个导电层(布线层)的多层布线层。各绝缘层L例如由硅化合物(典型而言是氮化硅、氧化硅)等绝缘性的无机材料形成。此外,在以下的说明中,将通过导电层(单层或者多层)的有选择的除去而以同一工序一并地形成多个要素的关系标记为“由同一层形成”。

[0177] 绝缘层LA形成在形成有各晶体管121、122、123、124、125、126的栅极层GT的绝缘膜L0的表面上。如根据图15的表示金属层A的部分以及图17所理解的那样,在绝缘层LA的表面上形成有多个中继电极QA(QA1~QA12)。

[0178] 如根据图15的表示金属层A的部分以及图17所理解的那样,中继电极QA1经由贯通绝缘膜L0和绝缘层LA的导通孔HA2与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。中继电极QA2经由贯通绝缘层LA的导通孔HB1与第一晶体管126的栅极层GTfix导通。中继电极QA3经由贯通绝缘膜L0和绝缘层LA的导通孔HA1与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA3经由贯通绝缘膜L0和绝缘层LA的导通孔HA7与形成第三晶体管123的漏极区域或者源极区域的有源区域10A导通。并且,中继电极QA3经由贯通绝缘膜L0和绝缘层LA的导通孔HA9与形成第二晶体管122的漏极区域或者源极区域的有源区域10A导通。如以上那样,中继电极QA3为源极电极,是与形成第一晶体管126的漏极区域或者源极区域的有源区域10A、形成第三晶体管123的漏极区域或者源极区域的有源区域10A、以及形成第二晶体管122的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0179] 中继电极QA4经由贯通绝缘膜L0和绝缘层LA的导通孔HA4与形成第五晶体管125的漏极区域或者源极区域的有源区域10A导通。中继电极QA5经由贯通绝缘层LA的导通孔HB2与第五晶体管125的栅极层GTorst导通。中继电极QA6经由贯通绝缘层LA和绝缘膜L0的导通孔HA3与形成第五晶体管125的漏极区域或者源极区域的有源区域10A导通。

[0180] 另外,中继电极QA6经由贯通绝缘层LA和绝缘膜L0的导通孔HA5与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。中继电极QA7经由贯通绝缘层LA的导通孔HB3与第四晶体管124的栅极层GTel导通。中继电极QA8经由贯通绝缘层LA和绝缘膜L0的导通孔HA6与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA8经由贯通绝缘层LA和绝缘膜L0的导通孔HA8与形成第三晶体管123的漏极区域或者源极区域的有源区域10A导通。并且,中继电极QA8经由贯通绝缘层LA和绝缘膜L0的导通孔HA12与形成驱动晶体管121的漏极区域或者源极区域的有源区域10A导通。如以上那样,中

继电器QA6为源极电极,是与形成第四晶体管124的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。另外,中继电极QA8也是源极电极,是与形成第四晶体管124的漏极区域或者源极区域的有源区域10A、形成第三晶体管123的漏极区域或者源极区域的有源区域10A、以及形成驱动晶体管121的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0181] 中继电极QA9经由贯通绝缘层LA的导通孔HB4与第三晶体管123的栅极层GTcmp导通。中继电极QA10经由贯通绝缘层LA的导通孔HB5与第二晶体管122的栅极层GTwr导通。中继电极QA11经由贯通绝缘层LA和绝缘膜L0的导通孔HA10与形成第二晶体管122的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA11经由贯通绝缘层LA的导通孔HB6与驱动晶体管121的栅极层GTdr导通。中继电极QA12经由贯通绝缘层LA和绝缘膜L0的导通孔HA11与形成驱动晶体管121的漏极区域或者源极区域的有源区域10A导通。

[0182] 绝缘层LB形成在形成有多个中继电极QA(QA1、QA2、QA3、QA4、QA5、QA6、QA7、QA8、QA9、QA10、QA11、QA12)的绝缘层LA的表面上。如根据图15的表示金属层B的部分以及图17所理解的那样,在绝缘层LB的表面上形成有扫描线12、供电线116、多个控制线143~146、以及多个中继电极QB(QB1、QB2、QB3、QB4)。

[0183] 如根据图15的表示金属层B的部分以及图17所理解的那样,作为第一导电线的一个例子的扫描线12经由贯通绝缘层LB的导通孔HC9与第二晶体管122的栅极层GTwr导通。扫描线12遍及多个像素电路110沿第二晶体管122的沟道长度方向(X方向)延伸。

[0184] 供电线116经由多层布线层内的布线(图示省略)与被供给高位侧的电源电位Ve1的安装端子导通。供电线116由例如含有银、铝的导电材料例如形成为100nm左右的膜厚。供电线116经由贯通绝缘层LB的导通孔HC10与形成驱动晶体管121的漏极区域或者源极区域的有源区域10A导通。供电线116遍及多个像素电路110沿驱动晶体管121的沟道长度方向(X方向)延伸。供电线116通过绝缘层LC与后述的传输电容133的第二电极133-2电绝缘。

[0185] 如根据图15的表示金属层B的部分以及图17所理解的那样,控制线143经由贯通绝缘层LB的导通孔HC7、中继电极QA9以及贯通绝缘层LA的HB4与第三晶体管123的栅极层GTcmp导通。另外,控制线143沿第三晶体管123的沟道长度方向(X方向)延伸。

[0186] 如根据图15的表示金属层B的部分以及图17所理解的那样,控制线144经由贯通绝缘层LB的导通孔HC6、中继电极QA7以及贯通绝缘层LA的HB3与第四晶体管124的栅极层GTel导通。另外,控制线144沿第四晶体管124的沟道长度方向(X方向)延伸。

[0187] 控制线145经由贯通绝缘层LB的导通孔HC3、中继电极QA5以及贯通绝缘层LA的HB2与第五晶体管125的栅极层GTorst导通。另外,控制线145沿第五晶体管125的沟道长度方向(X方向)延伸。

[0188] 控制线146经由贯通绝缘层LB的导通孔HC2、中继电极QA2以及贯通绝缘层LA的HB1与第一晶体管126的栅极层GTfix导通。另外,控制线146沿第一晶体管126的沟道长度方向(X方向)延伸。

[0189] 如根据图15的金属层B以及金属层A的部分所理解的那样,中继电极QB1经由贯通绝缘层LB的导通孔HC1与中继电极QA1导通。中继电极QB2经由贯通绝缘层LB的导通孔HC4与中继电极QA4导通。中继电极QB3经由贯通绝缘层LB的导通孔HC5与中继电极QA6导通。中继电极QB4经由贯通绝缘层LB的导通孔HC8与中继电极QA3导通。

[0190] 绝缘层LC形成在形成有扫描线12、多个控制线143~146以及多个中继电极QB(QB1、QB2、QB3、QB4)的绝缘层LB的表面上。如根据图15的金属层C的部分以及图17所理解的那样,在绝缘层LC的表面上形成有第二数据传输线14-2、传输电容133的第二电极133-2、以及多个中继电极QC(QC1、QC2、QC3)。

[0191] 作为第三导电层的一个例子的第二数据传输线14-2遍及多个像素电路110沿Y方向延伸。第二数据传输线14-2经由贯通绝缘层LC的导通孔HD4、中继电极QB4、贯通绝缘层LB的导通孔HC8以及中继电极QA3,与形成第二晶体管122的漏极区域或者源极区域的有源区域10A导通。另外,第二数据传输线14-2与形成第三晶体管123的漏极区域或者源极区域的有源区域10A、和形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。

[0192] 传输电容(第一电容)133的作为第五导电层的一个例子的第二电极133-2是在像素电路110中覆盖扫描线12、控制线143以及控制线144的矩形的电极,与第二数据传输线14-2一体地形成。

[0193] 如根据图15以及图17所理解的那样,中继电极QC1经由贯通绝缘层LC的导通孔HD1与中继电极QB1导通。中继电极QC2经由贯通绝缘层LC的导通孔HD2与中继电极QB2导通。中继电极QC3经由贯通绝缘层LC的导通孔HD3与中继电极QB3导通。

[0194] 绝缘层LD形成在形成有第二数据传输线14-2、传输电容133的第二电极133-2以及多个中继电极QC(QC1、QC2、QC3)的绝缘层LC的表面上。如根据图15的电容电极层的部分以及图17所理解的那样,在绝缘层LD的表面上形成有传输电容133的第一电极133-1。

[0195] 传输电容(第一电容)133的作为第四导电层的一个例子的第一电极133-1是隔着绝缘层LD与第二电极133-2对置的矩形的电容电极。第一电极133-1隔着绝缘层LD与第二电极133-2对置。这样,传输电容133由金属的第一电极133-1、绝缘层LD以及金属的第二电极133-2构成,具有MIM(Metal-Insulator-Metal:金属-绝缘体-金属)结构。因此,传输电容133容易大电容化。另外,传输电容133形成在像素电路110的显示区域内,所以能够实现电光学装置的小型化。

[0196] 绝缘层LE形成在形成有传输电容133的第一电极133-1的绝缘层LD的表面上。如根据图16的金属层D的部分以及图17所理解的那样,在绝缘层LE的表面上形成有第一数据传输线14-1、供电线16以及中继电极QD1。

[0197] 作为第二导电层的一个例子的第一数据传输线14-1遍及多个像素电路110沿Y方向延伸。第一数据传输线14-1经由贯通绝缘层LE的导通孔HF1、HF2、HF3与传输电容133的第一电极133-1导通。另外,第一数据传输线14-1经由贯通绝缘层LE以及绝缘层LD的导通孔HE1、中继电极QC1、贯通绝缘层LC的导通孔HD1、中继电极QB1、贯通绝缘层LB的导通孔HC1、中继电极QA1、以及贯通绝缘层LA以及绝缘膜L0的导通孔HA2,与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。

[0198] 作为第六导电层的供电线16遍及多个像素电路110沿Y方向延伸。供电线16经由贯通绝缘层LE以及绝缘层LD的导通孔HE2、中继电极QC2、贯通绝缘层LC的导通孔HD2、中继电极QB2、贯通绝缘层LB的导通孔HC4、中继电极QA4、以及贯通绝缘层LA以及绝缘膜L0的导通孔HA4,与形成第五晶体管125的漏极区域或者源极区域的有源区域10A导通。中继电极QD1经由贯通绝缘层LE的导通孔HE3与中继电极QC3导通。

[0199] 另外,供电线16与第一数据传输线14-1形成于同一层,以经由绝缘层LF与第一数

据传输线14-1之间具有规定的间隙的方式配置。这样一来形成屏蔽电容(第二电容)134,第一数据传输线14-1被作为屏蔽线的供电线16屏蔽。

[0200] 绝缘层LF形成在形成有第一数据传输14-1、供电线16以及中继电极QD1的绝缘层LE的表面上。如根据图16的反射层的部分以及图17所理解的那样,在绝缘层LF的表面上形成有反射层50。反射层50按照每个像素电路110独立地形成。反射层50由例如含有银、铝的光反射性的导电材料例如形成为100nm左右的膜厚。如根据图16的反射层的部分以及图17所理解的那样,反射层50经由贯通绝缘层LF的导通孔HG1与中继电极QD1导通。中继电极QD1经由导通孔HE3、中继电极QC3、导通孔HD3、中继电极QB3、导通孔HC5、中继电极QA6、导通孔HA5以及导通孔HA3,与第四晶体管124的漏极区域或者源极区域以及第五晶体管125的漏极区域或者源极区域导通。

[0201] 如图17所示那样,在形成有反射层50的绝缘层LF的表面上形成有光路调整层LG。光路调整层LG是规定各像素电路110的共振结构的共振波长(即显示颜色)的透光性的膜体。设定为:在显示颜色相同的像素中,共振结构的共振波长大致相同,在显示颜色不同的像素中,共振结构的共振波长不同。

[0202] 如图16的像素电极层的部分以及图17所示,在光路调整层LG的表面上形成有每个像素电路110的阳极130a。阳极130a例如由ITO(Indium Tin Oxide:氧化铟锡)等透光性的导电材料形成。阳极130a经由贯通光路调整层LG的导通孔HH1与反射层50导通。因此,阳极130a经由反射层50与第四晶体管124的漏极区域或者源极区域以及第五晶体管125的漏极区域或者源极区域导通。

[0203] 如图16的像素清晰膜的部分以及图17所例示的那样,在形成有阳极130a的光路调整层LG的表面上,遍及基板10的整个区域形成有像素清晰膜51。像素清晰膜51例如由硅化合物(典型而言是氮化硅、氧化硅)等绝缘性的无机材料形成。如根据图16的像素清晰膜的部分所理解的那样,在像素清晰膜51形成有与各阳极130a对应的开口部51A。像素清晰膜51中的开口部51A的内周边的附近的区域与阳极130a的周边重合。即,开口部51A的内周边在俯视时位于阳极130a的周边的内侧。各开口部51A的平面形状(矩形形状)、尺寸共同,并且,遍及X方向以及Y方向的各个以共同的间距排列为矩阵状。如根据以上的说明所理解的那样,像素清晰膜51在俯视时形成为格子状。另外,也可以若显示颜色相同则开口部51A的平面形状、尺寸相同,在显示颜色不同的情况下使开口部51A的平面形状、尺寸不同。另外,也可以在显示颜色相同的开口部彼此间,开口部51A的间距相同,在显示颜色不同的开口部间,开口部51A的间距不同。

[0204] 另外,虽然省略详细的说明,但在阳极130a的上层层叠有发光功能层、OLED130的阴极以及密封体,在形成了以上的各要素的基板10的表面例如以粘合剂接合有密封基板(图示省略)。密封基板是用于保护基板10上的各要素的透光性的板状部件(例如玻璃基板)。此外,也能够在密封基板的表面或者密封体的表面按照每个像素电路110形成彩色滤光器。

[0205] 另外,虽然省略图示,但在像素电路110形成有作为其它的电源线层的共用电极118。共用电极118经由多层布线层内的布线(图示省略),与被供给低位侧的电源电位Vct的安装端子导通。供电线116以及被供给低位侧的电源电位Vct的共用电极118由例如含有银、铝的导电材料例如形成为100nm左右的膜厚。共用电极118与阳极130a导通。

[0206] 如上述那样,为了提高供给至驱动晶体管121的栅极g的电位 V_g 的数据压缩率,期望增大传输电容(第一电容)133,但根据本实施方式,由分别形成在不同的层的第一电极133-1、第二电极133-2以及这些电极之间的绝缘层LD来形成传输电容133,采用MIM(Metal-Insulator-Metal)结构,所以能够防止芯片面积的增大,能够实现传输电容133的大电容化。另外,传输电容133与形成有第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层,所以形成在像素电路110的显示区域内,从而能够防止芯片面积的增大。

[0207] 另外,关于屏蔽电容(第二电容)134,通过隔着绝缘层LF以规定的间隙配置第一数据传输线14-1和作为屏蔽线的供电线16来形成。因此,屏蔽电容134由两条平行的布线形成,所以在Y方向具有规定的长度,从而能够确保规定的电容。另外,屏蔽电容134也形成在像素电路110的显示区域内,所以能够防止芯片面积的增大。

[0208] 在本实施例中,按照每个像素电路110形成了传输电容133,但也可以按照每条第二数据传输线14-2形成传输电容133。能够进一步防止芯片面积的增大。

[0209] 如根据图15~图17所理解的那样,在本实施方式中,被供给的信号的振幅较大的第一数据传输线14-1与被供给压缩后的信号的第二数据信号线14-2相比形成在上层。换句话说,能够降低对驱动晶体管121的栅极的、供给到第一数据传输线14-1的振幅较大的信号的影响,抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0210] 另外,如根据图15以及图17所理解的那样,在本实施方式中,第二数据传输线14-2与形成有驱动晶体管121、第一晶体管126、第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层。因此,能够防止芯片面积的增大。

[0211] 并且,如根据图15以及图17所理解的那样,与驱动晶体管121的第二电流端连接的作为电源线的供电线116与第二数据传输线14-2相比形成在下层,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0212] 另外,如根据图15所理解的那样,驱动晶体管121被作为电源线的供电线116覆盖,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0213] 如根据图15~图17所理解的那样,传输电容133的第一电极133-1和第二电极133-2形成在与形成有第一数据传输线14-1的层不同的层。因此,即使在为了以较小的面积来确保某种程度的电容而使绝缘层变薄的情况下,也能够不产生短路而形成具有均匀的层间的传输电容133。

[0214] 如图15的金属层A的部分所示,以虚线的椭圆A表示第一晶体管126与第一数据传输线14-1的连接位置,以虚线的椭圆B表示驱动晶体管121的第一电流端与第三晶体管123的连接位置。另外,以虚线的椭圆C表示第四晶体管124与作为发光元件的OLED130的连接位置。若以这种方式进行表示,则在像素电路的俯视时,表示第一晶体管126与第一数据传输线14-1的连接位置的虚线的椭圆A被设定成与表示驱动晶体管121的第一电流端与第三晶体管123的连接位置的虚线的椭圆B相比,更接近表示第四晶体管124与作为发光元件的OLED130的连接位置的虚线的椭圆C。

[0215] 第一数据传输线14-1被供给振幅较高的信号,在第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)有产生噪声的可能性。但是,在像素电路的俯视时,第一晶体管

126与第一数据传输线14-1的连接位置(椭圆A)被设定在同第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)相比,远离驱动晶体管121的第一电流端与第三晶体管123的连接位置(椭圆B)的位置。因此,即使在第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)产生噪声,也能够抑制对驱动晶体管121的噪声的影响,能够使显示品质提高。

[0216] 另外,第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)、驱动晶体管121的第一电流端与第三晶体管123的连接位置(椭圆B)、以及第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)的各个被配置在该像素电路110中的作为电源线的供电线116与沿Y方向相邻的块的像素电路110中的作为电源线的供电线116之间。因此,供电线116成为屏蔽,能够减少噪声的影响。

[0217] 另外,如图15所示,第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)被配置在与作为复位电位供给线的供电线16连接的第五晶体管125的栅极层GTorst所连接的控制线145与同第一晶体管126的栅极层GTfix连接的控制线146之间。因此,即使对第一数据传输线14-1供给振幅较高的信号而产生了噪声,控制线145和控制线146也作为屏蔽发挥作用,能够降低对驱动晶体管121的噪声的影响。

[0218] 另外,如图15所示,第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)被配置在与作为复位电位供给线的供电线16连接的第五晶体管125的栅极层GTorst所连接的控制线145与同第四晶体管124的栅极层GTel连接的控制线144之间。因此,即使对第一数据传输线14-1供给振幅较高的信号而产生了噪声,控制线145和控制线144也作为屏蔽发挥作用,能够降低对驱动晶体管121的噪声的影响。

[0219] 第二实施方式

[0220] 接下来,参照附图的图18~图20对本发明的第二实施方式进行说明。此外,对于与第一实施方式的共同地方附加同一附图标记并省略说明。

[0221] 本实施方式的电路与图4所示的第一实施方式的电路相同。如图18~图20所示,本实施方式的各晶体管的俯视时的配置与第一实施方式不同。但是,各布线的层上的位置关系与第一实施方式相同。

[0222] 如根据图18以及图20所理解的那样,在本实施方式中,传输电容(第一电容)133也由金属的第一电极133-1、绝缘层LD以及金属的第二电极133-2形成,由MIM(Metal-Insulator-Metal)结构形成。因此,能够实现传输电容133的大电容化,能够提高供给到驱动晶体管121的栅极g的电位Vg的数据压缩率。另外,传输电容133与形成有第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层,所以形成在像素电路110的显示区域内,能够防止芯片面积的增大。

[0223] 如根据图19以及图20所理解的那样,关于屏蔽电容(第二电容)134,通过隔着绝缘层LF以规定的间隙配置第一数据传输线14-1和作为屏蔽线的供电线16来形成。因此,屏蔽电容134由两条平行的布线形成,所以在Y方向具有规定的长度,从而能够确保规定的电容。另外,屏蔽电容134也形成在像素电路110的显示区域内,所以能够防止芯片面积的增大。

[0224] 在本实施例中,也按照每个像素电路110形成传输电容133,但也可以按照每条第二数据传输线14-2来形成传输电容133。能够进一步防止芯片面积的增大。

[0225] 如根据图18~图20所理解的那样,在本实施方式中,被供给的信号的反幅较大的第一数据传输线14-1与被供给压缩后的信号的第二数据信号线14-2相比形成在上层。换

句话说,能够降低对驱动晶体管121的栅极的、被供给到第一数据传输线14-1的振幅较大的信号的影响,抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0226] 另外,如根据图18及图20所理解的那样,在本实施方式中,第二数据传输线14-2与形成有驱动晶体管121、第一晶体管126、第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层。因此,能够防止芯片面积的增大。

[0227] 图18所示的中继电极QA3为源极电极,是与形成第一晶体管126的漏极区域或者源极区域的有源区域10A、形成第三晶体管123的漏极区域或者源极区域的有源区域10A、以及形成第二晶体管122的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0228] 另外,图18所示的中继电极QA8也是源极电极,是与形成第四晶体管124的漏极区域或者源极区域的有源区域10A、形成第三晶体管123的漏极区域或者源极区域的有源区域10A、以及形成驱动晶体管121的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0229] 并且,图18所示的中继电极QA11也是源极电极,是与形成第二晶体管122的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。并且,如根据图18以及图20所理解的那样,与驱动晶体管121的第二电流端连接的作为电源线的供电线116与第二数据传输线14-2相比形成在下层,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0230] 另外,如根据图18所理解的那样,驱动晶体管121被作为电源线的供电线116覆盖,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0231] 如根据图18~图20所理解的那样,传输电容133的第一电极133-1和第二电极133-2形成在与形成有第一数据传输线14-1的层不同的层。因此,即使在为了以较小的面积来确保某种程度的电容而使绝缘层变薄的情况下,也能够不产生短路而形成具有均匀的层间的传输电容133。

[0232] 如图18的金属层A的部分所示,以虚线的椭圆A表示第一晶体管126与第一数据传输线14-1的连接位置,以虚线的椭圆B表示驱动晶体管121的第一电流端与第三晶体管123的连接位置。另外,以虚线的椭圆C表示第四晶体管124与作为发光元件的OLED130的连接位置。若以这种方式进行表示,则在一个像素电路110内观察的情况下,表示第一晶体管126与第一数据传输线14-1的连接位置的虚线的椭圆A与表示第四晶体管124与作为发光元件的OLED130的连接位置的虚线的椭圆C相比,接近表示驱动晶体管121的第一电流端与第三晶体管123的连接位置的虚线的椭圆B。

[0233] 然而,如图21以及图22所示,在沿Y方向以及X方向相邻的不同的像素电路110间观察的情况下,表示第一晶体管126与第一数据传输线14-1的连接位置的虚线的椭圆A与表示驱动晶体管121的第一电流端与第三晶体管123的连接位置的虚线的椭圆B相比,接近表示第四晶体管124与作为发光元件的OLED130的连接位置的虚线的椭圆C。

[0234] 因此,即使第一数据传输线14-1被供给振幅较高的信号,而在第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)产生了噪声,也能够抑制对驱动晶体管121的噪声的影响,能够使显示品质提高。

[0235] 另外,如图21以及图22所示,在沿Y方向以及X方向相邻的不同的像素电路110间观

察的情况下,表示第一晶体管126与第一数据传输线14-1的连接位置的虚线的椭圆A被配置在与第五晶体管125的栅极连接的控制线145和与驱动晶体管121的栅极连接的扫描线12之间。因此,驱动晶体管121的栅极被配置在控制线145与扫描线12之间,从而被控制线145和扫描线12屏蔽。其结果是,即使第一数据传输线14-1被供给振幅较高的信号,而在第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)产生了噪声,也能够抑制对驱动晶体管121的噪声的影响,能够使显示品质提高。

[0236] 另外,如图18所示,第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)、驱动晶体管121的第一电流端与第三晶体管123的连接位置(椭圆B)、以及第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)的各个,被配置在该像素电路110中的作为电源线的供电线116与沿Y方向相邻的块的像素电路110中的作为电源线的供电线116之间。因此,供电线116成为屏蔽,能够减少噪声的影响。

[0237] 另外,如图18所示,第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)被配置在与第三晶体管123的栅极层GTcmp连接的控制线143与同第一晶体管126的栅极层GTfix连接的控制线146之间。因此,即使第一数据传输线14-1被供给振幅较高的信号而产生了噪声,控制线143和控制线146也作为屏蔽发挥作用,能够降低对驱动晶体管121的噪声的影响。

[0238] 另外,如图18所示,第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)被配置在与作为复位电位供给线的供电线16连接的第五晶体管125的栅极层GTorst所连接的控制线145与同第四晶体管124的栅极层GTel连接的控制线144之间。因此,即使第一数据传输线14-1被供给振幅较高的信号而产生了噪声,控制线145和控制线144也作为屏蔽发挥作用,能够降低对驱动晶体管121的噪声的影响。

[0239] 第三实施方式

[0240] 接下来,参照附图的图23~图26对本发明的第三实施方式进行说明。在上述的各实施方式中,使用了六个晶体管,但在本实施方式中,使用五个晶体管。

[0241] 电路图

[0242] 如图23所示,在本实施方式中,未设置第五晶体管125的构成与上述的各实施方式不同。另外,在第一晶体管126的漏极或者源极连接有被供给初始电位Vini的供电线17。另外,第一数据传输线14-1经由传输门45被供给将第一数据传输线14-1初始化的电压Vref。电压Vref也可以与初始电位Vini相同。

[0243] 本实施方式中的动作与上述的各实施方式相同,在其它的块中进行初始化期间的处理的期间,将在发光期间中成为浮动节点的第二晶体管122的传输电容133侧的第二数据传输线14-2设定为固定电位的初始电位Vini,所以能够抑制第二数据传输线14-2的电位接近电源电压。其结果是,第二晶体管122不会接通,在像素电容132中保持电压,不会产生显示的不良情况。

[0244] 结构

[0245] 接下来,以下对第三实施方式的电光学装置1的具体的结构进行详述。此外,在以下的说明所参照的各附图中,为了方便说明,而使各要素的尺寸、比例与实际的电光学装置1不同。图24以及图25是着眼于一个像素电路110来图示了形成电光学装置1的各要素的各阶段下的基板10的表面的样子的俯视图。图26是电光学装置1的剖视图。与包含图24以及图

25的I—I'线的剖面对应的剖视图相当于图26。此外,虽然图24以及图25是俯视图,但从使各要素的视觉性把握容易化的观点考虑,对与图26共同的各要素方便地附加有与图26同形状的阴影线。

[0246] 如根据图26以及图24的有源层的部分所理解的那样,在由硅等半导体材料形成的基板10的表面形成有像素电路110的各晶体管121、122、123、124、126的有源区域10A(源极/漏极区域)。有源区域10A被注入离子。像素电路110的各晶体管121、122、123、124、126的有源层存在于源极区域与漏极区域之间,并被注入与有源区域10A不同种类的离子,但为了方便,与有源区域10A一体地记载。另外,在本实施方式中,在构成像素电容132的区域中也形成有源区域10A,对有源区域10A注入杂质并与电源连接。然后,构成以有源区域10A为一个电极、以隔着绝缘层形成的电容电极为另一个电极的所谓的MOS电容。另外,构成像素电容132的区域中的有源区域10A也作为电源电位部发挥作用。如根据图24的有源层的部分所理解的那样,第三晶体管123的有源区域10A在设置有导通孔HA13的部分,与第二晶体管122的有源区域10A连接。因此,第三晶体管123的电流端也作为第二晶体管122的电流端发挥作用。如根据图24的栅极层的部分以及图26所理解的那样,形成有有源区域10A的基板10的表面被绝缘膜L0(栅极绝缘膜)覆盖,各晶体管121、122、123、124、126的栅极层GT(GTdr、GTwr、GTcmp、GTel、GTfix)形成在绝缘膜L0的表面上。各晶体管121、122、123、124、126的栅极层GT隔着绝缘膜L0与有源层对置。

[0247] 另外,如图24的栅极层的部分所例示的那样,驱动晶体管121的栅极层GTdr以延伸到形成于构成电容元件的区域的有源区域10A的方式形成,构成像素电容132。

[0248] 如根据图26所理解的那样,在形成有各晶体管121、122、123、124、126的栅极层GT以及像素电容132的绝缘膜L0的表面上形成有交替地层叠了多个绝缘层L(LA~LH)和多个导电层(布线层)的多层布线层。各绝缘层L例如由硅化合物(典型而言是氮化硅、氧化硅)等绝缘性的无机材料形成。此外,在以下的说明中,将通过导电层(单层或者多层)的有选择的除去而以同一工序一并地形成多个要素的关系标记为“由同一层形成”。

[0249] 绝缘层LA形成在形成有各晶体管121、122、123、124、126的栅极层GT的绝缘膜L0的表面上。如根据图24的金属层A的部分以及图26所理解的那样,在绝缘层LA的表面上,由同一层形成有供电线116和多个中继电极QA(QA13、QA14、QA15、QA16、QA17、QA18、QA19、QA20、QA21)。

[0250] 另外,如根据图24所理解的那样,在本实施方式中,第二数据传输线14-2与形成驱动晶体管121、第一晶体管126、第二晶体管122、以及第三晶体管123的源极电极的层相比形成在上层。因此,能够防止芯片面积的增大。

[0251] 图24所示的中继电极QA13为源极电极,是与形成第二晶体管122的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0252] 另外,图24所示的中继电极QA15也是源极电极,是与形成第三晶体管123的漏极区域或者源极区域的有源区域10A、形成第四晶体管124的漏极区域或者源极区域的有源区域10A、以及形成驱动晶体管121的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0253] 并且,图24所示的中继电极QA17也是源极电极,是与形成第三晶体管123的漏极区域或者源极区域的有源区域10A、形成第二晶体管122的漏极区域或者源极区域的有源区域

10A、以及形成第一晶体管126的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0254] 如根据图24的金属层A的部分以及图26所理解的那样,供电线116经由贯通绝缘层LA和绝缘膜L0的导通孔HA16与形成驱动晶体管121的源极区域或者漏极区域的有源区域10A导通。另外,供电线116经由贯通绝缘层LA和绝缘膜L0的导通孔HA15与形成像素电容132的有源区域10A导通。供电线116遍及多个像素电路110沿驱动晶体管121的沟道宽度的方向(X方向)延伸。供电线116经由多层布线层内的布线(图示省略),与被供给高位侧的电源电位 V_{el} 的安装端子导通。此外,虽然省略图示,但在像素电路110的周边区域内也形成其它的电源线层。该电源线层经由多层布线层内的布线(图示省略),与被供给低位侧的电源电位 V_{ct} 的安装端子导通。供电线116以及被供给低位侧的电源电位 V_{ct} 的电源线层由例如含有银、铝的导电材料例如形成为100nm左右的膜厚。

[0255] 驱动晶体管121的栅极层GTdr经由中继电极QA13、贯通绝缘层LA的导通孔HB13以及贯通绝缘层LA和绝缘膜L0的导通孔HA14,与形成第二晶体管122的源极区域或者漏极区域的有源区域10A导通。

[0256] 在驱动晶体管121与第三晶体管123及第四晶体管124的导通部、第三晶体管123与第一晶体管126的导通部的各个,中继电极QA15、中继电极QA17与供电线116形成在同一层。另外,在第二晶体管122的栅极层GTwr、第三晶体管123的栅极层GTcmp、第四晶体管124的栅极层GTel以及第一晶体管126的栅极层GTfix的导通部,中继电极QA14、中继电极QA16、中继电极QA19以及中继电极QA18与供电线116形成在同一层。并且,在第四晶体管124的源极区域或者漏极区域的导通部以及第一晶体管126的源极区域或者漏极区域的导通部,中继电极QA20以及中继电极QA21与供电线116形成在同一层。

[0257] 如根据图24的金属层A的部分以及图26所理解的那样,中继电极QA15经由贯通绝缘膜L0和绝缘层LA的导通孔HA17,与形成驱动晶体管121的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA15经由贯通绝缘膜L0和绝缘层LA的导通孔HA18,与形成第三晶体管123的漏极区域或者源极区域的有源区域10A导通。并且,中继电极QA15经由贯通绝缘膜L0和绝缘层LA的导通孔HA19,与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。

[0258] 中继电极QA17经由贯通绝缘膜L0和绝缘层LA的导通孔HA13,与形成第二晶体管122和第三晶体管123的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA17经由贯通绝缘膜L0和绝缘层LA的导通孔HA21,与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。

[0259] 中继电极QA20经由贯通绝缘膜L0和绝缘层LA的导通孔HA20,与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。中继电极QA21经由贯通绝缘膜L0和绝缘层LA的导通孔HA22,与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。另外,中继电极QA21与被供给初始电位的供电线17连接。

[0260] 绝缘层LB形成在形成有供电线116和多个中继电极QA(QA13、QA14、QA15、QA16、QA17、QA18、QA19、QA20、QA21)的绝缘层LA的表面上。如根据图24的金属层B的部分以及图26所理解的那样,在绝缘层LB的表面上,由同一层形成扫描线12、第三晶体管123的控制线143、第四晶体管124的控制线144、第一晶体管126的控制线146以及多个中继电极QB(QB5、

QB6)。

[0261] 如根据图24的金属层B的部分以及图26所理解的那样,作为第一导电层的一个例子的扫描线12经由按照每个像素电路110形成于绝缘层LB的导通孔HC15与中继电极QA14导通。因此,如根据图24以及图26所理解的那样,扫描线12经由贯通绝缘层LB的导通孔HC15、中继电极QA14以及贯通绝缘层LA的导通孔HB15,与第二晶体管122的栅极层GTwr导通。扫描线12遍及多个像素电路110沿X方向直线状地延伸,通过绝缘层LC而与第一电容133以及第二数据传输线14-2电绝缘。

[0262] 如根据图24所理解的那样,控制线143经由按照每个像素电路110形成于绝缘层LB的导通孔HC14与中继电极QA16导通。因此,如根据图24~图26所理解的那样,控制线143经由贯通绝缘层LB的导通孔HC14、中继电极QA16以及贯通绝缘层LA的导通孔HB14,与第三晶体管123的栅极层GTcmp导通。控制线143遍及多个像素电路110沿X方向直线状地延伸,通过绝缘层LC而与第一电容133以及第二数据传输线14-2电绝缘。

[0263] 如根据图24所理解的那样,控制线144经由按照每个像素电路110形成于绝缘层LB的导通孔HC11与中继电极QA19导通。因此,如根据图24~图26所理解的那样,控制线144经由贯通绝缘层LB的导通孔HC11、中继电极QA19以及贯通绝缘层LA的导通孔HB16,与第四晶体管124的栅极层GTel导通。控制线144遍及多个像素电路110沿X方向直线状地延伸,通过绝缘层LC而与第一电容133以及第二数据传输线14-2电绝缘。

[0264] 如根据图24所理解的那样,控制线146经由按照每个像素电路110形成于绝缘层LB的导通孔HC13与中继电极QA18导通。因此,如根据图24~图26所理解的那样,控制线146经由贯通绝缘层LB的导通孔HC13、中继电极QA18以及贯通绝缘层LA的导通孔HB17,与第一晶体管126的栅极层GTfix导通。控制线146遍及多个像素电路110沿X方向直线状地延伸,通过绝缘层LC而与第一电容133以及第二数据传输线14-2电绝缘。

[0265] 中继电极QB5经由按照每个像素电路110形成于绝缘层LB的导通孔HC12与中继电极QA17导通。因此,如根据图24~图26所理解的那样,中继电极QB5经由贯通绝缘层LB的导通孔HC12、中继电极QA17以及贯通绝缘膜L0以及绝缘层LA的导通孔HA21,与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。

[0266] 中继电极QB6经由按照每个像素电路110形成于绝缘层LB的导通孔HC16与中继电极QA20导通。因此,如根据图24~图26所理解的那样,中继电极QB6经由贯通绝缘层LB的导通孔HC16、中继电极QA20以及贯通绝缘膜L0以及绝缘层LA的导通孔HA20,与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。

[0267] 绝缘层LC形成在形成有扫描线12、第三晶体管123的控制线143、第四晶体管124的控制线144、第一晶体管126的控制线146以及多个中继电极QB(QB5、QB6)的绝缘层LB的表面上。如根据图24以及图26所理解的那样,在绝缘层LC的表面上,由同一层形成第二数据传输线14-2、与该第二数据传输线14-2一体地形成的传输电容133的第二电极133-2、以及中继电极QC4。

[0268] 作为第三导电层的一个例子的第二数据传输线14-2遍及多个像素电路110沿Y方向延伸。第二数据传输线14-2经由贯通绝缘层LC的导通孔HD5、中继电极QB5、贯通绝缘层LB的导通孔HC12、中继电极QA17以及贯通绝缘膜L0以及绝缘层LA的导通孔HA21,与形成第一晶体管126的漏极区域或者源极区域的有源区域10A导通。另外,第二数据传输线14-2经

由贯通绝缘层LC的导通孔HD5、中继电极QB5、贯通绝缘层LB的导通孔HC12、中继电极QA17、以及贯通绝缘膜L0以及绝缘层LA的导通孔HA13,与形成第三晶体管123以及第二晶体管122的漏极区域或者源极区域的有源区域10A导通。

[0269] 传输电容133(第一电容)的作为第五导电层的一个例子的第二电极133-2在像素电路110中是覆盖扫描线12、控制线143以及控制线146的矩形的电极,与第二数据传输线14-2一体地形成。

[0270] 绝缘层LD形成在形成有第二数据传输线14-2、传输电容133的第二电极133-2以及中继电极QC4的绝缘层LC的表面上。如根据图24的电容电极层的部分以及图26所理解的那样,在绝缘层LD的表面上形成有传输电容133的第一电极133-1。

[0271] 传输电容133(第一电容)的作为第四导电层的一个例子的第一电极133-1是隔着绝缘层LD与第二电极133-2对置的矩形的电容电极。第一电极133-1隔着绝缘层LD与第二电极133-2对置。这样,传输电容133由MIM(Metal-Insulator-Metal)结构形成,所以能够实现大电容化。

[0272] 绝缘层LE形成在形成有传输电容133的第一电极133-1的绝缘层LD的表面上。如根据图25的金属层D的部分以及图26所理解的那样,在绝缘层LE的表面上形成有第一数据传输线14-1、供电线16以及中继电极QD2。

[0273] 作为第二导电层的一个例子的第一数据传输线14-1遍及多个像素电路110沿Y方向延伸。第一数据传输线14-1经由贯通绝缘层LE的导通孔HF4、HF5、HF6,与传输电容133的第一电极133-1导通。

[0274] 作为第六导电层的一个例子的供电线16遍及多个像素电路110沿Y方向延伸。供电线16与第一数据传输线14-1形成在同一层,并以经由绝缘层LF与第一数据传输线14-1之间具有规定的间隙的方式配置。这样一来形成屏蔽电容134,第一数据传输线14-1被供电线16屏蔽。

[0275] 中继电极QD2经由贯通绝缘层LE以及绝缘层LD的导通孔HE4与中继电极QC4导通。因此,中继电极QD2经由贯通绝缘层LE以及绝缘层LD的导通孔HE4、中继电极QC4、贯通绝缘层LC的导通孔HD6、中继电极QB6、贯通绝缘层LB的导通孔HC16、中继电极QA20以及贯通绝缘膜L0和绝缘层LA的导通孔HA20,与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。

[0276] 绝缘层LF形成在形成有第一数据传输线14-1、供电线16以及中继电极QD2的绝缘层LE的表面上。如根据图25的反射层的部分以及图26所理解的那样,在绝缘层LF的表面上形成有反射层50。反射层50按照每个像素电路110独立地形成。反射层50由例如含有银、铝的光反射性的导电材料例如形成为100nm左右的膜厚。如根据图25以及图26所理解的那样,反射层50经由贯通绝缘层LF的导通孔HG2与中继电极QD2导通。因此,反射层50经由中继电极QD2与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。

[0277] 如图26所示那样,在形成有反射层50的绝缘层LF的表面上形成有光路调整层LG。光路调整层LG是规定各像素电路110的共振结构的共振波长(即显示颜色)的透光性的膜体。设定为:在显示颜色相同的像素中,共振结构的共振波长大致相同,在显示颜色不同的像素中,共振结构的共振波长不同。

[0278] 如图25的像素电极层的部分以及图26所示,在光路调整层LG的表面上形成有每个

像素电路110的阳极130a。阳极130a例如由ITO (Indium Tin Oxide:氧化铟锡) 等透光性的导电材料形成。阳极130a经由贯通光路调整层LG的导通孔HH2与反射层50导通。因此,阳极130a经由反射层50与形成第四晶体管124的漏极区域或者源极区域的有源区域10A导通。

[0279] 如图25的像素清晰膜的部分以及图26所例示的那样,在形成有阳极130a的光路调整层LG的表面上,遍及基板10的整个区域形成有像素清晰膜51。像素清晰膜51例如由硅化合物(典型而言是氮化硅、氧化硅)等绝缘性的无机材料形成。如根据图25的像素清晰膜的部分所理解的那样,在像素清晰膜51形成有与各阳极130a对应的开口部51A。像素清晰膜51中的开口部51A的内周边的附近的区域与阳极130a的周边重合。即,开口部51A的内周边在俯视时位于阳极130a的周边的内侧。各开口部51A的平面形状(矩形形状)、尺寸共同,并且,遍及X方向以及Y方向的各个以共同的间距排列为矩阵状。如根据以上的说明所理解的那样,像素清晰膜51在俯视时形成为格子状。另外,也可以若显示颜色相同则开口部51A的平面形状、尺寸相同,在显示颜色不同的情况下使开口部51A的平面形状、尺寸不同。另外,也可以在显示颜色相同的开口部彼此间,开口部51A的间距相同,在显示颜色不同的开口部间,开口部51A的间距不同。

[0280] 另外,虽然省略详细的说明,但在阳极130a的上层层叠有发光功能层、OLED130的阴极以及密封体,在形成了以上的各要素的基板10的表面例如以粘合剂接合有密封基板(图示省略)。密封基板是用于保护基板10上的各要素的透光性的板状部件(例如玻璃基板)。此外,也能够密封基板的表面或者密封体的表面按照每个像素电路110形成彩色滤光器。

[0281] 另外,虽然省略图示,但在像素电路110形成有作为其它的电源线层的共用电极118。共用电极118经由多层布线层内的布线(图示省略),与被供给低位侧的电源电位 V_{ct} 的安装端子导通。供电线116以及被供给低位侧的电源电位 V_{ct} 的共用电极118由例如含有银、铝的导电材料例如形成成为100nm左右的膜厚。共用电极118与阳极130a导通。

[0282] 为了提高供给至驱动晶体管121的栅极g的电位 V_g 的数据压缩率,期望增大传输电容(第一电容)133,但根据本实施方式,通过MIM (Metal-Insulator-Metal) 结构形成传输电容133,所以能够实现传输电容133的大电容化。另外,传输电容133与形成了第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层,所以形成在像素电路110的显示区域内,从而能够防止芯片面积的增大。

[0283] 另外,关于屏蔽电容(第二电容)134,通过隔着绝缘层LF以规定的间隙配置第一数据传输线14-1和作为屏蔽线的供电线16来形成。因此,屏蔽电容134由两条平行的布线形成,所以在Y方向具有规定的长度,从而能够确保规定的电容。另外,屏蔽电容134也形成在像素电路110的显示区域内,所以能够防止芯片面积的增大。

[0284] 在本实施例中,按照每个像素电路110形成了传输电容133,但也可以按照每条第二数据总线14-2形成传输电容133。能够进一步防止芯片面积的增大。

[0285] 如根据图24~图26所理解的那样,在本实施方式中,被供给的信号的振幅较大的第一数据总线14-1与被供给压缩后的信号的第二数据信号线14-2相比形成在上层。换句话说,能够降低对驱动晶体管121的栅极的、供给到第一数据总线14-1的振幅较大的信号的影响,抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0286] 另外,如根据图24以及图26所理解的那样,在本实施方式中,第二数据总线14-1

2与形成有驱动晶体管121、第一晶体管126、第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层。因此,能够防止芯片面积的增大。

[0287] 并且,如根据图24以及图26所理解的那样,与驱动晶体管121的第二电流端连接的作为电源线的供电线116与第二数据传输线14-2相比形成在下层,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0288] 另外,如根据图24所理解的那样,驱动晶体管121被作为电源线的供电线116覆盖,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0289] 如根据图24~图26所理解的那样,传输电容133的第一电极133-1和第二电极133-2形成在与形成有第一数据传输线14-1的层不同的层。因此,即使在为了以较小的面积来确保某种程度的电容而使绝缘层变薄的情况下,也能够不产生短路而形成具有均匀的层间的传输电容133。

[0290] 第四实施方式

[0291] 接下来,参照附图的图27~图30对本发明的第四实施方式进行说明。此外,对与第三实施方式的共同地方附加同一附图标记并省略说明。

[0292] 电路图

[0293] 如图27所示,本实施方式的电路与第三实施方式相同由五个晶体管构成,但不设置供电线17。替代此,第一晶体管126的漏极或者源极与第一数据传输线14-1连接,第一数据传输线14-1经由传输门45被供给初始电位 V_{ini} 。其它的构成与第三实施方式相同。

[0294] 本实施方式中的动作与上述的各实施方式相同,在其它的块中进行初始化期间的处理的期间,将在发光期间中成为浮动节点的第二晶体管122的传输电容133侧的第二数据传输线14-2设定为固定电位的初始电位 V_{ini} ,所以能够抑制第二数据传输线14-2的电位接近电源电位。其结果是,第二晶体管122不会接通,在像素电容132中保持电压,不会产生显示的不良情况。

[0295] 结构

[0296] 在本实施方式中,如图28所示,第二数据传输线14-2的配置和形状与第三实施方式不同。另外,构成第一晶体管126的漏极或者源极的节点区域10A经由导通孔HA22、中继电极QA22、导通孔HD7以及中继电极QB8,与第一数据传输线14-1连接。其它的结构与第三实施方式相同。

[0297] 为了提高供给至驱动晶体管121的栅极g的电位 V_g 的数据压缩率,期望增大传输电容(第一电容)133,但根据本实施方式,通过MIM(Metal-Insulator-Metal)结构形成传输电容133,所以能够实现传输电容133的大电容化。另外,传输电容133与形成有第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层,所以形成在像素电路110的显示区域内,从而能够防止芯片面积的增大。

[0298] 图28所示的中继电极QA13为源极电极,是与形成第二晶体管122的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0299] 另外,图28所示的中继电极QA15也是源极电极,是与形成第三晶体管123的漏极区域或者源极区域的有源区域10A、形成第四晶体管124的漏极区域或者源极区域的有源区域

10A、以及形成驱动晶体管121的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0300] 并且,图28所示的中继电极QA17也是源极电极,是与形成第三晶体管123的漏极区域或者源极区域的有源区域10A、形成第二晶体管122的漏极区域或者源极区域的有源区域10A、以及形成第一晶体管126的漏极区域或者源极区域的有源区域10A直接接触地形成的电极。

[0301] 另外,关于屏蔽电容(第二电容)134,通过隔着绝缘层LF以规定的间隙配置第一数据传输线14-1和作为屏蔽线的供电线16来形成。因此,屏蔽电容134由两条平行的布线形成,所以在Y方向具有规定的长度,从而能够确保规定的电容。另外,屏蔽电容134也形成在像素电路110的显示区域内,所以能够防止芯片面积的增大。

[0302] 在本实施例中,按照每个像素电路110形成了传输电容133,但也可以按照每条第二数据传输线14-2形成传输电容133。能够进一步防止芯片面积的增大。

[0303] 如根据图28~图30所理解的那样,在本实施方式中,被供给的信号的振幅较大的第一数据传输线14-1与被供给压缩后的信号的第二数据信号线14-2相比形成在上层。换句话说,能够降低对驱动晶体管121的栅极的、供给到第一数据传输线14-1的振幅较大的信号的影响,抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0304] 另外,如根据图28以及图30所理解的那样,在本实施方式中,第二数据传输线14-2与形成有驱动晶体管121、第一晶体管126、第二晶体管122以及第三晶体管123的源极电极的层相比形成在上层。因此,能够防止芯片面积的增大。

[0305] 并且,如根据图28以及图30所理解的那样,与驱动晶体管121的第二电流端连接的作为电源线的供电线116与第二数据传输线14-2相比形成在下层,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0306] 另外,如根据图28所理解的那样,驱动晶体管121被作为电源线的供电线116覆盖,所以供电线116作为屏蔽发挥作用,能够进一步有效地抑制驱动晶体管121的栅极的电位的变动,使显示品质提高。

[0307] 如根据图28~图30所理解的那样,传输电容133的第一电极133-1和第二电极133-2形成在与形成有第一数据传输线14-1的层不同的层。因此,即使在为了以较小的面积来确保某种程度的电容而使绝缘层变薄的情况下,也能够不产生短路而形成具有均匀的层间的传输电容133。

[0308] 如图28的金属层A的部分所示,以虚线的椭圆A表示第一晶体管126与第一数据传输线14-1的连接位置,以虚线的椭圆B表示驱动晶体管121的第一电流端与第三晶体管123的连接位置。另外,以虚线的椭圆C表示第四晶体管124与作为发光元件的OLED130的连接位置。若以这种方式进行表示,则在一个像素电路110内观察的情况下,表示第一晶体管126与第一数据传输线14-1的连接位置的虚线的椭圆A与表示驱动晶体管121的第一电流端与第三晶体管123的连接位置的虚线的椭圆B相比,接近表示第四晶体管124与作为发光元件的OLED130的连接位置的虚线的椭圆C。

[0309] 因此,即使第一数据传输线14-1被供给振幅较高的信号,而在第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)产生了噪声,也能够抑制对驱动晶体管121的噪

声的影响,能够使显示品质提高。

[0310] 另外,如图28所示,第一晶体管126与第一数据传输线14-1的连接位置(椭圆A)、驱动晶体管121的第一电流端与第三晶体管123的连接位置(椭圆B)、以及第四晶体管124与作为发光元件的OLED130的连接位置(椭圆C)的各个,被配置在该像素电路110中的作为电源线的供电线116与沿Y方向相邻的块的像素电路110中的作为电源线的供电线116之间。因此,供电线116成为屏蔽,能够减少噪声的影响。

[0311] 变形例

[0312] 本发明并不限于上述的实施方式,例如能够进行以下叙述的各种变形。另外,也能够适当地组合以下叙述的变形的方式中的任意选择一个或者多个。

[0313] 变形例1

[0314] 在上述的实施方式中,在各像素电路110中第三晶体管123连接在驱动晶体管121的漏极与第二数据传输线14-2之间,但也可以如图31所示那样连接在驱动晶体管121的漏极与栅极g之间。

[0315] 变形例2

[0316] 在第一实施方式中,通过对第一数据传输线14-1经由传输门45供给初始电位Vini,并使第一晶体管126接通,来对第二数据传输线14-2供给初始电位Vini。但是,也可以如图32所示那样,设置供给初始电位Vini的供电线17,并将第一晶体管126的漏极或者源极与供电线17连接。在该情况下,通过使第一晶体管126接通,来从供电线17向第二数据传输线14-2供给初始电位Vini。

[0317] 变形例3

[0318] 在上述的实施方式的电路图中,按照每个像素电路110一对一对应地设置第一晶体管126和传输电容133,但也可以如图33所示那样,针对Nb个像素电路110以各一个的比例设置第一晶体管126和传输电容133。

[0319] 变形例4

[0320] 在上述的实施方式中,构成为以每三列对第一数据传输线14-1进行分组,并且在各组中依次选择第一数据传输线14-1来供给数据信号,但是构成组的数据线数只要是“2”以上“3n”以下的规定数量即可。例如,构成组的数据线数也可以是“2”,也可以是“4”以上。

[0321] 另外,也可以构成为:不进行分组,即不使用多路分配器DM,而一起以线顺序对各列的第一数据传输线14-1供给数据信号。

[0322] 变形例5

[0323] 在上述的实施方式中,使晶体管121~126统一为P沟道型,但也可以统一为N沟道型。另外,也可以适当地组合P沟道型以及N沟道型。

[0324] 例如,在使晶体管121~126统一为N沟道型的情况下,对各像素电路110供给与上述的实施方式中的数据信号Vd(n)正负反转的电位即可。另外,在该情况下,晶体管121~126的源极和漏极成为与上述的实施方式以及变形例反转的关系。

[0325] 变形例6

[0326] 在上述的实施方式以及变形例中,作为电光学元件例示了作为发光元件的OLED,但是只要是例如无机发光二极管、LED(Light Emitting Diode:发光二极管)等以与电流对应的亮度进行发光的元件即可。

[0327] 应用例

[0328] 接下来,对应用了实施方式等、应用例所涉及的电光学装置1的电子设备进行说明。电光学装置1用于像素为小尺寸且高精度的显示的用途。因此,作为电子设备,例举头戴式显示器来进行说明。

[0329] 图34是表示头戴式显示器的外观的图,图35是表示其光学的构成的图。

[0330] 首先,如图34所示,头戴式显示器300在外观上与一般的眼镜相同地具有眼镜腿310、鼻架320以及透镜301L、301R。另外,如图35所示,头戴式显示器300在鼻架320附近且透镜301L、301R的里侧(在图中为下侧)设置有左眼用的电光学装置1L和右眼用的电光学装置1R。

[0331] 电光学装置1L的图像显示面以在图35中成为左侧的方式配置。由此,电光学装置1L的显示图像经由光学透镜302L在图中向九点钟的方向射出。半透镜303L使电光学装置1L的显示图像向六点钟的方向反射,另一方面使从十二点钟的方向射入的光透过。

[0332] 电光学装置1R的图像显示面以成为与电光学装置1L相反的右侧的方式配置。由此,电光学装置1R的显示图像经由光学透镜302R在图中向三点钟的方向射出。半透镜303R使电光学装置1R的显示图像向六点钟方向反射,另一方面使从十二点钟的方向射入的光透过。

[0333] 在该构成中,头戴式显示器300的佩戴者能够以与外面的样子重叠的透视状态观察电光学装置1L、1R的显示图像。

[0334] 另外,在该头戴式显示器300中,若使伴随着视差的两眼图像中的左眼用图像显示于电光学装置1L,使右眼用图像显示于电光学装置1R,则能够使佩戴者感觉到所显示的图像犹如具有纵深、立体感(3D显示)。

[0335] 此外,电光学装置1除了应用于头戴式显示器300之外,也能够应用于摄像机、可换镜头式数码相机等中的电子取景器。

[0336] 附图标记说明:1、1L、1R…电光学装置,2…显示面板,3…控制电路,5…数据线驱动电路,6…扫描线驱动电路,12…扫描线,14-1…第一数据传输线,14-2…第二数据传输线,16…供电线,31…电压生成电路,34…传输门,41…保持电容,42…传输门,45…传输门,70…数据信号供给电路,100…显示部,110…像素电路,116…供电线,118…共用电极,121、122、123、124、125、126…晶体管,130…OLED,130a…阳极,132…像素电容,133…传输电容,143、144、145、146…控制线,300…显示器,301L、301R…透镜,302L、302R…光学透镜,303L、303R…半透镜,310…眼镜腿,320…鼻架,DM…多路分配器,DT…数据传输电路。

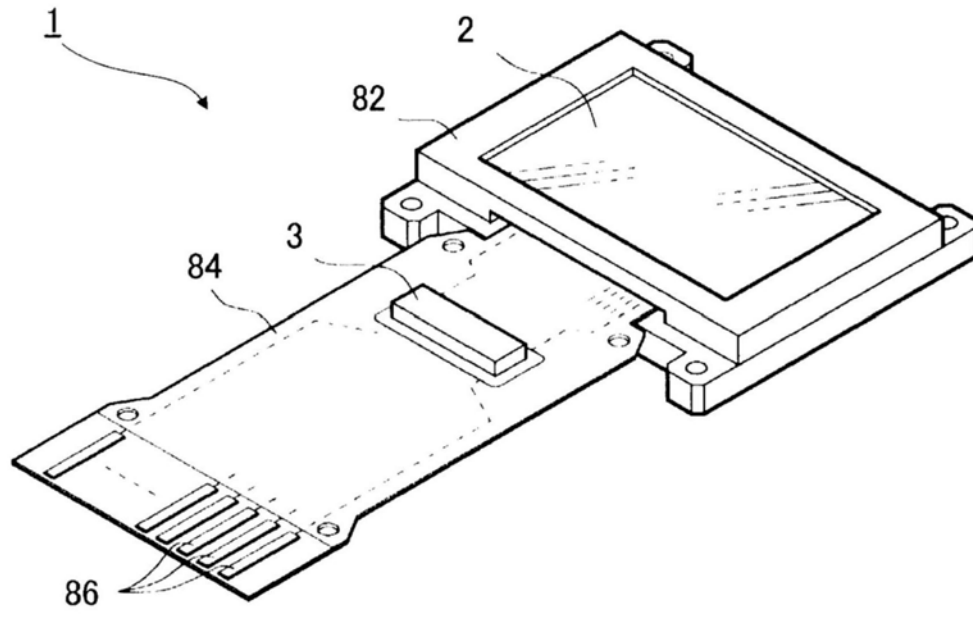


图1

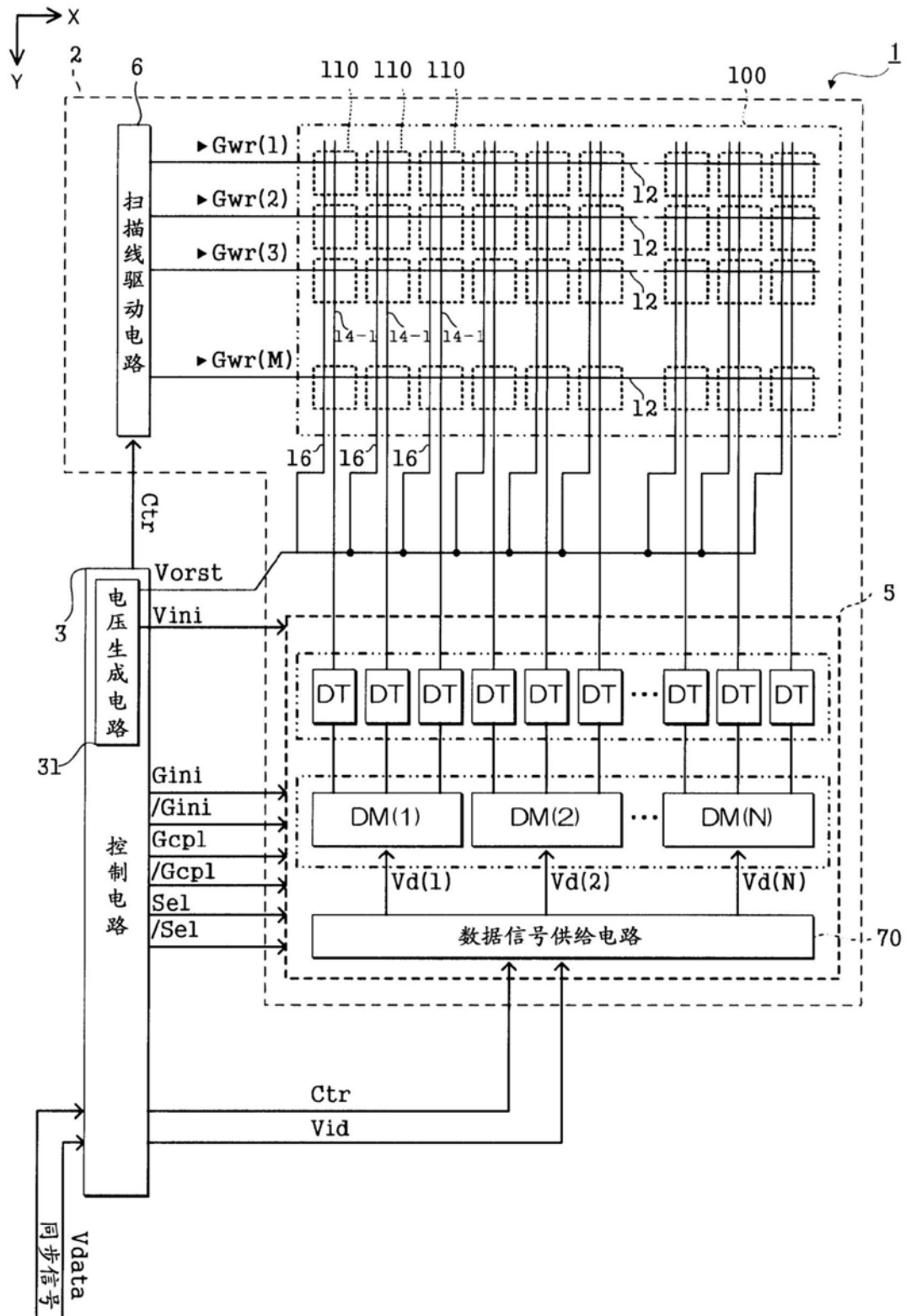


图2

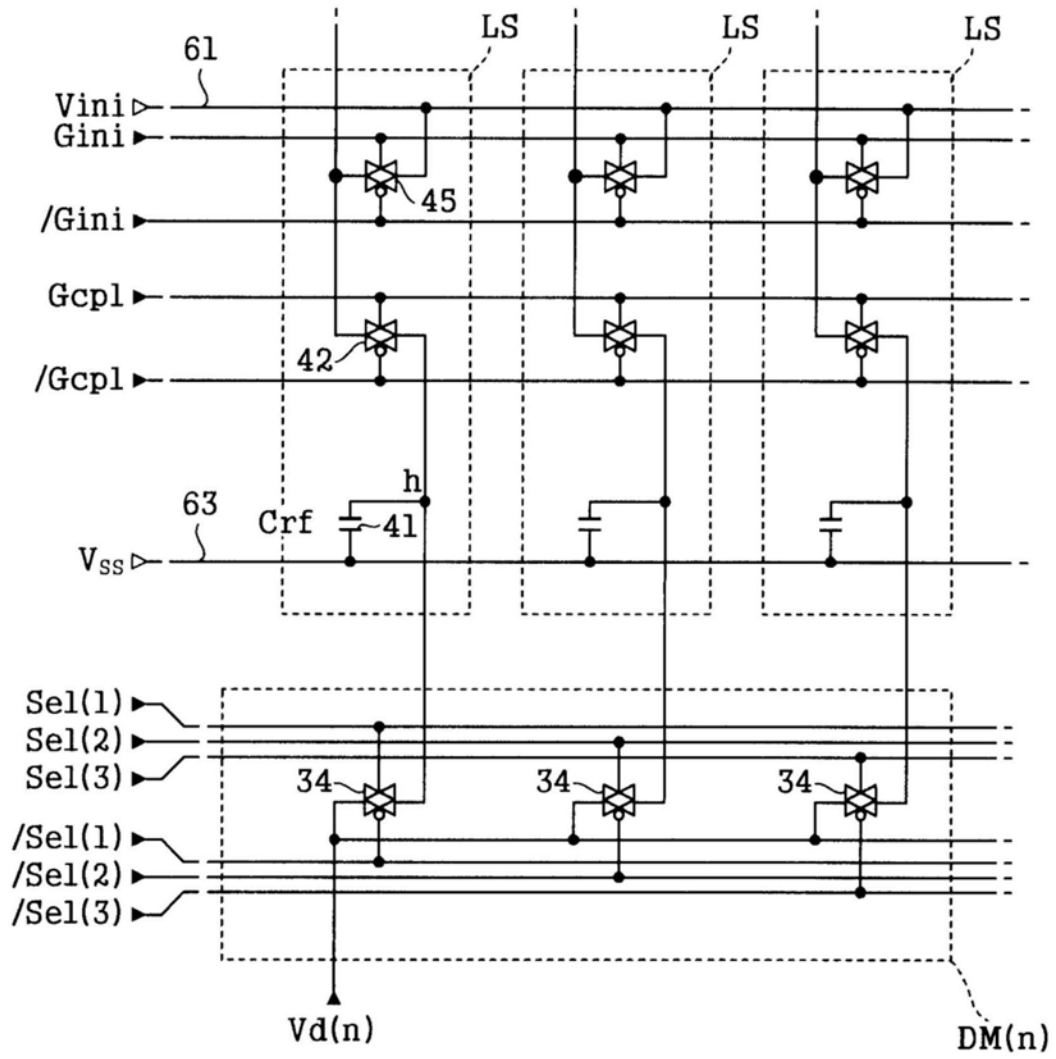


图3

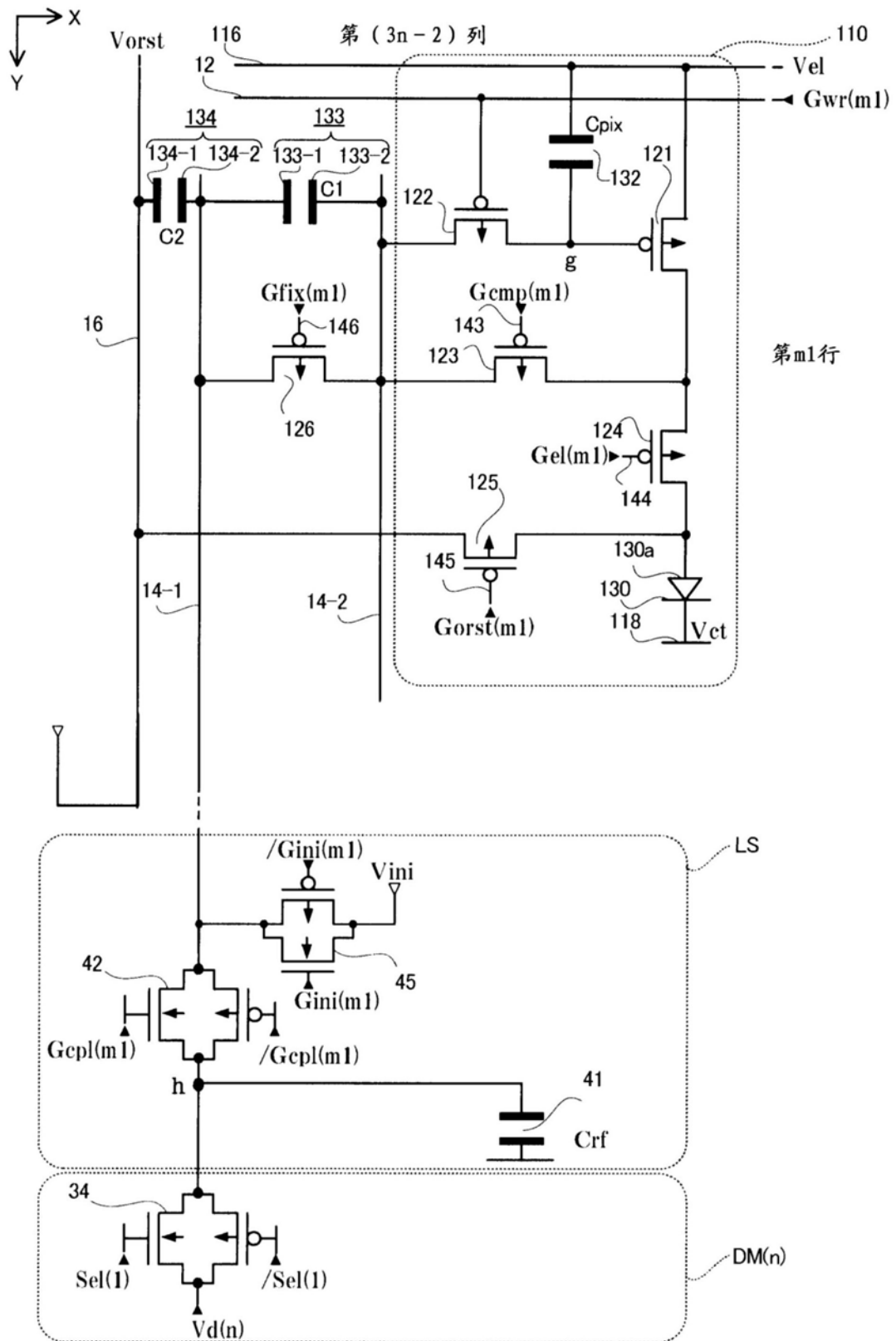


图4

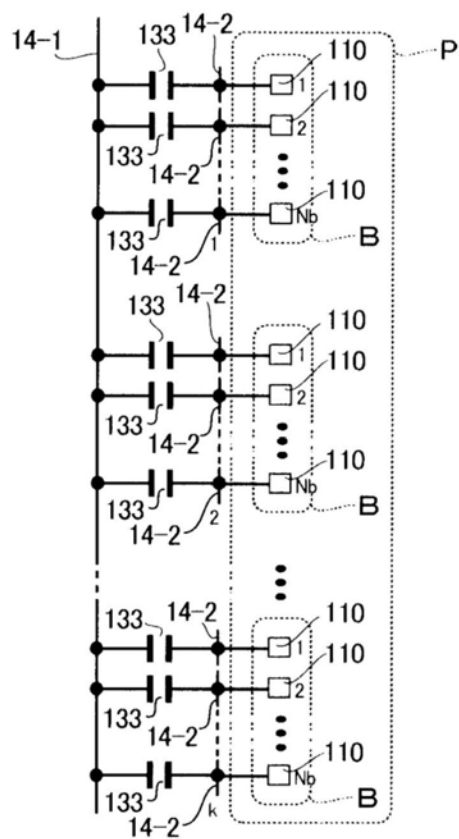


图5

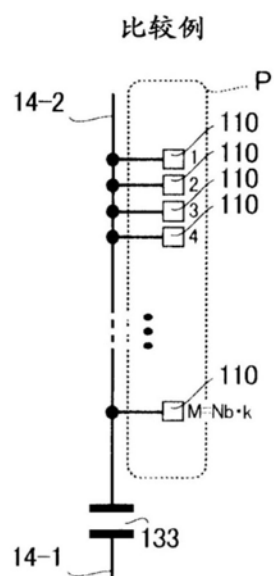


图6

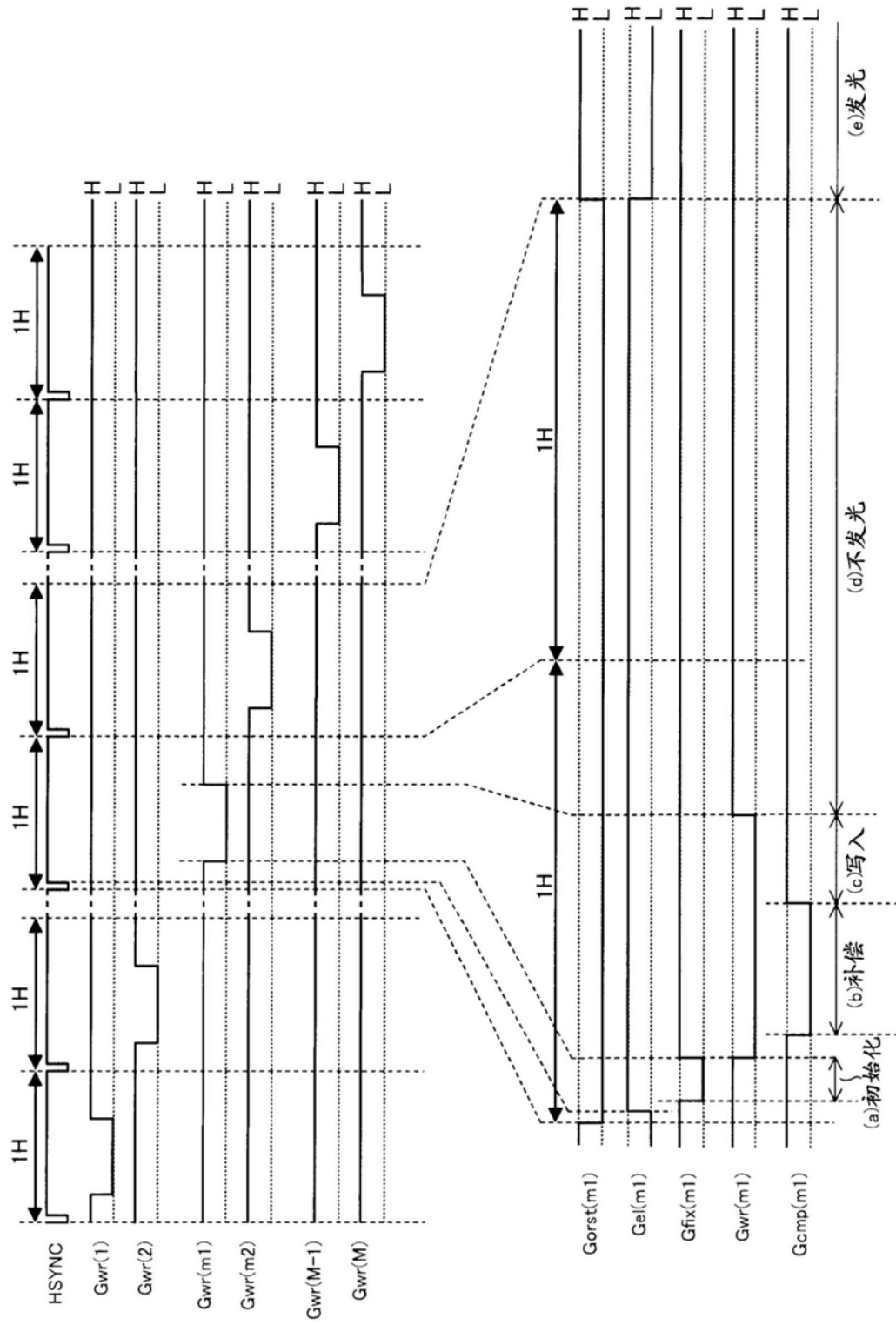


图7

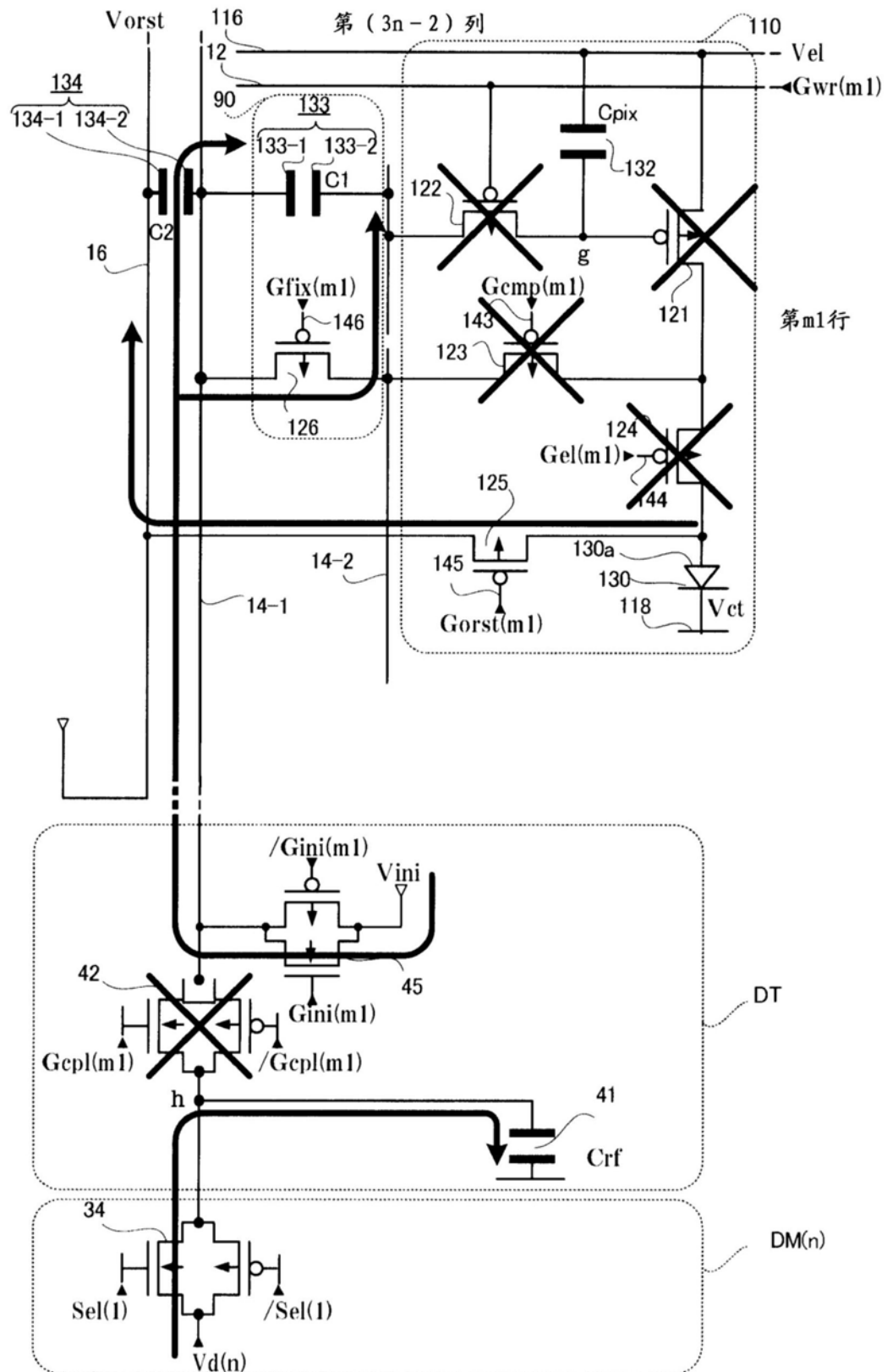


图8

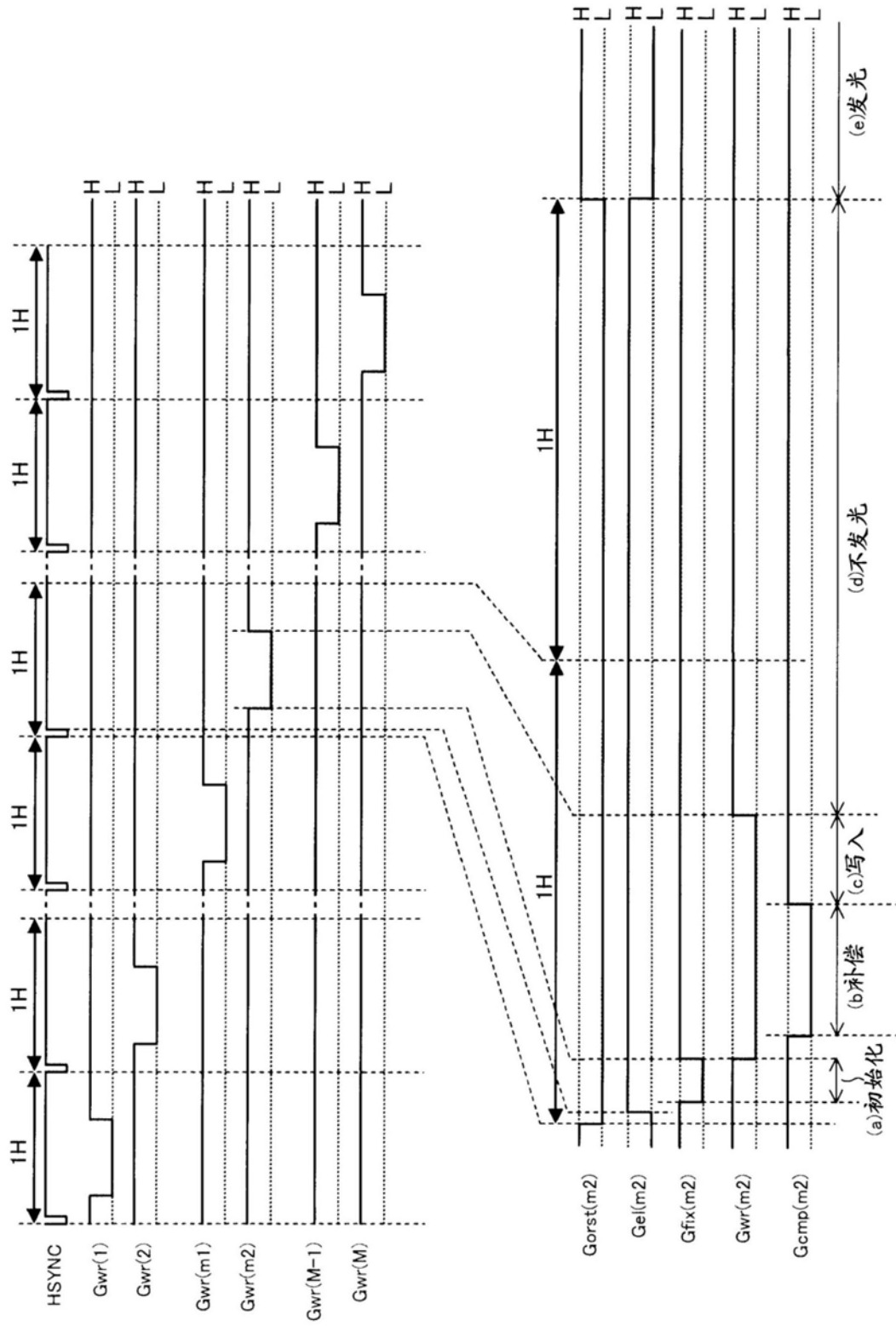


图9

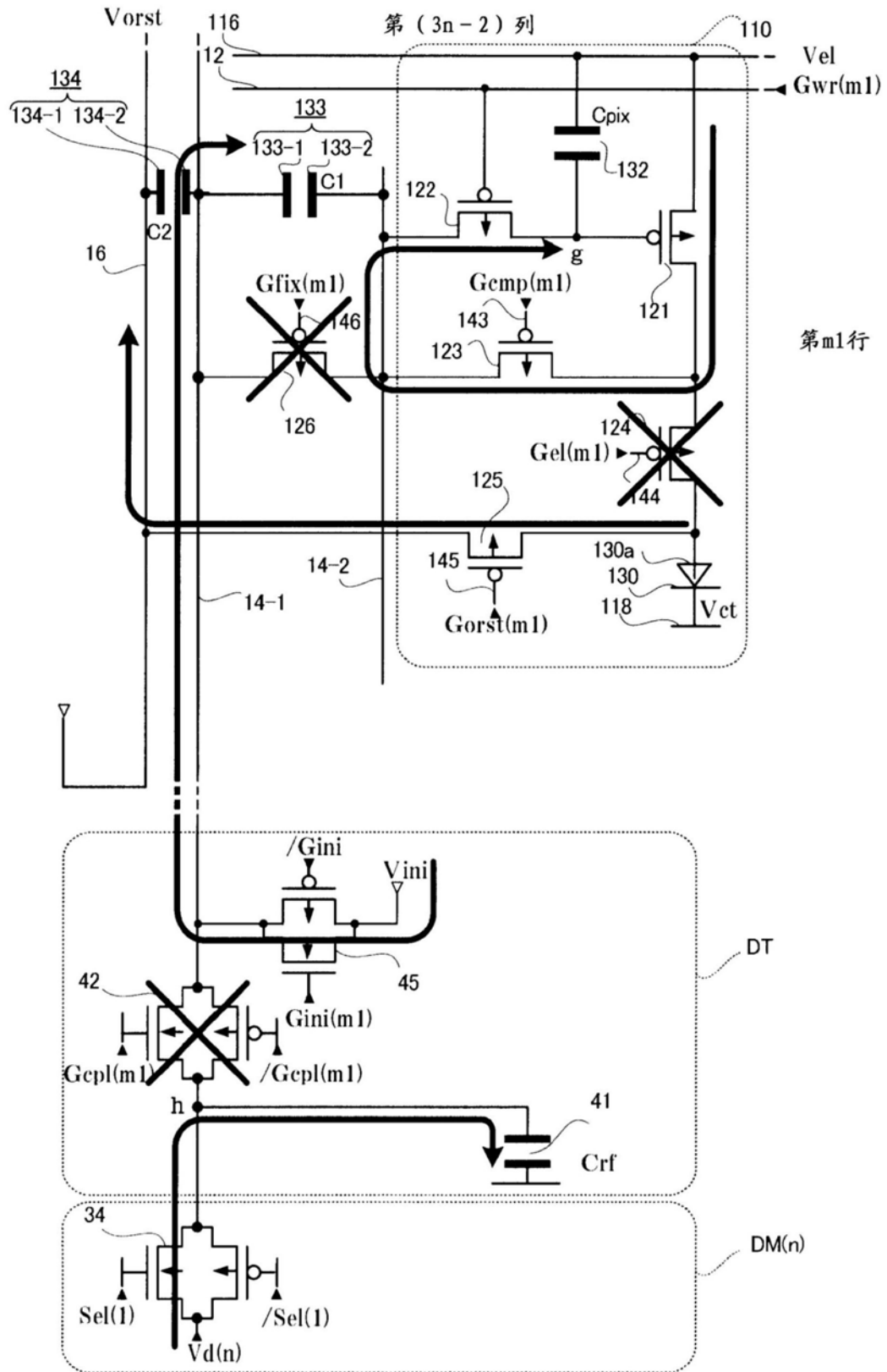


图10

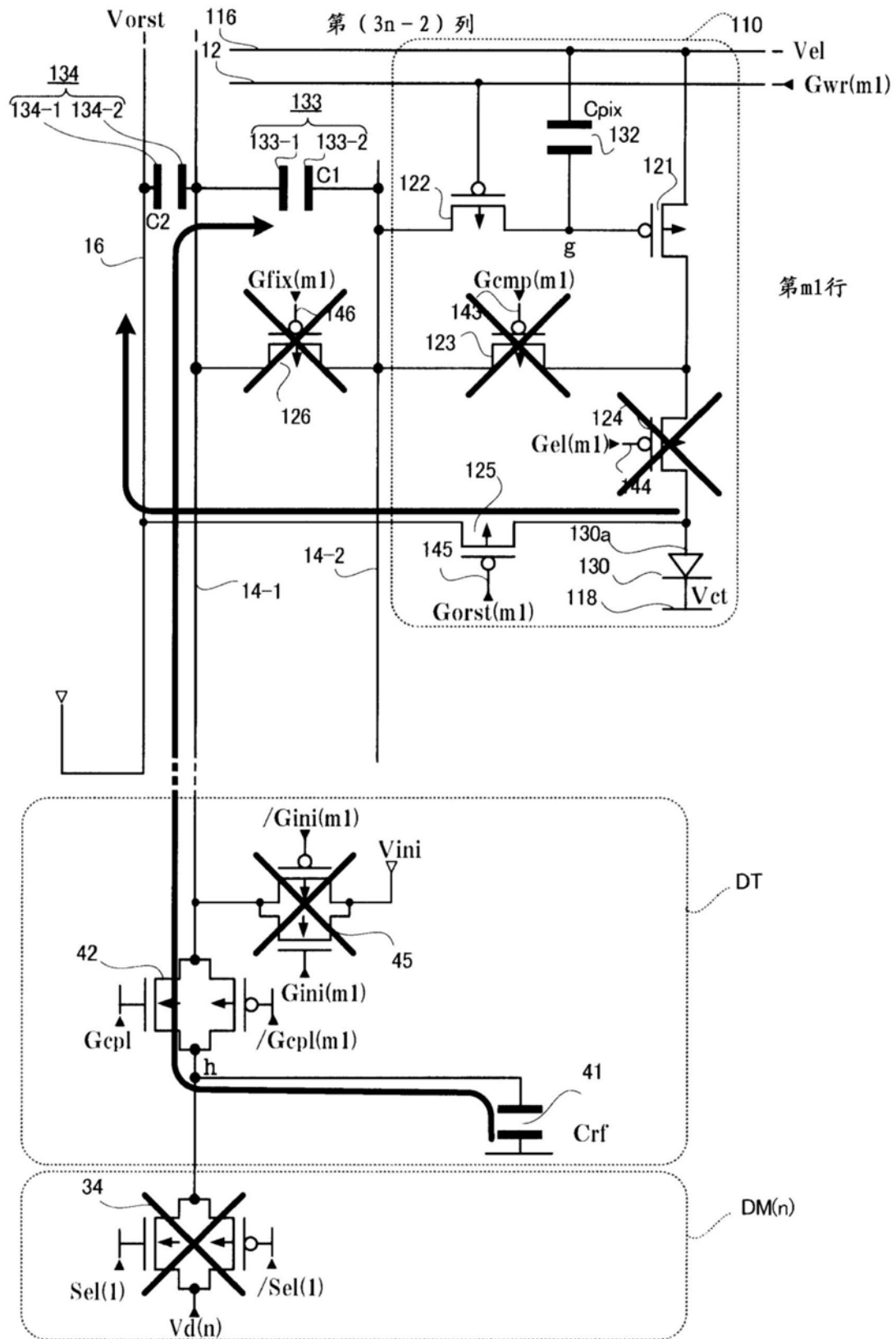


图11

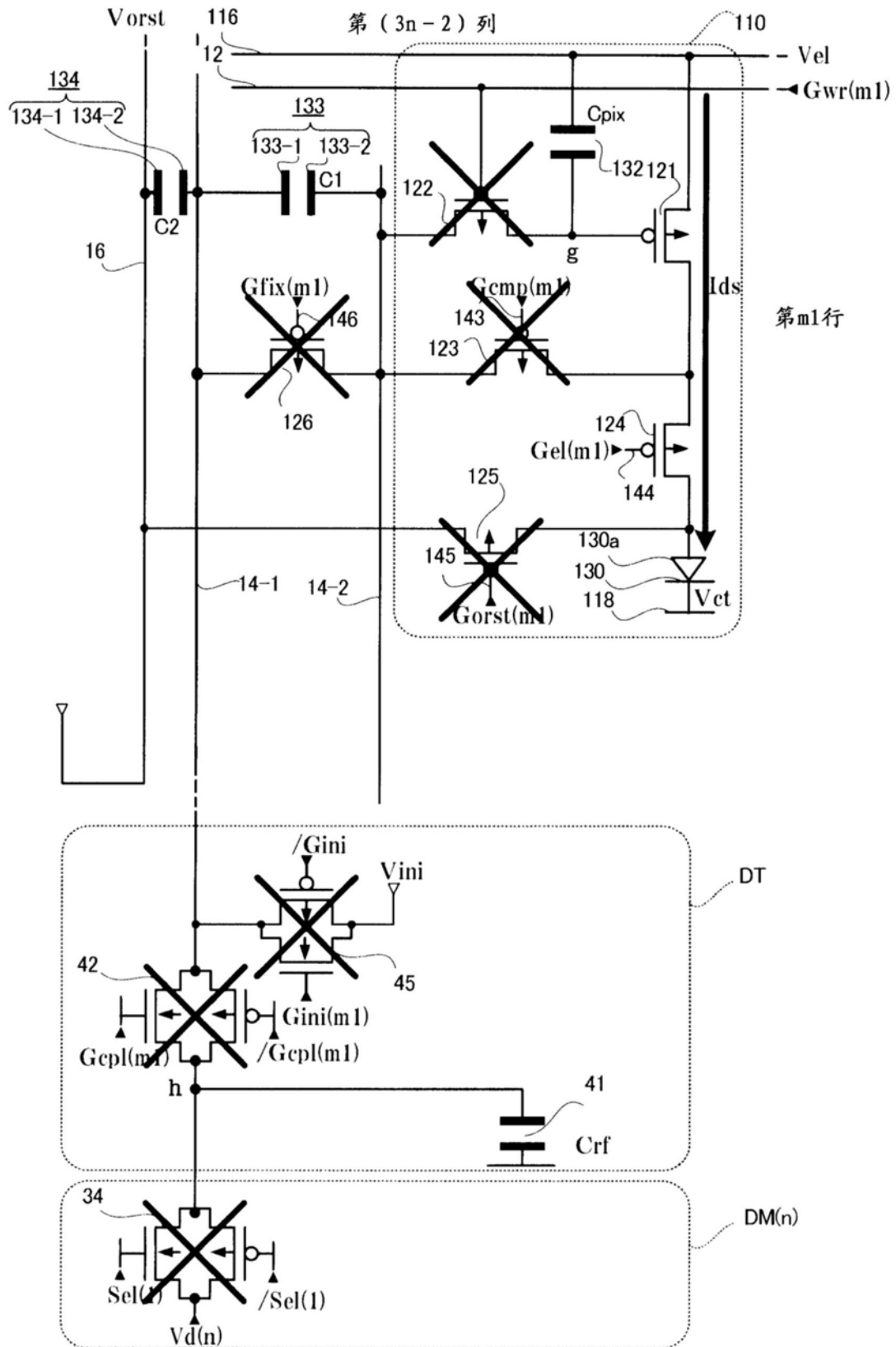


图12

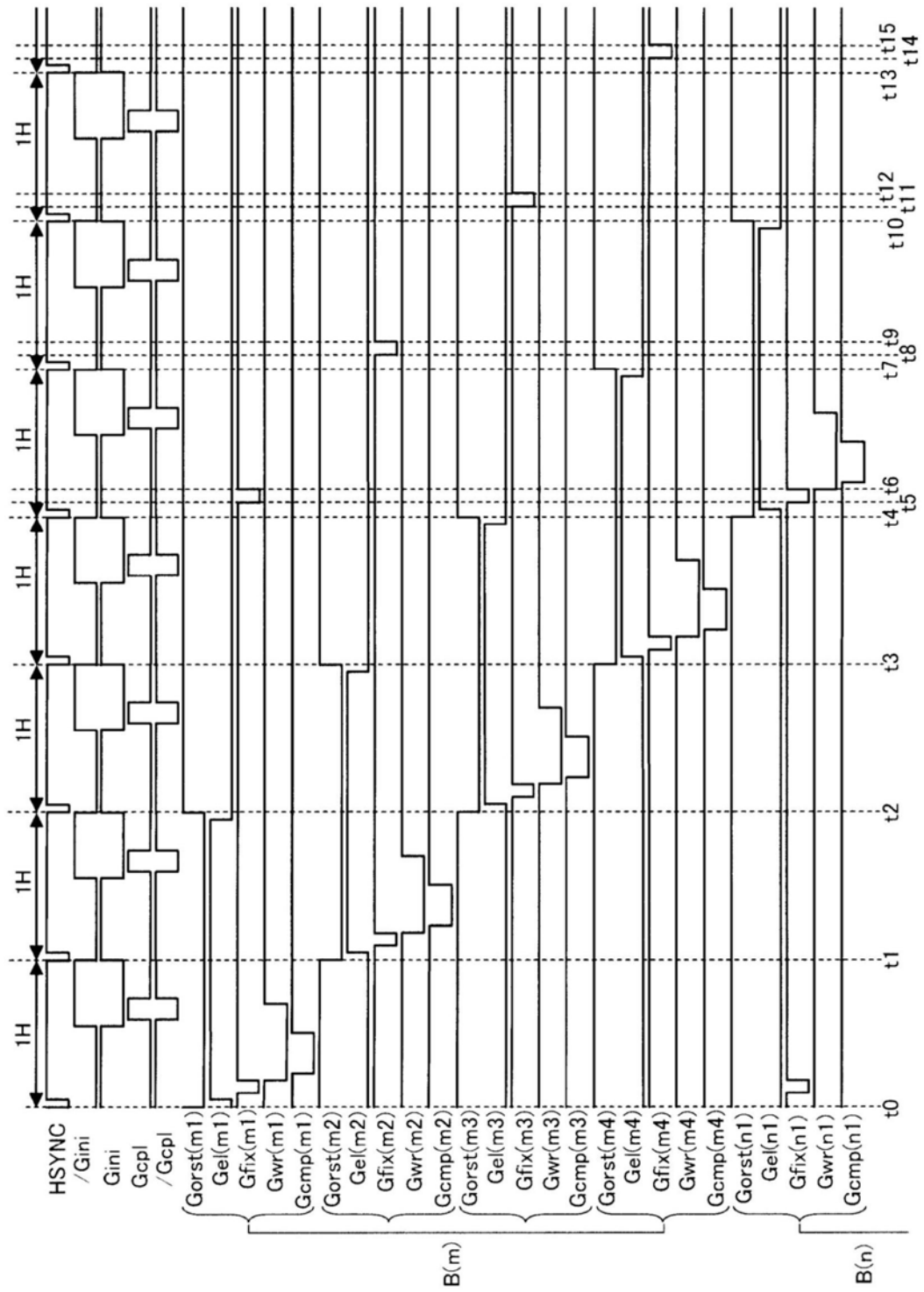


图13

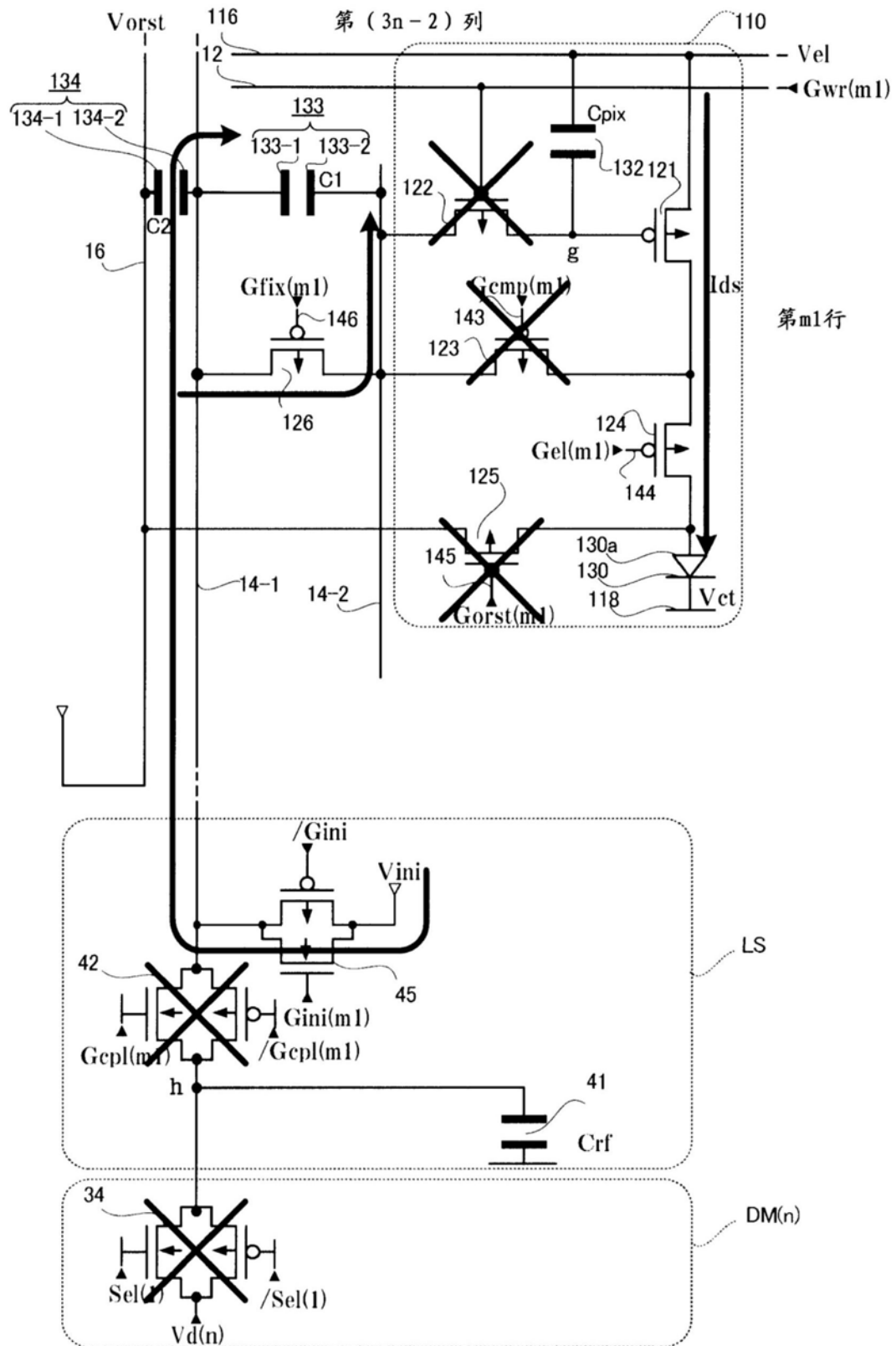


图14

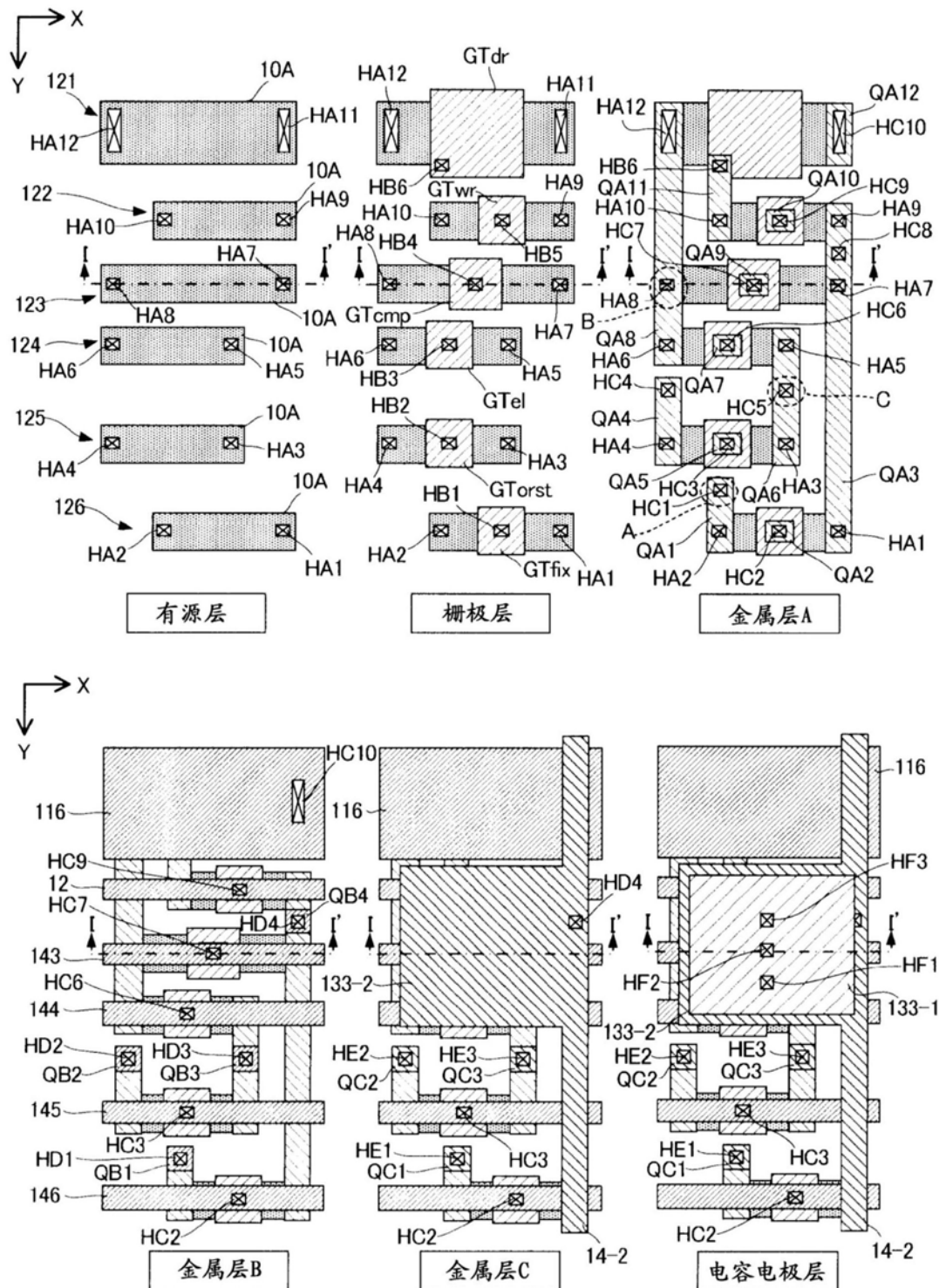


图15

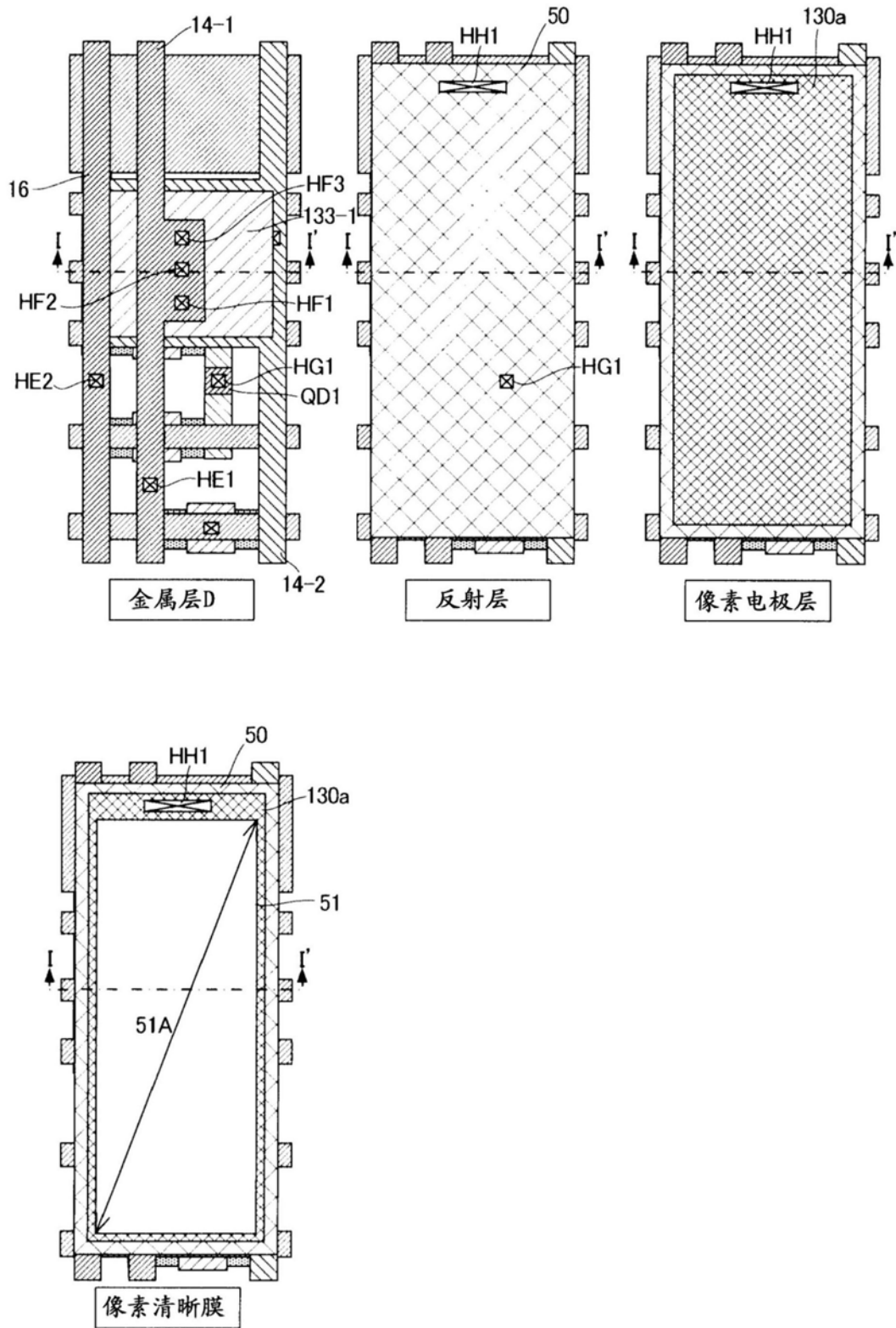


图16

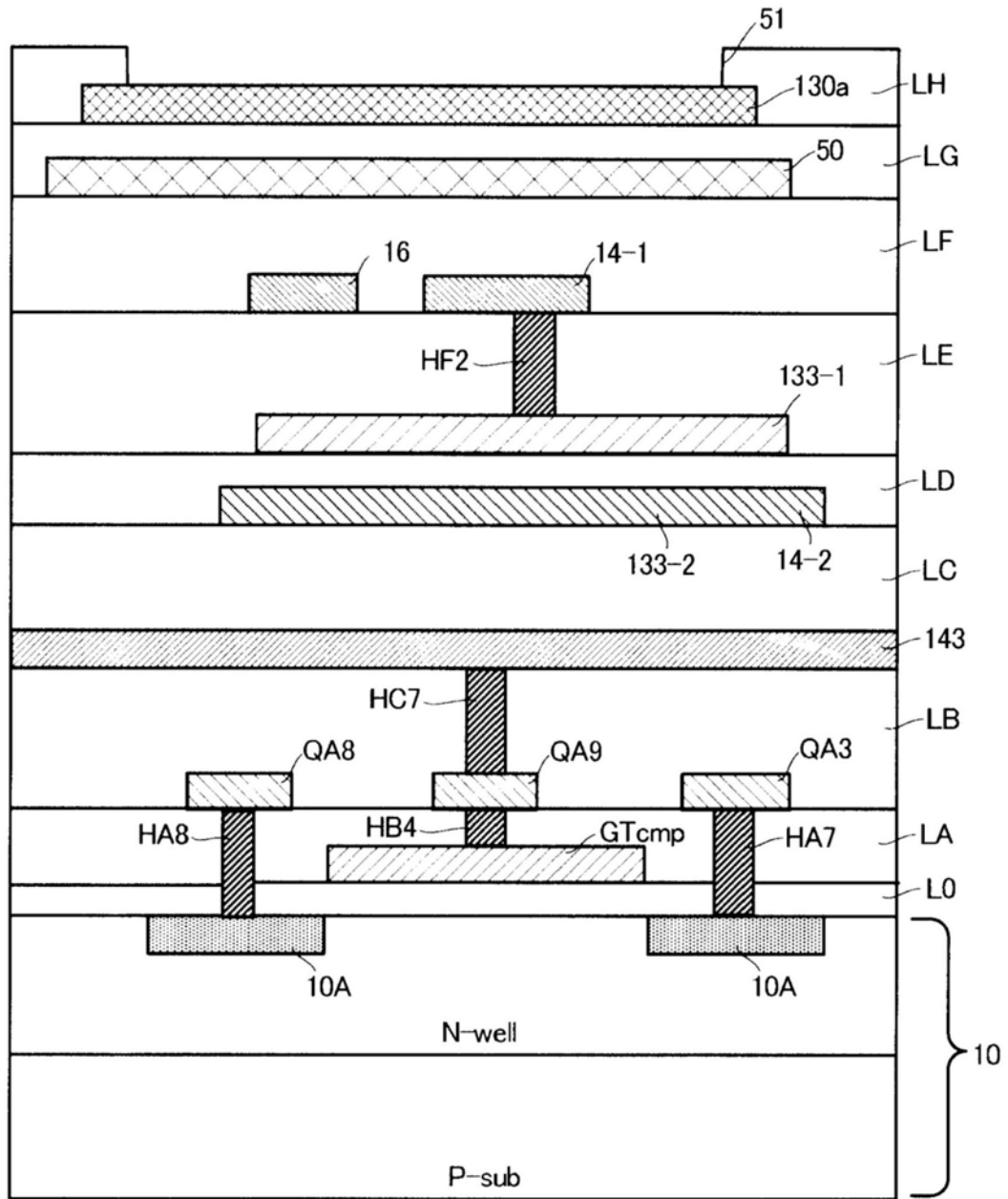


图17

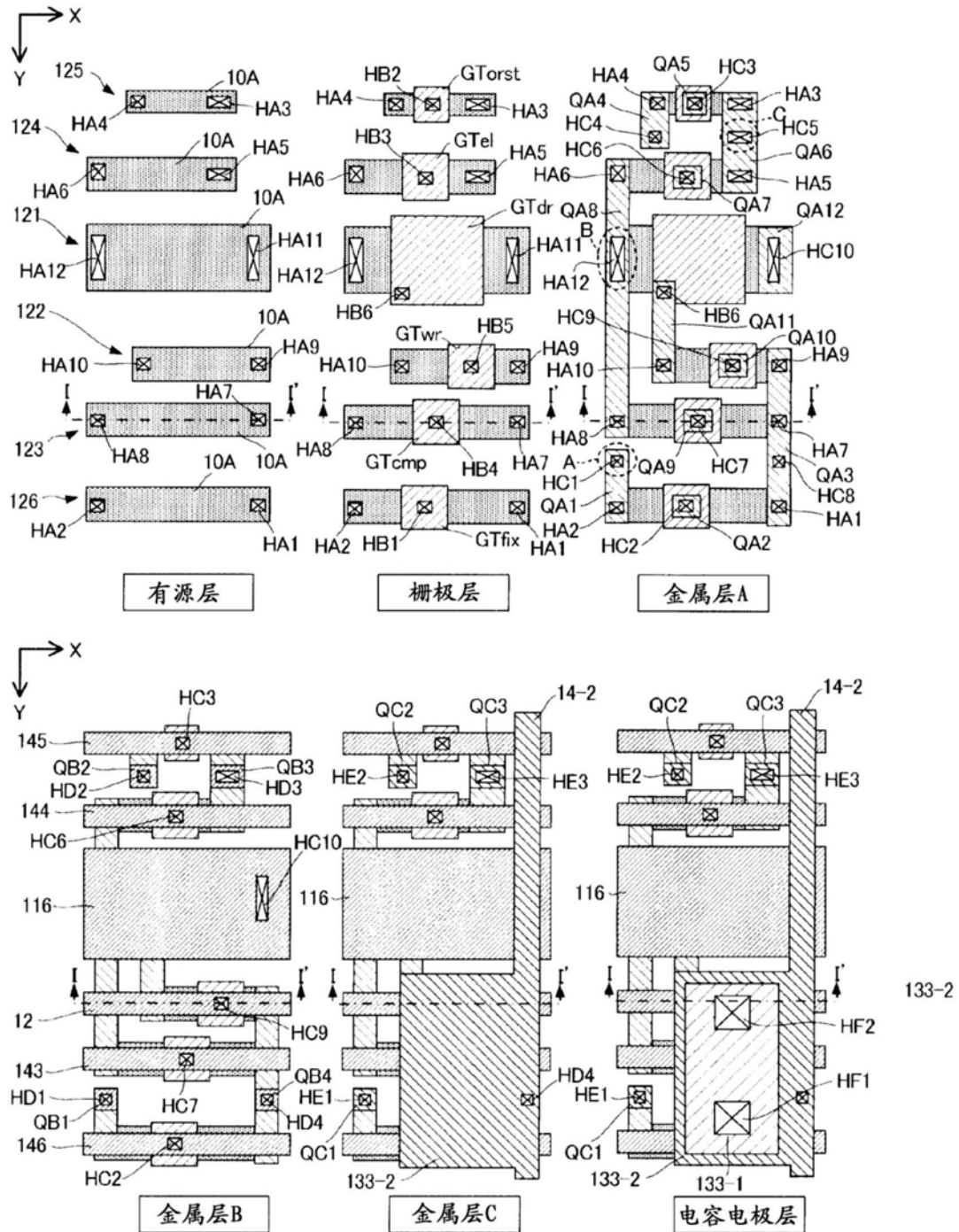


图18

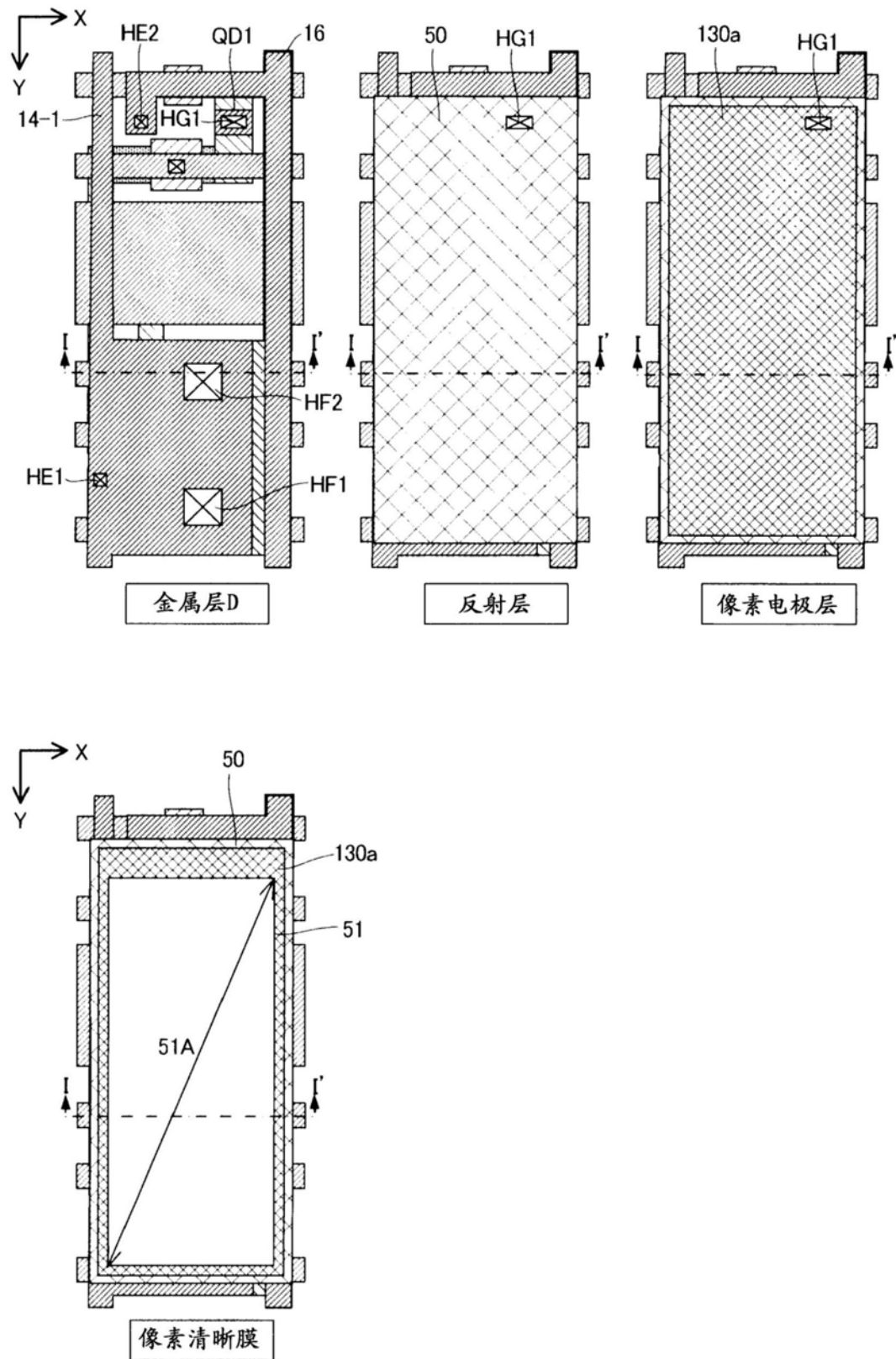


图19

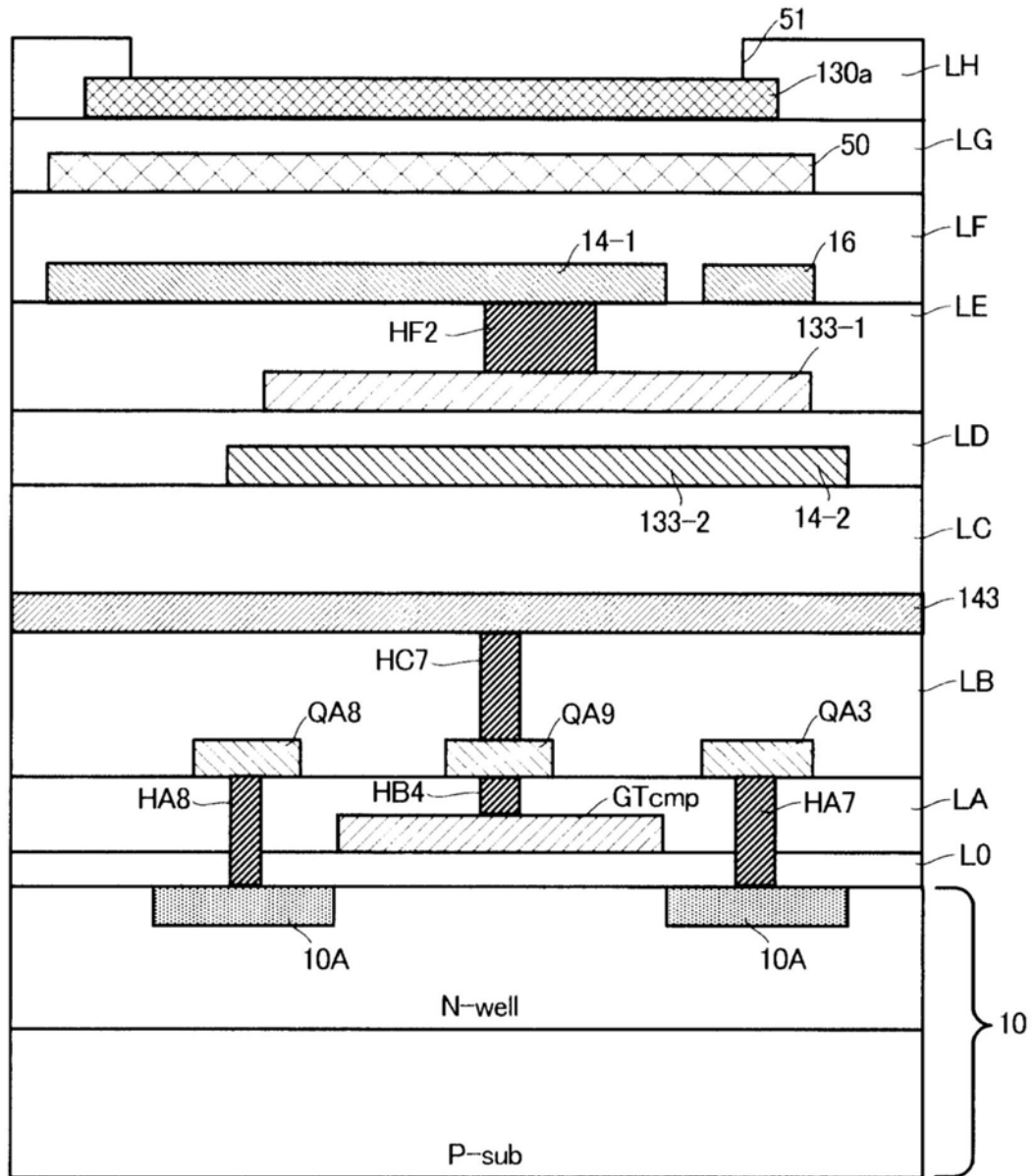


图20

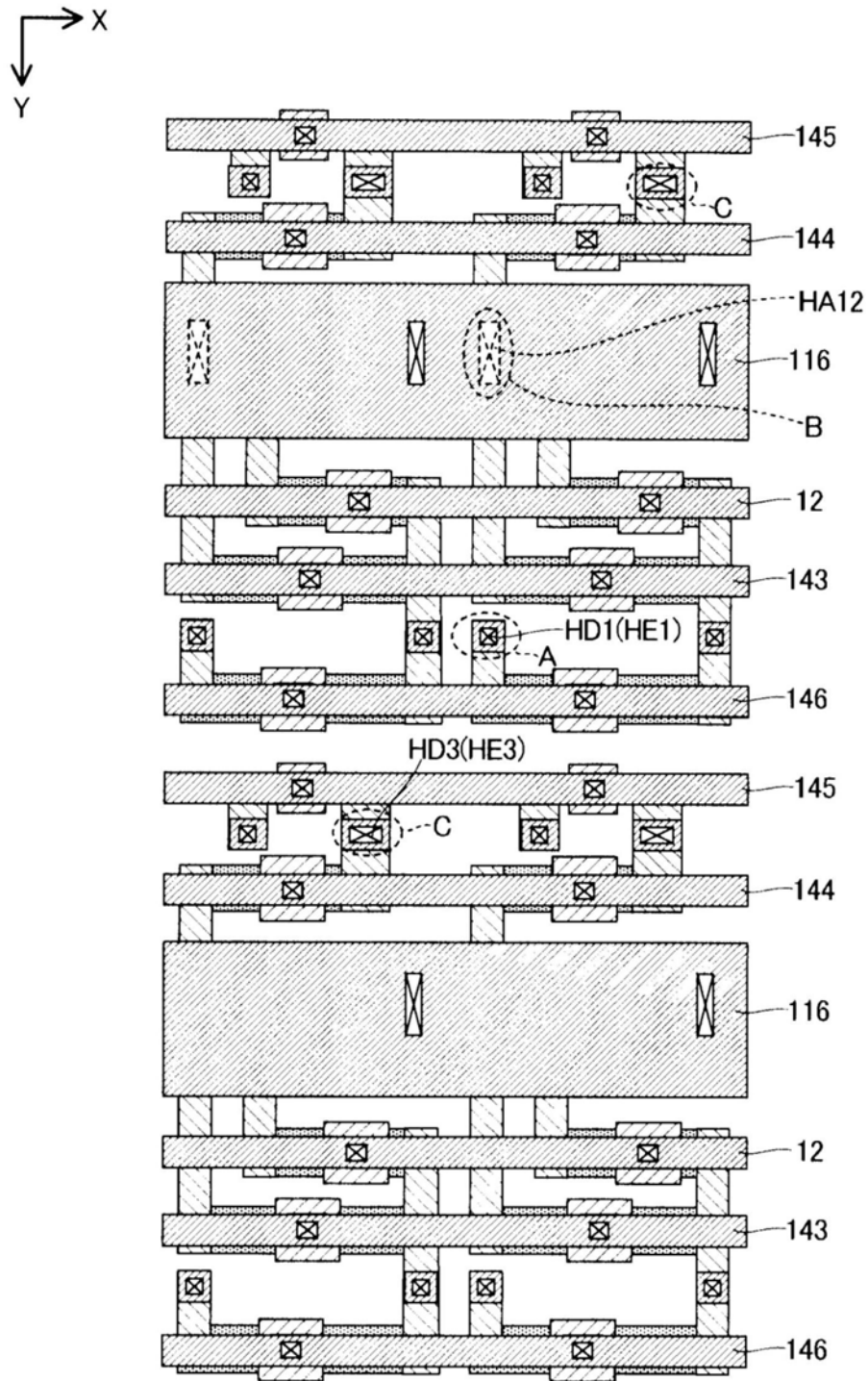


图21

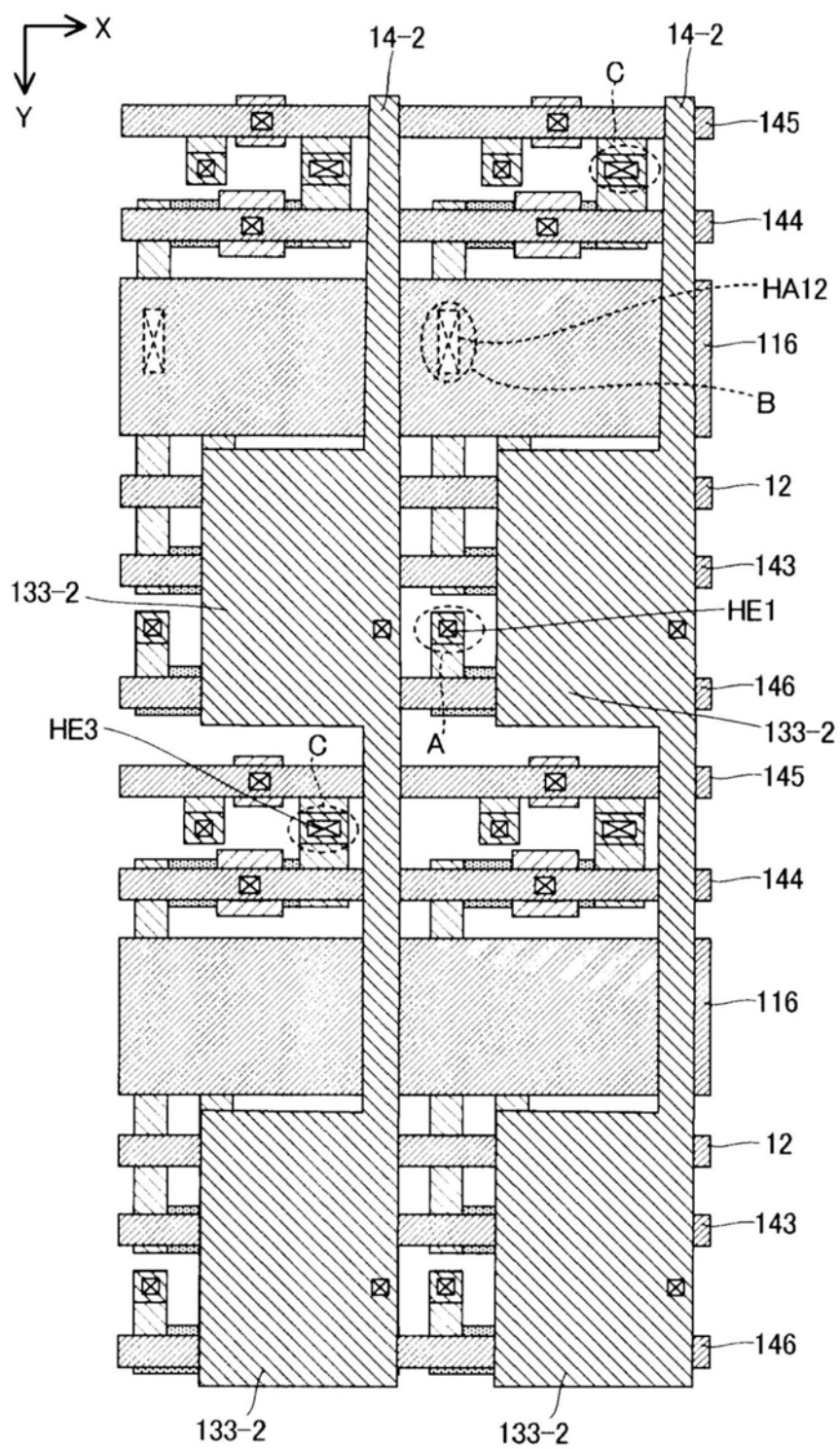


图22

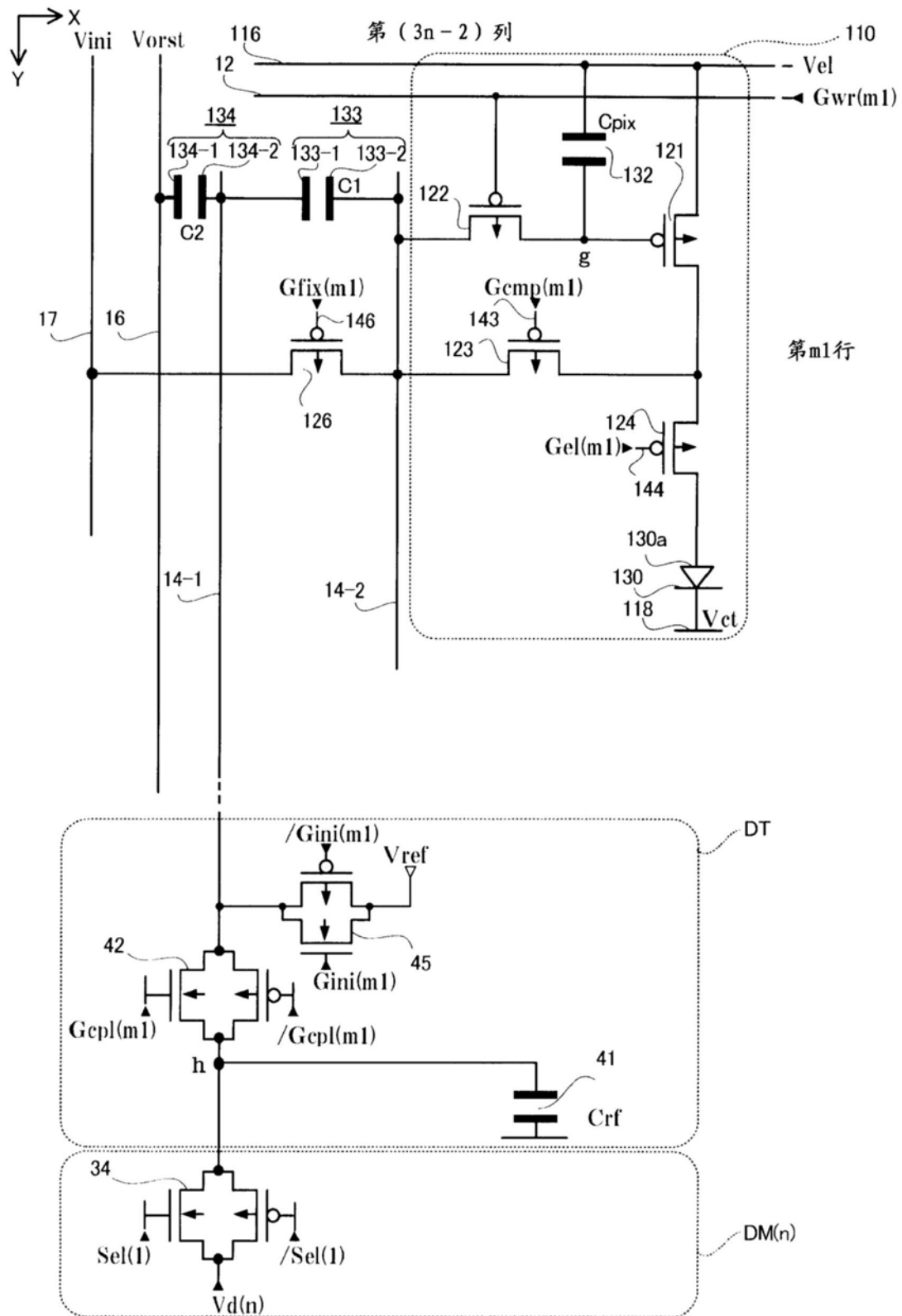


图23

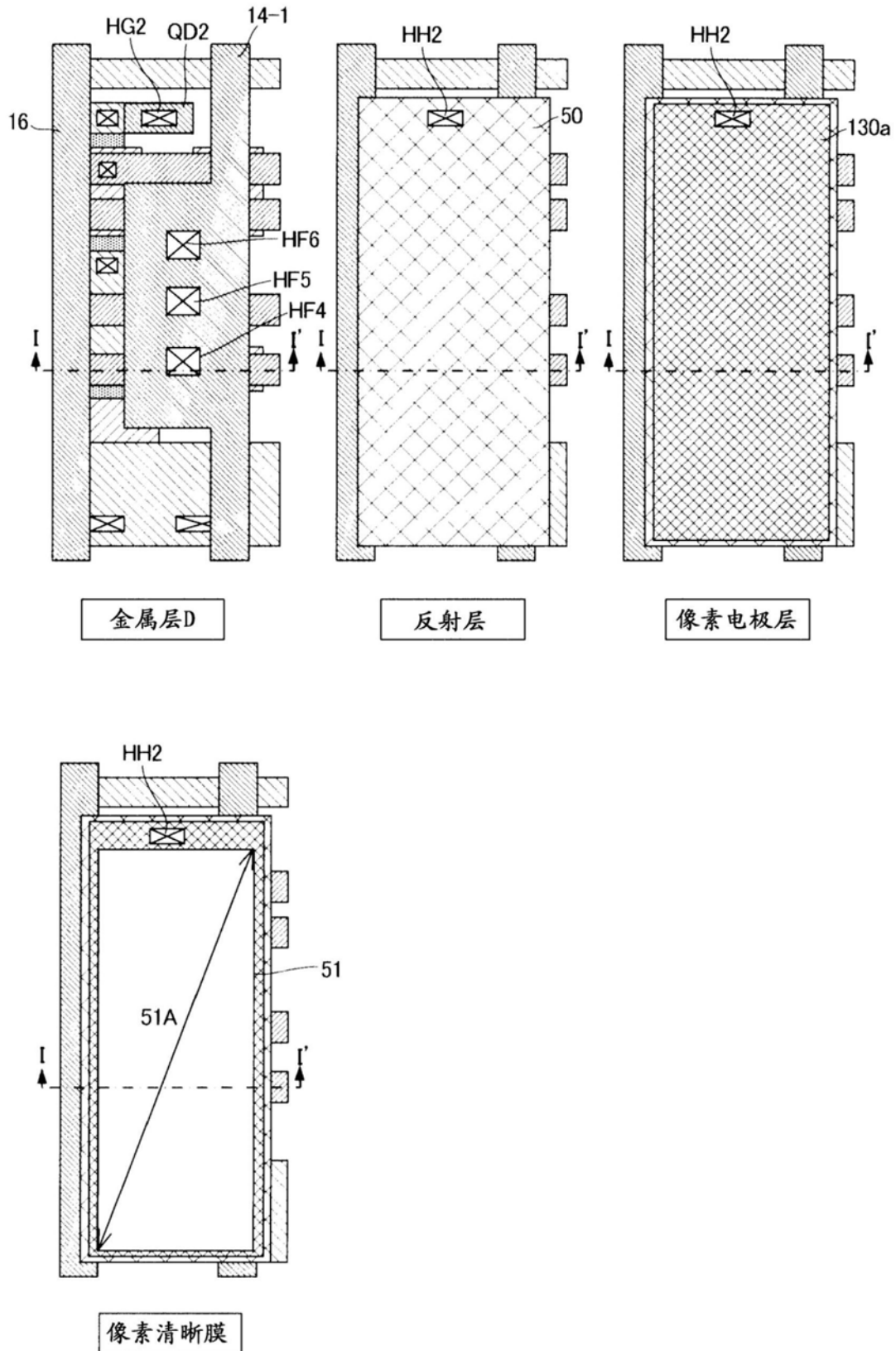


图25

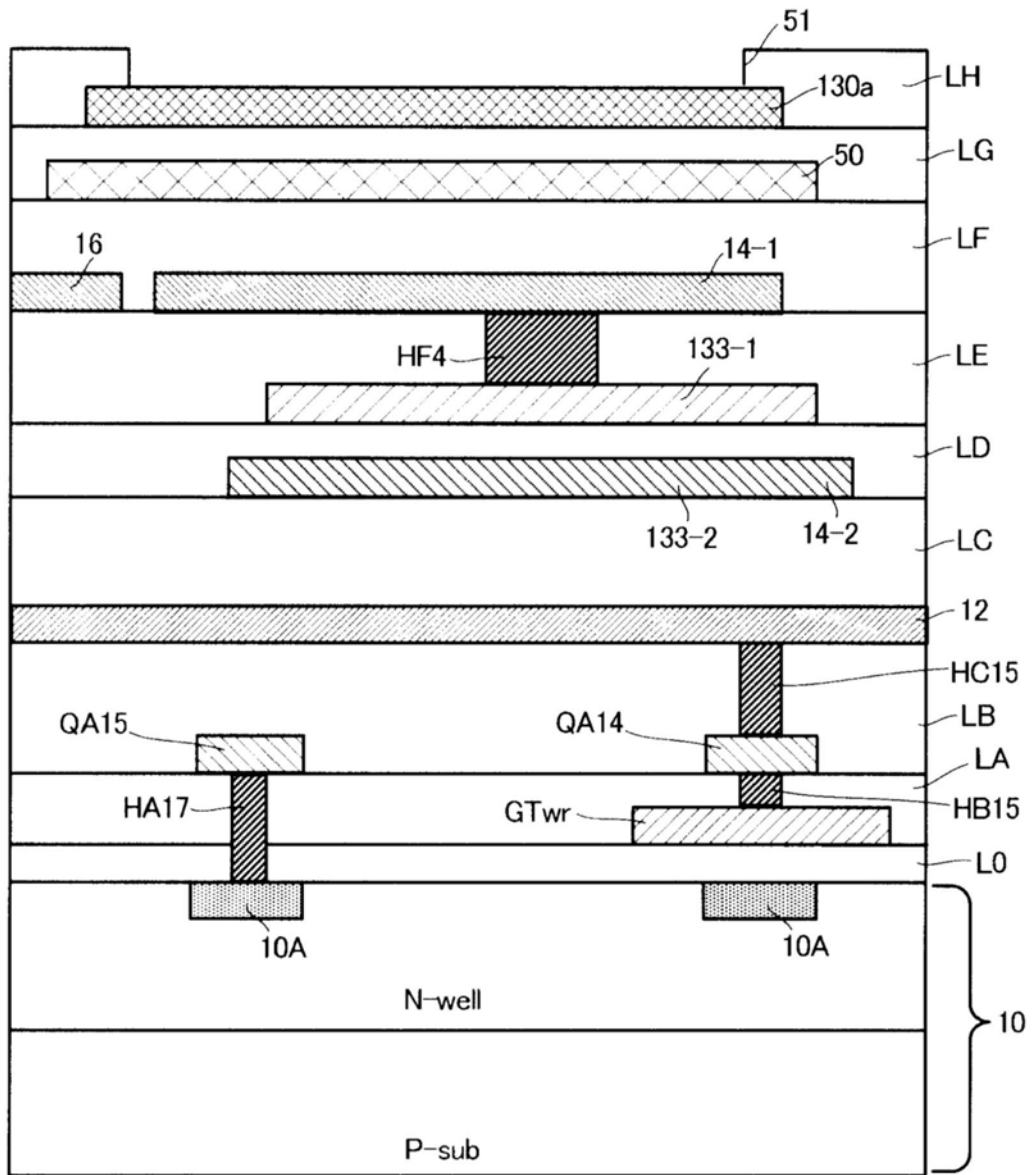


图26

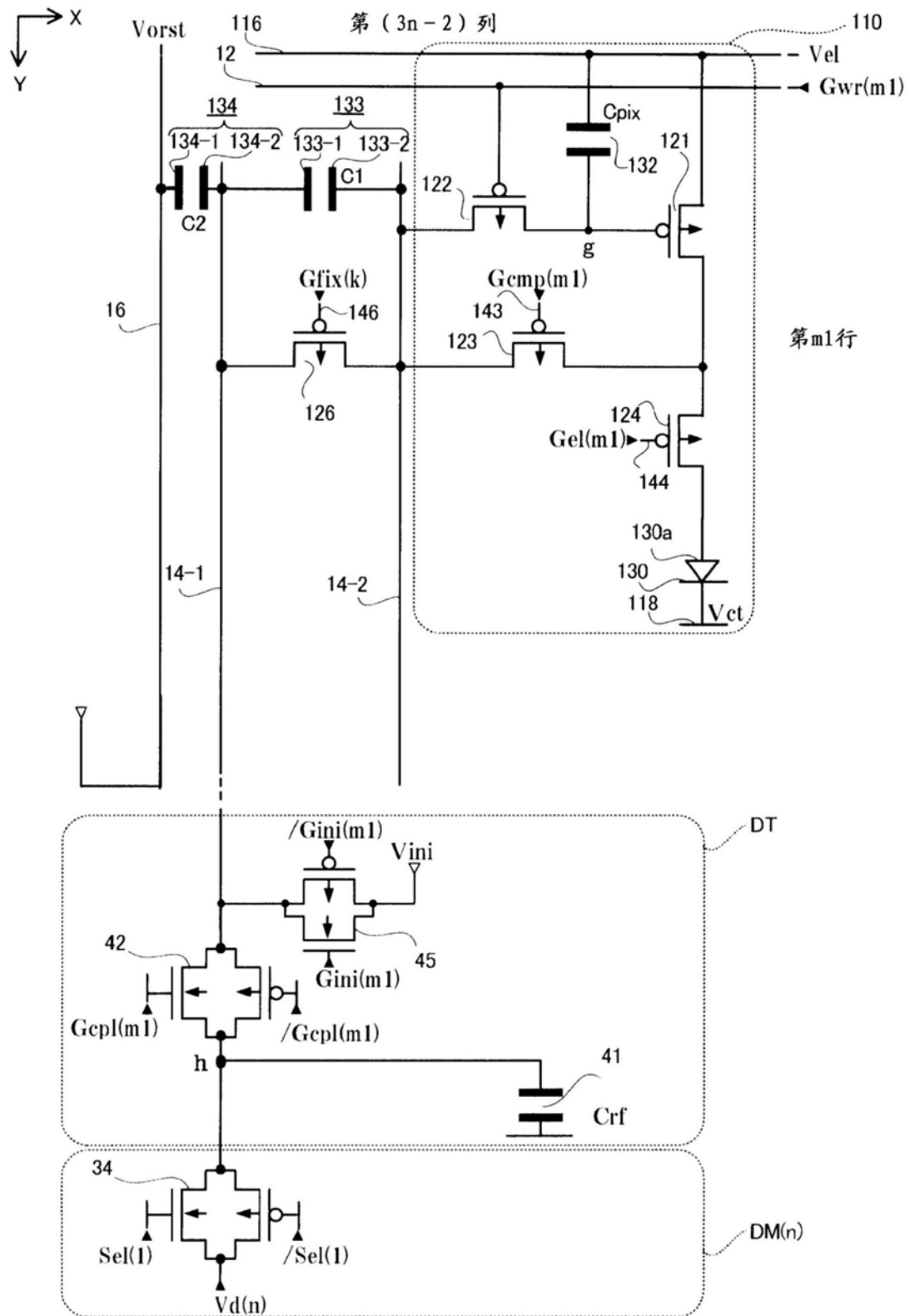


图27

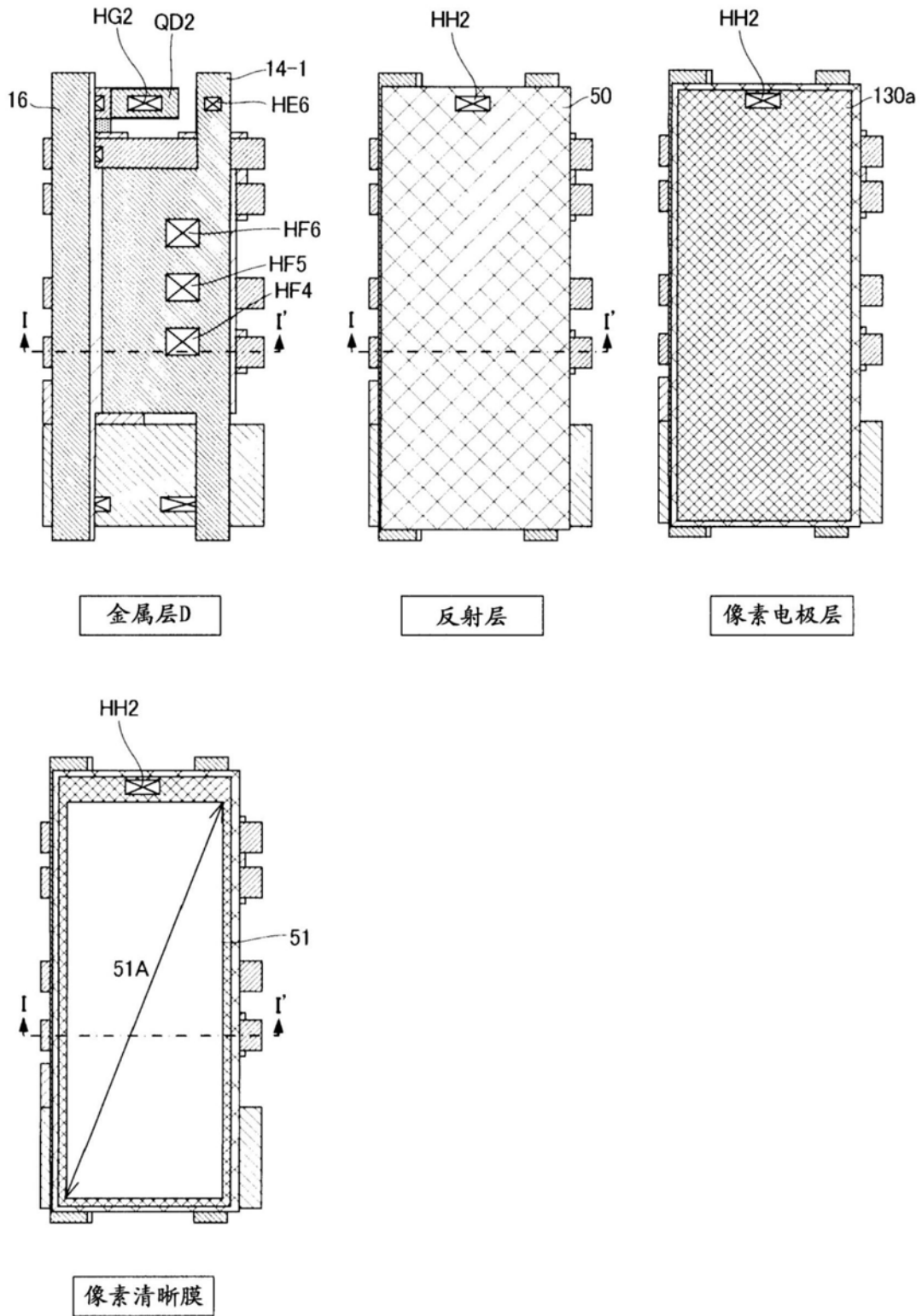


图29

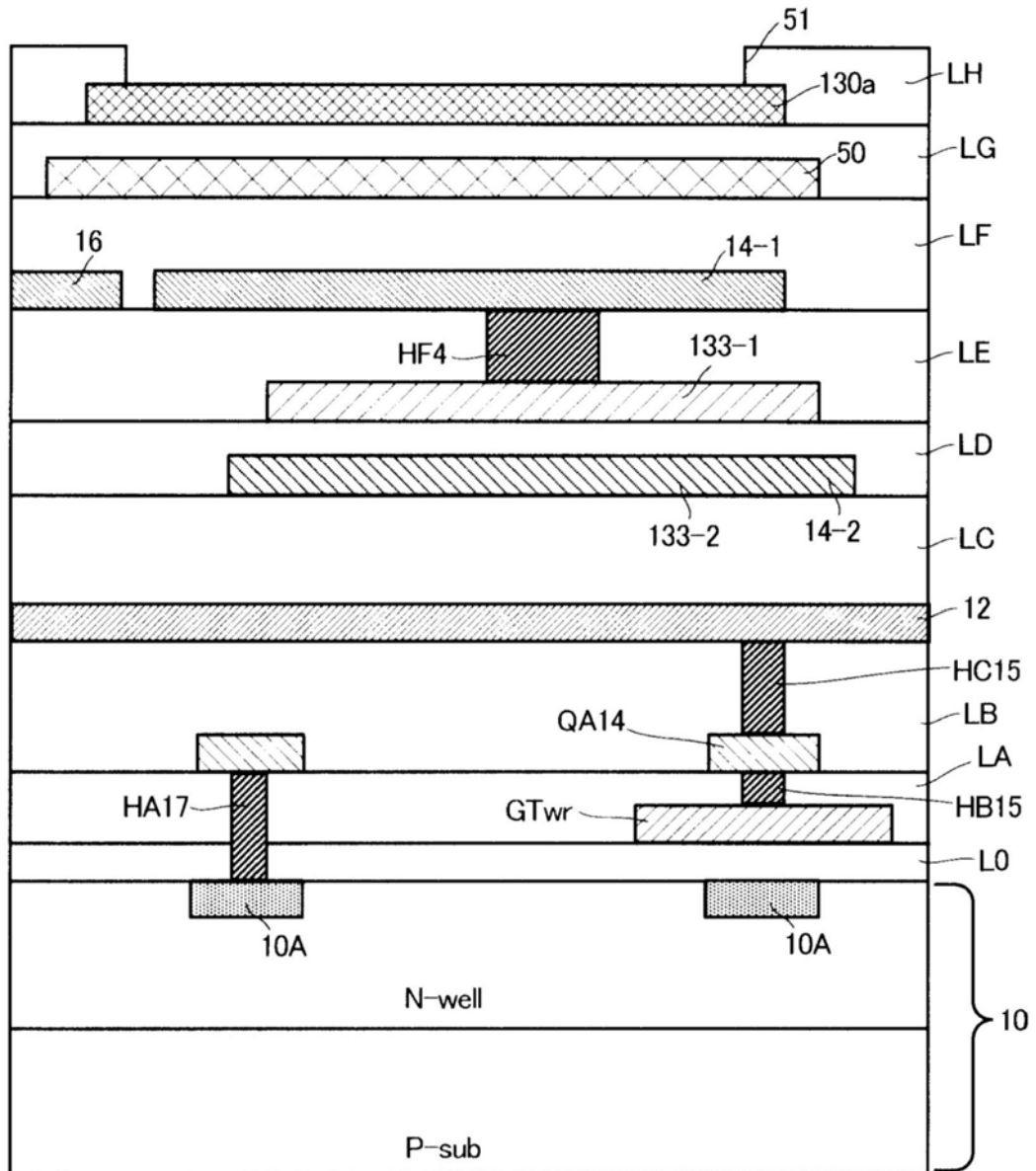


图30

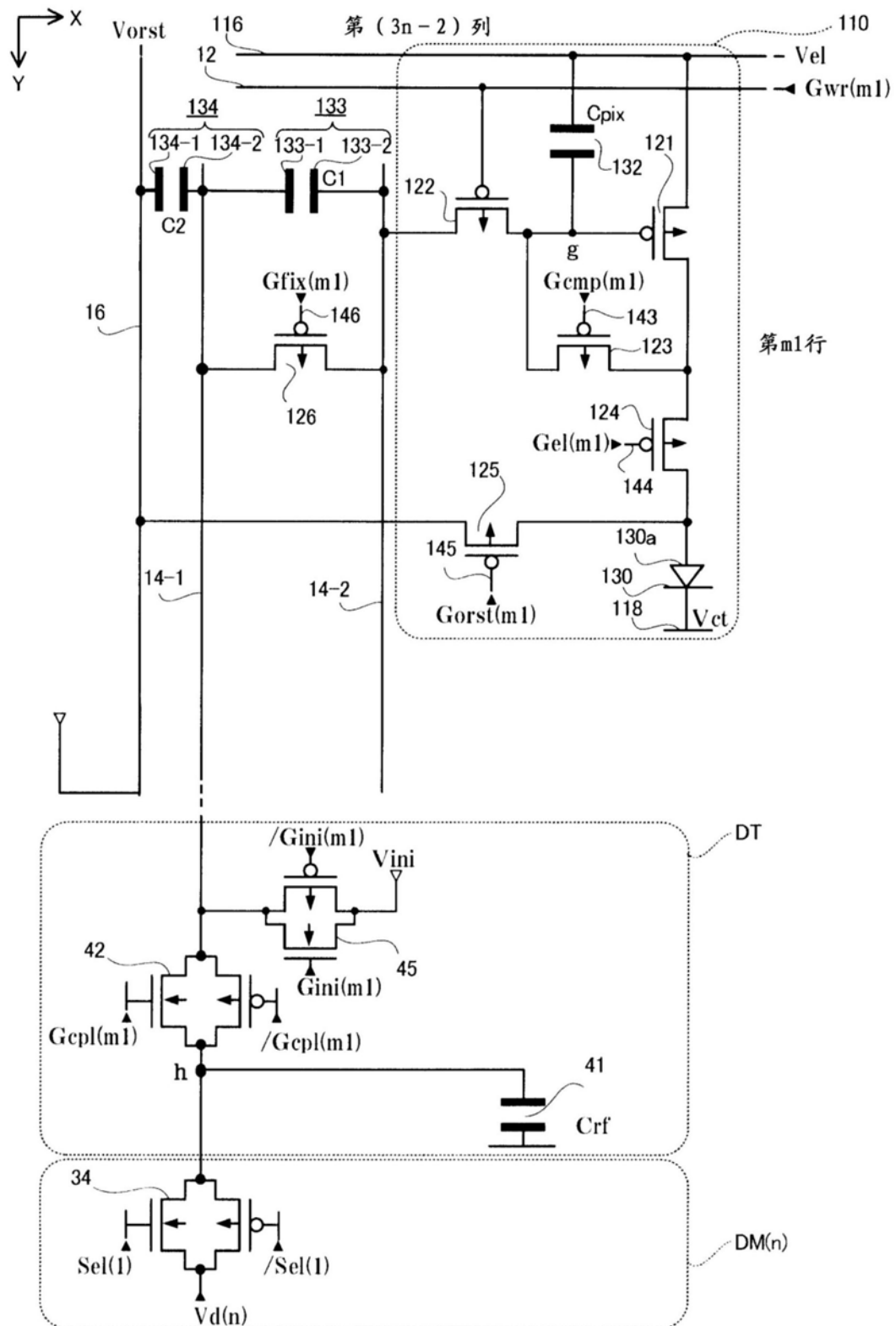


图31

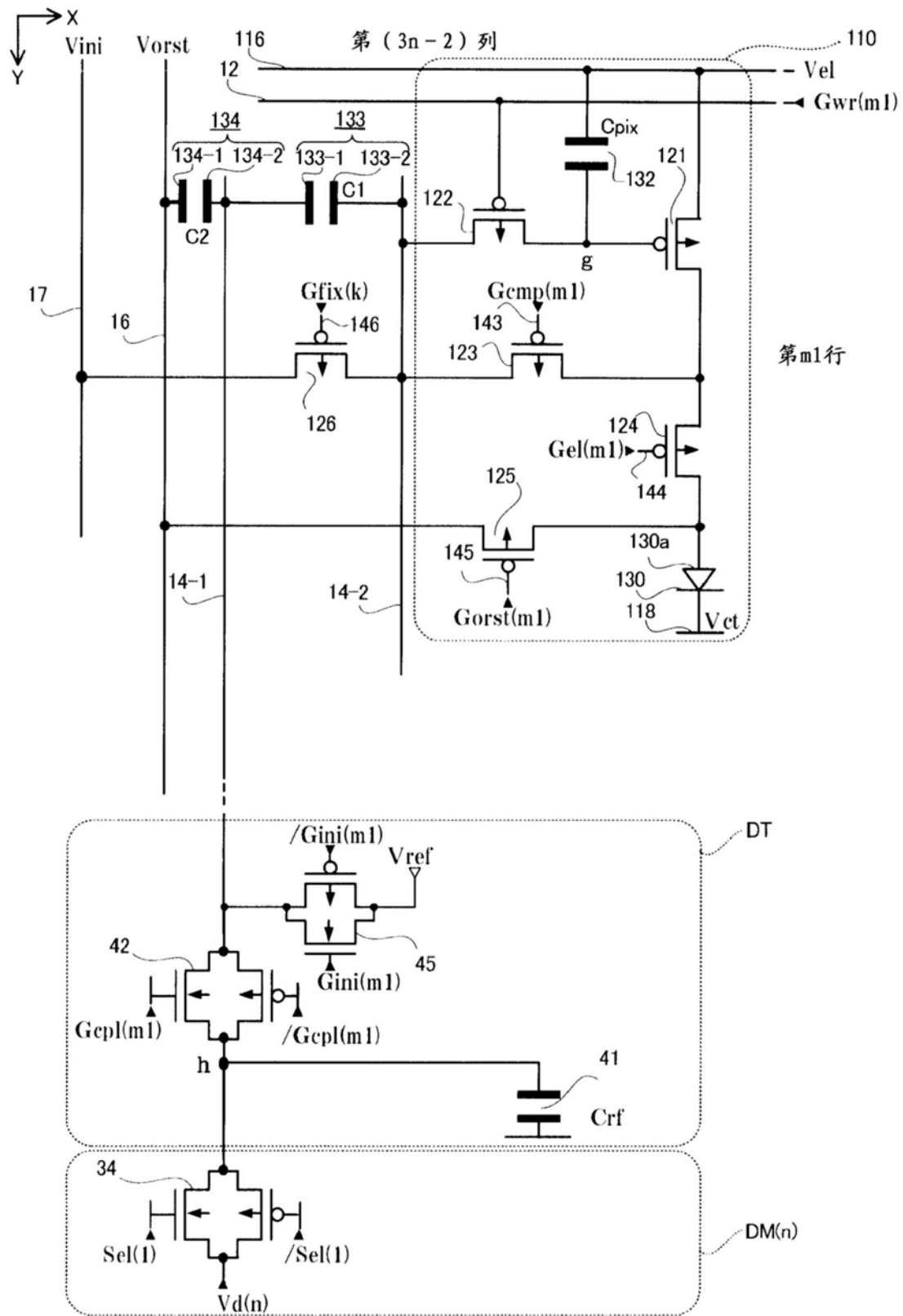


图32

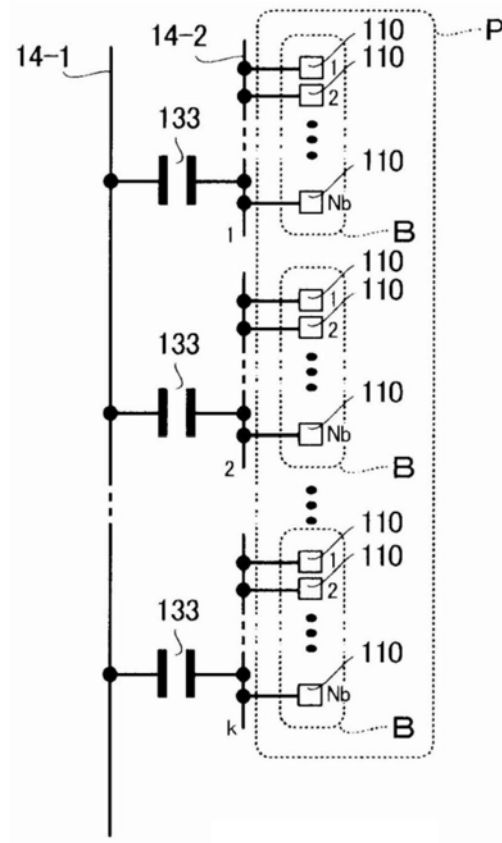


图33

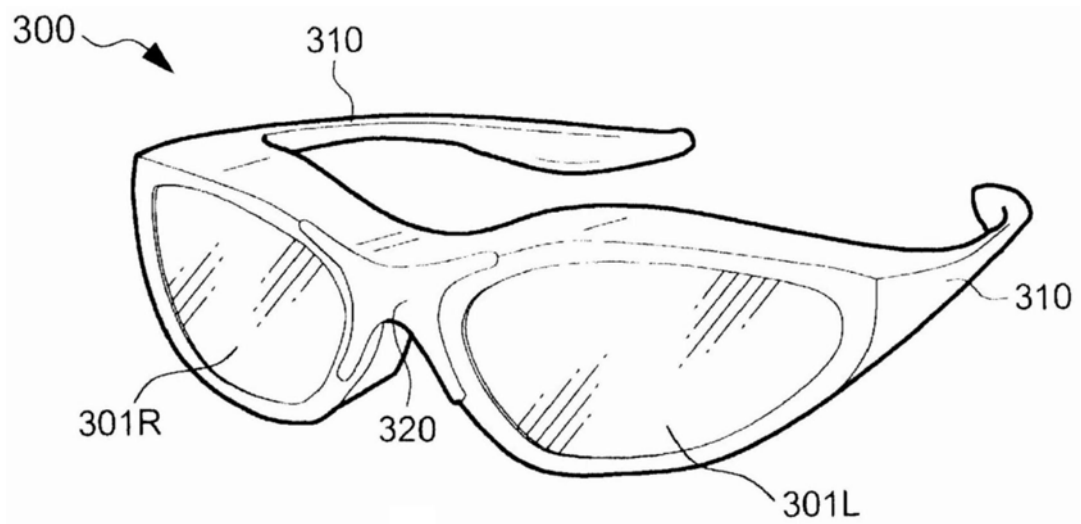


图34

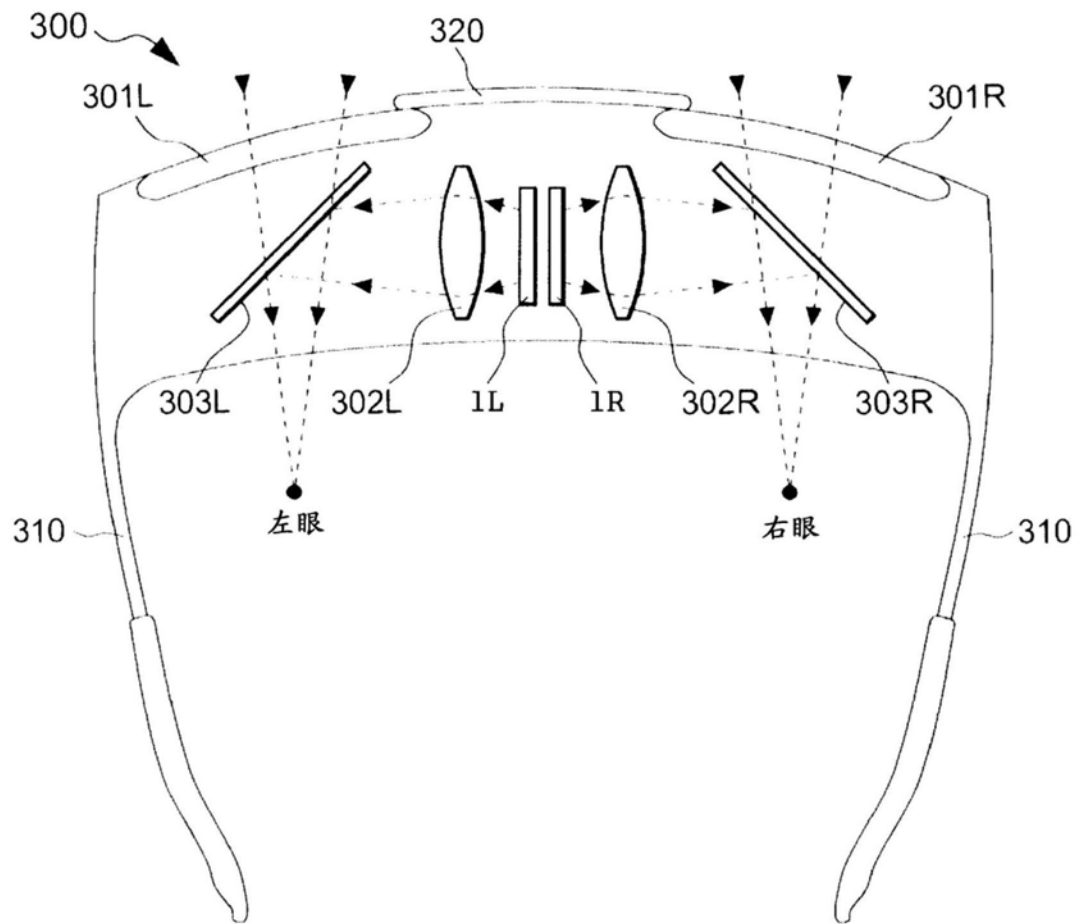


图35