



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I557923 B

(45)公告日：中華民國 105 (2016) 年 11 月 11 日

(21)申請案號：104131262

(22)申請日：中華民國 99 (2010) 年 11 月 09 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/8234(2006.01)

H01L27/088 (2006.01)

G06K19/077 (2006.01)

(30)優先權：2009/11/20 日本

2009-265594

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200837756A

US 2005/0151276A1

US 2008/0291350A1

審查人員：陳佳瑤

申請專利範圍項數：11 項 圖式數：19 共 109 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於取得低耗電及長壽命之具有無線通訊功能的半導體裝置。以作為電源的電池與特定電路電經由使用氧化物半導體所形成的通道形成區的電晶體而彼此電連接之方式來達成此目的。氧化物半導體的氫濃度低於或等於 5×10^{19} (原子/cm³)。因此，電晶體的漏電流降低。結果，在待機狀態時半導體裝置的耗電降低。此外，半導體裝置具有長壽命。

An object is to achieve low power consumption and a long lifetime of a semiconductor device having a wireless communication function. The object can be achieved in such a manner that a battery serving as a power supply source and a specific circuit are electrically connected to each other through a transistor in which a channel formation region is formed using an oxide semiconductor. The hydrogen concentration of the oxide semiconductor is lower than or equal to 5×10^{19} (atoms/cm³). Therefore, leakage current of the transistor can be reduced. As a result, power consumption of the semiconductor device in a standby state can be reduced. Further, the semiconductor device can have a long lifetime.

指定代表圖：

圖 1

符號簡單說明：

10 . . . 天線

11 . . . 調變電路

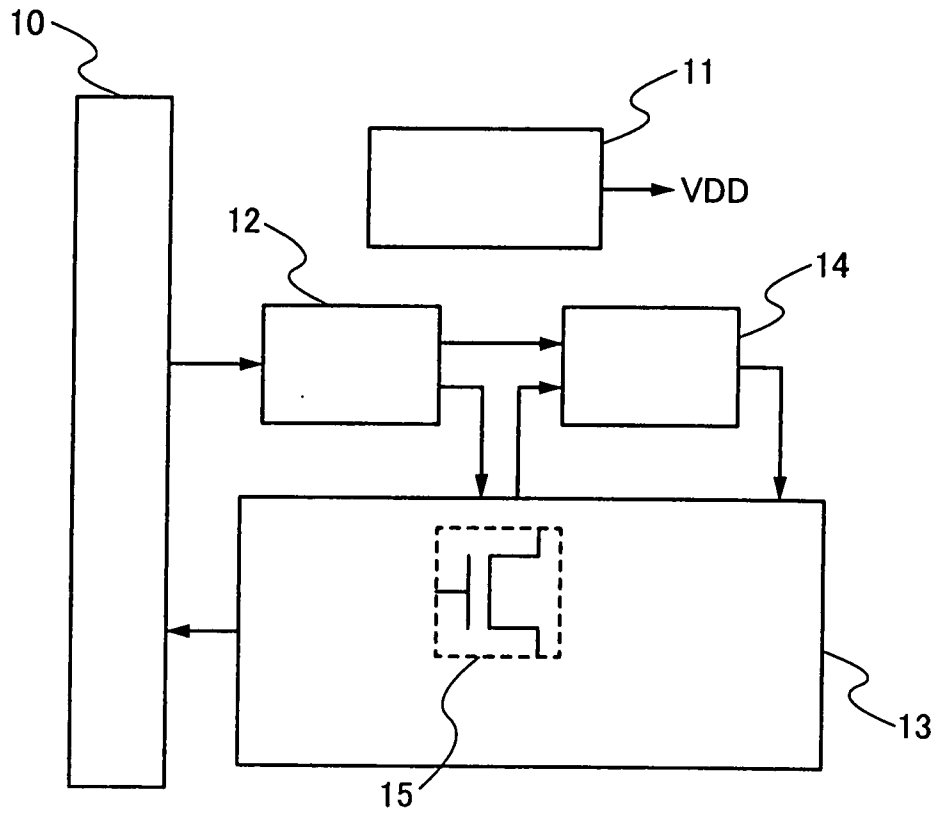
12 . . . 解調變電路

13 . . . 訊號處理部

14 . . . 電力控制電
路

15 . . . 電晶體

VDD . . . 電源電壓



發明摘要

※申請案號：104131262 (由991384885修改)

※申請日：99.11.9

※IPC 分類：H01L 29/286 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/088 (2006.01)

G06K 19/077 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明之目的在於取得低耗電及長壽命之具有無線通訊功能的半導體裝置。以作為電源的電池與特定電路電經由使用氧化物半導體所形成的通道形成區的電晶體而彼此電連接之方式來達成此目的。氧化物半導體的氫濃度低於或等於 5×10^{19} (原子/cm³)。因此，電晶體的漏電流降低。結果，在待機狀態時半導體裝置的耗電降低。此外，半導體裝置具有長壽命。

【英文】

An object is to achieve low power consumption and a long lifetime of a semiconductor device having a wireless communication function. The object can be achieved in such a manner that a battery serving as a power supply source and a specific circuit are electrically connected to each other through a transistor in which a channel formation region is formed using an oxide semiconductor. The hydrogen concentration of the oxide semiconductor is lower than or equal to 5×10^{19} (atoms/cm³). Therefore, leakage current of the transistor can be reduced. As a result, power consumption of the semiconductor device in a standby state can be reduced. Further, the semiconductor device can have a long lifetime.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10：天線

11：調變電路

12：解調變電路

13：訊號處理部

14：電力控制電路

15：電晶體

VDD：電源電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於半導體裝置，特別有關於具有無線通訊功能的半導體裝置。

注意，本說明書中的半導體裝置意指藉由利用半導體特徵而作用的所有電子裝置，電光裝置、半導體電路、及電子裝置都是半導體裝置。

【先前技術】

具有無線發送及接收資料的無線通訊功能之半導體裝置已被實際應用於各個領域中。期望這些半導體裝置作為通訊資訊端的新模式而進一步擴展市場。在已實際應用具有無線通訊功能的半導體裝置中，在相同的基板之上形成使用半導體元件所形成的天線及積體電路。此外，具有無線通訊功能的半導體裝置也稱為無線標籤、射頻（RF）標籤、射頻識別（RFID）標籤、積體電路（IC）標籤、或識別（ID）標籤。

半導體裝置概略地分成二種型式：主動半導體裝置及被動半導體裝置。前者是在半導體裝置內包含電池並以電

池作為電源以操作的半導體裝置。後者是在半導體裝置內未包含電池並以來自外部詢答器（也稱為讀取器、讀寫器、或 R/W）的訊號輸入作為電源而操作的半導體裝置。

主動無線標籤併有電源：因此，相較於無線標籤，與詢答器之間的通訊距離可以更長。但是，無論應答詢答器是否存在，主動無線標籤總是或規律地操作（產生訊號），以致於耗電較大。

專利文獻 1 揭示無線標籤藉以降低耗電的技術。專利文獻 1 中揭示的主動無線標籤除了包含傳統的主動無線標籤之外，尚包含從外部接收訊號的第二天線、使用訊號以產生電力的發電機、及電壓偵測電路，發電機的輸出電壓輸入至電壓偵測電路，並且，藉由電壓偵測電路來控制間歇操作。

[參考文獻]

[專利文獻 1]：日本公告專利申請號 2006-229558

【發明內容】

但是，執行間歇操作的半導體裝置消耗的電力不僅意指操作電力消耗，也意指待機電力消耗（也稱為待機電力）。注意，此處，待機電力意指導因於經由電連接至電池的元件或電路放電的很小量電流之耗電。特別是，在專利文獻 1 中揭示的能夠控制間歇操作的半導體裝置中，待機電力在總耗電中佔有高百分比。因此，為了降低半導體裝置的耗電，重要的是降低待機電力。

因此，本發明的實施例之目的是降低半導體裝置的待機電力。

又，本發明的實施例之目的在於取得半導體裝置的長壽命。

以用作為電源的電池經由其中之通道形成區係由氧化物半導體所形成的電晶體而被電連接至特定電路的方式，而取得上述目的。注意，藉由去除作為電子供體（施體）的氫，氧化物半導體可為本質的或是實質上本質的半導體。

具體而言，含於氧化物半導體中的氫濃度低於或等於 5×10^{19} （原子/cm³）、較佳低於或等於 5×10^{18} （原子/cm³）、更佳低於或等於 5×10^{17} （原子/cm³）。當氫濃度如此降低時，載子密度可以低於 1×10^{14} （cm⁻³）、較佳低於 1×10^{12} （cm⁻³）、更佳低於 1×10^{11} （cm⁻³）， 1×10^{11} （cm⁻³）是低於或等於測量極限。

當使用如此高純化的氧化物半導體以形成電晶體的通道形成區時，電晶體操作以致於即使具有 10 mm 的通道寬度電晶體在關閉狀態中的的汲極電流仍然小於或等於 1×10^{-13} [A]。亦即，藉由施加高度純化的氧化物半導體至電晶體的通道形成區，仍然可以顯著地降低漏電流。

本發明的實施例是半導體裝置，其包含天線、電池、解調變電路、訊號處理部、及電力控制電路，解調變電路將自天線輸入的訊號解調變，訊號處理部藉由使用自解調變電路輸入的訊號及從電池供應的電源電壓來操作，電力

控制電路藉由來自解調變電路的訊號輸入來予以控制。訊號處理部包含電晶體及經由電晶體而電連接至電池的陰極或陽極的功能電路，在電晶體中以自電力控制電路輸入的訊號控制切換。使用具有氫濃度低於或等於 5×10^{19} (原子/cm³) 的氧化物半導體以形成電晶體的通道形成區。

包含上述結構中的解調變電路可以藉由計時器來予以取代。亦即，本發明的另一實施例是半導體裝置，其包含天線、電池、規律地輸出訊號的計時器、訊號處理部、及電力控制電路，訊號處理部藉由使用自計時器所輸入的訊號及從電池供應的電源電壓來操作，電力控制電路藉由自計時器所輸入的訊號來予以控制。訊號處理部包含電晶體及經由電晶體而電連接至電池的陰極或陽極的功能電路，在電晶體中以自電力控制電路輸入的訊號控制切換。使用具有氫濃度低於或等於 5×10^{19} (原子/cm³) 的氧化物半導體以形成電晶體的通道形成區。

此外，在上述結構中，電池可以是二次電池。本發明的另一實施例是半導體裝置，其除了包含上述元件之外，尚包含整流電路、充電電路、及穩定電源電路，整流電路將自天線輸入的訊號整流，充電電路藉由使用自整流電路輸入的訊號以將二次電池充電，並且，穩定電源電路使用二次電池以產生電源電壓。

關於功能電路，舉例而言，使用邏輯閘等等。使用互補金屬氧化物半導體(CMOS)，以形成邏輯閘。或者，僅使用 n 通道金屬氧化物半導體(CMOS)，以形成邏輯閘

(NMOS)。

本發明的實施例之半導體裝置包含功能電路、電池、及功能電路與電池之間的電晶體控制電連接。使用氫濃度降低的氧化物半導體，以形成電晶體的通道形成區。具體而言，氧化物半導體的氫原子低於或等於 5×10^{19} (原子/cm³)。因此，藉由在待機狀態時關閉電晶體，可以抑制經由電晶體的放電。結果，降低半導體裝置的待機電力。此外，藉由抑制待機狀態時的電池放電，半導體裝置可以具有長壽命。

【圖式簡單說明】

在附圖中：

圖 1 顯示實施例 1 中所述的半導體裝置的結構實例；

圖 2 顯示實施例 2 中所述的半導體裝置的結構實例；

圖 3 顯示實施例 3 中所述的半導體裝置的結構實例；

圖 4 顯示實施例 4 中所述的半導體裝置的結構實例；

圖 5A 至 5C 均顯示包含於實施例 4 中所述的半導體裝置中的邏輯閘的結構實例；

圖 6A 至 6C 均顯示包含於實施例 4 中所述的半導體裝置中的邏輯閘的結構實例；

圖 7 是剖面視圖，顯示包含於實施例 5 中的 p 通道電晶體及 n 通道電晶體的結構實例；

圖 8A 至 8H 是剖面視圖，顯示實施例 5 中所述的 p 通道電晶體的製程的實例；

圖 9A 至 9G 是剖面視圖，顯示實施例 5 中所述的 n 通道電晶體的製程的實例；

圖 10A 至 10D 是剖面視圖，顯示實施例 5 中所述的 n 通道電晶體的製程的實例；

圖 11 是剖面視圖，顯示實施例 5 中所述的 p 通道電晶體和 n 通道電晶體的結構實例；

圖 12A 及 12B 均是剖面視圖，顯示實施例 5 中所述的 p 通道電晶體和 n 通道電晶體的結構實例；

圖 13A 及 13B 均是剖面視圖，顯示實施例 5 中所述的 p 通道電晶體和 n 通道電晶體的結構實例；

圖 14A 及 14B 均是剖面視圖，顯示實施例 5 中所述的 p 通道電晶體和 n 通道電晶體的結構實例；

圖 15A 及 15B 均是剖面視圖，顯示實施例 6 中所述的電晶體的結構實例；

圖 16A 至 16E 是剖面視圖，顯示實施例 6 中所述的電晶體的製程實例；

圖 17A 至 17E 是剖面視圖，顯示實施例 7 中所述的電晶體的製程實例；

圖 18A 至 18D 是剖面視圖，顯示實施例 8 中所述的電晶體的製程實例；及

圖 19A 至 19F 均顯示實施例 9 中所述的半導體裝置的應用實例。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，習於此技藝者將瞭解，在不悖離本發明的精神及範圍之下，可以作出不同的改變及修改。因此，本發明不應侷限於下述實施例說明。

注意，由於電晶體的源極端和汲極端視電晶體的結構、操作條件、等等而變，所以，難以界定何者為源極端或汲極端。因此，在本實施例中，為了區別，將源極端和汲極端的其中之一者稱為第一端，而其中的另一者稱為第二端。

注意，在某些情況中，為了簡明起見，實施例中的圖式等所示的每一個結構的層或區的大小、厚度被放大。因此，本發明的實施例不限於這些比例。此外，在本說明書中，為了避免元件之間的混淆，使用例如「第一」、「第二」、及「第三」等序數，這些名詞不是以數字限定元件。

（實施例 1）

在本實施例中，將說明半導體裝置的實例。具體而言，將參考圖 1，說明以電池作為電源之具有無線通訊功能的半導體裝置的實例。

圖 1 中所示的半導體裝置包含能夠發送及接收無線訊號的天線 10、作為電源電壓(VDD)的電池 11、解調變電路 12、訊號處理部 13、及電力控制電路 14，解調變電路 12 將自天線 10 輸入的訊號解調變，訊號處理部 13 藉由

使用自解調變電路 12 輸入的訊號及從電池 11 供應的電源電壓來操作，電力控制電路 14 藉由自解調變電路 12 輸入的訊號及自訊號處理部 13 輸入的訊號來予以控制。注意，在本實施例中，操作意指在訊號處理部 13 或部份訊號處理部 13 中產生訊號。

此外，訊號處理部 13 包含電晶體 15，在電晶體 15 中以自電力控制電路 14 輸入的訊號控制切換。具體而言，電晶體 15 藉由從解調變電路 12 輸入至電力控制電路 14 的訊號控制而開啓。類似地，電晶體 15 藉由從訊號處理部 13 輸入至電力控制電路 14 輸入的訊號控制而關閉。

此外，訊號處理部 13 包含功能電路（未顯示出），功能電路藉由使用自解調變電路 12 輸入的訊號及電源電壓(VDD)而操作。注意，電晶體 15 係設於功能電路與電池 11 的陰極或陽極之間。亦即，功能電路經由電晶體 15 而電連接至電池 11 的陰極或陽極。此外，功能電路在電晶體處於開啓狀態的時段中操作。

此外，使用具有氫濃度低於或等於 5×10^{19} （原子/cm³）、較佳低於或等於 5×10^{18} （原子/cm³）、更佳低於或等於 5×10^{17} （原子/cm³）的氧化物半導體以形成電晶體 15 的通道形成區。亦即，電晶體 15 是使用藉由降低作為載子的施體之氫濃度至極低程度而高度純化的氧化物半導體來形成通道形成區之電晶體。以二次離子質譜儀（SIMS），測量氧化物半導體層中的氫濃度。

因此，顯著地降低電晶體 15 的漏電流。此外，在本

實施例的半導體裝置中，電晶體 15 在待機狀態中保持關閉。因此，抑制待機狀態時電池 11 的放電。亦即，降低半導體裝置的待機電力。此外，藉由抑制待機狀態時電池 11 的放電，半導體裝置能夠具有長壽命。

[修改實例]

注意，上述半導體裝置是本實施例的半導體裝置的實例，與上述半導體裝置具有不同點的半導體裝置也被包含於本實例中。

舉例而言，在上述半導體裝置中，說明電晶體 15 係設於功能電路與電池 11 的陰極或陽極之間；但是，本實施例的半導體裝置不限於此結構。在本實施例的半導體裝置中，電晶體 15 可以被包含於功能電路中。此外，電晶體 15 無需直接連接至電池 11。電晶體 15 可以被設在功能電路中，而藉由改變電晶體 15 及串連至電晶體 15 的電路或另一個電晶體的次序，以保持功能電路的功能。

此外，在上述半導體裝置中，說明電晶體 15 藉由訊號處理部 13 的輸出訊號控制而關閉之結構；但是，本實施例的半導體裝置不限於此結構。在本實施例的半導體裝置中，電晶體由自解調變電路 12 輸入的訊號控制而關閉。此外，可以使用電晶體 15 開啓一段時間後關閉之結構。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

(實施例 2)

在本實施例中，將說明半導體裝置的實例。具體而言，將參考圖 2，說明以電池作為電源之具有無線通訊功能的半導體裝置的實例。

圖 2 中所示的半導體裝置包含能夠發送及接收無線訊號的天線 20、作為電源電壓(VDD)的電池 21、計時器 22、訊號處理部 23、及電力控制電路 24，計時器 22 藉由規律地輸出訊號以控制半導體裝置的間歇操作，訊號處理部 23 藉由使用自計時器 22 輸入的訊號及從電池 21 供應的電源電壓來操作，電力控制電路 24 藉由自計時器 22 輸入的訊號及自訊號處理部 23 輸入的訊號來予以控制。注意，在本實施例中，操作意指在訊號處理部 23 或部份訊號處理部 23 中產生訊號。

此外，訊號處理部 23 包含電晶體 25，在電晶體 25 中以自電力控制電路 24 輸入的訊號控制切換。具體而言，電晶體 25 藉由從計時器 22 輸入至電力控制電路 24 的訊號控制而開啓。類似地，電晶體 25 藉由從訊號處理部 23 輸入至電力控制電路 24 輸入的訊號控制而關閉。

此外，訊號處理部 23 包含功能電路（未顯示出），功能電路藉由使用自計時器 22 的輸出訊號及電源電壓(VDD)而操作。注意，電晶體 25 係設於功能電路與電池 21 的陰極或陽極之間。亦即，功能電路經由電晶體 25 而被電連接至電池 21 的陰極或陽極。此外，功能電路在電

晶體 25 係處於開啓狀態的時段中操作。

此外，使用具有氫濃度低於或等於 5×10^{19} （原子/cm³）、較佳低於或等於 5×10^{18} （原子/cm³）、更佳低於或等於 5×10^{17} （原子/cm³）的氧化物半導體以形成電晶體 25 的通道形成區。亦即，電晶體 25 是使用藉由降低作為載子的施體之氫濃度至極低程度而高度純化的氧化物半導體來形成通道形成區之電晶體。以二次離子質譜儀（SIMS），測量氧化物半導體層中的氫濃度。

因此，顯著地降低電晶體 25 的漏電流。此外，在本實施例的半導體裝置中，電晶體 25 在待機狀態中保持關閉。因此，抑制待機狀態時電池 21 的放電。亦即，降低半導體裝置的待機電力。此外，藉由抑制待機狀態時電池 21 的放電，半導體裝置能夠具有長壽命。

[修改實例]

注意，上述半導體裝置是本實施例的半導體裝置的實例，與上述半導體裝置具有不同點的半導體裝置也包含於本實例中。

舉例而言，在上述半導體裝置中，說明計時器 22 的輸出訊號輸入至訊號處理部 23 和電力控制電路 24；但是，本實施例的半導體裝置不限於此結構。在本實施例的半導體裝置中，計時器 22 的輸出訊號可以僅輸入至電力控制電路。此外，訊號處理部 23 的輸出訊號可以輸入至計時器 22。舉例而言，訊號處理部 23 輸出重置訊號，重

置訊號輸入至計時器 22，因此，可以控制下一操作的時機。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

（實施例 3）

在本實施例中，將說明半導體裝置的實例。具體而言，將參考圖 3，說明以二次電池作為電源之具有無線通訊功能的半導體裝置的實例。

圖 3 中所示的半導體裝置包含能夠發送及接收無線訊號的天線 30、作為電源電壓(VDD)的二次電池 31、整流電路 32、充電電路 33、穩定電源電路 34、解調變電路 35、訊號處理部 36、及電力控制電路 37，整流電路 32 將自天線 30 輸入的訊號整流，充電電路 33 藉由使用自整流電路 32 輸入的訊號以將二次電池 31 充電，穩定電源電路 34 藉由使用二次電池 31 以產生半導體裝置中使用的電源電壓(VDD)，解調變電路 35 將自天線 30 輸入的訊號解調變，訊號處理部 36 藉由使用自解調變電路 35 輸入的訊號及從穩定電源電路 34 供應的電源電壓(VDD)來操作，電力控制電路 37 藉由自解調變電路 35 輸入的訊號及自訊號處理部 36 輸入的訊號來予以控制。注意，在本實施例中，操作意指在訊號處理部 36 或部份訊號處理部 36 中產生訊號。

此外，訊號處理部 36 包含電晶體 38，在電晶體 38

中以自電力控制電路 37 輸入的訊號控制切換。具體而言，電晶體 38 藉由從解調變電路 35 輸入至電力控制電路 37 的訊號控制而開啓。類似地，電晶體 38 藉由從訊號處理部 36 輸入至電力控制電路 37 輸入的訊號控制而關閉。

此外，訊號處理部 36 包含功能電路（未顯示出），功能電路藉由使用自解調變電路 35 輸入的訊號及電源電壓(VDD)而操作。注意，電晶體 38 係設於功能電路與穩定電源電路 34 之間。亦即，功能電路經由電晶體 38 及穩定電源電路 34 而電連接至二次電池 31 的陰極或陽極。此外，功能電路在電晶體 38 處於開啓狀態的時段中操作。

此外，使用具有氫濃度低於或等於 5×10^{19} （原子/cm³）、較佳低於或等於 5×10^{18} （原子/cm³）、更佳低於或等於 5×10^{17} （原子/cm³）的氧化物半導體以形成電晶體 38 的通道形成區。亦即，電晶體 38 是使用藉由降低作為載子的施體之氫濃度至極低程度而高度純化的氧化物半導體來形成通道形成區之電晶體。以二次離子質譜儀（SIMS），測量氧化物半導體層中的氫濃度。

因此，顯著地降低電晶體 38 的漏電流。此外，在本實施例的半導體裝置中，電晶體 38 在待機狀態中保持關閉。因此，抑制待機狀態時二次電池 31 的放電。亦即，降低半導體裝置的待機電力。此外，藉由抑制待機狀態時二次電池 31 的放電，半導體裝置能夠具有長壽命。

此外，在圖 3 中所示的半導體裝置中，二次電池 31 藉由來自天線 30 的訊號而充電。注意，半導體裝置在操

作時執行充電以及在待機狀態時使用自天線 30 輸入的訊號來執行充電。

此外，在半導體裝置中，只要電池由約等於待機電力的電力連續地充電，則電池不會用盡。此外，半導體裝置如上所述地包含電晶體 38，以致於待機電力降低。因此，增進半導體裝置執行充電的距離。具有這些特徵的本實施例之半導體裝置在難以進出的地方特別有效（例如，在人體中、在輻射量或強力藥物存在的空間中、或是在真空空間中）。

[修改實例]

注意，上述半導體裝置是本實施例的半導體裝置的實例，與上述半導體裝置具有不同點的半導體裝置也包含於本實例中。

舉例而言，在上述半導體裝置中，說明包含天線 30 以及藉由使用天線 30 以無線地發送及接收無線訊號和對二次電池 31 充電的結構；但是，本實施例的半導體裝置不限於此結構。在本實施例的半導體裝置中，使用分別設置用於發送及接收無線訊號的天線以及用於將二次電池 31 充電的天線。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

（實施例 4）

在本實施例中，將說明半導體裝置的實例。具體而言，將參考圖 4，說明以二次電池作為電源之具有無線通訊功能的半導體裝置的實例。

圖 4 中所示的半導體裝置包含能夠發送及接收無線訊號的天線 40、作為電源電壓(VDD)的二次電池 41、整流電路 42、充電電路 43、穩定電源電路 44、解調變電路 45、訊號處理部 46、及電力控制電路 47，整流電路 42 將自天線 40 輸入的訊號整流，充電電路 43 藉由使用自整流電路 42 輸入的訊號以將二次電池 41 充電，穩定電源電路 44 藉由使用二次電池 41 以產生半導體裝置中使用的電源電壓(VDD)，解調變電路 45 將自天線 40 輸入的訊號解調變，訊號處理部 46 藉由使用自解調變電路 45 輸入的訊號及從穩定電源電路 44 供應的電源電壓(VDD)來操作，電力控制電路 47 藉由自解調變電路 45 輸入的訊號及自訊號處理部 46 輸入的訊號來予以控制。注意，在本實施例中，操作意指在訊號處理部 46 或部份訊號處理部 46 中產生訊號。

訊號處理部 46 包含邏輯電路 48，邏輯電路 48 藉由使用自解調變電路 45 輸入的訊號、產生半導體裝置中使用的時脈訊號(CK)之時脈產生電路 49、將特定外部資料轉換成訊號的感測器 50、儲存資料的記憶電路 51、及對天線 40 執行負載調變的調變電路 52。注意，從電力控制電路 47 輸出的待機訊號(Stdbby)輸出至邏輯電路 48、時脈產生電路 49、感測器 50、記憶電路 51、及調變電路 52

中的每一者。

包含於本實施例的半導體裝置中的每一個電路包含電晶體。此處，將參考圖 5A 至 5C，說明包含於邏輯電路 48 中的邏輯閘（反相器（NOT 閘）、NOR 閘、或 NAND 閘）的電路結構的具體實施例。

圖 5A 是反相器的電路結構的具體實施例。圖 5A 中所示的反相器包含 p 通道電晶體 80、n 通道電晶體 81、及 n 通道電晶體 82。

p 通道電晶體 80 的第一端電連接至供應電源電壓 (VDD) 的佈線。

n 通道電晶體 81 的第一端電連接至 p 通道電晶體 80 的第二端。

n 通道電晶體 82 的閘極端電連接至供應待機訊號 (Stdby) 的佈線，n 通道電晶體 82 的第一端電連接至 n 通道電晶體 81 的第二端，n 通道電晶體 82 的第二端接地。

注意，在圖 5A 中所示的反相器中，輸入訊號輸入至 p 通道電晶體 80 的閘極端及 n 通道電晶體 81 的閘極端，並且，p 通道電晶體 80 的第二端與 n 通道電晶體 81 的第一端彼此電連接的節點之電位作為反相器的輸出訊號輸出。

圖 5B 是 NOR 閘的電路結構的具體實施例。圖 5B 中所示的 NOR 閘包含 p 通道電晶體 83、p 通道電晶體 84、n 通道電晶體 85、n 通道電晶體 86、及 n 通道電晶體 87。

p 通道電晶體 83 的第一端電連接至供應電源電壓 (VDD) 的佈線。

p 通道電晶體 84 的第一端電連接至 p 通道電晶體 83 的第二端。

n 通道電晶體 85 的第一端電連接至 p 通道電晶體 84 的第二端。

n 通道電晶體 86 的第一端電連接至 p 通道電晶體 84 的第二端及 n 通道電晶體 85 的第一端。

n 通道電晶體 87 的閘極端電連接至供應待機訊號 (Stdbby) 的佈線，n 通道電晶體 87 的第一端電連接至 n 通道電晶體 85 的第二端及 n 通道電晶體 86 的第二端，n 通道電晶體 87 的第二端接地。

注意，在圖 5B 中所示的 NOR 閘中，第一輸入訊號輸入至 p 通道電晶體 83 的閘極端及 n 通道電晶體 86 的閘極端，並且，第二輸入訊號輸入至 p 通道電晶體 84 的閘極端及 n 通道電晶體 85 的閘極端。此外，p 通道電晶體 84 的第二端、n 通道電晶體 85 的第一端、及 n 通道電晶體 86 的第一端彼此電連接的節點之電位作為 NOR 閘的輸出訊號輸出。

圖 5C 是 NAND 閘的電路結構的具體實施例。圖 5C 中所示的 NAND 閘包含 p 通道電晶體 88、p 通道電晶體 89、n 通道電晶體 91、及 n 通道電晶體 92。

p 通道電晶體 88 的第一端電連接至供應電源電壓 (VDD) 的佈線。

p 通道電晶體 89 的第一端電連接至供應電源電壓 (VDD) 的佈線。

n 通道電晶體 90 的第一端電連接至 p 通道電晶體 88 的第二端及 p 通道電晶體 89 的第二端。

n 通道電晶體 91 的第一端電連接至 n 通道電晶體 90 的第二端。

n 通道電晶體 92 的閘極端電連接至供應待機訊號 (Stdbby) 的佈線，n 通道電晶體 92 的第一端電連接至 n 通道電晶體 91 的第二端，n 通道電晶體 92 的第二端接地。

注意，在圖 5C 中所示的 NAND 閘中，第一輸入訊號輸入至 p 通道電晶體 88 的閘極端及 n 通道電晶體 90 的閘極端，並且，第二輸入訊號輸入至 p 通道電晶體 89 的閘極端及 n 通道電晶體 91 的閘極端。此外，p 通道電晶體 88 的第二端、p 通道電晶體 89 的第二端、及 n 通道電晶體 90 的第一端彼此電連接的節點之電位作為 NAND 閘的輸出訊號輸出。

上述每一個邏輯閘包含電晶體 (n 通道電晶體 82、n 通道電晶體 87、或 n 通道電晶體 92) 以控制與供應接地電位的佈線連接的電連接。此外，在每一個邏輯閘中，此外，在每一個邏輯閘中，使用具有氫濃度低於或等於 5×10^{19} (原子/cm³)、較佳低於或等於 5×10^{18} (原子/cm³)、更佳低於或等於 5×10^{17} (原子/cm³) 的氧化物半導體以形成電晶體的通道形成區。因而，顯著地降低電晶體的漏電流。因此，降低流經邏輯閘的電流。結果，降低

半導體裝置的待機電力。

注意，此處揭示的結構中，每一個邏輯閘包含控制接地電位的輸入之電晶體；但是，可以使用一個電晶體來控制輸入至多個邏輯閘的接地電位之結構。

雖然上述說明中說明使用互補金屬氧化物半導體 (CMOS) 以形成邏輯電路的結構實施例，但是，可以僅使用 n 通道電晶體來形成本實施例的半導體裝置。圖 6A 至 6C 均為僅使用 n 通道電晶體形成的邏輯閘。圖 6A 是反相器，圖 6B 是 NOR 閘、圖 6C 是 NAND 閘。簡而言之，圖 6A 至 6C 中所示的每一個邏輯閘具有一結構，其中，包含於圖 5A 至 5C 中所示的邏輯閘中的 p 通道電晶體藉由二極體連接的 n 通道電晶體來予以取代。

如上所述，圖 6A 至 6C 中所示的每一個邏輯閘包含電晶體，用以控制供應接地電位的佈線之電連接，在所述電晶體中，通道形成區藉由氫濃度低於或等於 5×10^{19} (原子/cm³)、較佳低於或等於 5×10^{18} (原子/cm³)、更佳低於或等於 5×10^{17} (原子/cm³) 的氧化物半導體來予以形成。因而，顯著地降低電晶體的漏電流。因此，降低流經邏輯閘的電流。結果，降低半導體裝置的待機電力。

此外，在時脈產生電路 49、感測器 50、記憶電路 51、及調變電路 52 中，根據傳統的電路結構，在電路與供應接地電位的佈線之間或是電路與供應電源電位 (VDD) 的佈線之間，設置藉由電力控制電路 47 來控制切換的電晶體。此外，設置由電力控制電路 47 控制的電晶體以用

於傳統電路的每一個區域。或者，設置由電力控制電路 47 控制的電晶體以用於每一個功能電路。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

(實施例 5)

在本實施例中，說明包含實施例 1 至 4 中任一實施例中所述的半導體裝置中的電晶體的實例。具體而言，說明使用含有半導體材料的基板形成的電晶體作為包含於半導體裝置中的 p 通道電晶體、以及使用含有氧化物半導體形成的電晶體作為包含於半導體裝置中的 n 通道電晶體之實例。

[結構實例]

包含於本實施例的半導體裝置中的 p 通道電晶體及 n 通道電晶體係顯示於圖 7 中。

圖 7 中所示的 p 通道電晶體 160 包含設於包括半導體材料的基板 100 上的通道形成區 116、成對的雜質區 114a 和 114b 以及成對的高濃度雜質區 120a 和 120b(這些區域也總體地簡稱為雜質區)、設於通道形成區 116 上的閘極絕緣層 108a、設於閘極絕緣層 108a 上的閘極電極層 110a、電連接至雜質區 114a 的源極電極層 130a、以及電連接至雜質區 114b 的源極電極層 130b。

注意，側壁絕緣層 118 設於閘極電極層 110a 的側表

面上。包含半導體材料的基板 100 在未與側壁絕緣層 118 重疊的區域中設有成對的高濃度雜質區 120a 和 120b。基板 100 在成對的高濃度雜質區 120a 和 120b 上也設有成對的金屬化合物區 124a 和 124b。此外，元件隔離絕緣層 106 設於基板 100 上以致於圍繞 p 通道電晶體 160，層間絕緣層 126 及層間絕緣層 128 設置成覆蓋 p 通道電晶體 160。源極電極層 130a 和汲極電極層 130b 經由形成於層間絕緣層 126 及層間絕緣層 128 中的開口而分別電連接至金屬化合物區 124a 和金屬化合物區 124b。亦即，源極電極層 130a 經由金屬化合物區 124a 而電連接至高濃度雜質區 120a 和雜質區 114a，汲極電極層 130b 經由金屬化合物區 124b 而電連接至高濃度雜質區 120b 和雜質區 114b。

此外，關於在後述的 n 通道電晶體 164 下方的層，設置使用與形成閘極絕緣層 108a 相同的材料形成的絕緣層 108b、使用與閘極電極層 110a 相同的材料形成的電極層 110b、以及使用與源極電極層 130a 和汲極電極層 130b 相同的材料形成的電極層 130c。

圖 7 中所示的 n 通道電晶體 164 包含設於層間絕緣 128 上的閘極電極層 136d、設於閘極電極層 136d 上的閘極絕緣層 138、設於閘極絕緣層 138 上的氧化物半導體層 140、以及設於氧化物半導體層 140 並電連接至氧化物半導體層 140 的源極電極層 142a 和汲極電極層 142b。

此處，閘極電極層 136d 設置成嵌入於形成在層間絕緣層 128 上的絕緣層 132 中。以類似於閘極電極層 136d

的方式，形成分別與包含在 p 通道電晶體 160 中的源極電極層 130a 和汲極電極層 130b 接觸的電極層 136a 和汲極電極層 136b。此外，形成與電極層 130c 接觸的電極層 136c。

在 n 通道電晶體 164 上，設置保護絕緣層 144 成為部份地接觸氧化物半導體層 140，以及，在保護絕緣層 144 上設置層間絕緣層 146。此處，抵達源極電極層 142a 和汲極電極層 142b 的開口設於於保護絕緣層 144 和層間絕緣層 146 中。形成經由開口而分別與源極電極層 142a 和汲極電極層 142b 接觸的電極層 150d 和 150e。以類似於電極層 150d 和 150e 的方式，形成經由設於閘極絕緣層 138、保護絕緣層 144、及層間絕緣層 146 中的開口分別與電極層 136a、電極層 136b、及電極層 136c 相接觸的電極層 150a、電極層 150b、及電極層 150c。

藉由充份地去除氧化物半導體層 140 中例如氫等雜質，將氧化物半導體層 140 高度純化。具體而言，氧化物半導體層 140 的氫濃度低於或等於 5×10^{19} (原子/cm³)。注意，氧化物半導體層 140 的較佳氫濃度是低於或等於 5×10^{18} (原子/cm³)，更佳的是低於或等於 5×10^{17} (原子/cm³)。當使用氫濃度被充份降低的高度純化的氧化物半導體層 140 時，可以取得具有優良的關閉電流特徵之 n 通道電晶體 164。應用氫濃度充份降低的高度純化的氧化物半導體層 140，允許 n 通道電晶體 164 中的漏電流下降。以二次離子質譜儀 (SIMS)，測量氧化物半導體層 140

中的氫濃度。

此外，絕緣層 152 設於層間絕緣層 146 上，電極層 154a、電極層 154b、電極層 154c、及電極層 154d 設置成嵌入於絕緣層 152 中。注意，電極層 154a 接觸電極層 150a，電極層 154b 接觸電極層 150b，電極層 154c 接觸電極層 150c 及電極層 150d，電極層 154d 接觸電極層 150e。

本實施例的 p 通道電晶體 160 中的源極電極層 130a 電連接至設於上層中的電極層 136a、150a、及 154a。因此，適當地形成用於上述電極層的導電層，因而 p 通道電晶體 160 中的源極電極層 130a 可以電連接至包含於設在上區中的 n 通道電晶體 164 中的任何電極層。p 通道電晶體 160 中的汲極電極層 130b 也可以電連接至包含於設在上區中的 n 通道電晶體 164 中的任何電極層。雖然未顯示於圖 7 中，但是，p 通道電晶體 160 中的閘極電極層 110a 經由設在上區中的電極層而電連接至包含在 n 通道電晶體 164 中的任何電極層。

類似地，本實施例的 n 通道電晶體 164 中的源極電極層 142a 電連接至設在下區中的電極層 130c 和 110b。因此，適當地形成用於上述電極層的導電層，因而 n 通道電晶體 164 中的源極電極層 142a 電連接至設在下區中的 p 通道電晶體 160 的閘極電極層 110a、源極電極層 130a、或汲極電極層 130b。雖然未顯示於圖 7 中，但是，n 通道電晶體 164 中的閘極電極層 136d 或汲極電極層 142b 經由

設於下區中的電極層而電連接至包含在 p 通道電晶體 160 中的任何電極層。

當適當地設置上述 p 通道電晶體 160 及 n 通道電晶體 164 時，可以設置各種不同的電路。注意，包含於電路中的所有 n 通道電晶體 164 無需是包含氧化物半導體的電晶體，但是，n 通道電晶體 164 可以視每一個電晶體所需的特徵而具有不同結構。舉例而言，關於設在半導體裝置中的邏輯閘中的 n 通道電晶體，可以採用由包含半導體材料的基板形成的電晶體，以及，採用由氧化物半導體形成的電晶體作為控制邏輯閘與電池的陽極之間的電連接之 n 通道電晶體。

[製造步驟的實例]

接著，說明 p 通道電晶體 160 和 n 通道電晶體 164 的製造方法的實施例。於下，參考圖 8A 至 8H，說明 p 通道電晶體 160 的製造方法，然後，參考圖 9A 至 9G 及圖 10A 至 10D，說明 n 通道電晶體 164 的製造方法。

首先，製備包含半導體材料的基板 100(請參見圖 8A)。包含半導體材料的基板 100 可為由矽、碳化矽、等形成的單晶半導體基板；多晶半導體基板；由矽化鎳等形成的化合物半導體基板；SOI 基板；等等。此處，說明使用單晶矽基板作為包含半導體材料的基板 100 之情況的實施例。一般而言，「SOI 基板」意指矽半導體層設於絕緣表面上的基板。在本說明書等中，「SOI」基板在其類別

中也包含由設於絕緣表面上的矽以外的材料形成的半導體層之基板。亦即，包含於「SOI 基板」中的半導體層不限於矽半導體層。此外，「SOI」基板包含一結構，其中，半導體層形成於例如玻璃基板等絕緣基板上而以絕緣層介於其間。

在基板 100 之上，形成保護層 102，作為用於元件隔離絕緣層的形成之掩罩（請參見圖 8A）。關於保護層 102，舉例而言，使用由氧化矽、氮化矽、氮氧化矽、等等形成的絕緣層。注意，在此步驟前後，將賦予 n 型導電率的雜質元素或賦予 p 型導電率的雜質元素添加至基板 100，以控制半導體裝置的臨界電壓。在半導體是矽的情況中，賦予 n 型導電率的雜質可為磷、砷、等等。賦予 p 型導電率的雜質可為硼、鋁、鎵、等等。

接著，使用保護層 102 作為掩罩，蝕刻未被保護層 102(曝露區)覆蓋的區中的部份基板 100。藉由此蝕刻，形成隔離的半導體區 104(請參見圖 8B)。關於蝕刻，較佳執行乾式蝕刻，但是，可以執行濕式蝕刻。視要被蝕刻的層的材料而適當地選取蝕刻氣體及蝕刻劑。

接著，形成絕緣層以覆蓋半導體區 104，選擇性地去除與半導體區 104 重疊的區域中的絕緣層，以致於形成元件隔離絕緣層 106(請參見圖 8B)。使用氧化矽、氮化矽、氮氧化矽、等等，形成絕緣層。關於絕緣層的去方法，可為例如化學機械拋光（CMP）等拋光處理、蝕刻處理、等等，可以使用上述處理中的任一處理。注意，在形成半

導體區 104 或元件隔離絕緣層 106 之後，去除保護層 102。

接著，在半導體區 104 上形成絕緣層，並且，在絕緣層上形成包含導電材料的層。

絕緣層稍後作為閘極絕緣層，以及由 CVD 法、濺射法、等等形成為單層氧化矽膜、氮氧化矽膜、氮化矽膜、氧化鉛膜、氧化鋁膜、氧化鉭膜、等等或是包含上述任何膜的堆疊層。或者，藉由高密度電漿處理或熱氧化處理，氧化或氮化半導體區 104 的表面，因而形成絕緣層。使用例如 He、Ar、Kr、或 Xe 等稀有氣體與例如氧、氧化氮、氮、或氫等氣體之混合氣體，執行高密度電漿處理。對於絕緣層的厚度並無特別限定。舉例而言，絕緣層可以形成為具有在大於或等於 1 nm 且小於或等於 100 nm 的範圍中的厚度。

使用例如鋁、銅、鈦、鉭、或鎢等金屬材料，形成包含導電材料的層。或者，使用例如包含導電材料的多晶矽之半導體材料，形成包含導電材料的層。對於形成包含導電材料的層之方法並無特別限定，可以使用例如蒸鍍法、CVD 法、濺射法、旋轉塗敷法等各種方法。注意，在本實施例中說明使用金屬材料以形成包含導電材料的層之情況。

然後，選擇性地蝕刻絕緣層和包含導電材料的層，以致於形成閘極絕緣層 108a 和閘極電極層 110a(請參見圖 8C)。

接著，形成覆蓋閘極電極層 110a 的絕緣層 112(請參見圖 8C)。然後，硼(B)、鋁(Al)、等等添加至半導體區 104，以致於形成具有淺接面深度的成對的雜質區 114a 和 114b(請參見圖 8C)。注意，雖然此處添加硼或鋁以用於形成 p 通道電晶體，在形成 n 通道電晶體的情況中，可以添加例如磷(P)或砷(As)等雜質元素。注意，藉由形成成對的雜質區 114a 和 114b，在閘極絕緣層 108a 下方的半導體區 104 中形成通道形成區 116(請參見圖 8C)。此處，適當地設定添加的雜質的濃度，根據半導體元件的高度微小化，將濃度較佳地設定為高。雖然此處是在絕緣層 112 後形成成對的雜質區 114a 和 114b，但是，可以在成對的雜質區 114a 和 114b 形成之後形成絕緣層 112。

接著，形成側壁絕緣層 118(請參見圖 8D)。形成絕緣層至覆蓋絕緣層 112，以及，對絕緣層執行高度各向異性蝕刻處理，以致於以自行對準方式形成側壁絕緣層 118。此時，絕緣層 112 被部份地蝕刻，以致於閘極電極層 110a 的上表面和雜質區 114a 和 114b 的上表面曝露。

接著，形成絕緣層以覆蓋閘極電極層 110a、成對的雜質區 114a 和 114b、側壁絕緣層 118、等等。然後，硼(B)、鋁(Al)、等等添加至部份雜質區 114a 和 114b，以致於形成成對的高濃度雜質區 120a 和 120b(請參見圖 8E)。此處，在形成 n 通道電晶體的情況中，添加例如磷(P)或砷(As)等雜質元素。之後，去除絕緣層，以及，形成金屬層 122 以覆蓋閘極電極層 110a、側

壁絕緣層 118、成對的高濃度雜質區 120a 和 120b、等等（請參見圖 8E）。以例如蒸鍍法、濺射法、或旋轉塗敷法等各種形成方法，形成金屬層 122。較佳的是，使用與包含於半導體區 104 中的半導體材料反應成為具有低電阻的金屬化合物的金屬材料，形成金屬層 122。這些金屬材料的實施例包含鈦、鉭、鎢、鎳、鈷、及鉑。

接著，執行熱處理，以致於金屬層 122 與半導體材料反應。藉由此熱處理，形成與成對的高濃度雜質區 120a 和 120b 接觸之成對的金屬化合物區 124a 和 124b。在多晶矽等用於閘極電極層 110a 的情況中，與金屬層 122 接觸的閘極電極層 110a 的部份也成為金屬化合物區。

關於熱處理，可以使用閃光燈照射。雖然，無需多言，可以使用另一熱處理方法，但是，在形成金屬化合物時，較佳使用可以在極短時間內達成熱處理的方法以增進化學反應的控制力。注意，藉由金屬材料與半導體材料的反應，形成金屬化合物區，所述金屬化合物區是具有充份增加的導電率之區域。金屬化合物區的形成適當地降低電阻及增加元件特徵。注意，在形成成對的金屬化合物區 124a 和 124b 之後，去除金屬層 122。

接著，形成層間絕緣層 126 和層間絕緣層 128 以致於覆蓋上述步驟中形成的元件（請參見圖 8G）。使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭等無機絕緣材料的材料，形成層間絕緣層 126 和 128。或者，使用例如聚醯亞胺或丙烯酸等有機絕緣材料。雖然此

處層間絕緣層具有包含層間絕緣層 126 和層間絕緣層 128 的雙層之結構，但是，層間絕緣層的結構不限於此。在形成層間絕緣層 128 之後，以 CMP 處理、蝕刻處理、等等，較佳平坦化層間絕緣層 128 的表面。

之後，在層間絕緣層中形成抵達成對的金屬化合物區 124a 和 124b 的開口，以及，在開口中形成源極電極層 130a 和汲極電極層 130b（請參見圖 8H）。以 PVD 法、CVD 法、等等，在包含開口的區域中形成導電層，並且，以蝕刻處理或 CMP 處理來去除部份導電層，以致於形成源極電極層 130a 和汲極電極層 130b。

較佳的是，源極電極層 130a 和汲極電極層 130b 形成爲具有平坦表面。舉例而言，在包含開口的區域中形成鈦膜或氮化鈦膜的薄膜之後，形成鎢膜以填充開口。在該情況中，以 CMP 處理，去除鎢、鈦、或氮化鈦之不必要部份，以及，增進表面的平坦性。以此方式，包含源極電極層 130a 和汲極電極層 130b 的表面平坦化，因而在往後的步驟中有利地形成電極、佈線、絕緣層、半導體層、等等。

注意，此處僅顯示與金屬化合物區 124a 和 124b 接觸的源極電極層 130a 和汲極電極層 130b；但是，在此步驟中，可以一起形成作爲佈線的電極層（例如，圖 7 中的電極層 130c）等等。對於用於形成源極電極層 130a 和汲極電極層 130b 的材料並無特別限定，可以使用各種不同的導電材料。舉例而言，可以使用例如鋁、鈦、鉻、鉭、

鎢、鋁、銅、鈳、或鈳等導電材料。

經由上述步驟，形成使用包含半導體材料的基板 100 形成的 p 通道電晶體 160。在上述步驟之後，又形成電極、佈線、絕緣層、等等。當佈線具有包含層間絕緣層及導電層的堆疊結構之多層佈線結構時，提供高度集成的電路。此外，藉由類似於上述步驟的步驟，形成使用包含半導體材料的基板 100 形成的 n 通道電晶體。亦即，藉由使用例如磷(P)或砷(As)等雜質元素作為添加至上述步驟中的半導體區的雜質元素，形成 n 通道電晶體。

接著，參考圖 9A 至 9G 及圖 10A 至 10D，說明在層間絕緣層 128 上之 n 通道電晶體 164 的製程。注意，圖 9A 至 9G 及圖 10A 至 10D 顯示在層間絕緣層 128 上不同的電極層、n 通道電晶體 164、等等的製程；因此，省略設在 n 通道電晶體 164 下方的 p 通道電晶體 160 等等。

首先，在層間絕緣層 128、源極電極層 130a、汲極電極層 130b、及電極層 130c 上形成絕緣層 132(請參見圖 9A)。以 PVD 法、CVD 法、等等，形成絕緣層 132。使用包含例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鋇等無機絕緣材料的材料，形成絕緣層 132。

接著，在絕緣層 132 中形成抵達源極電極層 130a、汲極電極層 130b、和電極層 130c 的開口。此時，也在稍後形成閘極電極層 136d 的區域中形成開口。然後，形成導電層 134 以填充開口(請參見圖 9B)。以例如藉由使用掩罩的蝕刻等方法，形成開口。以藉由使用光罩的曝光

等方法，形成掩罩。使用乾式蝕刻或濕式蝕刻作為蝕刻；慮及微製造，較佳使用乾式蝕刻。以 PVD 法、CVD 法等膜形成方法，形成導電層 134。用於導電層 134 的形成之材料為例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈐、或銦等導電材料、其合金、包含上述材料之例如氮化物等化合物、等等。

更具體而言，使用下述方法為例說明：在包含開口的區域中以 PVD 法形成鈦薄膜，以 CVD 法形成氮化鈦薄膜，以及形成鎢膜以填充開口。此處，以 PVD 法形成的鈦膜具有將介面處的氧化物膜去氧化以降低與下電極層（此處，源極電極層 130a、汲極電極層 130b、電極層 130c、等等）的接觸電阻之功能。之後形成的氮化鈦膜具有抑制導電材料的擴散之障壁功能。此外，在形成鈦膜、氮化鈦膜、等等障壁膜之後，以電鍍法形成銅膜。

在形成導電層 134 之後，以蝕刻處理、CMP 處理、等等，去除部份導電層 134，以致於絕緣層 132 曝露；因此，形成電極層 136a、電極層 136b、電極層 136c、及電極層 136d(請參見圖 9C)。注意，當藉由去除部份導電層 134 以形成電極層 136a、電極層 136b、電極層 136c、及閘極電極層 136d 時，較佳的是形成平坦表面。藉由平坦化絕緣層 132、電極層 136a、電極層 136b、電極層 136c、及閘極電極層 136d 的表面，在往後的步驟中有利地形成電極、佈線、絕緣層、半導體層、等等。

接著，形成閘極絕緣層 138 以覆蓋絕緣層 132、電極

層 136a、電極層 136b、電極層 136c、及閘極電極層 136d(請參見圖 9D)。以 CVD 法、濺射法、等等，形成閘極絕緣層 138。此外，較佳形成閘極絕緣層 138 為包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鈦、等等。注意，閘極絕緣層 138 具有單層結構或堆疊層結構。舉例而言，以使用矽烷(SiH_4)、氧、及氮化物作為源氣體的電漿 CVD 方法，使用氧氮化矽，形成閘極絕緣層 138。對於閘極絕緣層 138 的厚度並無特別限定。舉例而言，閘極絕緣層 138 形成至具有大於或等於 10 nm 且小於或等於 500 nm 的範圍中的厚度。在堆疊層結構的情況中，較佳的結構包含厚度大於或等於 50 nm 且小於或等於 200 nm 的第一閘極絕緣層以及厚度大於或等於 5 nm 且小於或等於 300 nm 的第二閘極絕緣層。

藉由去除雜質(高度純化的氧化物半導體)而取得的 i 型或實質上 i 型的氧化物半導體對於介面狀態密度或介面電荷極度敏感。因此，在此氧化物半導體用於氧化物半導體層的情況中，在氧化物半導體層與閘極絕緣層之間的介面是重要的因素。換言之，與高度純化的氧化物半導體層接觸的閘極絕緣層 138 需要具有高品質。

舉例而言，使用 μ 波 (2.45 GHz) 的高密度電漿 CVD 法較佳產生緻密及高品質的具有高耐受電壓之閘極絕緣層 138。這是因為高度純化的氧化物半導體層與高品質閘極絕緣層之間的緊密接觸降低介面狀態密度及產生所需的介面品質。

無需多言，即使當使用高度純化的氧化物半導體層時，只要形成高品質絕緣層作為閘極絕緣層，可以使用例如濺射法或電漿 CVD 法等其它方法。使用膜形成後由熱處理修改膜品質或介面特徵的絕緣層。在任何情況中，形成具有有利的膜品質及降低與氧化物半導體層的介面能階密度以形成有利的介面之絕緣層作為閘極絕緣層 138。

在 2×10^6 V/cm 下、在 85°C 中、12 小時的閘極偏壓溫度測試(BT)中，假使雜質添加至氧化物半導體，由強力的電場（B：偏壓）及高溫（T：溫度）切割氧化物半導體的雜質與主要成份之間的鍵合，以及，所產生的懸浮鍵包含臨界電壓偏移（ V_{th} ）。

另一方面，當儘可多地去除氧化物半導體中的雜質時，特別是氫、水、等等，以致於與閘極絕緣層的介面具有有利的特徵時，可以取得對於 BT 測試穩定的電晶體。

接著，在閘極絕緣層 138 上形成氧化物半導體層以及氧化物半導體層由例如使用掩罩的蝕刻等方法處理，因此，形成島狀氧化物半導體層 140(請參見圖 9E)。

關於氧化物半導體層，使用以 In-Ga-Zn-O 為基礎的氧化物半導體膜、以 In-Sn-Zn-O 為基礎的氧化物半導體層、以 In-Al-Zn-O 為基礎的氧化物半導體層、以 Sn-Ga-Zn-O 為基礎的氧化物半導體、以 Al-Ga-Zn-O 為基礎的氧化物半導體層、以 Sn-Al-Zn-O 為基礎的氧化物半導體層、以 In-Zn-O 為基礎的氧化物半導體層、以 Sn-Zn-O 為基礎的氧化物半導體層、以 Al-Zn-O 為基礎的氧化物半導

體層、以 Zn-Mg-O 為基礎的、以 In-O 為基礎的氧化物半導體層、以 Sn-O 為基礎的氧化物半導體層、或以 Zn-O 為基礎的氧化物半導體層。特別是，非晶氧化物半導體層是較佳的。在本實施例中，藉由使用以 In-Ga-Zn-O 為基礎的金屬氧化物靶，以濺射法形成非晶氧化物半導體層作為氧化物半導體層。添加矽至非晶氧化物半導體層，抑制層的晶化；因此，使用含有 2 wt%至 10 wt%的 SiO_2 之靶，形成氧化物半導體層。

關於用於以濺射法形成氧化物半導體層的標靶，使用含有氧化鋅作為主成份的金屬氧化物靶。或者，使用含有 In、Ga、及 Zn 之金屬氧化物靶（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ （莫耳比）， $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比]之成份比）。關於含有 In、Ga、及 Zn 之金屬氧化物靶，也可以使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比]之成份比的靶或是 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子比]之成份比的靶。金屬氧化物靶的填充因數從 90%至 100%（含），較佳為 95%或更高（例如 99.9%）。藉由使用具有高填充因數的金屬氧化物靶，形成緻密的氧化物半導體膜。

用於形成氧化物半導體層的較佳氛圍是稀有氣體（典型上為氬）氛圍、氧氛圍、或稀有氣體（典型上為氬）與氧的混合氛圍。具體而言，較佳使高純度氣體，其中，例如氫、水、羥基或氫化物等雜質被降低至約數 ppm（較佳為約數 ppb）。

在形成氧化物半導體層時，基板設置於降壓下的處理

室中且基板溫度設定在 100℃ 至 600℃ (含)，較佳 200℃ 至 400℃ (含)。在加熱基板時沈積能夠降低氧化物半導體層中的雜質濃度。然後，將氫及濕氣被去除的濺射氣體導入餘留的濕氣已被去除的處理室中，藉由使用金屬氧化物作為靶，形成氧化物半導體層。為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。抽真空單元可以是設有冷阱的渦輪泵。在使用低溫泵以抽真空的處理室中，去除氫原子、例如濕氣 (H_2O) 等含有氫原子的化合物（較佳也去除含有碳原子的化合物）、等等，因而可以降低處理室中形成的絕緣層中的雜質濃度。

關於沈積條件的實施例，基板與靶之間的距離為 100 mm、壓力 0.6 Pa、直流 (DC) 電力為 0.5 kW、以及沈積氛圍為氧氛圍（氧流量比例為 100 %）。注意，由於可以降低膜沈積時產生的粉末物質（也稱為粒子或灰塵）以及膜厚均勻，所以較佳使用脈衝式直流 (DC) 電源。氧化物半導體層的厚度為 2 nm 至 200 nm(含)，較佳為 5 nm 至 30 nm(含)。注意，適當的厚度視氧化物半導體材料而不同，以及，可以視材料而適當地設定厚度。

注意，在以濺射法形成氧化物半導體層之前，以反向濺射法較佳地去除附著於閘極絕緣層 138 的表面的灰塵，在反向濺射中，導入氫氣以及產生電漿。反向濺射係一方法，其中，取代一般濺射中使離子撞擊濺射靶，使離子撞擊要處理的表面，以致於修改表面。使離子撞擊要處

理的表面之方法包含在氬氛圍中將高電源施加至基板側上、以及在基板附近產生電漿。注意，可以使用氮氛圍、氬氛圍、氧氛圍或類似者以取代氬氛圍。

氧化物半導體膜的蝕刻可以是乾式蝕刻或濕式蝕刻。無需多言，可以結合及使用乾式蝕刻及濕式蝕刻。根據材料而適當地調整蝕刻條件（例如，蝕刻氣體、蝕刻劑、蝕刻時間、及溫度），以致於氧化物半導體層被處理成所需形狀。

舉例而言，使用含氯的氣體（例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等以氯為基礎的氣體）作為用於乾式蝕刻的蝕刻氣體。或者，使用含有氟的氣體（例如，四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等以氟為基礎的氣體）；溴化氫（ HBr ）；氧（ O_2 ）；這些氣體中任何添加例如氦（ He ）或氬（ Ar ）等稀有氣體之氣體；等等。

關於乾式蝕刻法，可以使用平行板 RIE(反應離子蝕刻)法或 ICP（感應耦合電漿）蝕刻法。為了將層蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力量、施加至基板側上的電極之電力量、基板側上電極的溫度、等等）。

關於用於濕式蝕刻的蝕刻劑，使用例如磷酸、醋酸、及硝酸、等等的混合溶液。或者，可以使用例如 ITO07N(由 KANTO CHEMICAL Co., INC.所製造的產品)等

蝕刻劑。

接著，對氧化物半導體層較佳地執行第一熱處理。藉由第一熱處理，將氧化物半導體層脫水或脫氫。第一熱處理的溫度高於或等於 300°C 且低於或等於 750°C ，較佳高於或等於 400°C 且低於基板的應變點。舉例而言，基板被導入使用電阻式加熱元件等的電熱爐中，以及，在 450°C 下，在氮氛圍中，氧化物半導體層 140 受到熱處理一小時。在熱處理期間，氧化物半導體層 140 未曝露於空氣，以致於防止水及氫等進入。

注意，熱處理設備不限於電熱爐，可以是以例如受熱氣體等媒介所給予的熱傳導或熱輻射來加熱要處理的物品之設備。舉例而言，使用例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA 設備是藉由例如鹵素燈、金屬鹵化物燈、氬電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要處理的物體加熱。GRTA 設備是使用高溫氣體之熱處理設備。關於氣體，使用不會與熱處理要處理的物體反應之惰性氣體，例如氮或例如氬等稀有氣體。

舉例而言，關於第一熱處理，如下所述般執行 GRTA。將基板置於被加熱至 650°C 至 700°C 的高溫之惰性氣體中、將基板加熱數分鐘、以及將基板轉移及取出被加熱的惰性氣體。藉由 GRTA，可以取得短時間的高溫熱處理。此外，GRTA 是短時間的熱處理；因此，即使在高於

基板的應變點之溫度條件下，仍可以使用 GRTA。

注意，在含氮或稀有氣體（例如，氮、氦、或氬）作為主成份及未含有濕氣、氫、等等的氛圍中，較佳地執行第一熱處理。舉例而言，被導入至熱處理設備之氮或例如氮、氦、或氬等稀有氣體之純度大於或等於 6N(99.9999%)，較佳大於或等於 7N(99.99999%)(亦即，雜質濃度小於或等於 1 ppm，較佳低於或等於 0.1 ppm)。

在某些情況中，視第一熱處理的條件或氧化物半導體層的材料，將氧化物半導體層晶化至微晶膜或多晶膜。舉例而言，氧化物半導體層可以結晶變成具有 90%或更高、或是 80%或更高的結晶度之微晶半導體層。此外，在其它情況中，取決於第一熱處理的條件及氧化物半導體層的材料，氧化物半導體層可以變成未含結晶成份的非晶氧化物半導體膜。氧化物半導體層可以變成氧化物半導體膜。

氧化物半導體層可以成為微晶部份（具有大於或等於 1 nm 且小於或等於 20 nm 的粒徑，典型上大於或等於 2 nm 且低於或等於 4 nm）存在於非晶氧化物半導體中（舉例而言，氧化物半導體層的表面）中之氧化物半導體層。

此外，藉由對齊非晶氧化物半導體中的微晶體，改變氧化物半導體的電特徵。舉例而言，在使用以 In-Ga-Zn-O 為基礎的金屬氧化物靶以形成氧化物半導體的情況中，形成具有電氣各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒被對齊之微晶部份，因而改變氧化物半導體層的電特徵。

更具體而言，藉由對齊 C 軸在垂直於氧化物半導體層

的表面之方向上的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒，增加平行於氧化物半導體層的表面之方向上的導電率，以及，增加垂直於氧化物半導體層的表面之方向上的絕緣特性。此外，此微晶部份具有防止例如水或氫等雜質進入氧化物半導體層的功能。

注意，以 GRTA 加熱氧化物半導體層的表面，取得包含上述微晶部的氧化物半導體層。

對未被處理成島狀氧化物半導體層 140 的氧化物半導體層執行第一熱處理。在該情況中，在第一熱處理之後，自熱處理設備中取出基板並執行微影步驟。

注意，第一熱處理由於有效地將氧化物半導體層 140 脫水或脫氫，所以，也稱為脫水處理或脫氫處理。能夠在形成氧化物半導體層後、在氧化物半導體層 140 上堆疊源極和汲極電極層、或在源極和汲極電極層上形成保護絕緣層之後，執行此脫水處理或脫氫處理。可以執行多於一次的脫水處理或脫氫處理。

接著，形成源極電極層 142a 和汲極電極層 142b 至接觸氧化物半導體層 140(請參見圖 9F)。形成導電層以覆蓋氧化物半導體層 140，然後，部份地蝕刻導電層，以致於形成源極電極層 142a 和汲極電極層 142b。

以例如電漿 CVD 法或包含濺射法的 PVD 法，形成導電層。用於導電膜的材料實施例包含選自鋁、鉻、銅、鈮、鈦、鉬、及鎢之元素、以及包含任何這些元素作為成份的合金。或者，使用選自錳、鎂、鋅、銻、及鈦的其中

之一或更多種材料。又或者，使用鋁與選自下述的其中之一或更多個元素的結合作為材料：鈦、鉭、鎢、鉬、鉻、釷、及釷。導電層可以具有單層結構或二或更多層的堆疊層結構。舉例而言，可為含有矽的鋁膜之單層結構、鈦膜堆疊於鋁膜上之雙層結構、鈦膜、鋁膜、及鈦膜依序堆疊的三層結構、等等。

此處，較佳以紫外光、KrF 雷射光、或 ArF 雷射光用於產生蝕刻掩罩的曝光。

電晶體的通道長度（L）由源極電極層 142a 的下邊緣部份與汲極電極層 142b 的下邊緣部份之間的距離決定。在通道長度（L）短於 25 nm 的情況中，使用具有數奈米至數十奈米之極度短波長的極度紫外光，執行用於形成掩罩的曝光。使用極度紫外光的曝光造成高解析度及大聚焦深度。因此，稍後形成的電晶體的通道長度（L）是 10 nm 至 1000 nm(含)，因此，電路的操作速度可以增加。

適當地調整用於導電層及氧化物半導體層 140 的材料，以致於在蝕刻導電層時不會去除氧化物半導體層 140。在此步驟中，取決於材料及蝕刻條件，氧化物半導體層 140 被部份地蝕刻而成為具有溝槽(凹部)的氧化物半導體層。

在氧化物半導體層 140 與源極電極層 142a 之間或是在氧化物半導體層 140 與源極電極層 142b 之間，形成氧化物導體層。能夠連續地形成要成為源極電極層 142a 和汲極電極層 142b 的金屬層和氧化物導體層（連續形成）。

氧化物導體層作為源極區或汲極區。此氧化物導體層導致源極區或汲極區的電阻降低，因此取得電晶體的高速操作。

為了降低使用的掩罩數目及步驟，藉由使用多色調掩罩以形成光阻掩罩，以及藉由使用光阻掩罩，執行蝕刻，多色調掩罩是光透射過而具有多種強度的曝光掩罩。由於使用多色調掩罩形成的光阻掩具有複數厚度（步階狀），以及又可藉由執行灰化以改變形狀，所以，在多個蝕刻步驟中使用光阻掩罩以提供不同的圖案。因此，藉由使用多色調掩罩，形成對應於至少二種的不同圖案之光阻掩罩。因此，降低曝光掩罩的數目，也降低對應的微影步驟之數目，因而實現製程簡化。

注意，在上述製程之後，較佳執行使用例如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理。電漿處理去除附著至氧化物半導體層的曝露表面的水等等。在電漿處理中，使用氧及氬的混合氣體。

接著，形成與部份氧化物半導體層 140 接觸的保護絕緣層 144 而不會曝露於空氣（請參見圖 9G）。

適當地使用例如濺射法等方法以形成保護絕緣層 144，藉由此方法，防止例如水或氬等雜質進入保護絕緣層 144。保護絕緣層 144 的厚度至少為 1 nm 或更厚。用於保護絕緣層 144 的材料實施例包含氧化矽膜、氮化矽、氧氮化矽膜、氮氧化矽。結構為單層結構或堆疊層結構。用於保護絕緣層 144 的沈積之基板溫度較佳高於或等於室

溫且低於或等於 300°C。用於沈積的氛圍較佳為稀有氣體(典型上為氬)、氧氛圍、或稀有氣體(典型上為氬)與氧的氛圍。

當氬含於保護絕緣層 144 中時，造成氬進入氧化物半導體層 140 或氬取出氧化物半導體層 140 中的氧，藉以使氧化物半導體層 140 的背通道側上的電阻降低，以致於可以形成寄生通道。因此，重要的是採用未使用氬的膜形成方法以形成含有儘可能少的氬之保護絕緣層 144。

較佳的是，形成保護絕緣層 144 並去除餘留在處理室中的濕氣，以防止氬、羥基、或濕氣進入氧化物半導體層 140 及保護絕緣層 144。

為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。抽真空單元可以是設有冷阱的渦輪泵。在使用低溫泵以抽真空的處理室中，去除氬原子、例如濕氣 (H_2O) 等含有氬原子的化合物、等等，因而可以降低處理室中形成的保護絕緣層 144 中的雜質濃度。

關於沈積保護絕緣層 144 的濺射氣體，較佳使用高純度氣體，其中，例如氬、濕氣、羥基或氬化物等雜質的濃度降低至約為數 ppm(較佳為約數 ppb)。

接著，在惰性氣體氛圍或氧氣氛圍中，較佳執行第二熱處理(較佳地，200°C 至 400°C(含)、更佳地，250°C 至 350°C(含))。舉例而言，在 250°C 下，在氮氛圍中執行第二熱處理一小時。第二熱處理降低電晶體的電特徵變異。

此外，在空氣中，在 100℃ 至 200℃（含）下執行熱處理一小時至 30 小時。此熱處理可以在固定加熱溫度下執行。或者，重複地執行多次下述溫度變化：加熱溫度從室溫增加至 100℃ 至 200℃（含）的溫度，然後降至室溫。此外，可以在形成保護絕緣層之前，在降壓下執行此熱處理。在降壓下，熱處理時間可以縮短。注意，可以執行此熱處理以取代第二熱處理，或是在第二熱處理之前、或第二熱處理之後等等，執行此熱處理。

接著，在保護絕緣層 144 上形成層間絕緣層 146（請參見圖 10A）。以 PVD 法、CVD 法、等等形成層間絕緣層 146。使用包含例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭等無機絕緣材料的材料，形成層間絕緣層 146。在形成層間絕緣層 146 之後，較佳的是以 CMP、蝕刻、等等，平坦化層間絕緣層 146 的表面。

接著，在層間絕緣層 146、保護絕緣層 144、及閘極絕緣層 138 中形成抵達電極層 136a、電極層 136b、電極層 136c、源極電極層 142a、和汲極電極層 142b 的開口。然後，形成導電層 148 以致填充開口（請參見圖 10B）。使用掩罩，以蝕刻形成開口。舉例而言，藉由使用光罩，以曝光形成掩罩。可以使用濕式蝕刻或乾式蝕刻作為蝕刻；慮及微製造，較佳使用乾式蝕刻。以例如 PVD 法或 CVD 法等沈積方法，形成導電層 148。用於導電層 148 的材料實施例包含例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈦、及鈳等導電材料、以及任何這些材料的合金及化合物（例

如，氮化物)。

具體而言，使用下述方法為例說明：在包含開口的區域中以 PVD 法形成鈦薄膜；以 CVD 法形成氮化鈦薄膜，以及形成鎢膜以填充開口。此處，以 PVD 法形成的鈦膜具有將介面處的氧化物膜去氧化以降低與下電極層（此處，電極層 136a、電極層 136C、源極電極層 142a、以及汲極電極層 142b）的接觸電阻之功能。之後形成的氮化鈦膜具有抑制導電材料的擴散之障壁功能。此外，在形成鈦膜、氮化鈦膜、等等障壁膜之後，以電鍍法形成銅膜。

在形成導電層 148 之後，以蝕刻處理、CMP 處理、等等，去除部份導電層 148，以致於層間絕緣層 146 曝露，以及，形成電極層 150a、電極層 150b、電極層 150c、電極層 150d 及電極層 150e(請參見圖 10C)。注意，當藉由去除部份導電層 148 以形成電極層 150a、電極層 150b、電極層 150c、電極層 150d 及電極層 150e 時，較佳的是形成平坦表面。藉由平坦化層間絕緣層 146、電極層 150a、電極層 150b、電極層 150c、電極層 150d、及電極層 150e 的表面，在往後的步驟中有利地形成電極、佈線、絕緣層、半導體層、等等。

此外，形成絕緣層 152，以及，在絕緣層 152 中形成抵達電極層 150a、電極層 150b、電極層 150c、電極層 150d、及電極層 150e 的開口。然後，形成導電層以致填充開口。之後，以蝕刻、CMP、等等，去除部份導電層，以致於絕緣層 152 曝露，以及，形成電極層 154a、電極

層 154b、電極層 154c、及電極層 150d(請參見圖 10D)。此步驟類似於形成電極層 150a 等的步驟；因此，省略詳細說明。

當以上述方式製造 n 通道電晶體 164 時，氧化物半導體層 140 的氫濃度低於 5×10^{19} (原子/cm³)，以及，降低 n 通道電晶體 164 的漏電流。在實施例 1 至 4 中所述的半導體裝置中使用具有優良特徵的 n 通道電晶體 164，因而降低半導體裝置的待機電力。

[修改實例]

圖 11、圖 12A 及 12B、圖 13A 和 13B、及圖 14A 和 14B 顯示 n 通道電晶體 164 的結構之修改實例。亦即，p 通道電晶體 160 的結構與上述相同。

圖 11 顯示具有一結構的 n 通道電晶體 164 的實例，在所述結構中，閘極電極層 136d 設於氧化物半導體層 140 之下，以及，源極電極層 142a 和汲極電極層 142b 與氧化物半導體層 140 的底表面接觸。

圖 11 中的結構與圖 7 中的結構之最大差異在於氧化物半導體層 140 連接至源極和汲極電極層 142a 和 142b 之位置。亦即，圖 7 中的結構中氧化物半導體層 140 的上表面接觸源極和汲極電極層 142a 和 142b，而圖 11 中的結構中氧化物半導體層 140 的底表面接觸源極和汲極電極層 142a 和 142b。此外，接觸位置的差異造成其它電極層、絕緣層、等等的不同配置。每一個元件的細節與圖 7 中所

示相同。

具體而言，圖 11 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的閘極電極層 136d，設於閘極電極層 136d 上的閘極絕緣層 138，設於閘極絕緣層 138 上的源極和汲極電極層 142a 和 142b，以及，接觸源極和汲極電極層 142a 和 142b 的上表面之氧化物半導體層 140。此外，在 n 通道電晶體 164 上，保護絕緣層 144 設置成覆蓋氧化物半導體層 140。

圖 12A 及 12B 均顯示 n 通道電晶體 164，其中，閘極電極層 136d 設於氧化物半導體層 140 之上。圖 12A 顯示一結構實施例，其中，源極和汲極電極層 142a 和 142b 與氧化物半導體層 140 的底表面接觸。圖 12B 顯示一結構實施例，其中，源極和汲極電極層 142a 和 142b 與氧化物半導體層 140 的上表面接觸。

圖 12A 和圖 12B 中的結構與圖 7 及圖 11 中的結構之最大差異在於閘極電極層 136d 置於氧化物半導體層 140 之上。此外，圖 12A 中的結構與圖 12B 中的結構之最大差異在於源極和汲極電極層 142a 和 142b 接觸氧化物半導體層 140 的底表面或上表面。此外，這些差異造成其它電極層、絕緣層、等等的不同配置。每一個元件的細節與圖 7 等中所示的相同。

具體而言，圖 12A 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的源極和汲極電極層 142a 和 142b、接觸源極和汲極電極層 142a 和 142b 的上表面之氧化物半

導體層 140、設於氧化物半導體層 140 上的閘極絕緣層 138、及在與氧化物半導體層 140 重疊的區域中設於閘極絕緣層 138 上的閘極電極層 136d。

圖 12B 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的氧化物半導體層 140、設置成接觸氧化物半導體層 140 的上表面之源極和汲極電極層 142a 和 142b、設於氧化物半導體層 140 和源極及汲極電極層 142a 和 142b 上的閘極絕緣層 138、及在與氧化物半導體層 140 重疊的區域中設於閘極絕緣層 138 上的閘極電極層 136d。

注意，在圖 12A 及 12B 的結構中，有時從圖 7 等中的結構中省略元件（例如，電極層 150a 或電極層 154a）。在此情況中，取得例如製程簡化等二次功效。無需多言，也可以從圖 7 等中的結構中省略非必要的元件。

圖 13A 及 13B 均顯示元件尺寸相當大且閘極電極層 136d 設於氧化物半導體層 140 下方的情況之 n 通道電晶體 164。在此情況中，對於表面平坦度及覆蓋度的需求相當溫和，以致於無需形成要嵌入於絕緣層中的佈線、電極、等等。舉例而言，在形成導電層後，藉由圖案化以形成閘極電極層 136d 等等。

圖 13A 中的結構與圖 13B 中的結構之最大差異在於源極和汲極電極層 142a 和 142b 接觸氧化物半導體層 140 的底表面或上表面。此外，這些差異造成其它電極層、絕緣層、等等的不同配置。每一個元件的細節與圖 7 等中所示的相同。

具體而言，圖 13A 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的閘極電極層 136d、設於閘極電極層 136d 上的閘極絕緣層 138、設於閘極絕緣層 138 上的源極和汲極電極層 142a 和 142b、以及接觸源極和汲極電極層 142a 和 142b 的上表面之氧化物半導體層 140。

此外，圖 13B 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的閘極電極層 136d、設於閘極電極層 136d 上的閘極絕緣層 138、設於閘極絕緣層 138 上而與閘極電極層 136d 重疊的氧化物半導體層 140、以及設置成接觸氧化物半導體層 140 的上表面之源極和汲極電極層 142a 和 142b。

注意，也在圖 13A 及 13B 的結構中，從圖 7 等中的結構中省略元件。也在此情況中，取得例如製程簡化等二次功效。

圖 14A 及 14B 均顯示元件尺寸相當大且閘極電極層 136d 設於氧化物半導體層 140 上的情況之 n 通道電晶體 164。也在此情況中，對於表面平坦度及覆蓋度的需求相當溫和，以致於無需形成要嵌入於絕緣層中的佈線、電極、等等。舉例而言，在形成導電層後，藉由圖案化以形成閘極電極層 136d 等等。

圖 14A 中的結構與圖 14B 中的結構之最大差異在於源極和汲極電極層 142a 和 142b 接觸氧化物半導體層 140 的底表面或上表面。此外，這些差異造成其它電極層、絕緣層、等等的不同配置。每一個元件的細節與圖 7 等中所

示的相同。

具體而言，圖 14A 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的源極和汲極電極層 142a 和 142b、接觸源極和汲極電極層 142a 和 142b 的上表面之氧化物半導體層 140、設於氧化物半導體層 140 以及源極和汲極電極層 142a 和 142b 上的閘極絕緣層 138、及設於閘極絕緣層 138 上而與氧化物半導體層 140 重疊的閘極絕緣層 138。

圖 14B 中所示的 n 通道電晶體 164 包含設於層間絕緣層 128 上的氧化物半導體層 140、設置成接觸氧化物半導體層 140 的上表面之源極和汲極電極層 142a 和 142b、設於源極及汲極電極層 142a 和 142b 和氧化物半導體層 140 上的閘極絕緣層 138、及在與氧化物半導體層 140 重疊的區域中設於閘極絕緣層 138 上的閘極電極層 136d。

注意，也在圖 14A 及 14B 的結構中，從圖 7 等中的結構中省略元件。也在此情況中，取得例如製程簡化等二次功效。

在本實施例中，說明 n 通道電晶體 164 形成於 p 通道電晶體 160 上至具有堆疊結構的實施例；但是，p 通道電晶體 160 及 n 通道電晶體 164 的結構不限於上述。舉例而言，p 通道電晶體 160 及 n 通道電晶體 164 形成於相同的平坦表面上。此外，可以使用 p 通道電晶體 160 及 n 通道電晶體 164 彼此重疊的結構。

上述 n 通道電晶體 164 應用至包含於實施例 1 至 4 中

所述的半導體裝置中的 n 通道電晶體，因而抑制待機狀態時電池的放電。亦即，半導體裝置的待機電力降低。此外，當抑制待機狀態的電池放電時，半導體裝置具有長壽命。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

（實施例 6）

在本實施例中，說明包含實施例 1 至 4 中任一實施例中所述的半導體裝置中的電晶體的實例。具體而言，說明使用氧化物半導體形成通道形成區的電晶體之實例。

將參考圖 15A 和 15B 及圖 16A 至 16E，說明本實施例之電晶體及其製造步驟之實例。

圖 15A 及 15B 分別顯示電晶體的平面結構實施例及剖面結構實例。圖 15A 及 15B 中所示的電晶體 460 具有頂部閘極結構。

圖 15A 是頂部閘極型電晶體 460 的平面視圖，圖 15B 是圖 15A 中的 D1-D2 剖面視圖。

電晶體 460 包含設於具有絕緣表面的基板 450 上的絕緣層 457、源極或汲極電極層 465a(465a1 和 465a2)、氧化物半導體層 462、源極或汲極電極層 465b、佈線層 468、閘極絕緣層 452、及閘極電極層 461(461a 和 461b)。源極或汲極電極層 465a(465a1 和 465a2)經由佈線層 468 而電連接至佈線層 464。雖然未顯示，但是，源極或汲極電極

層 465b 也電連接至設在閘極絕緣層 452 中的開口中的佈線層。

於下，將參考圖 16A 至 16E，說明在基板 450 上製造電晶體 460 的製程。

首先，在具有絕緣表面的基板 450 上形成作為基底膜的絕緣層 457。

在本實施例中，以濺射法形成氧化矽層作為絕緣層 457。基板 450 轉移至處理室，將含有高純度氧及已去除氫和濕氣的濺射氣體導入其中，以及，使用矽標靶或石英（較佳是合成石英），以致於在基板 450 上形成氧化矽層作為絕緣層 457。關於濺射氣體，使用氧氣或氧與氫的混合氣體。

舉例而言，在下述條件下，使用 RF 濺射，形成氧化矽層：濺射氣體的純度為 6N(99.9999%)；使用石英（較佳為合成石英）；基板溫度是 108°C、基板與標靶之間的距離(T-S 距離)是 60 mm；壓力是 0.4 Pa；高頻功率是 1.5 Kw；氛圍是含氧及氫（氧對氫的流量比是 1:1(流速均為 25 sccm)）的氛圍。氧化矽的厚度是 100 nm。注意，當形成氧化矽膜時，可以使用矽標靶取代石英（較佳為合成石英）作為標靶。

在此情況中，較佳的是，形成絕緣層 457 並去除餘留在處理室中的濕氣。這是為了防止氫、羥基、或濕氣被含於絕緣層 457 中。在使用低溫泵抽真空的處理室中，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物、等

等，因而可以降低處理室中形成的絕緣層 457 中的雜質濃度。

用於絕緣層 457 形成的濺射氣體，較佳為高純度氣體，其中，例如氫、水、羥基或氫化物等雜質濃度降低至約為數 ppm 或是約數 ppb。

此外，絕緣層 457 可以具有堆疊層結構，其中，舉例而言，從基板 450 側上依序地堆疊例如氮化矽層、氮氧化矽層、氮化鋁層、或氮氧化鋁層等氮化物絕緣層及氧化物絕緣層。

舉例而言，含有高純度氮及已去除氫和濕氣的濺射氣體被導入至氧化矽層與基板之間，以及，使用矽標靶，因而形成氮化矽層。也在此情況中，以類似於氧化矽層的形成方式，較佳形成氮化矽層並去除餘留在處理室中的濕氮。

接著，在絕緣層 457 上形成導電膜，在第一微影步驟中，於導電膜上形成光阻掩罩，執行選擇性蝕刻，以致於形成源極或汲極電極層 465a1 和 465a2。然後，去除光阻掩罩（請參見圖 16A）。在剖面中，似乎源極或汲極電極層 465a1 和 465a2 宛如被分割；但是，源極或汲極電極層 465a1 和 465a2 是連續膜。注意，由於能增進堆疊於其上的閘極絕緣層的覆蓋度，所以，源極電極層和汲極電極層 465a1 和 465a2 在端部具有推拔狀。

關於源極或汲極電極層 465a1 和 465a2 的材料，使用選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素、含有上述

元素中的任何元素作為成份的合金、含有任何這些元素的組合之合金膜、等等。此外，可以使用選自錳、鎂、鋅、鈹、及鈦的其中之一或更多種材料。金屬導電膜可以具有單層結構或二或更多層的堆疊層結構。舉例而言，可為含有矽的鋁膜之單層結構、鋁膜及堆疊於其上之鈦膜的二層結構、依序堆疊的鈦膜、鋁膜、及鈦膜的三層結構。或者，含有鋁（Al）與選自下述的其中之一或更多個元素結合之膜、合金膜、或氮化物膜：鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及釷（Sc）。

在本實施例中，以濺射法形成厚度 150 nm 的鈦膜用於源極或汲極電極層 465a1 和 465a2。

接著，在絕緣層 457 和源極或汲極電極層 465a1 和 465a2 上，形成厚度 2 nm 至 200 nm（含）的氧化物半導體膜。

接著，在第二微影步驟中，將氧化物半導體膜處理成島狀氧化物半導體層 462（請參見圖 16B）。在本實施例中，使用以 In-Ga-Zn-O 為基礎的金屬氧化物靶，以濺射法形成氧化物半導體膜。

將基板固持於保持在保持降壓狀態的處理室中，將氫及濕氣被去除的濺射氣體導入處理室中並去除餘留於其中的濕氣，因而藉由使用金屬氧化物作為標靶，在基板 450 上形成氧化物半導體膜。為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、

離子泵、或鈦昇華泵。抽真空單元可以是設有冷阱的渦輪泵。在由低溫泵抽真空的處理室中，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物（較佳地，也含有碳原子的化合物）、等等，因而可以降低處理室中形成的氧化物半導體膜中的雜質濃度。當形成氧化物半導體膜時，將基板加熱。

用於形成氧化物半導體膜的濺射氣體較佳為高純度氣體，其中，例如氫、濕氣、羥基或氫化物等雜質濃度降低至約為數 ppm 或是約數 ppb。

沈積條件的實施例如下所述：基板溫度為室溫、基板與標靶之間的距離為 60 mm、壓力 0.4 Pa、直流（DC）電力為 0.5 kW、以及氛圍為含氧及氫（氧對氫的流速比為 15 sccm：30 sccm）的氛圍。注意，當使用脈衝式直流（DC）電源時，可以降低膜沈積時產生的粉末物質（也稱為粒子或灰塵），以及膜厚均勻。氧化物半導體膜的厚度較佳為 5 nm 至 30 nm(含)。注意，適當的厚度視氧化物半導體材料而不同，以及，可以視材料而適當地設定厚度。

在本實施例中，使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻劑，以濕式蝕刻方法，將氧化物半導體膜處理成島狀氧化物半導體層 462。

在本實施例中，氧化物半導體層 462 受到第一熱處理。第一熱處理的溫度高於或等於 400°C 且低於或等於 750°C ，較佳高於或等於 400°C 且低於基板的應變點。此

處，將基板置於熱處理設備其中之一的電熱爐中，並且，在 450°C 下，在氮氛圍中，對氧化物半導體層執行熱處理一小時，且氧化物半導體層未曝露於空氣，以致於防止濕氣及氫進入氧化物半導體層；如此取得氧化物半導體層。藉由此第一熱處理，將氧化物半導體層 462 脫氫或脫水。

注意，熱處理設備不限於電熱爐，可以是設有使用來自例如電阻式加熱元件等加熱元件之熱傳導或熱輻射以將要處理的物品加熱之裝置的設備。舉例而言，使用例如氣體快速熱退火 (GRTA) 設備或燈快速熱退火 (LRTA) 設備等快速熱退火 (RTA) 設備。舉例而言，關於第一熱處理，執行 GRTA，藉由 GRTA，將基板移入被加熱至高達 650°C 至 700°C 的高溫之惰性氣體、將基板加熱數分鐘、以及將基板移出被加熱至高溫的惰性氣體。藉由 GRTA，可以取得短時間的高溫熱處理。

注意，在第一熱處理中，較佳的是，氮或例如氫、氬、或氫等稀有氣體中未含有水、氫、等等。較佳的是被導入至熱處理設備之氮或例如氫、氬、或氫等稀有氣體之純度設定為 6N(99.9999%)或更高，較佳為 7N(99.99999%)或更高(亦即，雜質濃度為 1 ppm 或更低，較佳為 0.1 ppm 或更低)。

在某些情況中，視第一熱處理的條件或氧化物半導體層的材料，將氧化物半導體層晶化至微晶膜或多晶膜。

對未被處理成島狀氧化物半導體層之氧化物半導體膜執行氧化物半導體層的第一熱處理。在該情況中，在第一

熱處理後，從加熱設備取出基板，然後，執行微影步驟。

在下述任何時機執行氧化物半導體層的脫水或脫氫熱處理：在形成氧化物半導體層之後；在氧化物半導體層上形成源極電極和汲極電極之後；以及，在源極電極和汲極電極上形成閘極絕緣層之後。

接著，在絕緣層 457 及氧化物半導體層 462 之上形成導電膜。在第三微影步驟中，在導電膜上形成光阻掩罩，執行選擇性蝕刻，以致於形成源極或汲極電極層 465b 及佈線層 468。然後去除光阻掩罩（請參見圖 16C）。

在本實施例中，以濺射法形成厚度 150 nm 的鈦膜用於源極或汲極電極層 465b 以及佈線層 468。在本實施例中，以相同的鈦膜用於源極和汲極電極層 465a1 和 465a2 以及源極或汲極電極層 465b；因此，未取得源極或汲極電極層 465a1 和 465a2 相對於源極或汲極電極層 465b 的蝕刻選擇性。爲了當源極或汲極電極層 465b 被蝕刻時防止源極或汲極電極層 465a1 和 465a2 被蝕刻，將佈線層 468 設於未由氧化物半導體層 462 覆蓋的部份源極或汲極電極層 465a2 上。在蝕刻步驟中具有高選擇性的不同材料用於源極或汲極電極層 465a1 和 465a2 以及源極或汲極電極層 465b 的情況中，無需設置蝕刻時保護源極或汲極電極層 465a2 之佈線層 468。

注意，適當地調整材料及蝕刻條件，以致於當導電膜被蝕刻時氧化物半導體層 462 不會被去除。

在本實施例中，使用鈦膜作爲導電層，用以 In-Ga-

Zn-O 為基礎的氧化物半導體使用於氧化物半導體層 462，以及使用過氧化銨溶液（氨、水、及過氧化氫溶液）作為蝕刻劑。

注意，在第三微影步驟中，僅有部份氧化物半導體層 462 被蝕刻，因此，在某些情況中，形成具有溝槽(凹部)的氧化物半導體層。以噴墨法形成用於形成用於形成源極或汲極電極層 465b 以及佈線層 468 之光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因此，可以降低製造成本。

接著，在絕緣層 457、氧化物半導體層 462、源極或汲極電極層 465a1 和 465a2、源極或汲極電極層 465b、及佈線層 468 上形成閘極絕緣層 452。

閘極絕緣層 452 是使用以電漿 CVD 法、濺射法、等等形成的氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、及氧化鋁層中的任意層形成的單層或堆疊層。為了防止閘極絕緣層 452 含有大量的氫，以濺射法較佳形成閘極絕緣層 452。在以濺射法形成氧化矽膜的情況中，使用矽靶或石英靶作為靶，使用氧或氧及氫的混合氣體作為濺射氣體。

閘極絕緣層 452 具有一結構，其中，氧化矽層和氮化矽層從源極或汲極電極層 465a1 和 465a2 以及源極或汲極電極層 465b 側堆疊。在本實施例中，在下述條件下，以 RF 濺射法形成厚度 100 nm 的氧化矽層：壓力 0.4 Pa；高頻功率為 1.5 kW；氛圍是含氧及氫（氧對氫的流速比為 1:1(流速均為 25 sccm)的氛圍。

接著，在第四微影步驟中，形成光阻掩罩，以及，執行選擇性蝕刻以去除部份閘極絕緣層 452，以致於形成抵達佈線層 468 的開口 423（請參見圖 16D）。雖然未顯示，但是，在形成開口 423 時，可以形成抵達源極或汲極電極層 465b 的開口。在本實施例中，在進一步堆疊層間絕緣層之後形成抵達源極或汲極電極層 465b 的開口，以及，在開口中形成用於電連接的佈線層。

然後，在閘極絕緣層 452 上和開口 423 中形成導電膜之後，在第五微影步驟中，形成閘極電極層 461(461a 和 461b)及佈線層 464。注意，以噴墨法形成光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因此，可以降低製造成本。

此外，使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、及銦等金屬材料中的任何材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 461(461a 和 461b)、及佈線層 464 形成為單層結構或堆疊層結構。

在本實施例中，以濺射法形成 150 nm 厚的鈦膜用於閘極電極層 461(461a 和 461b)及佈線層 464。

接著，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（舉例而言，200℃至 400℃（含），較佳地，250℃至 350℃（含））。在本實施例中，在 250℃下，在氮氛圍中執行第二熱處理一小時。在電晶體 460 上形成保護絕緣層或平坦化絕緣層之後，執行第二熱處理。

此外，在空氣中，在 100℃至 200℃（含）下執行熱

處理一小時至 30 小時。此熱處理可以在固定加熱溫度下執行。或者，重複地執行多次下述溫度變化：加熱溫度從室溫增加至 100°C 至 200°C (含)的溫度，然後降至室溫。此外，可以在形成氧化物絕緣層之前，在降壓下執行此熱處理。在降壓下，熱處理時間可以縮短。

經由上述製程，形成電晶體 460，電晶體 460 包含氫、濕氣、氫化物、或氫氧化物的濃度降低之氧化物半導體層 462(請參見圖 16E)。

在電晶體 460 上設置保護絕緣層或用於平坦化的平坦化絕緣層。雖然未顯示，在閘極絕緣層 452 及保護絕緣層或平坦化絕緣層中形成抵達源極或汲極電極層 465b 的開口，以及，在開口中形成電連接至源極或汲極電極層 465b 的佈線層。

在形成氧化物半導體膜時，如上所述般去除餘留在反應氛圍中的濕氣，因而降低氧化物半導體膜中的氫及氫化物的濃度。因此，將氧化物半導體膜穩定。

上述電晶體應用至包含於實施例 1 至 4 中所述的半導體裝置中，因而抑制待機狀態時電池的放電。亦即，降低半導體的待機電力。此外，當待機狀態時抑制電池放電時，半導體裝置具有長壽命。

此外，使用本實施例中的電晶體作為包含於實施例 1 至 4 中的半導體裝置中的電晶體，因而縮減製程、增進產能、及降低製造成本。

注意，本實施例或部份本實施例可以與其它實施例或

部份其它實施例自由地結合。

(實施例 7)

在本實施例中，將說明包含於實施例 1 至 4 中所述的任何半導體裝置中的電晶體的實例。具體而言，將說明使用氧化物半導體形成通道形成區的電晶體之實例。

將參考圖 17A 至 17E，說明本實施例的電晶體實例及其製造方法。

圖 17A 至 17E 顯示電晶體的剖面結構的實例。圖 17E 中所示的電晶體 390 具有底部閘極型電晶體，也稱為逆交錯電晶體。

雖然使用單閘極電晶體來說明電晶體 309；但是，於需要時，形成包含多個通道形成區之多閘極電晶體。

於下，將參考圖 17A 至 17E，說明在基板 394 上製造電晶體 390 之製程。

首先，在具有絕緣表面的基板 394 上形成導電膜，然後，在第一微影步驟中形成閘極電極層 391。由於能夠增進堆疊於其上的閘極絕緣層的覆蓋度，所以，形成的閘極電極層 391 的端部較佳具有推拔狀。注意，以噴墨法形成光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因此，製造成本降低。

雖然對於作為具有絕緣表面的基板 394 之基板並無特別限定，但是，基板需要至少對往後執行的熱處理具有足夠的抗熱性。使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等形成的

玻璃基板。

在往後執行的熱處理的溫度高的情況中，較佳使用應變點等於或高於 730°C 的玻璃基板。關於玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。注意，當玻璃基板含有的氧化鋇 (BaO) 的量比氧化硼 (Ba_2O_3) 量多時，取得具有抗熱性的更實用之玻璃基板。因此，較佳使用含有的 BaO 比 B_2O_3 多的玻璃基板。

注意，可以使用例如陶瓷基板、石英基板、或藍寶石基板等絕緣體形成的基板作為上述玻璃基板。或者，可以使用結晶的玻璃基板等等。又或者，適當地使用塑膠基板等等。

作為基底膜的絕緣膜可以設於基板 394 與閘極電極層 391 之間。基底膜具有防止雜質元素從基板 394 擴散的功能，以及，可以形成為具有包含選自氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多個膜的單層結構或堆疊層結構。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 391 形成為具有單層或堆疊層。

舉例而言，關於閘極電極層 391 的雙層結構，下述結構是較佳的：鉬層堆疊於鋁層上之雙層結構、鉬層堆疊於銅層上之雙層結構、氮化鈦層或氮化鉭層堆疊於銅層上之雙層結構、氮化鈦層及鉬層堆疊之雙層結構、或氮化鎢層

及錫層堆疊的雙層結構。或者，較佳使用三層結構，其中，錫層或氮化錫層、鋁矽合金層或鋁鈦合金層、以及氮化鈦層或鈦層堆疊。注意，使用透光導電膜，形成閘極電極層。關於透光導電膜的實施例可為透光導電氧化物等等。

接著，在閘極電極層 391 上形成閘極絕緣層 397。

以電漿 CVD 法、濺射法、等等，使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、及氧化鋁層的其中之一或更多，將閘極絕緣層形成為具有單層結構或堆疊層結構。為了防止閘極絕緣層 397 含有大量的氫，所以，以濺射法較佳形成閘極絕緣層 397。舉例而言，在以濺射法形成氧化矽膜的情況中，使用矽靶或石英靶作為靶，以及，使用氧或氧及氫的混合氣體作為濺射氣體。

閘極絕緣層 397 具有一結構，其中，氮化矽層及氧化矽層從閘極電極層 391 側堆疊。舉例而言，以濺射法形成厚度在 50 nm 至 200 nm (含) 的氮化矽層($\text{SiN}_y(y>0)$)作為第一閘極絕緣層，以及，厚度在 5 nm 至 300 nm (含) 的氧化矽層($\text{SiO}_x(x>0)$)堆疊於第一閘極絕緣層上作為第二閘極絕緣層，而形成閘極絕緣層。

此外，為了在閘極絕緣層 397 及氧化物半導體膜 393 中含有儘可能少的氫、羥基、或濕氣，較佳的是，在濺射設備的預熱室中，將閘極絕緣層 391 形成於上的基板 394 或是閘極絕緣層 391 形成於上後的基板 394 預熱，以作為膜形成的前置處理，以致於被吸附於基板 394 上的例如氫

或濕氣等雜質被消除及去除，然後執行抽真空。注意，預熱溫度高於或等於 100℃ 且低於或等於 400℃，較佳高於或等於 150℃ 且低於或等於 300℃。關於設置用於預熱室的抽真空單元，較佳使用低溫泵。注意，此預熱處理可以省略。此外，對處於形成氧化物絕緣層 396 之前形成源極電極層 395a 和汲極電極層 395b 的狀態之基板 394 類似地執行此預熱處理。

然後，在閘極絕緣層 397 上形成厚度 2 nm 至 200 nm(含)的氧化物半導體膜 393(請參見圖 17A)。

注意，在以濺射法形成氧化物半導體膜 393 之前，以反向濺射法較佳地去除閘極絕緣層 397 的表面上的灰塵，在反向濺射中，導入氬氣及產生電漿。反向濺射係一方法，其中，未施加電壓至靶側，在氬氛圍中，使用 RF 電源以施加電壓基板側，以在基板附近產生電漿，以修改表面。注意，可以使用氮氛圍、氬氛圍、氧氛圍或類似者以取代氬氛圍。

以濺射法形成氧化物半導體膜 393。使用以 In-Ga-Zn-O 為基礎的氧化物半導體、以 In-Sn-Zn-O 為基礎的氧化物半導體、以 In-Al-Zn-O 為基礎的氧化物半導體、以 Sn-Ga-Zn-O 為基礎的氧化物半導體、以 Al-Ga-Zn-O 為基礎的氧化物半導體、以 Sn-Al-Zn-O 為基礎的氧化物半導體、以 In-Zn-O 為基礎的氧化物半導體、以 Sn-Zn-O 為基礎的氧化物半導體、以 Al-Zn-O 為基礎的氧化物半導體、以 In-O 為基礎的氧化物半導體、以 Sn-O 為基礎的氧化物

半導體、或以 Zn-O 為基礎的氧化物半導體，形成氧化物半導體膜 393。在本實施例中，使用以 In-Ga-Zn-O 為基礎的金屬氧化物靶，以濺射法形成氧化物半導體膜 393。此外，在稀有氣體氛圍（典型上為氬）、氧氛圍、或稀有氣體（典型上為氬）及氧的混合氛圍中，以濺射法，形成氧化物半導體膜 393。在使用濺射法的情況中，使用包含 2wt%至 10 wt%（含）的靶，執行沈積。

關於用於以濺射法形成氧化物半導體膜 393 的靶，使用含有氧化鋅作為主成份的用於膜之金屬氧化物靶。關於金屬氧化物靶之另一實施例，使用含有 In、Ga、及 Zn 之金屬氧化物靶（成份比是 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ （莫耳比）， $\text{In} : \text{Ga} : \text{Zn} = 1:1:0.5$ （原子比））。關於包含 In、Ga、及 Zn 之金屬氧化物靶，也可以使用具有 $\text{In} : \text{Ga} : \text{Zn} = 1:1:1$ （原子比）的成份比之靶或是具有 $\text{In} : \text{Ga} : \text{Zn} = 1:1:2$ （原子比）的成份比之靶。金屬氧化物靶的填充因數從 90%至 100%(含)，較佳從 95%至 99.9%(含)。藉由使用具有高填充因數的金屬氧化物靶，形成緻密的氧化物半導體膜。

將基板固持在維持降壓狀態的處理室中並將基板加熱至高於或等於室溫且低於 400°C。然後，將氬及濕氣被去除的濺射氣體導入處理室中並去除餘留在處理室中的濕氣，以及，使用金屬氧化物作為靶，在基板 394 上形成氧化物半導體膜 393。為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子

泵、或鈦昇華泵。抽真空單元可以是設有冷阱的渦輪泵。在由低溫泵抽真空的處理室中，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物（較佳也去除含有碳原子的化合物）、等等，因而降低處理室中形成的氧化物半導體膜中的雜質濃度。藉由使用濺射法的膜形成並使用低溫泵去除餘留在處理室中的濕氣，在形成氧化物半導體膜 393 時的基板溫度高於或等於室溫且低於 400°C 。

關於沈積條件的實施例，基板與標靶之間的距離為 100 mm、壓力 0.6 Pa、直流（DC）電力為 0.5 kW、以及氛圍為氧氛圍（氧流量比例為 100%）。注意，由於脈衝式直流（DC）電源能降低膜沈積時產生的粉末物質（也稱為粒子或灰塵），以及厚度均勻，所以，較佳使用脈衝式直流（DC）電源。氧化物半導體膜的厚度較佳為 5 nm 至 30 nm(含)。注意，適當的厚度視氧化物半導體材料而不同，並且，可以視材料而適當地設定厚度。

濺射法的實施例包含以高頻電源用於濺射電源的 RF 濺射法、DC 濺射法、以及使用以脈衝式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情況中，主要使用 RF 濺射法，在形成金屬膜的情況中，主要使用 DC 濺射法。

此外，也可以使用多源濺射設備，其中，設置複數個不同材料的靶。藉由多源濺射設備，在相同腔室中形成堆疊的不同材料膜，或者，在相同腔室中，同時藉由放電而形成具有多種材料的膜。

或者，可以使用在腔室內設有磁系統且用於磁控管濺

射法的濺射設備、或是使用微波產生的電漿而未使用輝光放電之用於 ECR 濺射法的濺射設備。

此外，關於使用濺射法的沈積法，可以使用反應濺射法及偏壓濺射法，在反應濺射法中，靶材物質及濺射氣體成份在沈積期間彼此化學地反應以形成其薄的化合物膜，在偏壓濺射法中，在沈積期間，電壓也施加至基板。

接著，在第二微影步驟中，將氧化物半導體膜處理成島狀氧化物半導體層 399（請參見圖 17B）。注意，以噴墨法形成用於形成島狀氧化物半導體層 399 的光阻掩罩。藉由噴墨法之光阻掩罩的形成不需要光罩；因此，製造成本降低。

在接觸孔形成於閘極絕緣層 397 中的情況中，在形成氧化物半導體層 399 時執行其步驟。

可以使用乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻等二者，以執行氧化物半導體膜 393 的蝕刻。

關於用於乾式蝕刻的蝕刻氣體，較佳使用含氯的氣體（例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等以氯為基礎的氣體）。

或者，可以使用含有氟的氣體（例如，四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等以氟為基礎的氣體）；溴化氫（ HBr ）；氧（ O_2 ）；這些氣體中任何添加例如氦（ He ）或氬（ Ar ）等稀有氣體之氣體；等等。

關於乾式蝕刻法，使用平行板 RIE(反應離子蝕刻)法

或 ICP（感應耦合電漿）蝕刻法。為將層蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力量、施加至基板側上的電極之電力量、基板側上電極的溫度、等等）。

關於用於濕式蝕刻的蝕刻劑，使用例如磷酸、醋酸、及硝酸、等等的混合溶液。或者，可以使用 ITO07N(由 KANTO CHEMICAL Co., INC.所製造)。

藉由清洗，將濕式蝕刻後的蝕刻劑與蝕刻掉的材料一起去除。包含蝕刻劑及蝕刻掉的材料之廢液可以被純化及材料可以再使用。當從蝕刻後的廢液中收集及再使用包含於氧化物半導體層中例如銦等材料時，可以有效地使用資源及降低成本。

視材料而適當地調整蝕刻條件（例如，蝕刻劑、蝕刻時間、及溫度），以致於材料可以被蝕刻成所需形狀。

注意，在後續步驟中形成導電膜之前，較佳的是藉由執行反向濺射，以去除附著至氧化物半導體層 399 和閘極絕緣層 397 的表面之光阻餘留物。

接著，在閘極絕緣層 397 和氧化物半導體層 399 上形成導電膜。以濺射法或真空蒸鍍法，形成導電膜。關於導電膜的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素、含有任何這些元素的合金、含有任何這些元素結合的合金膜、等等。此外，可以使用選自錳、鎂、鋯、鈹、及鈦的其中之一或更多種材料。金屬導電膜可以具有單層結構或二或更多層的堆疊層結構。舉例而言，可

為含有矽的鋁膜之單層結構、鋁膜及堆疊於其上的鈦膜之雙層結構；鈦膜、鋁膜、及鈦膜依序堆疊的三層結構、等等。或者，可以使用含有鋁(Al)與選自下述的其中之一或更多個元素結合之膜、合金膜、或氮化物膜：鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、及釷(Sc)。

在第三微影步驟中，在導電膜上形成光阻掩罩，以及，執行選擇性蝕刻，以致於形成源極電極層 395a 和汲極電極層 395b。然後，去除光阻掩罩（請參見圖 17C）。

在第三微影步驟中，以紫外光、KrF 雷射光、或 ArF 雷射光用於形成光阻掩罩的曝光。稍後形成的電晶體的通道長度(L)由氧化物半導體層 399 上彼此相鄰之源極電極層的下邊緣部份和汲極電極層的下邊緣部份之間的距離決定。在通道長度(L)小於 25 nm 的情況中，使用具有數奈米至數十奈米之極度短波長的極度紫外光，執行第三微影步驟中用於形成掩罩的曝光。使用極度紫外光的曝光造成高解析度及大的聚焦深度。因此，稍後形成的電晶體的通道長度(L)從 10 nm 至 1000 nm（含），因此，電路的操作速度增加。此外，關閉電流值極度小；因此，取得更低耗電。

注意，適當地調整材料及蝕刻條件，以致於當導電膜被蝕刻時，氧化物半導體層 399 不被去除。

在本實施例中，使用鈦膜作為導電膜，用以 In-Ga-Zn-O 為基礎的氧化物半導體使用於氧化物半導體層 399，

以及使用過氧化銨溶液（氨、水、及過氧化氫溶液）作為蝕刻劑。

注意，在第三微影步驟中，在某些情況中僅有部份氧化物半導體層 399 被蝕刻，因而形成具有溝槽(凹部)的氧化物半導體層。以噴墨法形成用於形成源極電極層 395a 和汲極電極層 395b 之光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因而降低製造成本。

為了降低微影步驟中使用的光罩數目及降低微影步驟的數目，藉由使用多色調掩罩以執行蝕刻步驟，多色調掩罩是光透射過而具有多種強度的曝光掩罩。藉由使用多色調掩罩形成的光阻掩具有複數厚度，以及又可藉由蝕刻而改變形狀；因此，在多個蝕刻步驟中使用光阻掩罩以提供不同圖案。因此，藉由一多色調光罩，形成對應於至少二種或更多種的不同圖案之光阻掩罩。因此，可以降低曝光掩罩的數目，也可以降低對應的微影步驟之數目，因而可以實現製程簡化。

執行使用例如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理以去除附著至曝露的氧化物半導體層的表面的水等等。使用氧及氫的混合氣體，執行電漿處理。

在執行電漿處理的情況中，不曝露於空氣中，形成接觸部份氧化物半導體層之作爲保護絕緣膜層的化物絕緣層 396（請參見圖 17D）。在本實施例中，形成氧化物絕緣層 396 以在氧化物半導體層 399 未與源極電極層 395a 和汲極電極層 395b 重疊的區域中接觸氧化物半導體層

399。

在本實施例中，將有達到島狀氧化物半導體層 399、源極電極層 395a、和汲極電極層 395b 的多個層形成於上的基板 394 加熱至高於或等於室溫且低於 100℃ 的溫度，導入含有高純度氧及氫和濕氣已被去除的濺射氣體，以致於藉由使用矽靶，形成包含缺陷的氧化矽層作為氧化物絕緣層 396。

舉例而言，在下述條件下，以脈衝 DC 濺射法，形成氧化矽層：使用摻雜硼的矽具有 6N(99.9999%)純度（電阻率 0.01 Ωcm ）的矽靶，基板與標靶之間的距離(T-S 距離)是 89 mm，壓力是 0.4 Pa，直流（DC）功率是 6 kW，氛圍是氧氛圍（氧流量比是 100%）。氧化矽層的厚度是 300 nm。使用石英（較佳為合成石英）作為用於形成氧化矽層的標靶以取代矽靶。關於濺射氣體，使用氧及氫的混合氣體。

在此情況中，較佳的是形成氧化物絕緣層 396 並去除餘留在處理室中的濕氣。這是因為防止氫、羥基、或濕氣含於氧化物半導體層 399 及氧化物絕緣層 396 中。

為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。此外，抽真空單元可以是設有冷阱的渦輪泵。在由低溫泵抽真空的處理室中，舉例而言，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物、等等，因而降低處理室中形成的氧化物絕緣層 396 中的雜質濃度。

使用氮化矽層、氧化鋁層、氮化鋁層、等等作為氧化物絕緣層 396，取代氧化矽層。

此外，在氧化物絕緣層 396 與氧化物半導體層 399 彼此接觸的條件下，在 100℃ 至 400℃ 的溫度下執行熱處理。由於在本實施例中的氧化物絕緣層 396 含有很多缺陷，所以，藉由此熱處理，例如氫、濕氣、羥基、或氫化物等含於氧化物半導體層 399 中的雜質擴散至氧化物絕緣層 396，以致於氧化物半導體層 399 中的雜質進一步降低。

經由上述步驟，形成包含氫、濕氣、羥基、或氫化物的濃度降低之氧化物半導體層 392 的電晶體 390（請參見圖 17E）。

在形成氧化物半導體膜時，如上所述般去除餘留在反應氛圍中的濕氣，因而降低氧化物半導體膜中的氫及氫化物的濃度。因此，將氧化物半導體膜穩定。

在氧化物絕緣層上設置保護絕緣層。在本實施例中，保護絕緣層 398 形成於氧化物絕緣層 396 上。使用氮化矽膜、氮化矽膜、氮化鋁膜、氮化鋁膜、等等作為保護絕緣層 398。

以下述方式，使用矽半導體靶形成氮化矽膜作為保護絕緣層 398：將有達到氧化物絕緣層 396 形成於上的基板 394 加熱至 100℃ 至 400℃ 的溫度以及導入含有高純度氮及氫和濕氣被去除的濺射氣體。在此情況中，以類似於氧化物絕緣層 396 的方式，較佳的是在形成保護絕緣層 398

時去除餘留在處理室中的濕氣。

在形成保護絕緣層 398 的情況中，在形成保護絕緣層 398 時，將基板 394 加熱至 100℃ 至 400℃ 的溫度，因此，包含於氧化物半導體層中的氫或濕氣擴散至氧化物絕緣層中。在此情況中，在形成氧化物絕緣層 396 之後無需執行熱處理。

在作為氧化物絕緣層 396 的氧化矽層及作為保護絕緣層 398 堆疊的情況中，使用共同的矽靶，在相同的處理室中形成氧化矽層及氮化矽層。首先，導入含氧的濺射氣體及使用設於處理室內部的矽靶來形成氧化矽層，然後，將濺射氣體切換至含氮的氣體及使用相同的矽靶，形成氮化矽層。由於連續地形成氧化矽層及氮化矽層而不曝露於空氣，所以，防止例如氫或濕氣等雜質被吸附於氧化矽層的表面上。在此情況中，在堆疊作為氧化物絕緣層 396 的氧化矽層及作為保護絕緣層 398 的氮化矽層之後，執行熱處理（在 100℃ 至 400℃ 的溫度），以將含於氧化物半導體層中的氫或濕氣擴散至氧化物絕緣層中。

在形成保護絕緣層之後，在空氣中，在 100℃ 至 200℃（含）的溫度下，又執行熱處理一小時至 30 小時。此熱處理可以在固定加熱溫度下執行。或者，重複地執行多次下述溫度變化：加熱溫度從室溫增加至 100℃ 至 200℃（含）的溫度，然後降至室溫。此外，在形成氧化物絕緣層之前，在降壓下執行此熱處理。在降壓下，加熱時間縮短。藉由此熱處理，取得常關電晶體。因此，增加半導體

裝置的可靠度。

當在閘極絕緣層上形成作為通道形成區的氧化物半導體層時，去除餘留在反應氛圍中的濕氣；因此，降低氧化物半導體層中的氫及氫化物的濃度。

上述步驟可以用於製造液晶顯示面板、電致發光顯示面板、及使用電子墨水的顯示裝置的背平面（有電晶體形成於上的基板）。在 400℃ 或更低的溫度下執行上述步驟；因此，上述步驟可以應用至使用側邊大於 1 m 且厚度為 1 mm 或更小的玻璃基板的製程。在 400℃ 或更低的溫度下執行所有上述步驟；因此，在製造顯示面板時不需要大量能量。

上述電晶體應用至包含於實施例 1 至 4 中所述的半導體裝置中，因而抑制待機狀態時電池的放電。亦即，降低半導體的待機電力。此外，當待機狀態時抑制電池放電時，半導體裝置具有長壽命。

此外，使用上述電晶體作為包含於實施例 1 至 4 中的半導體裝置中的電晶體，因而縮減製程、增進產能、及降低製造成本。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

（實施例 8）

在本實施例中，將說明包含於實施例 1 至 4 中所述的任何半導體裝置中的電晶體的實例。具體而言，將說明使

用氧化物半導體形成通道形成區的電晶體之實例。

將參考圖 18A 至 18D，說明本實施例的電晶體實例及其製造方法。

圖 18A 至 18D 顯示電晶體的剖面結構的實例。圖 18D 中所示的電晶體 360 是底部閘極型結構電晶體，稱為通道保護型（通道截止型）電晶體，也稱為逆交錯電晶體。

使用單閘極電晶體，說明電晶體 360；但是，於需要時，可以形成包含多個通道形成區之多閘極電晶體。

於下，將參考圖 18A 至 18D，說明在基板 320 上製造電晶體 360 之製程。

首先，在具有絕緣表面的基板 320 上形成導電膜，然後，在第一微影步驟中，形成閘極電極層 361。注意，以噴墨法形成光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；如此，降低製造成本。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 361 形成為具有單層或堆疊層結構。

接著，在閘極電極層 361 上形成閘極絕緣層 322。

在本實施例中，以電漿 CVD 法，形成厚度 100 nm 或更小的氧氮化矽層作為閘極絕緣層 322。

接著，在閘極絕緣層 322 上形成厚度為 2 nm 至 200 nm 的氧化物半導體膜，然後，在第二微影步驟中，將氧化物半導體膜處理成島狀氧化物半導體層。在本實施例

中，使用以 In-Ga-Zn-O 為基礎的金屬氧化物靶，以濺射法形成氧化物半導體膜。

在此情況中，較佳的是形成氧化物半導體膜並去除餘留在處理室中的濕氣。這是因為防止氫、羥基、或濕氣被包含於氧化物半導體膜中。

為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。此外，抽真空單元可以是設有冷阱的渦輪泵。在由低溫泵抽真空的處理室中，舉例而言，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物、等等，因此，可以降低處理室中形成的氧化物半導體膜中的雜質濃度。

關於用於形成氧化物半導體膜的濺射氣體較佳是例如氫、濕氣、羥基或氫化物等雜質濃度降低至約數 ppm 或約數 ppb 的高純度氣體。

接著，執行氧化物半導體層的脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度高於或等於 400°C 且低於或等於 750°C 之溫度，較佳高於或等於 400°C 且低於基板的應變點。此處，將基板導入熱處理設備其中之一的電熱爐中，以及，在 450°C 下，在氮氛圍中，對氧化物半導體層執行熱處理一小時，然後，氧化物半導體層未曝露於空氣，以致於防止濕氣及氫進入氧化物半導體層；因此，取得氧化物半導體層 332(請參見圖 18A)。

接著，執行使用例如 N_2O 、 N_2 、或 Ar 等氣體之電漿處理。藉由此電漿處理，去除附著至氧化物半導體層的曝

露表面的被吸收的水等等。也使用氧及氬的混合氣體，執行電漿處理。

接著，在閘極絕緣層 322 及氧化物半導體層 332 上形成氧化物絕緣層。之後，在第三微影步驟中，形成光阻掩罩，以及，執行選擇性蝕刻，以致於形成氧化物絕緣層 366。之後，去除光阻掩罩。

在本實施例中，以濺射法形成厚度 200 nm 的氧化矽膜作為氧化物絕緣層 366。在沈積時的基板溫度可以高於或等於室溫且低於或等於 300°C，在本實施例中基板為 100°C。在稀有氣體（典型上，氬）氛圍中、氧氛圍中、或氧和稀有氣體（典型上，氬）氛圍中，以濺射法形成氧化矽膜。使用氧化矽靶或矽靶作為靶。舉例而言，在含有氧及氮的氛圍中，使用矽靶，以濺射法形成氧化矽膜。

在此情況中，較佳形成氧化物絕緣層 366 並去除餘留在處理室中的濕氣。這是因為防止氫、羥基、或濕氣被包含於氧化物半導體層 332 及氧化物絕緣層 366 中。

為了去除餘留在處理室中的濕氣，較佳使用捕獲真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。此外，抽真空單元可以是設有冷阱的渦輪泵。從由低溫泵抽真空的處理室中，舉例而言，去除氫原子、例如濕氣（ H_2O ）等含有氫原子的化合物、等等，因而降低處理室中形成的氧化物絕緣層 366 中的雜質濃度。

用於形成氧化物絕緣層 366 的濺射氣體較佳是例如氬、水、羥基或氫化物等雜質濃度降低至約數 ppm 或約

數 ppb 的高純度氣體。

接著，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（較佳地，高於或等於 200℃ 且低於或等於 400℃，舉例而言，高於或等於 250℃ 且低於或等於 350℃）。舉例而言，在 250℃ 下，在氮氛圍中執行第二熱處理一小時。當執行第二熱處理時，在部份氧化物半導體層（通道形成區）接觸氧化物絕緣層 366 的條件下施加熱。

在本實施例中，設有氧化物絕緣層 366 且部份地曝露之氧化物半導體層 332 又在氮氛圍或惰性氣體氛圍或降壓下受到熱處理。藉由氮氛圍或惰性氣體氛圍或降壓下的熱處理，能夠降低未由氧化物絕緣層 366 覆蓋的氧化物半導體層 332 的曝露區的電阻。舉例而言，在氮氛圍中，在 250℃ 下，執行熱處理一小時。

藉由在氮氛圍中對設有氧化物絕緣層 366 的氧化物半導體層 332 執行熱處理，降低氧化物半導體層 332 的曝露區的電阻。如此，形成包含具有不同電阻（圖 18B 中由陰影區及白區標示）之氧化物半導體層 362。

接著，在閘極絕緣層 322、氧化物半導體層 362、及氧化物絕緣層 366 上形成導電膜。之後，在第四微影步驟中，形成光阻掩罩以及執行選擇性蝕刻，以致於形成源極電極層 365a 和汲極電極層 365b。然後，去除光阻掩罩（請參見圖 18C）。

關於源極電極層 365a 和汲極電極層 365b 的材料，可為選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素、含有這

些元素中的任何元素的合金、含有任何這些元素的組合之合金膜、等等。金屬導電膜可以具有單層結構或二或更多層的堆疊層結構。

經由上述步驟，在對沈積的氧化物半導體膜執行脫水或脫氫以降低氧化物半導體膜的電阻之熱處理之後，使得部份氧化物半導體膜處於氧過量狀態。結果，與閘極電極層 361 重疊的通道形成區 363 變成 i 型，以及，以自行對準方式，形成與源極電極層 365a 重疊的高電阻源極區 364a 以及與汲極電極層 365b 重疊的高電阻汲極區 364b。經由上述步驟，製造電晶體 360。

此外，在空氣中，在 100℃ 至 200℃（含）下執行熱處理一小時至 30 小時。在本實施例中，在 150℃ 下執行熱處理 10 小時。此熱處理可以在固定加熱溫度下執行。或者，重複地執行多次下述加熱溫度變化：加熱溫度從室溫增加至高於或等於 100℃ 且低於或等於 200℃（含）的溫度，然後降至室溫。此外，在形成氧化物絕緣膜之前，可以在降壓下執行此熱處理。在降壓下，加熱時間縮短。藉由此熱處理，將氫從氧化物半導體層導至氧化物絕緣層；因此，能夠取得常關電晶體。因此，能夠增加半導體裝置的可靠度。

注意，藉由在與汲極電極層 365b（及源極電極層 365a）重疊的氧化物半導體層中形成高電阻汲極區 364b（及高電阻源極區 364a），增進電晶體的可靠度。具體而言，高電阻汲極區 364b 的形成能夠造成導電率從汲極電極層經過

高電阻汲極區 364b 至通道形成區 363 逐漸變化的結構。因此，在以汲極電極層 365b 連接至供應高電源電位 VDD 的佈線來執行操作的情況中，高電阻汲極區作為緩衝器，因此，即使高電壓施加至閘極電極層 361 與汲極電極層 365b 之間時，仍然較不易發生電場局部集中，導致電晶體的耐受電壓增加。

在源極電極層 365a、汲極電極層 365b、及氧化物絕緣層 366 上形成保護絕緣層 323。在本實施例中，使用氮化矽膜形成保護絕緣層 323(請參見圖 18D)。

此外，在源極電極層 365a、汲極電極層 365b、及氧化物絕緣層 366 上形成氧化物絕緣層，以及，保護絕緣層 323 進一步堆疊於氧化物絕緣層上。

上述電晶體應用至包含於實施例 1 至 4 中所述的半導體裝置中，因而抑制待機狀態時電池的放電。亦即，降低半導體的待機電力。此外，當待機狀態時抑制電池放電時，半導體裝置具有長壽命。

此外，使用上述電晶體作為包含於實施例 1 至 4 中的半導體裝置中的電晶體，因而縮減製程、增進產能、及降低製造成本。

注意，本實施例或部份本實施例可以與其它實施例或部份其它實施例自由地結合。

(實施例 9)

在本實施例中，將參考圖 19A 至 19F，說明實施例 1

至 4 中所述的半導體裝置的使用實例。

如圖 19A 至 19F 所示，半導體裝置被廣泛地使用。舉例而言，半導體裝置可以用於紙幣、硬幣、證券、無記名債券、證件（例如，駕駛執照或居留卡，請參見圖 19A）、記錄媒體（例如，DVD 或錄影帶，請參見圖 19B）、用於包裝物品的容器（例如，包裝紙或瓶，請參見圖 19C）、車輛（例如，腳踏車，請參見圖 19D）、個人物品（例如，背包或眼鏡）、食物、植物、動物、人體、衣服、日用品、或電子裝置（例如，液晶顯示裝置、EL 顯示裝置、電視機、或行動電話）、或物品的出貨標籤（請參見圖 19E 及 19F）。

半導體裝置藉由安裝於印刷電路板、附著至表面、或是併入於物體中而固定至物體。舉例而言，半導體裝置 1500 併入於書的紙中或是要固定至每一個物體的有機樹脂包裝。由於半導體裝置 1500 取得尺寸、厚度、及重量縮小，所以，即使半導體裝置 1500 固定至物體之後，仍然不會損傷物體的設計。此外，藉由提供半導體裝置 1500 以用於紙幣、硬幣、證券、無記名債券、證件、等等，可以取得識別功能以及藉由識別功能而防止其偽造。此外，當本發明的半導體裝置附著至用於包裝物體的容器、記錄媒體、個人物品、食物、日用品、電子裝置、等等時，可以更有效地執行例如檢測系統等系統。此外，甚至用於車輛，當半導體裝置 1500 附接至車輛時，可以增進防竊安全等級、等等。

當上述實施例中所述的半導體裝置以所述方式用於本實施例中所述的應用使用時，交換資訊使用的資料可以維持在準確值。因此，可以增加物體的驗證或安全性。

注意，本實施例與部份本實施例可以與其它實施例或部份其它實施例自由地結合。

本申請案係根據 2009 年 11 月 20 日向日本專利局申請之日本專利申請序號 2009-265594，其整體內容於此一併列入參考。

【符號說明】

10：天線

11：調變電路

13：訊號處理部

14：電力控制電路

15：電晶體

20：天線

21：電池

22：計時器

23：訊號處理部

24：電力控制電路

25：電晶體

30：天線

31：二次電池

32：整流電路

- 33 : 充電電路
- 34 : 穩定電源電路
- 35 : 解調變電路
- 36 : 訊號處理部
- 37 : 電力控制電路
- 38 : 電晶體
- 40 : 天線
- 41 : 二次電池
- 42 : 整流電路
- 43 : 充電電路
- 44 : 穩定電源電路
- 45 : 解調變電路
- 46 : 訊號處理部
- 47 : 電力控制電路
- 48 : 邏輯電路
- 49 : 時脈產生電路
- 50 : 感測器
- 51 : 記憶電路
- 52 : 調變電路
- 80 : p 通道電晶體
- 81 : n 通道電晶體
- 82 : n 通道電晶體
- 83 : p 通道電晶體
- 84 : p 通道電晶體

- 85 : n 通道電晶體
- 86 : n 通道電晶體
- 87 : n 通道電晶體
- 88 : p 通道電晶體
- 89 : p 通道電晶體
- 90 : n 通道電晶體
- 91 : n 通道電晶體
- 92 : n 通道電晶體
- 100 : 基板
- 102 : 保護層
- 104 : 半導體區
- 106 : 元件隔離絕緣層
- 108a : 閘極絕緣層
- 108b : 絕緣層
- 110a : 閘極電極層
- 110b : 電極層
- 112 : 絕緣層
- 114a : 雜質區
- 114b : 雜質區
- 116 : 通道形成區
- 118 : 側壁絕緣層
- 120a : 高濃度雜質區
- 120b : 高濃度雜質區
- 122 : 金屬層

- 124a：金屬化合物區
- 124b：金屬化合物區
- 126：層間絕緣層
- 130a：源極電極層
- 130b：汲極電極層
- 130c：電極層
- 132：絕緣層
- 134：導電層
- 136a：電極層
- 136b：電極層
- 136c：電極層
- 136d：閘極電極層
- 138：閘極絕緣層
- 140：氧化物半導體層
- 142a：源極電極層
- 142b：汲極電極層
- 144：保護絕緣層
- 146：層間絕緣層
- 148：導電層
- 150a：電極層
- 150b：電極層
- 150c：電極層
- 150d：電極層
- 150e：電極層

152：絕緣層

154a：電極層

154b：電極層

154c：電極層

154d：電極層

160：p 通道電晶體

164：n 通道電晶體

320：基板

322：閘極絕緣層

323：保護絕緣層

332：氧化物半導體層

360：電晶體

361：閘極電極層

362：氧化物半導體層

363：通道形成區

364a：源極區

364b：汲極區

365a：源極電極層

365b：汲極電極層

366：氧化物絕緣層

390：電晶體

391：閘極電極層

392：氧化物半導體層

393：氧化物半導體膜

- 394：基板
- 395a：源極電極層
- 395b：汲極電極層
- 396：氧化物絕緣層
- 397：閘極絕緣層
- 398：保護絕緣層
- 399：氧化物半導體層
- 423：開口
- 450：基板
- 452：閘極絕緣層
- 457：絕緣層
- 460：電晶體
- 461：閘極電極層
- 461a：閘極電極層
- 461b：閘極電極層
- 462：氧化物半導體層
- 464：佈線層
- 465a：源極電極層或汲極電極層
- 465a1：源極電極層或汲極電極層
- 465a2：源極電極層或汲極電極層
- 1500：半導體裝置

申請專利範圍

1. 一種半導體裝置，包括：

電池；

第一電晶體；

在該第一電晶體之上的絕緣層；及

在該絕緣層之上的第二電晶體，

其中，該第一電晶體的通道形成區係設置於半導體基板中，

其中，該第二電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區，

其中，該第二電晶體為 n 通道電晶體，並且

其中，該電池經由該第二電晶體而被電性連接至該第一電晶體。

2. 如申請專利範圍第 1 項之半導體裝置，其中，該電池為二次電池。

3. 一種半導體裝置，包括：

電源供應電路；

第一電晶體；

在該第一電晶體之上的絕緣層；及

在該絕緣層之上的第二電晶體，

其中，該第一電晶體的通道形成區係設置於半導體基板中，

其中，該第二電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區，

其中，該第二電晶體為 n 通道電晶體，並且

其中，該電源供應電路經由該第二電晶體而被電性連接至該第一電晶體。

4. 如申請專利範圍第 3 項之半導體裝置，其中，該電源供應電路包括二次電池。

5. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該氧化物半導體層之區域中的氫濃度係低於或等於 5×10^{19} 原子/cm³。

6. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該氧化物半導體層之區域中的載子密度係低於 1×10^{14} cm⁻³。

7. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該氧化物半導體層包括銦及鋅。

8. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該半導體基板為包括矽的單晶半導體基板。

9. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該氧化物半導體層包括結晶部分。

10. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該氧化物半導體層係設置於該第一電晶體的閘極電極之上。

11. 如申請專利範圍第 1 或 3 項之半導體裝置，其中，該第一電晶體為 p 通道電晶體。

圖式

圖1

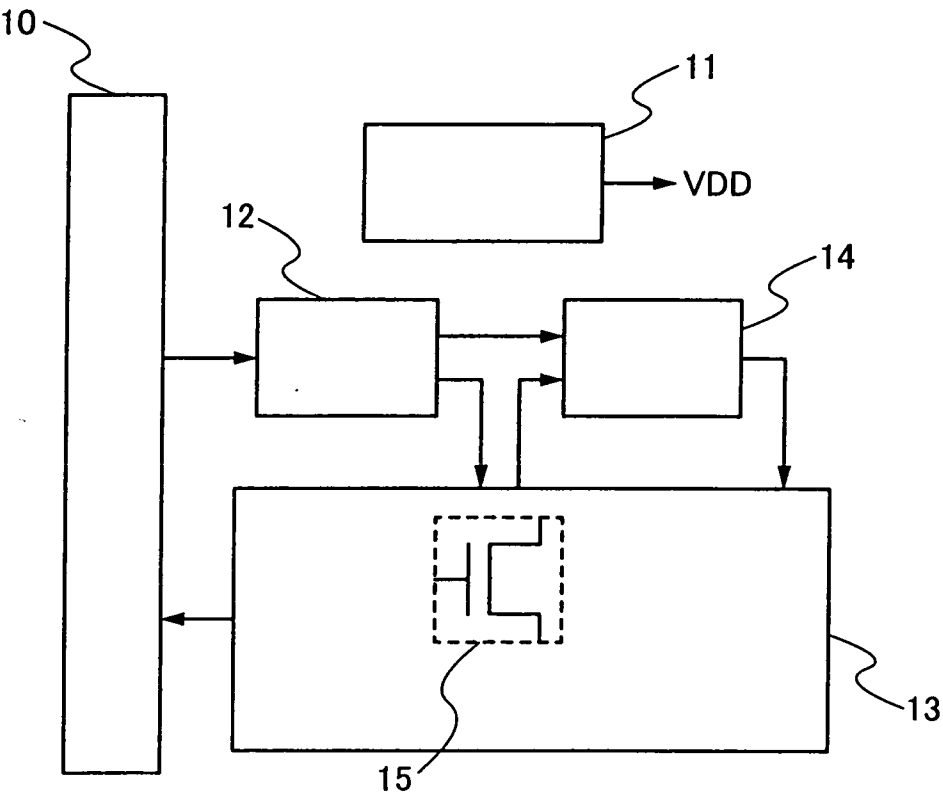


圖2

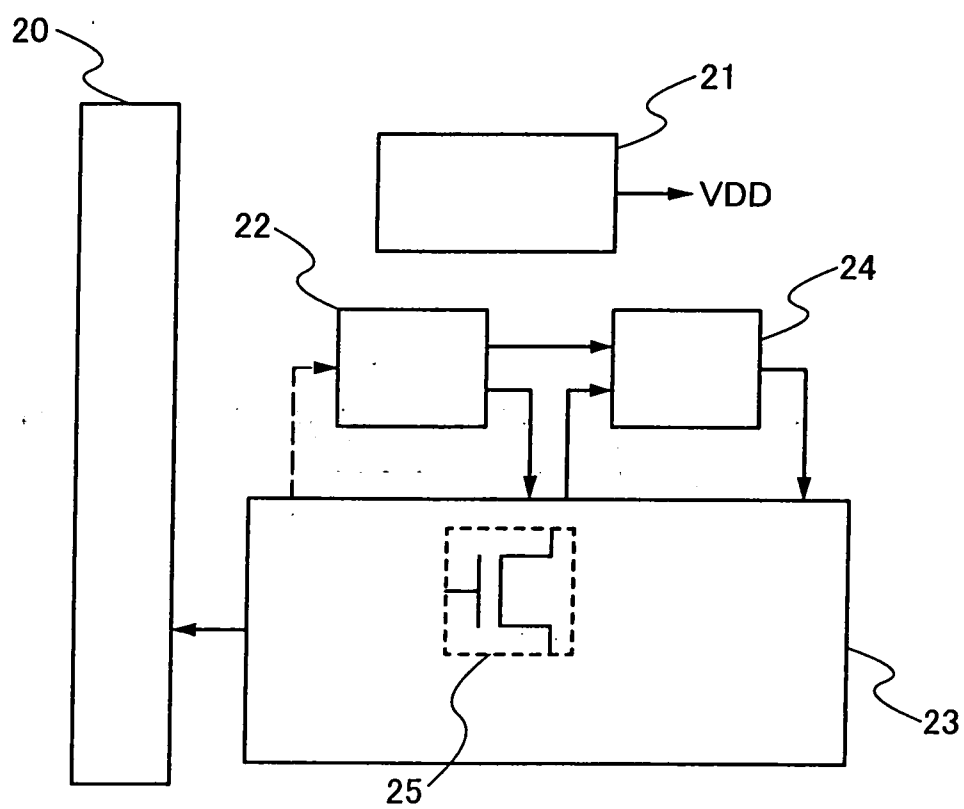


圖 3

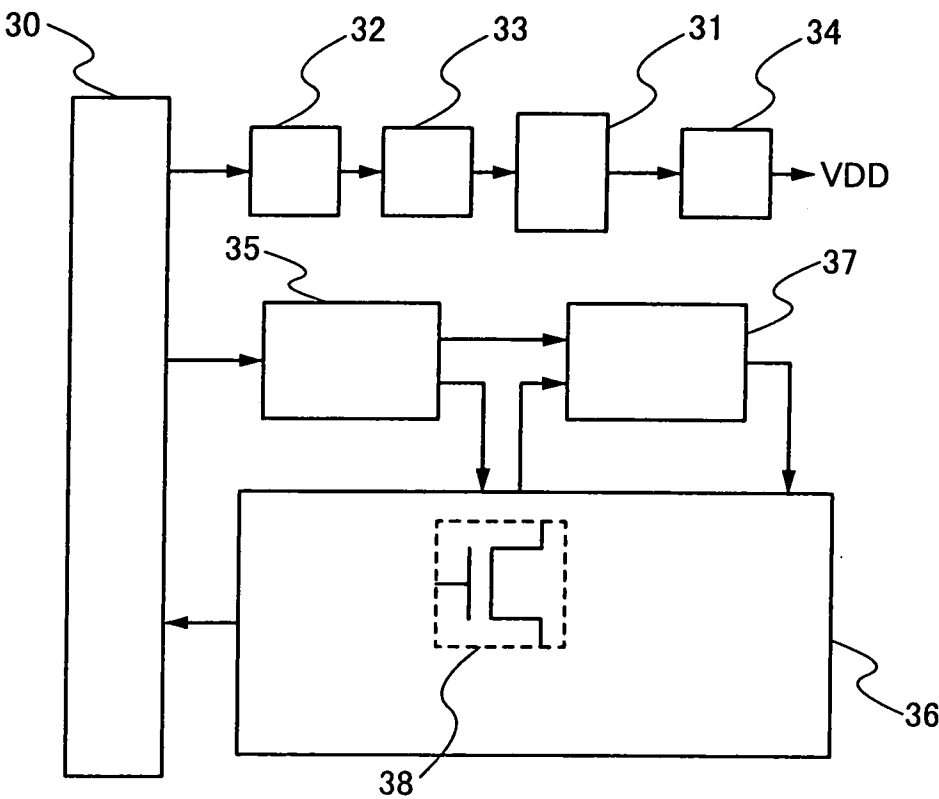


圖 4

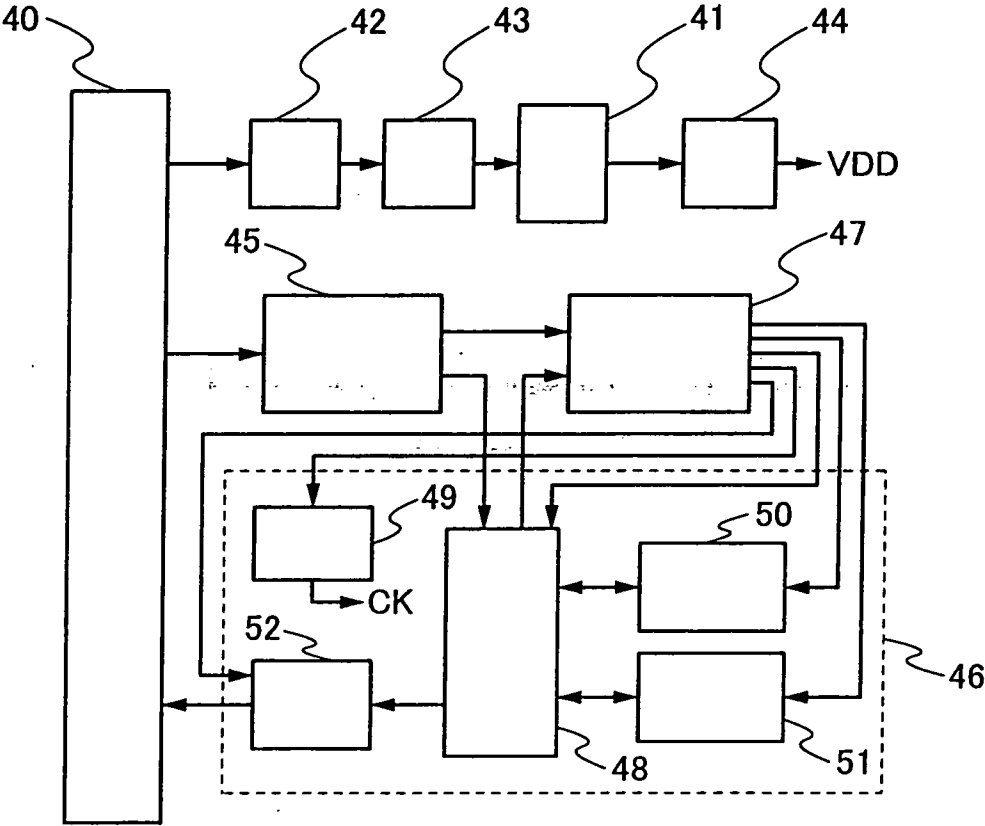


圖 5A

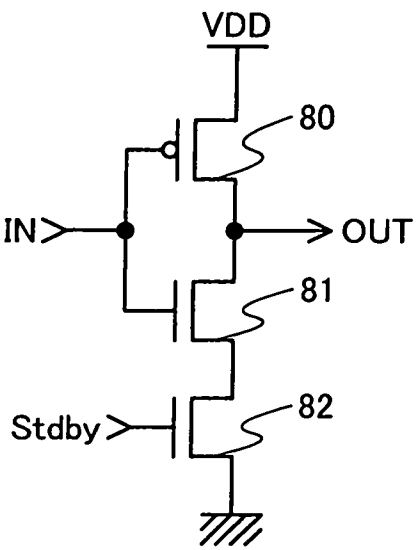


圖 5B

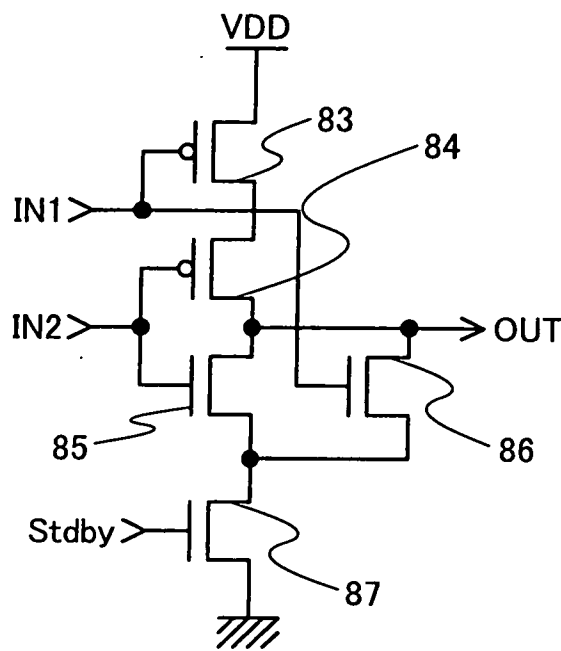


圖 5C

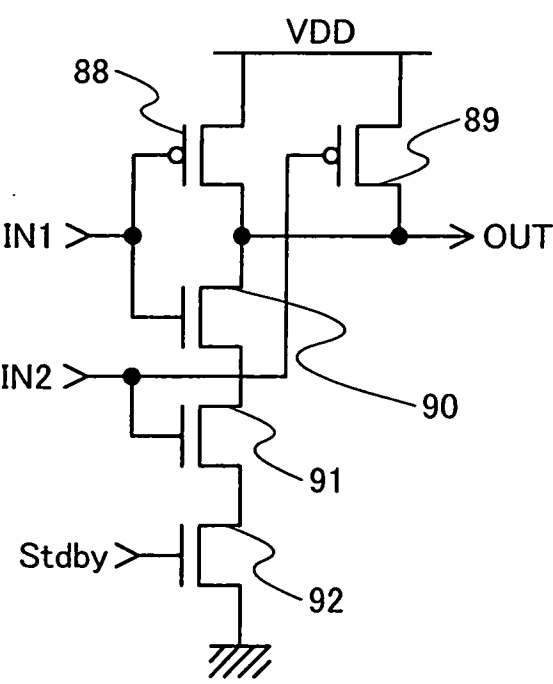


圖 6A

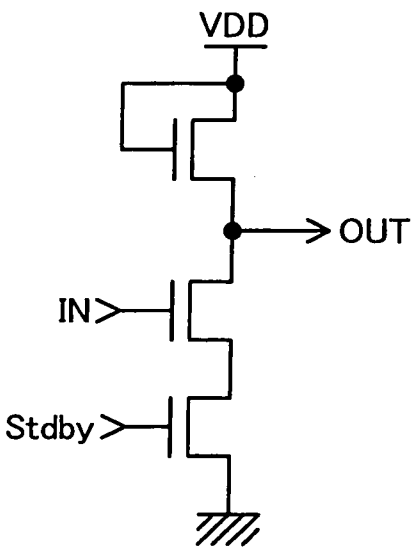


圖 6B

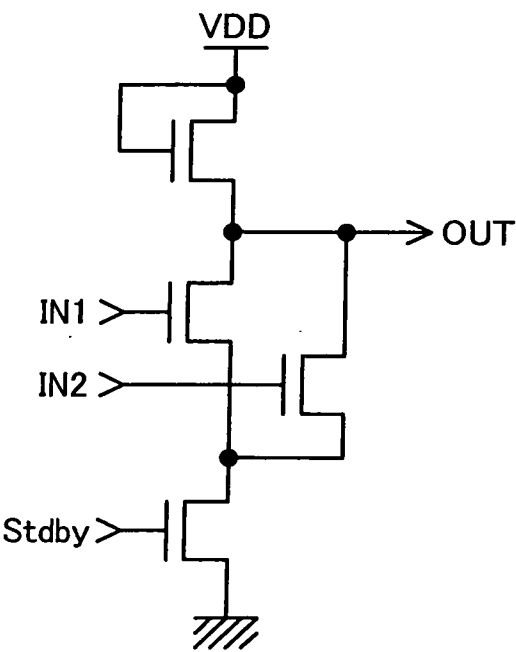


圖 6C

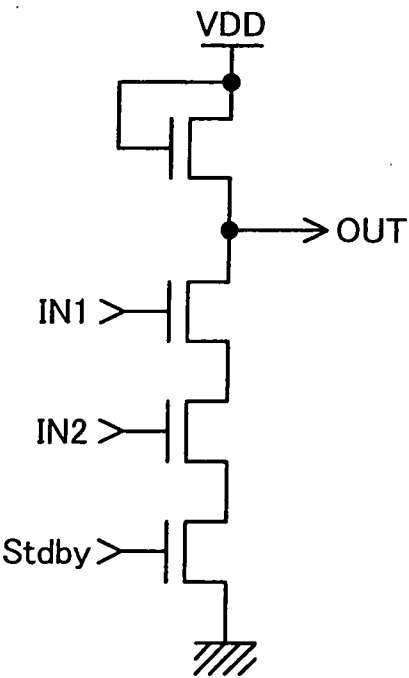


圖 7

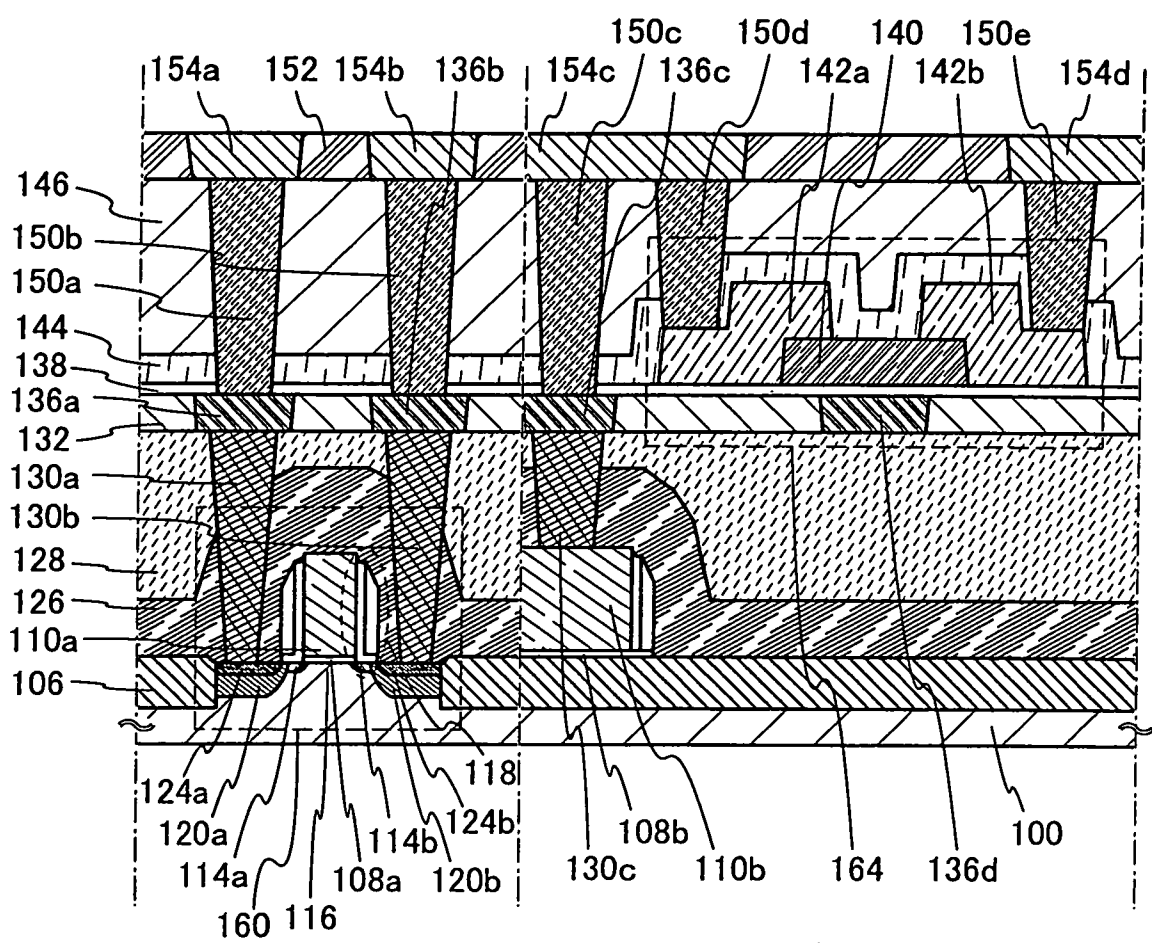


圖 8A

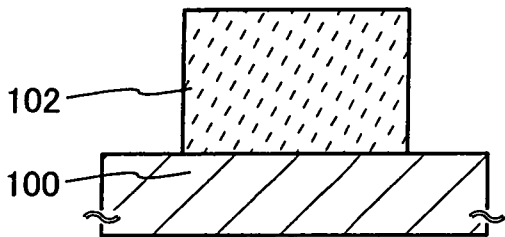


圖 8E

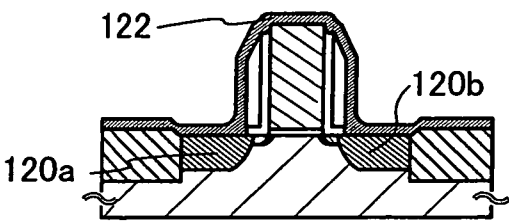


圖 8B

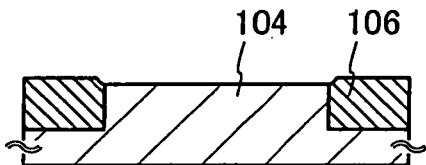


圖 8F

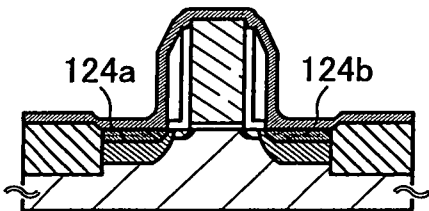


圖 8C

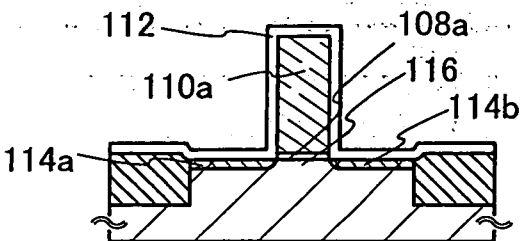


圖 8G

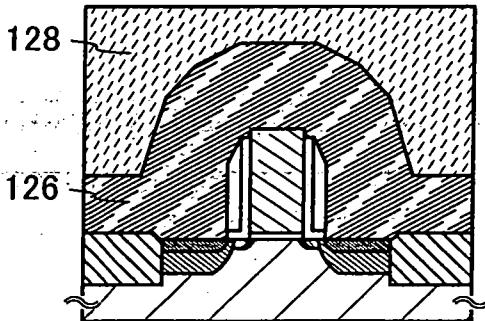


圖 8D

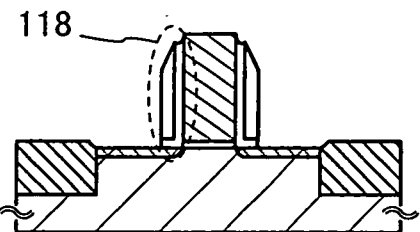


圖 8H

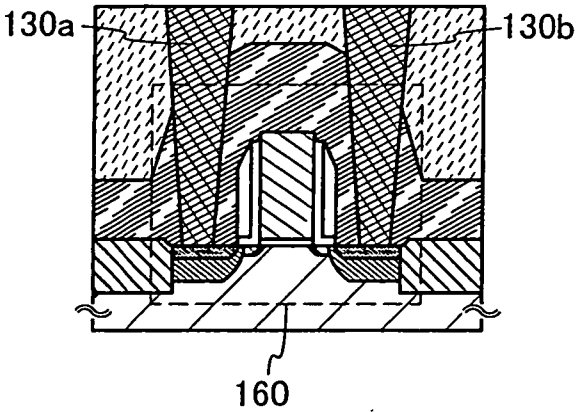


圖 9A

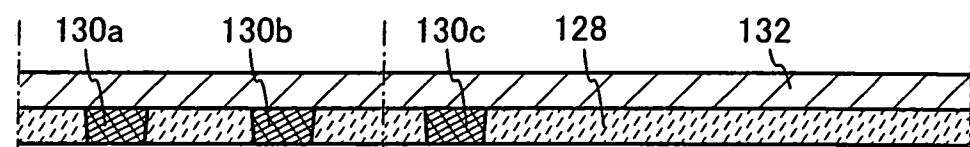


圖 9B

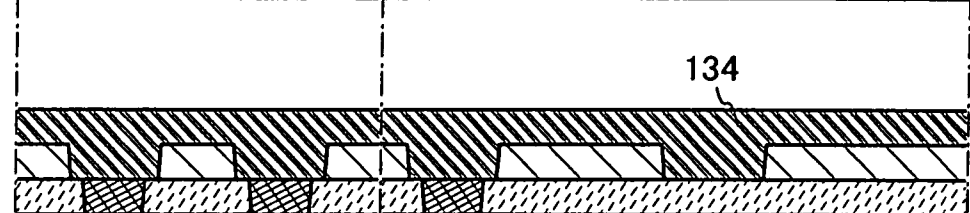


圖 9C

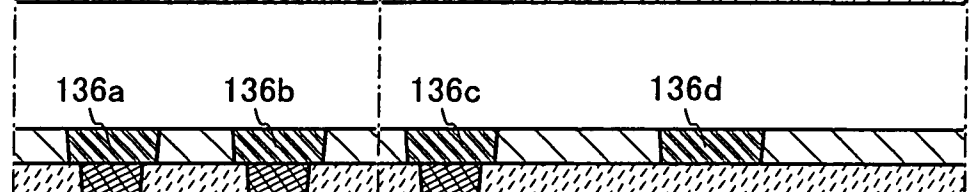


圖 9D

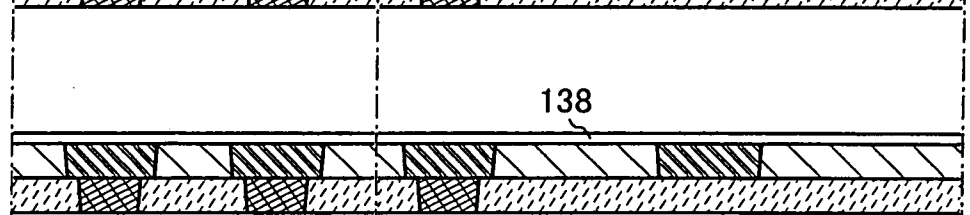


圖 9E

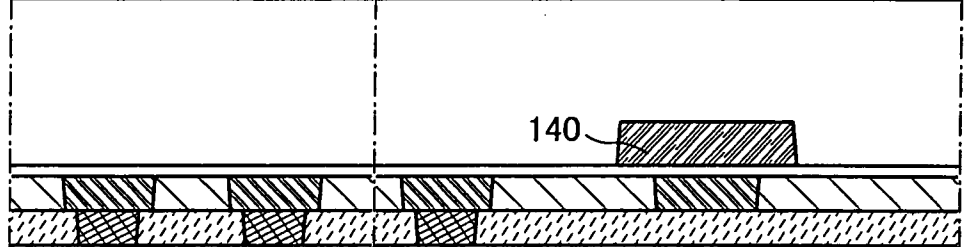


圖 9F

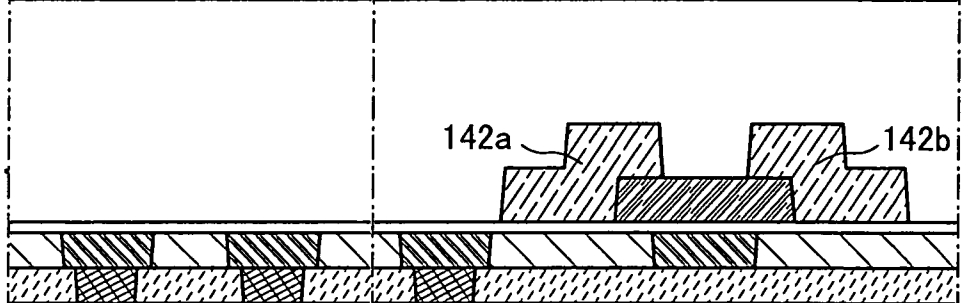


圖 9G

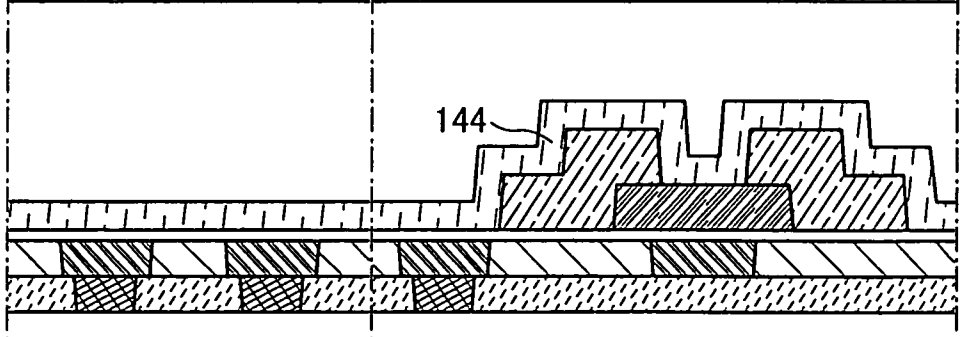


圖 10A

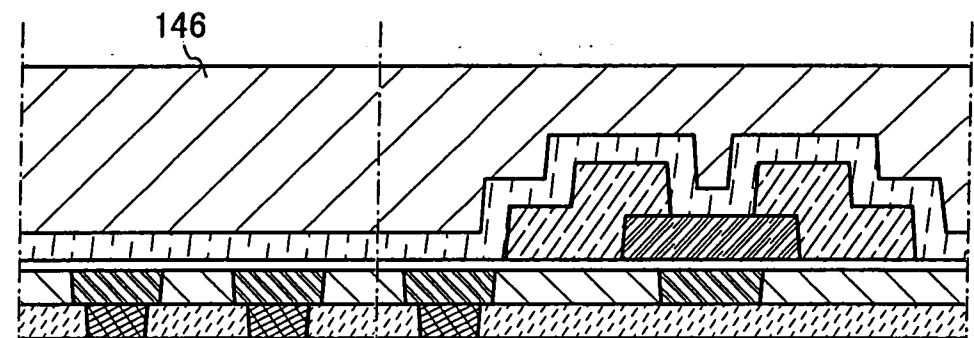


圖 10B

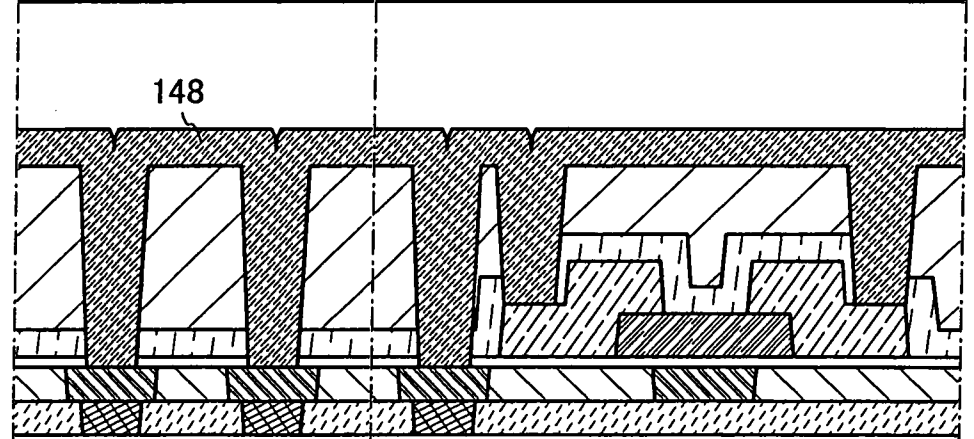


圖 10C

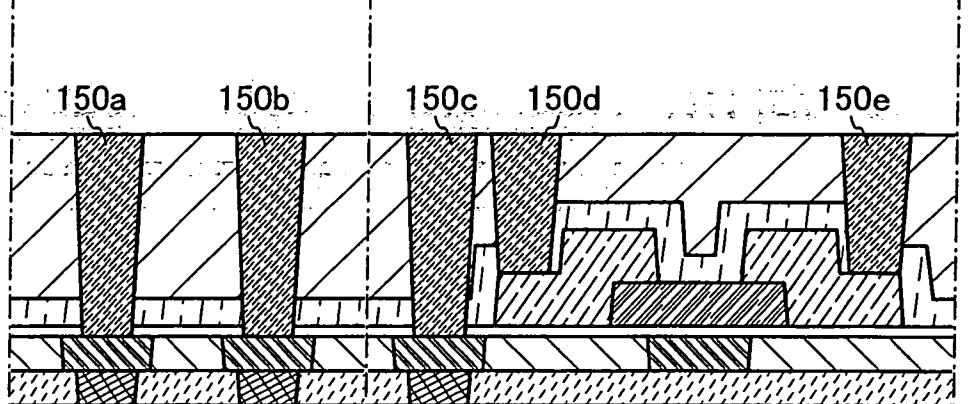


圖 10D

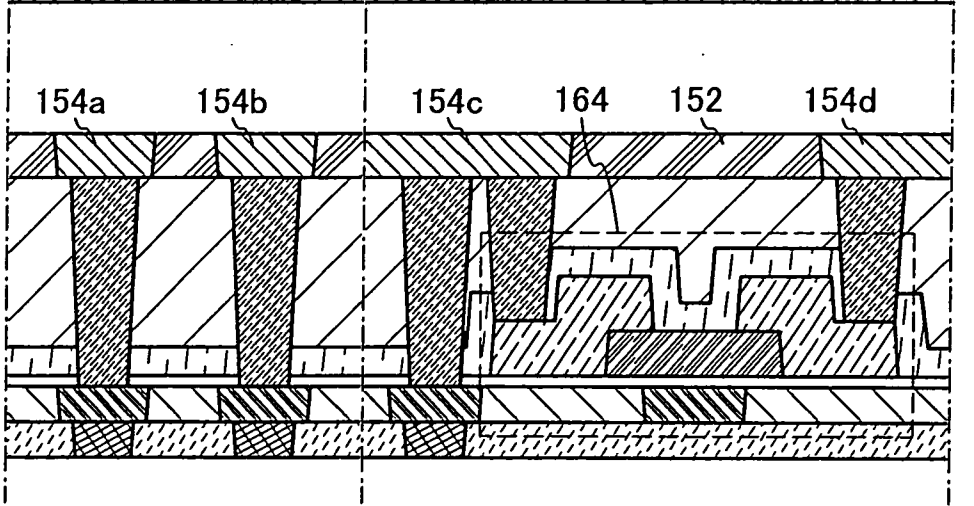


圖 11

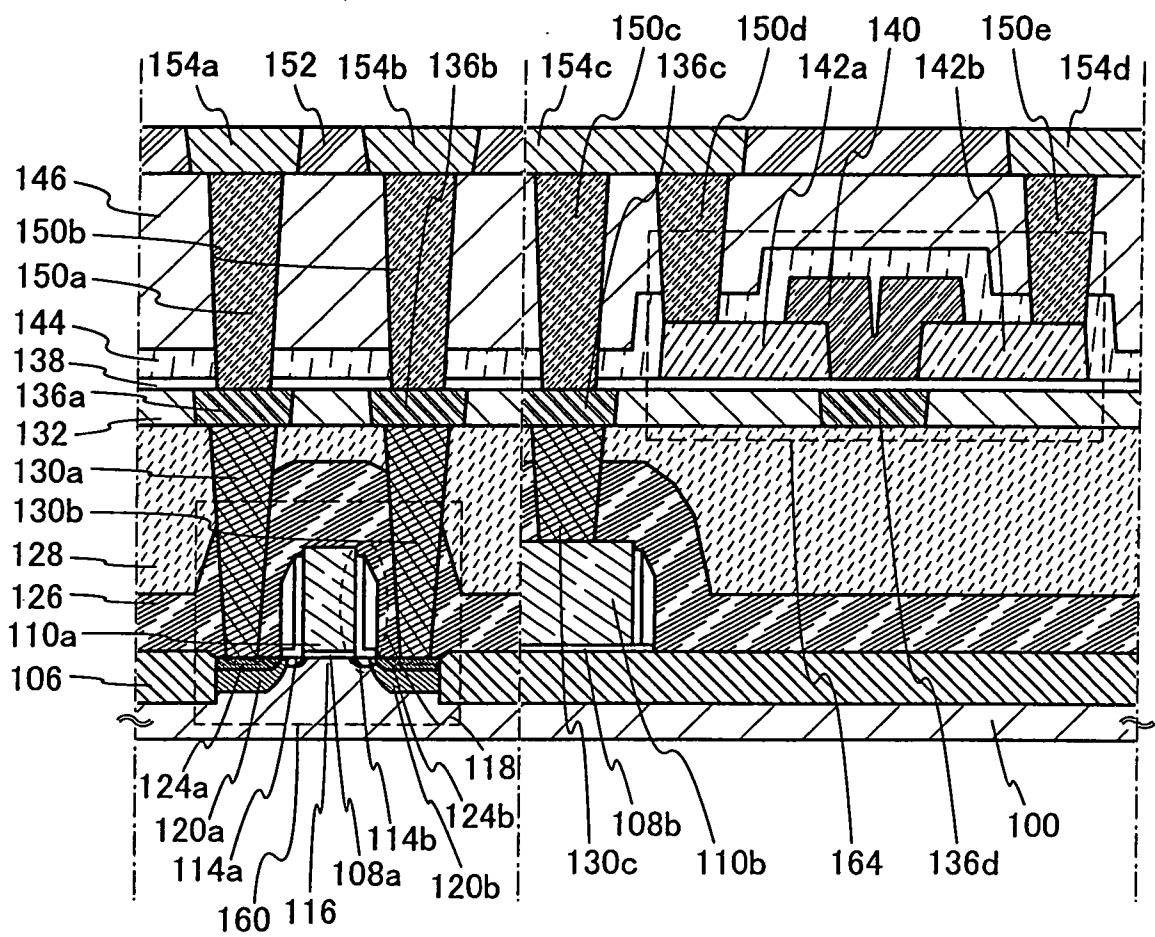


圖12A

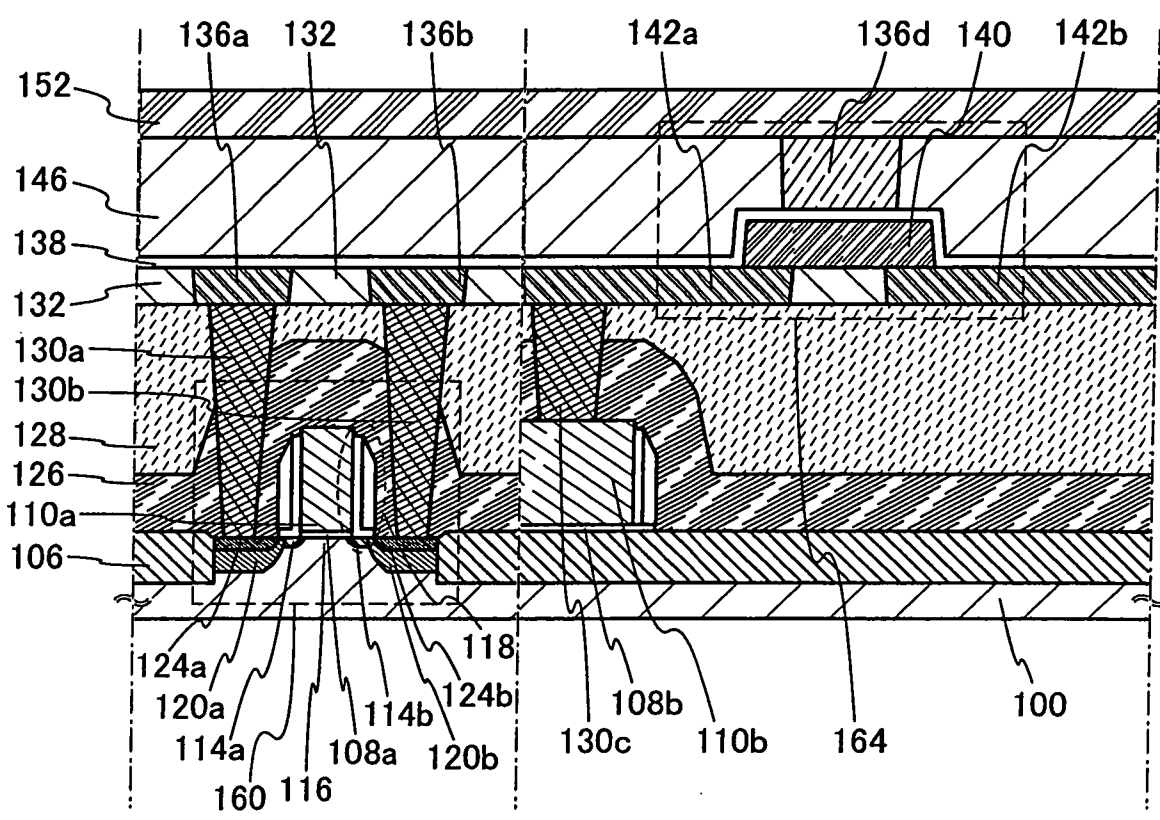


圖12B

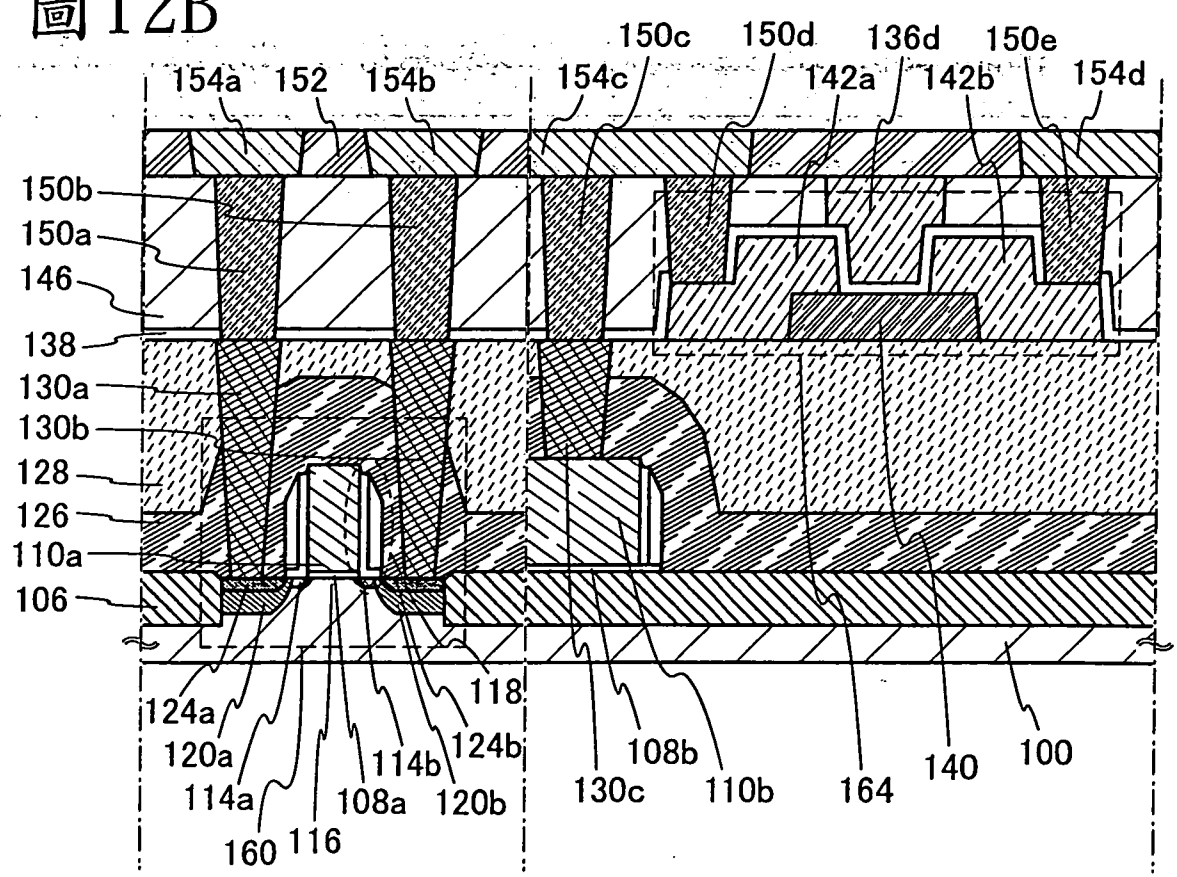


圖13A

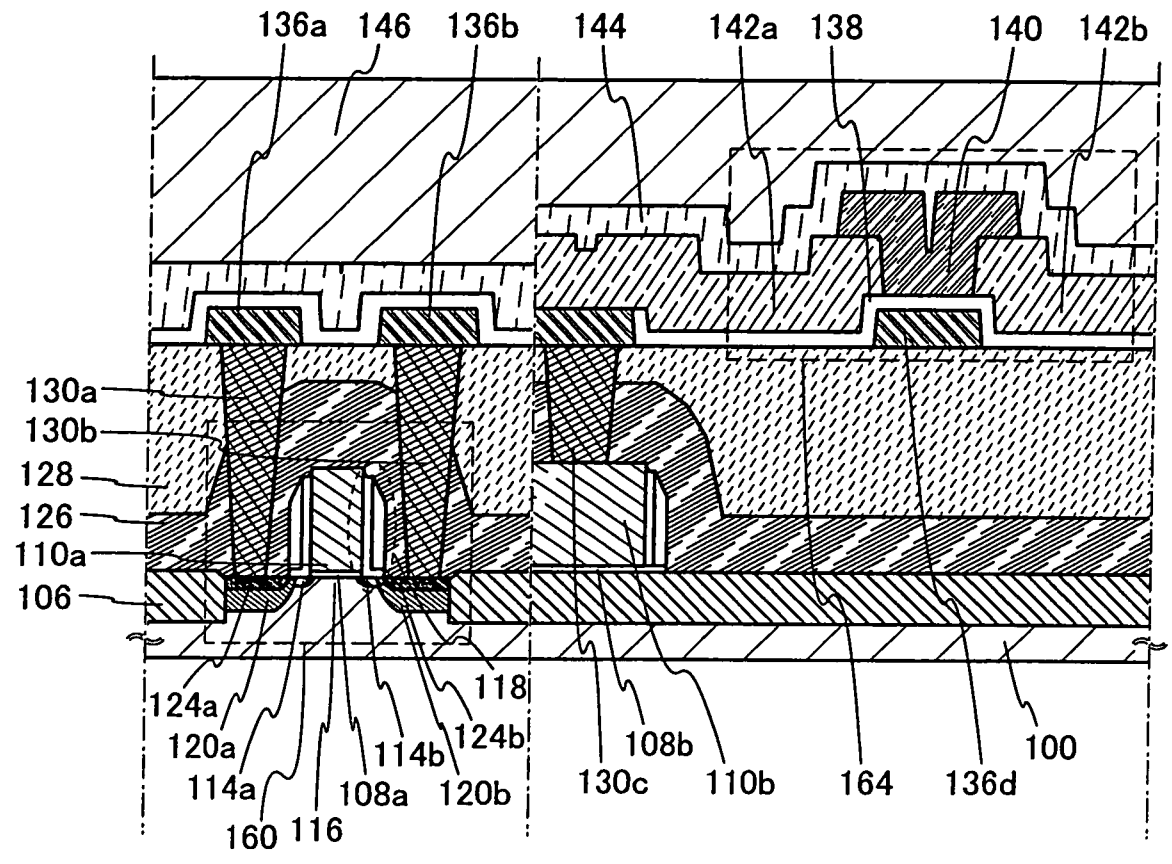


圖13B

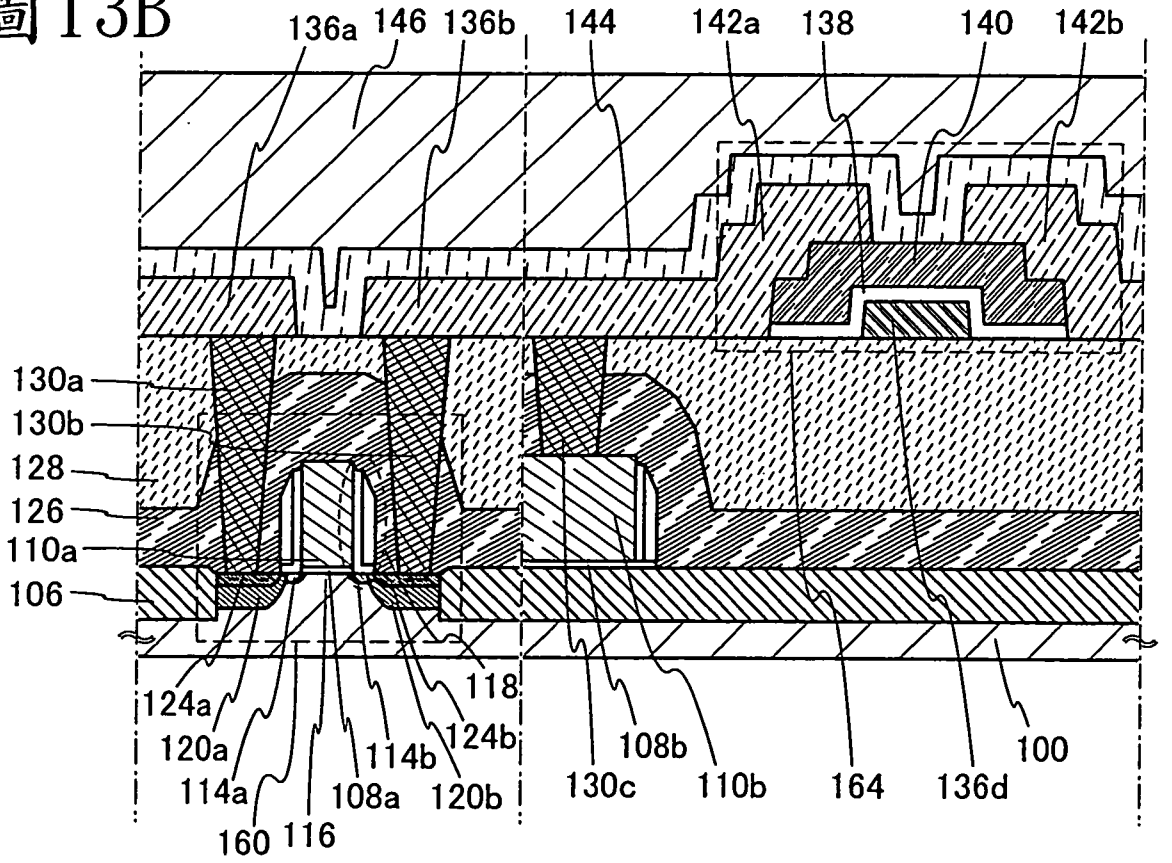


圖14A

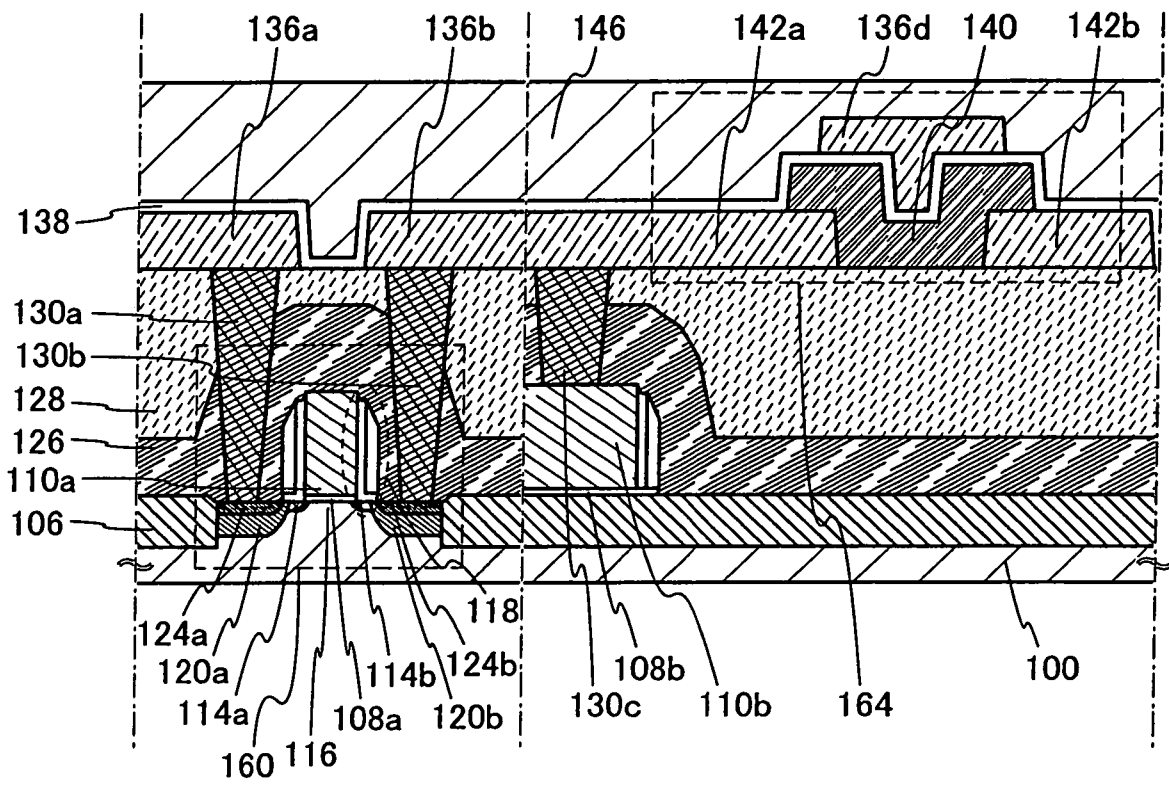


圖14B

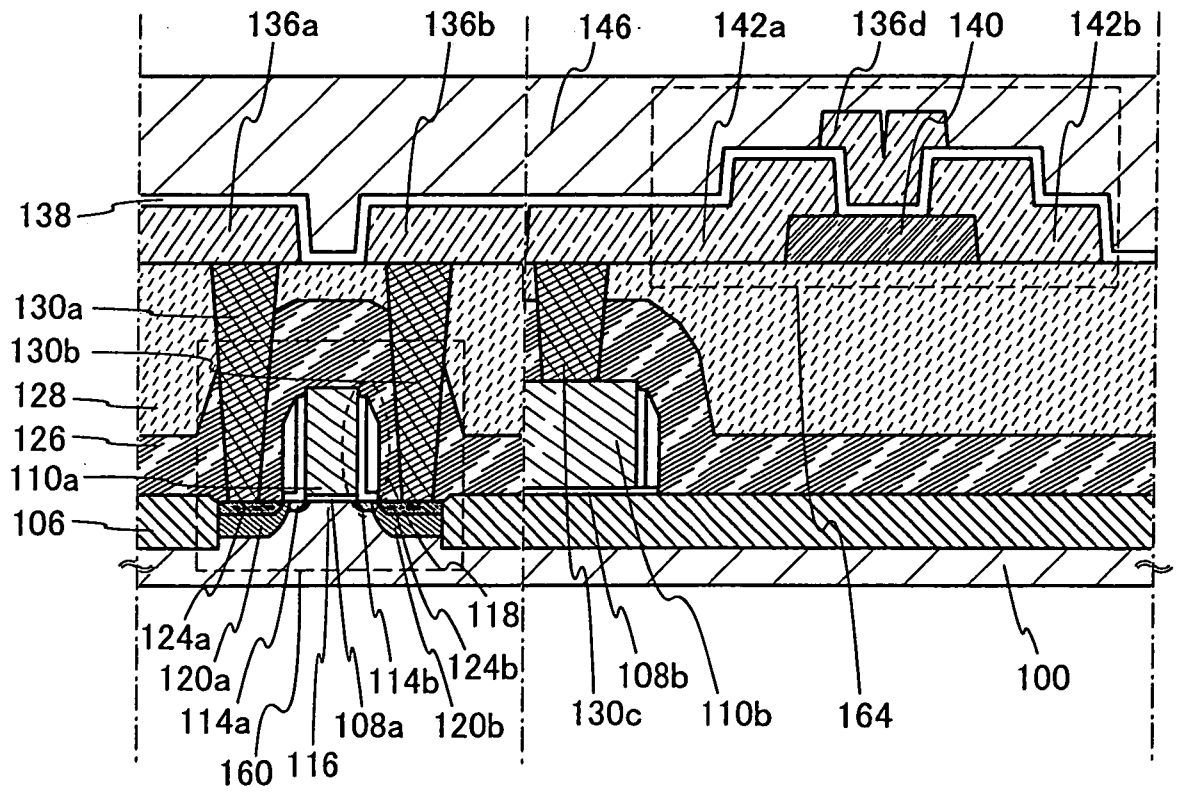


圖 15A

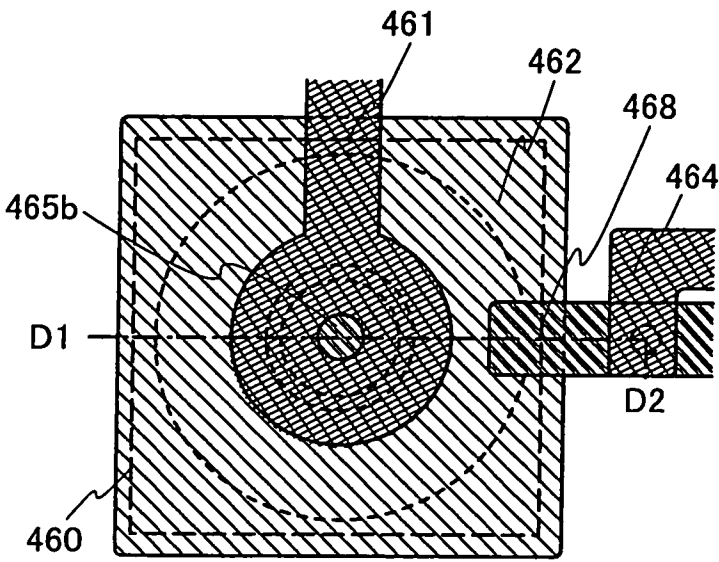


圖 15B

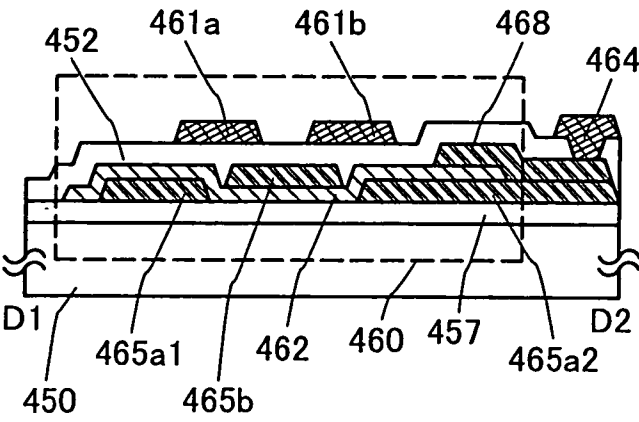


圖 16A

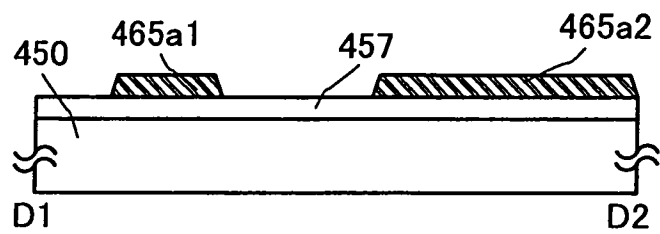


圖 16B

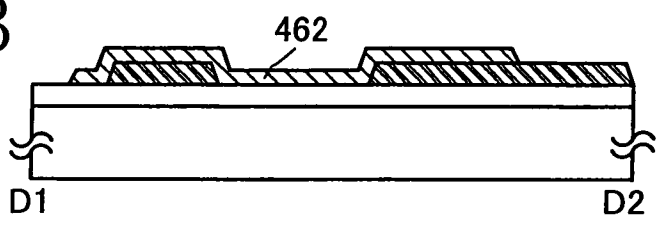


圖 16C

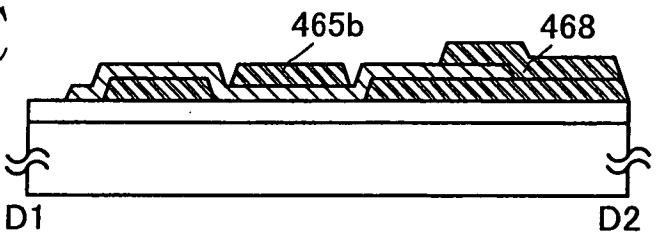


圖 16D

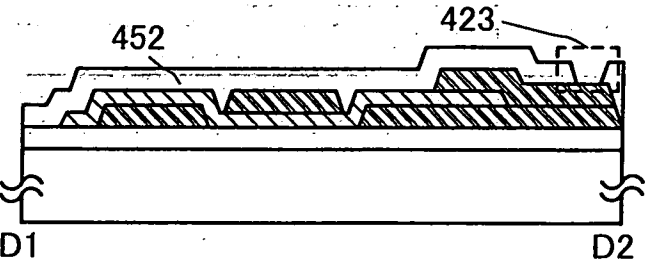


圖 16E

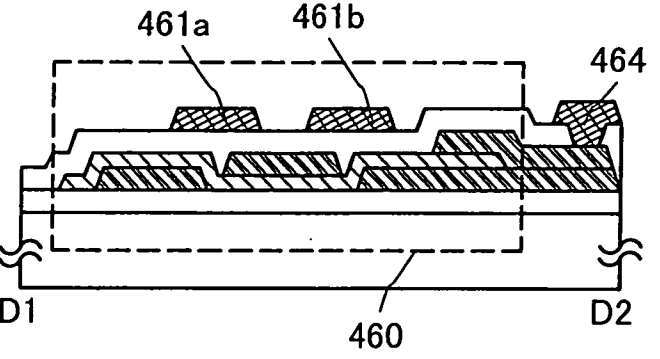


圖 17A

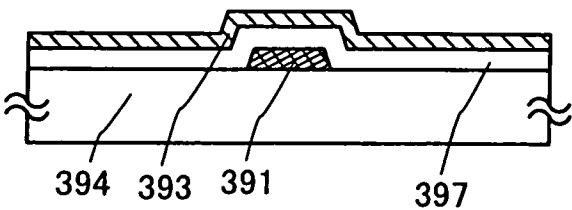


圖 17B

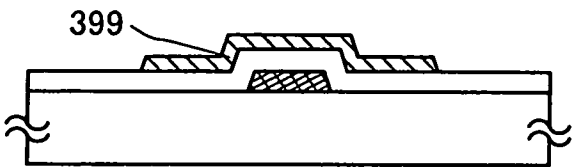


圖 17C

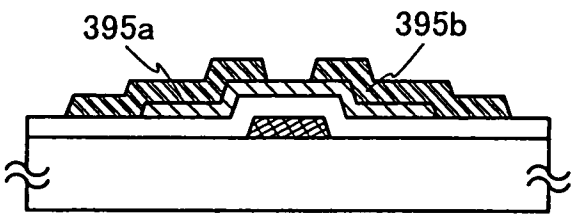


圖 17D

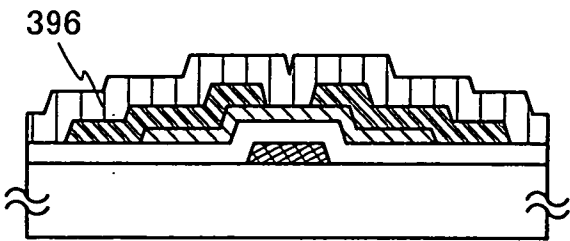


圖 17E

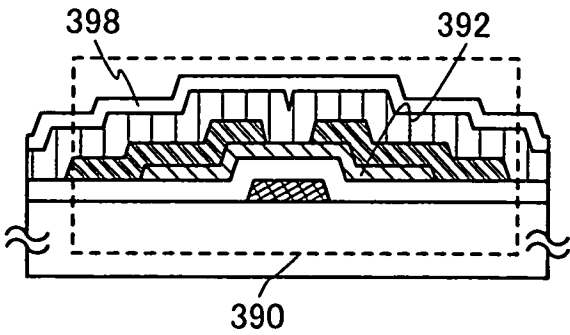


圖 18A

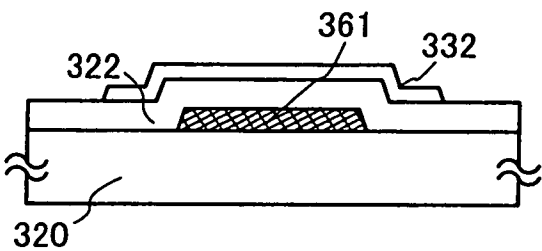


圖 18B

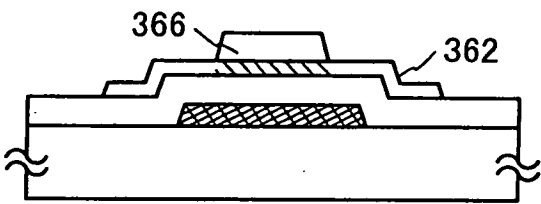


圖 18C

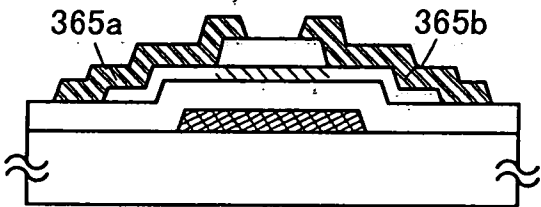


圖 18D

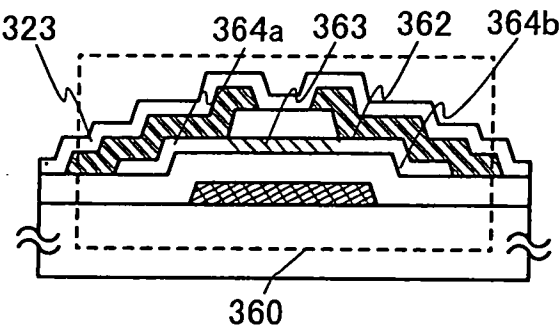


圖 19A

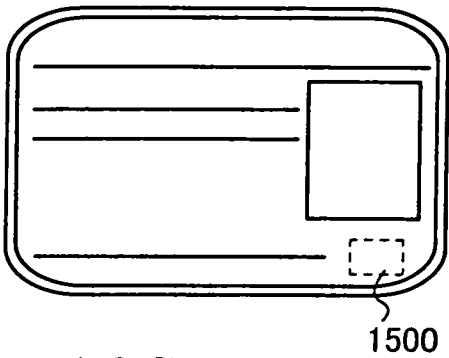


圖 19B

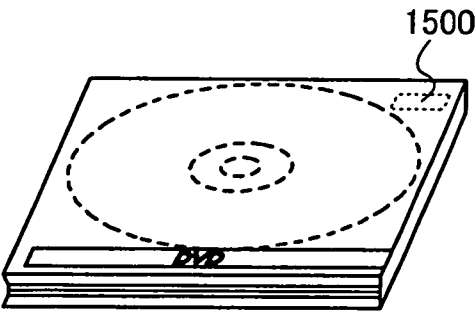


圖 19C

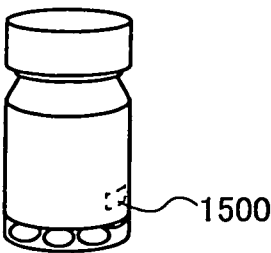


圖 19D

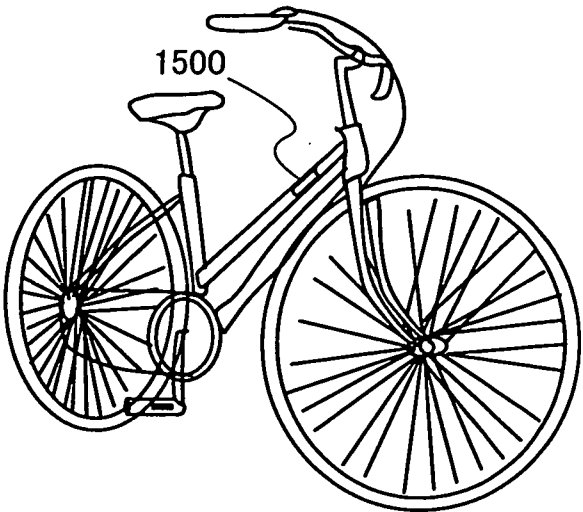


圖 19E



圖 19F

