

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4137922号  
(P4137922)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl. F I  
H03M 1/44 (2006.01) H03M 1/44

請求項の数 8 (全 16 頁)

<p>(21) 出願番号 特願2005-183828 (P2005-183828)                  (22) 出願日 平成17年6月23日(2005.6.23)                  (65) 公開番号 特開2007-6135 (P2007-6135A)                  (43) 公開日 平成19年1月11日(2007.1.11)                  審査請求日 平成18年4月25日(2006.4.25)</p>	<p>(73) 特許権者 000005223                  富士通株式会社                  神奈川県川崎市中原区上小田中4丁目1番                  1号                  (74) 代理人 100068755                  弁理士 恩田 博宣                  (74) 代理人 100105957                  弁理士 恩田 誠                  (72) 発明者 鈴木 久雄                  愛知県春日井市高蔵寺町二丁目1844番                  2 富士通ヴィエルエスアイ株式会社内                  審査官 小曳 満昭</p>
---	---

最終頁に続く

(54) 【発明の名称】 A/D変換回路

(57) 【特許請求の範囲】

【請求項1】

アナログ入力電流を複数ビットのデジタル値を持つ信号に変換するA/D変換回路であって、

前記デジタル値のビット数と同数設けられ、直列接続され、入力電流と基準電流との差を演算し、該差の絶対値を持つ電流を出力する演算セルと、

前記各演算セルの演算結果に基づき前記デジタル値の各ビットを決定するエンコーダと、を備え、

前記演算セルは、

入力電流から基準電流を減算して第1電流を生成する第1比較部と、

基準電流から入力電流を減算して第2電流を生成する第2比較部と、

を備え、前記第1電流又は前記第2電流を前記差の絶対値を持つ電流として出力することを特徴とするA/D変換回路。

【請求項2】

前記第1比較部は、基準電流を流す定電流源と、入力電流から前記基準電流を減算して第1電流を生成する第1カレントミラー回路と、前記第1カレントミラー回路を構成するトランジスタと異なる導電型のトランジスタにより構成され前記第1電流をミラーした電流を生成する第2カレントミラー回路とを備え、

前記第2比較部は、基準電流を流す定電流源と、前記基準電流から入力電流を減算して第2電流を生成する第1カレントミラー回路と、前記第1カレントミラー回路を構成する

トランジスタと異なる導電型のトランジスタにより構成され前記第 2 電流をミラーした電流を生成する第 2 カレントミラー回路とを備えたことを特徴とする請求項 1 記載の A / D 変換回路。

**【請求項 3】**

前記第 2 カレントミラー回路は、増幅率が 2 に設定され、各段の前記演算セルに備えられた定電流源は同じ値の基準電流を流すように構成されたことを特徴とする請求項 2 に記載の A / D 変換回路。

**【請求項 4】**

前記第 2 カレントミラー回路は、増幅率が 1 に設定され、2 段目以降の前記演算セルに備えられた定電流源はそれぞれ前段の演算セルに備えられた定電流源が流す基準電流の 1 / 2 の基準電流を流すように構成されたことを特徴とする請求項 2 に記載の A / D 変換回路。

10

**【請求項 5】**

初段の演算セルは、前記アナログ入力電流から前記第 1 比較部に供給する第 1 電流と前記第 2 比較部に供給する第 2 電流とを生成する入力部を備えたことを特徴とする請求項 1 ~ 4 のうちの何れか一項に記載の A / D 変換回路。

**【請求項 6】**

前記アナログ入力電流を入力し、該アナログ入力電流をミラーして前記第 1 比較部に供給する第 1 電流と前記第 2 比較部に供給する第 2 電流とを生成する入力回路を備えたことを特徴とする請求項 1 ~ 4 のうちの何れか一項に記載の A / D 変換回路。

20

**【請求項 7】**

前記エンコーダは、各段の演算セルに対応するエンコーダ部を備え、初段の演算セルに対応するエンコーダ部は、前記第 1 比較部により生成された第 1 電流と前記第 2 比較部により生成された第 2 電流が入力され、該第 1 電流及び第 2 電流を差動増幅して初段の演算セルに対応するビットを決定する差動増幅回路を備え、2 段目以降の演算セルに対応するエンコーダ部は、前記第 1 比較部により生成された第 1 電流と前記第 2 比較部により生成された第 2 電流が入力され、該第 1 電流及び第 2 電流を差動増幅した信号を出力する差動増幅回路と、該差動増幅回路の出力信号と前段のエンコーダ部のデジタル値に基づいてデジタル値のビットを決定するビット調整回路とを備えたことを特徴とする請求項 1 ~ 6 のうちの何れか一項に記載の A / D 変換回路。

30

**【請求項 8】**

前記ビット調整回路は、前段のエンコーダ部のデジタル値が「0」の場合に前記差動増幅回路の出力信号を反転した値を当該ビットとすることを特徴とする請求項 7 記載の A / D 変換回路。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明はアナログ入力電流をデジタル値に変換する A / D 変換回路に関するものである。

40

近年、アナログ量をデジタル値に変換するアナログ / デジタル変換回路 ( A / D 変換回路 ) において、アナログ量を電流として扱うツリー構造を持つ電流モード A / D 変換回路が用いられるようになってきている。このツリー構造を持つ A / D 変換回路において、デジタル値のビット数を増加させると、1 ビット増加する毎に回路規模 ( 面積 ) がほぼ 2 倍となる。このような A / D 変換回路は、1 つのチップ、又は他の回路と集積化されたチップに用いにくい。このため、A / D 変換回路のビット数の増加に対する回路規模の増加を抑えることが求められている。

**【背景技術】**

**【0002】**

50

従来、アナログ量をデジタル値に変換するA/D変換回路において、アナログ量として入力信号電流をデジタル値に変換する電流モードA/D変換回路が例えば特許文献1に開示されている。このA/D変換回路は、カレントミラー回路を用いて形成された階層的ツリー構造(木構造)を持ち、入力信号電流をツリー状に分散させ、信号がそれぞれの電流経路を伝搬していく途中で、伝搬された電流と比較電流との減算/加算を階層的に行い、それらの結果得られる電流を比較電流と比較してデジタル値を出力する。

【特許文献1】特開平8-79080号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、上記のA/D変換回路では、アナログ量に対する分解能を高くする、つまりデジタル値のビット数を増加させると、1ビットの増加に対応して1段の階層を付加する必要がある。そして、上記のA/D変換回路はツリー構造を持つため、追加する回路段の回路規模は、追加前の最終回路段の回路規模の2倍となり、A/D変換回路全体の回路面積は、追加前の全回路面積のほど2倍となる。このため、上記のA/D変換回路のみを搭載した半導体チップ、又は上記A/D変換回路と他の回路を搭載した半導体チップにおいて、A/D変換の分解能を高くすることは、A/D変換回路における回路規模を増加量が極めて大きいため、回路規模の増大を抑えつつデジタル値のビット数を多くすることは困難であった。

【0004】

また、上記のA/D変換回路では、各段において大きさの等しい比較電流が必要である。そして、段数が多く末端へ行くほど必要な比較電流の数(定電流源の数)が多くなる。このため、各段における複数の比較電流を等しくすることは困難でありバラツキも大きくなることから、変換結果に於ける精度が低下するという問題がある。

【0005】

本発明は上記問題点を解決するためになされたものであって、その目的はビット数の増加に対する回路規模の増加と精度の低下を抑えることのできるA/D変換回路を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するため、請求項1に記載の発明によれば、デジタル値のビット数と同数の演算セルを直列接続し、各段の演算セルは入力電流と基準電流との差を演算し、該差の絶対値を持つ電流を出力するようにした。従って、入力電流と基準電流との相互の差に応じて後段の回路を設ける必要がない、つまり入力電流が大きい場合の電流を受ける回路と、基準電流が大きい場合の電流を受ける回路を設ける必要がない。このため、デジタル値のビット数を増やすためには1つの演算セルを直列に接続すればよいため、逐次比較型A/D変換回路において後段の回路の数を少なくすることができ、回路規模の増加が抑えられる。また、後段における回路数が少なくなるため、基準電流を流すための定電流源の数も少なくなる。従って、多くの定電流源を作成する必要がないため、バラツキによる精度の低下が抑えられる。

【0007】

また、演算セルは、入力電流から基準電流を減算して第1電流を生成する第1比較部と、基準電流から入力電流を減算して第2電流を生成する第2比較部とを備え、入力電流と基準電流との相互の差を持つ電流が容易に生成される。

【0008】

請求項2に記載の発明によれば、第1比較部は、基準電流を流す定電流源と、入力電流から前記基準電流を減算して第1電流を生成する第1カレントミラー回路と、前記第1カレントミラー回路を構成するトランジスタと異なる導電型のトランジスタにより構成され前記第1電流をミラーした電流を生成する第2カレントミラー回路とを備え、第2比較部は、基準電流を流す定電流源と、前記基準電流から入力電流を減算して第2電流を生成す

10

20

30

40

50

る第1カレントミラー回路と、前記第1カレントミラー回路を構成するトランジスタと異なる導電型のトランジスタにより構成され前記第2電流をミラーした電流を生成する第2カレントミラー回路とを備えた。従って、カレントミラー回路に対する定電流源の接続形態により入力電流と基準電流との相互の差を持つ第1電流と第2電流とを容易に生成することができる。そして、第1比較部と第2比較部それぞれの第2カレントミラー回路は、電流の流れる方向によってミラーすることができないため、該第2カレントミラー回路を構成するトランジスタの導電型に対応する正の符号を持つ電流が出力され、導電型に対応しない負の符号を持つ電流が出力されない。従って、絶対値を持つ電流を容易に出力することができる。

【0009】

請求項3に記載の発明によれば、第2カレントミラー回路は、増幅率が2に設定され、各段の前記演算セルに備えられた定電流源は同じ値の基準電流を流すように構成されている。従って、逐次比較型A/D変換回路のビット数を多くする、つまり演算セルの段数を多くしても、各段の演算セルにおける基準電流が段数に応じて小さくならないため、微少な基準電流を流す定電流源を作成する必要が無く、下位ビットにおける精度の低下を抑えることができる。

【0010】

請求項4に記載の発明によれば、第2カレントミラー回路は、増幅率が1に設定され、2段目以降の前記演算セルに備えられた定電流源はそれぞれ前段の演算セルに備えられた定電流源が流す基準電流の1/2の基準電流を流すように構成されている。従って、各段の第2カレントミラー回路を構成する複数のトランジスタが同じ電気的特性を持つように構成すればよく、形成が容易である。

【0011】

請求項5に記載の発明によれば、初段の演算セルは、前記アナログ入力電流から前記第1比較部に供給する第1電流と前記第2比較部に供給する第2電流とを生成する入力部を備えた。従って、1つのアナログ入力電流から第1比較部と第2比較部に供給する電流を容易に作成することができる。そして、入力部を備えた演算セルと、入力部を備えていない少なくとも1つの演算セルを直列に接続することで、逐次比較型A/D変換回路を構成することができる。

【0012】

請求項6に記載の発明によれば、入力回路は、前記アナログ入力電流を入力し、該アナログ入力電流をミラーして前記第1比較部に供給する第1電流と前記第2比較部に供給する第2電流とを生成する。従って、複数の演算セルの構成を同じにすることができる。

【0013】

請求項7に記載の発明によれば、エンコーダは、各段の演算セルに対応するエンコーダ部を備える。初段の演算セルに対応するエンコーダ部は、第1比較部により生成された第1電流と第2比較部により生成された第2電流が入力され、該第1電流及び第2電流を差動増幅して初段の演算セルに対応するビットを決定する差動増幅回路を備える。2段目以降の演算セルに対応するエンコーダ部は、第1比較部により生成された第1電流と第2比較部により生成された第2電流が入力され、該第1電流及び第2電流を差動増幅した信号を出力する差動増幅回路と、該差動増幅回路の出力信号と前段のエンコーダ部のデジタル値に基づいてデジタル値のビットを決定するビット調整回路とを備える。このビット調整回路により、各段の演算セルにおいて絶対値を持つ電流を次段の演算セルに対して出力すればよくなる。

【0014】

請求項8に記載の発明によれば、ビット調整回路は、前段のエンコーダ部のデジタル値が「0」の場合に前記差動増幅回路の出力信号を反転した値を当該ビットとする。このビット調整回路により、各段の演算セルにおいて絶対値を持つ電流を次段の演算セルに対して出力すればよくなる。

【発明の効果】

10

20

30

40

50

## 【0015】

以上記述したように、本発明によれば、ビット数の増加に対する回路規模の増加と精度の低下を抑えることのできるA/D変換回路を提供することができる。

## 【発明を実施するための最良の形態】

## 【0016】

以下、本発明を具体化した一実施形態を図1～図3に従って説明する。

図1は、アナログ量としての入力電流 $A_i$ を複数ビット（本実施形態では4ビット）のデジタル値を持つ信号 $D_o$ に変換するA/D変換回路の回路図である。

## 【0017】

A/D変換回路10は、直列接続された複数（本実施形態では4つ）の演算セル11～14と、エンコーダ15とを備えている。 10

初段の第1演算セル11にはアナログ量として入力電流 $A_i$ が入力される。第1演算セル11は、入力電流 $A_i$ と基準電流とを比較し、該比較結果に応じた量を持ち互いに逆方向に流れる電流 $I_{1a}$ 、 $I_{1b}$ を生成する。両出力電流 $I_{1a}$ 、 $I_{1b}$ が流れる方向は入力電流 $A_i$ と基準電流との比較結果に応じて決定される。第1演算セル11はカレントミラー回路（以下、ミラー回路という）を有し、電流 $I_{1a}$ 、 $I_{1b}$ のうち、ミラー回路にてミラー可能な電流と実質的に等しい電流 $I_{1c}$ を出力する。

## 【0018】

次段（2段目）の第2演算セル12は、第1演算セル11の出力電流 $I_{1c}$ と基準電流とを比較し、該比較結果に応じた量を持ち互いに逆方向に流れる電流 $I_{2a}$ 、 $I_{2b}$ を生成する。両出力電流 $I_{2a}$ 、 $I_{2b}$ が流れる方向は、電流 $I_{1a}$ 、 $I_{1b}$ と基準電流との比較結果に応じて決定される。第2演算セル12はミラー回路を有し、電流 $I_{2a}$ 、 $I_{2b}$ のうち、ミラー回路にてミラー可能な電流と実質的に等しい電流 $I_{2c}$ を出力する。 20

## 【0019】

同様に、次段（3段目）の第3演算セル13は、第2演算セル12の出力電流 $I_{2c}$ と基準電流とを比較し、該比較結果に応じた量を持ち互いに逆方向に流れる電流 $I_{3a}$ 、 $I_{3b}$ を生成し、電流 $I_{3a}$ 、 $I_{3b}$ のうち、ミラー回路にてミラー可能な電流と実質的に等しい電流 $I_{3c}$ を出力する。同様に、次段（4段目）の第4演算セル14は、第3演算セル13の出力電流 $I_{3c}$ と基準電流とを比較し、該比較結果に応じた量を持ち互いに逆方向に流れる電流 $I_{4a}$ 、 $I_{4b}$ を生成する。 30

## 【0020】

エンコーダ15は、各演算セル11～14の電流 $I_{1a}$ 、 $I_{1b}$ ～ $I_{4a}$ 、 $I_{4b}$ に基づいて決定した4ビットのデジタル値を持つ信号 $D_o$ を出力する。詳しくは、エンコーダ15は、各演算セル11～14の出力電流 $I_{1a}$ 、 $I_{1b}$ ～ $I_{4a}$ 、 $I_{4b}$ を互いに比較し、その比較結果と前段の比較結果とに基づいて各ビットにおける値を決定する。尚、初段の第1演算セル11に対する前段は存在しないため、エンコーダ15は、初段の第1演算セル11の電流 $I_{1a}$ 、 $I_{1b}$ の比較結果に基づいてビットの値を決定する。

## 【0021】

先ず、演算セル11～14について説明する。

図2は、初段の演算セル（第1演算セル）11と、2段目の演算セル（第2演算セル）12の回路図である。 40

## 【0022】

第1演算セル11は、入力回路としての入力部11aと演算部11bとを備えている。入力部11aは、入力電流 $A_i$ と同じ値を持つ2つの電流 $I_a$ 、 $I_b$ を生成するカレントミラー回路である。即ち、入力部11aは、互いにゲートが接続され同じ電気的特性を持つ3つのNチャンネルMOSトランジスタ $T_{11}$ 、 $T_{12}$ 、 $T_{13}$ により構成されている。第1トランジスタ $T_{11}$ のドレインには入力電流 $A_i$ が供給され、ゲートはドレインと接続され、ソースは低電位電源 $V_{SS}$ に接続されている。第2トランジスタ $T_{12}$ のゲートは第1トランジスタ $T_{11}$ のゲートに接続され、ソースは低電位電源 $V_{SS}$ に接続され、ドレインは演算部11bに接続されている。第2トランジスタ $T_{12}$ ドレイン - ソース間 50

には、入力電流  $A_i$  と同じ値を持つ第1電流  $I_a$  が流れる。第3トランジスタ  $T_{13}$  のゲートは第1トランジスタ  $T_{11}$  のゲートに接続され、ソースは低電位電源  $V_{SS}$  に接続され、ドレインは演算部  $11b$  に接続されている。第3トランジスタ  $T_{13}$  のドレイン - ソース間には、入力電流  $A_i$  と同じ値を持つ第2電流  $I_b$  が流れる。

【0023】

演算部  $11b$  は、入力部  $11a$  から出力される第1電流  $I_a$  及び第2電流  $I_b$  と基準電流とを比較し、該比較結果に応じた量を持ち互いに逆方向に流れる電流  $I_{1a}$  ,  $I_{1b}$  を生成する。両出力電流  $I_{1a}$  ,  $I_{1b}$  が流れる方向は入力電流  $A_i$  と基準電流との比較結果に応じて決定される。更に、演算部  $11b$  はミラー回路を有し、電流  $I_{1a}$  ,  $I_{1b}$  のうち、ミラー回路にてミラー可能な電流と実質的に等しい電流  $I_{1c}$  (図1参照) を出力する。

10

【0024】

演算部  $11b$  は、第1電流  $I_a$  に対応する第1比較部  $21a$  と、第2電流  $I_b$  に対応する第2比較部  $21b$  とから構成されている。

第1比較部  $21a$  は、第1ミラー回路  $M_{11a}$  と第2ミラー回路  $M_{12a}$  と定電流源  $C_{1a}$  とを備えている。第1ミラー回路  $M_{11a}$  は互いにゲートが接続され同じ電気的特性を持つ2つのPチャネルMOSトランジスタ  $T_{21a}$  ,  $T_{22a}$  により構成されている。第1トランジスタ  $T_{21a}$  のソースは高電位電源  $V_{DD}$  に接続され、ドレインは入力部  $11a$  の第2トランジスタ  $T_{12}$  に接続されている。第2トランジスタ  $T_{22a}$  のソースは高電位電源  $V_{DD}$  に接続され、ドレインはゲートと定電流源  $C_{1a}$  の第1端子に接続され、定電流源  $C_{1a}$  の第2端子は低電位電源  $V_{SS}$  に接続されている。そして、第1トランジスタ  $T_{21a}$  のドレインは第2ミラー回路  $M_{12a}$  に接続されている。定電流源  $C_{1a}$  は所定量の基準電流  $I_{r1}$  を流すように構成されている。基準電流  $I_{r1}$  の値は、例えば  $A/D$  変換回路  $10$  に入力されるアナログ量の範囲に応じて設定される。例えば、アナログ量の範囲を  $0 \sim 160 \mu A$  とした場合、基準電流  $I_{r1}$  の値はその範囲の  $1/2$  の値 (= (最大値 + 最小値) / 2) に設定される。

20

【0025】

第1ミラー回路  $M_{11a}$  は、定電流源  $C_{1a}$  に流れる基準電流  $I_{r1}$  と実質的に同じ量の電流を第1トランジスタ  $T_{21a}$  に流す。そして、第1トランジスタ  $T_{21a}$  のドレインには、入力部  $11a$  の第2トランジスタ  $T_{12}$  と第2ミラー回路  $M_{12a}$  が接続されている。従って、第1比較部  $21a$  は、基準電流  $I_{r1}$  から第1電流  $I_a$  を減じた値を持つ電流  $I_{1a}$  (=  $I_{r1} - I_a$ ) を第2ミラー回路  $M_{12a}$  に供給する。

30

【0026】

第2ミラー回路  $M_{12a}$  は、互いにゲートが接続され同じ電気的特性を持つ3つのNチャネルMOSトランジスタ  $T_{23a}$  ,  $T_{24a}$  ,  $T_{25a}$  により構成されている。第3トランジスタ  $T_{23a}$  のソースは低電位電源  $V_{SS}$  に接続され、ドレインは第1ミラー回路  $M_{11a}$  の第1トランジスタ  $T_{21a}$  に接続されている。第3トランジスタ  $T_{23a}$  のゲート及びドレインは互いに接続されている。第4トランジスタ  $T_{24a}$  及び第5トランジスタ  $T_{25a}$  のソースは低電位電源  $V_{SS}$  に接続されている。第2ミラー回路  $M_{12a}$  の第4トランジスタ  $T_{24a}$  及び第5トランジスタ  $T_{25a}$  には、第3トランジスタ  $T_{23a}$  に流れる電流と実質的に同じ値を持つ電流がそれぞれ流れる。

40

【0027】

第2比較部  $21b$  は、第1ミラー回路  $M_{11b}$  と第2ミラー回路  $M_{12b}$  と定電流源  $C_{1b}$  とを備えている。定電流源  $C_{1b}$  は、第1比較部  $21a$  の定電流源  $C_{1a}$  と同じ電気的特性を持つ、即ち基準電流  $I_{r1}$  を流すように構成されている。そして、第2比較部  $21b$  は、第2電流  $I_b$  と定電流源  $C_{1b}$  が流す基準電流  $I_{r1}$  との比較が、第1比較部  $21a$  と逆になるように構成されている。

【0028】

即ち、第1ミラー回路  $M_{11b}$  は互いにゲートが接続され同じ電気的特性を持つ2つのPチャネルMOSトランジスタ  $T_{21b}$  ,  $T_{22b}$  により構成されている。第1トランジ

50

スタT 2 1 bのソースは高電位電源V D Dに接続され、ドレインはゲートと入力部 1 1 aの第3トランジスタT 1 3に接続されている。第2トランジスタT 2 2 bのソースは高電位電源V D Dに接続され、ドレインは定電流源C 1 bの第1端子に接続され、定電流源C 1 bの第2端子は低電位電源V S Sに接続されている。そして、第2トランジスタT 2 2 bのドレインは第2ミラー回路M 1 2 bに接続されている。

【 0 0 2 9 】

第1ミラー回路M 1 1 bは、第1トランジスタT 2 1 bに流れる第2電流I bと実質的に同じ量の電流を第2トランジスタT 2 2 bに流す。そして、第2トランジスタT 2 2 bのドレインには、定電流源C 1 bと第2ミラー回路M 1 2 bが接続されている。従って、第2比較部2 1 bは、第2電流I bから基準電流I r 1を減じた値を持つ電流I 1 b (= I b - I r 1)を第2ミラー回路M 1 2 bに供給する。

10

【 0 0 3 0 】

第2ミラー回路M 1 2 bは、互いにゲートが接続され同じ電気的特性を持つ3つのNチャンネルM O SトランジスタT 2 3 b, T 2 4 b, T 2 5 bにより構成されている。第3トランジスタT 2 3 bのソースは低電位電源V S Sに接続され、ドレインは第1ミラー回路M 1 1 bの第2トランジスタT 2 2 bに接続されている。第3トランジスタT 2 3 bのゲート及びドレインは互いに接続されている。第4トランジスタT 2 4 bのソースは低電位電源V S Sに接続され、ドレインは第1比較部2 1 aの第2ミラー回路M 1 2 aを構成する第4トランジスタT 2 4 aのドレインと次段の第2演算セル1 2に接続されている。第5トランジスタT 2 5 bのソースは低電位電源V S Sに接続され、ドレインは第1比較部2 1 aの第2ミラー回路M 1 2 aを構成する第5トランジスタT 2 5 aのドレインと次段の第2演算セル1 2に接続されている。第2ミラー回路M 1 2 bの第4トランジスタT 2 4 b及び第5トランジスタT 2 5 bには、第3トランジスタT 2 3 bに流れる電流と実質的に同じ値を持つ電流がそれぞれ流れる。

20

【 0 0 3 1 】

第1電流I aと第2電流I bは同じ値であり、両比較部2 1 a, 2 1 bの定電流源C 1 a, C 1 bは同じ基準電流I r 1を流すように構成されている。従って、第1比較部2 1 aと第2比較部2 1 bのそれぞれにおける比較結果である電流I 1 aと電流I 1 bは、実質的に同じ値(電流量)を持ち、流れる方向が逆である。つまり、第1ミラー回路M 1 1 a, M 1 1 bから第2ミラー回路M 1 2 a, M 1 2 bに向かって流れる電流に「+」の符号を付して表し、その逆向きに流れる電流に「-」の符号を付して表すと、電流I 1 aと電流I 1 bの関係は、 $I 1 a = - I 1 b$  (又は  $- I 1 a = I 1 b$ )となる。

30

【 0 0 3 2 】

ところで、第2ミラー回路M 1 2 a, M 1 2 bは、「-」の符号を持つ電流、即ち第2ミラー回路M 1 2 a, M 1 2 bから第1ミラー回路M 1 1 a, M 1 1 bに向かって流れる電流をミラーすることができない、つまり出力側のトランジスタT 2 4 a, T 2 5 a, T 2 4 b, T 2 5 bに電流を流すことができない。従って、演算部1 1 bは、第1比較部2 1 aと第2比較部2 1 bのうち、「+」の符号を持つ電流(I 1 a又はI 1 b)が流れる側の比較部から同じ量を持つ第1電流I c 1 a及び第2電流I c 1 bを出力し、「-」の符号を持つ電流を出力しない。つまり、演算部1 1 bは、第1比較部2 1 aの第1ミラー回路M 1 1 aにより生成した電流I 1 a、又は第2比較部2 1 bの第1ミラー回路M 1 1 bにより生成した電流I 1 bと等しい電流量の第1電流I c 1 a及び第2電流I c 1 bを出力する。尚、第1電流I c 1 aは第1比較部2 1 aの第4トランジスタT 2 4 a又は第2比較部2 1 bの第4トランジスタT 2 4 bにより流れる電流であり、第2電流I c 1 bは第1比較部2 1 aの第5トランジスタT 2 5 a又は第2比較部2 1 bの第5トランジスタT 2 5 bにより流れる電流である。第1電流I c 1 a及び第2電流I c 1 bが図1に示す電流I 1 cに相当する。即ち、演算部1 1 bは、第2ミラー回路M 1 2 a, M 1 2 bにより、基準電流I r 1と入力電流(第1電流I a、第2電流I b)の差の絶対値を持つ第3電流I 1 c(第1電流I c 1 a及び第2電流I c 1 b)を出力する。

40

【 0 0 3 3 】

50

第2演算セル12について説明する。尚、第2演算セル12を構成するトランジスタは、第1演算セル11を構成するトランジスタと同じ符号を付して説明する。

第2演算セル12は、第1演算セル11を構成する演算部11bと同様に構成されている。詳述すると、第2演算セル12は、第1演算セル11から出力される第1電流 $I_{c1a}$ に対応する第1比較部22aと、第1演算セル11から出力される第2電流 $I_{c1b}$ に対応する第2比較部22bとから構成されている。第1比較部22aは演算部11bを構成する第1比較部21aと同様に構成され、第1ミラー回路M21aと第2ミラー回路M22aと定電流源C2aとを備えている。第2比較部22bは演算部11bを構成する第2比較部21bと同様に構成され、第1ミラー回路M21bと第2ミラー回路M22bと定電流源C2bとを備えている。

10

#### 【0034】

定電流源C2a, C2bは、演算セルの段数に応じて設定された電流を流すように構成されている。本実施形態では、定電流源C2a, C2bは、第1演算セル11の定電流源C1a, C1bが流す基準電流 $I_{r1}$ の $1/2$ の基準電流 $I_{r2}$ を流すように構成されている。

#### 【0035】

従って、第1比較部22aは、基準電流 $I_{r2}$ から第1電流 $I_{c1a}$ を減じた値を持つ電流 $I_{2a}$  ( $= I_{r2} - I_{c1a}$ )を生成する。また、第2比較部22bは、第2電流 $I_{c1b}$ から基準電流 $I_{r2}$ を減じた値を持つ電流 $I_{2b}$  ( $= I_{c1b} - I_{r2}$ )を生成する。そして、第2演算セル12は、生成した2つの電流 $I_{2a}$ ,  $I_{2b}$ のうち、第2ミラー回路M22a, M22bにてミラー可能な電流( $I_{2a}$ 又は $I_{2b}$ )と実質的に等しい第1電流 $I_{c2a}$ 及び第2電流 $I_{c2b}$ を出力する。第1電流 $I_{c2a}$ 及び第2電流 $I_{c2b}$ が図1に示す電流 $I_{2c}$ に相当する。

20

#### 【0036】

ところで、第1ミラー回路M11a, M11bはPチャネルMOSトランジスタT21a, T22a, T21b, T22bにより構成され、第2ミラー回路M12a, M12bはNチャネルMOSトランジスタT23a~T25a, T23b~T25bにより構成されている。即ち、第1ミラー回路M11a, M11bを構成するトランジスタの導電型と、第2ミラー回路M12a, M12bを構成するトランジスタの導電型は異なっている。この関係は、第1演算セル11の演算部11bを構成する第2ミラー回路M12a, M12bと、第2演算セル12を構成する第1ミラー回路M21a, M21bとの間においても同じである。つまり、第1演算セル11の第2ミラー回路M12a, M12bにおいてミラー可能な電流は、その第2ミラー回路M12a, M12bを構成するNチャネルMOSトランジスタT23a~T25a, T23b~T25bのドレインからソースに向かって流れる電流である。この電流が流れる方向は、次段の演算セルを構成する第1ミラー回路M21a, M21bのPチャネルMOSトランジスタT21a, T21bにおいて流れる電流の方向と一致している。従って、第1演算セル11は、第1ミラー回路M11a, M11b及び定電流源C1a, C1bにより生成し流れる方向が互いに異なる2つの電流 $I_{1a}$ ,  $I_{1b}$ のうち、次段の第2演算セル12の第1ミラー回路M21a, M21bに適合した、つまり第1ミラー回路M21a, M21bにおいて流れる電流の向きに対応する電流を選択する。そして、第1演算セル11は、選択された電流に対応する第2ミラー回路の第4トランジスタ及び第5トランジスタにより、その選択された電流と実質的に等しい2つの第1電流及び第2電流を出力する。

30

40

#### 【0037】

尚、第2ミラー回路M12a, M12bを構成するトランジスタと第1ミラー回路M11a, M11bを構成するトランジスタとにおける導電型の関係は、入力部11aと第1ミラー回路M11a, M11bとにおける導電型の関係と同じである。つまり、入力部11aを構成するトランジスタの導電型と、第1ミラー回路M11a, M11bを構成するトランジスタの導電型は、互いにこと異なっている。

#### 【0038】

50

第3演算セル13及び第4演算セル14は、第2演算セル12と同様に構成されている。つまり、第2演算セル12と第3演算セル13と第4演算セル14は、第1演算セル11を構成する演算部11bと同一構成を持つ。従って、換言すれば、A/D変換回路10は、入力部11aと、同一構成を持つ4つの演算セルと、から構成されているとみること

【0039】

第3演算セル13及び第4演算セル14にそれぞれ含まれる定電流源は、前段の演算セルに含まれる定電流源が流す基準電流の1/2の電流を流すように構成されている。つまり、第3演算セル13の第1比較部と第2比較部を構成する定電流源は、前段の回路である第2演算セル12の定電流源C2a, C2bが流す基準電流I<sub>r2</sub>の1/2の基準電流I<sub>r3</sub>を流すように構成されている。そして、第4演算セル14の第1比較部と第2比較部を構成する定電流源は、前段の回路である第3演算セル13の定電流源が流す基準電流I<sub>r3</sub>の1/2の基準電流I<sub>r4</sub>を流すように構成されている。

10

【0040】

図3は、エンコーダ15の一部回路図であり、第1演算セル11と第2演算セル12に対応するエンコーダ部15a, 15bの回路図である。

第1エンコーダ部15aは、差動増幅回路51とインバータ回路52とを有している。差動増幅回路51は、定電流源51a、差動入力部51b、カレントミラー部51cとから構成されている。定電流源51aの第1端子は高電位電源VDDに接続され、第2端子は差動入力部51bに接続されている。差動入力部51bは一对のMOSトランジスタ(PチャンネルMOSトランジスタ)T51, T52により構成され、両トランジスタT51, T52のソースは互いに接続され、その接続点は共に定電流源51aに接続され、ドレインはカレントミラー部51cに接続されている。第1トランジスタT51のゲートには第1電流I1aが供給され、第2トランジスタT52のゲートには第2電流I1bが供給されている。カレントミラー部51cは一对のMOSトランジスタ(NチャンネルMOSトランジスタ)T53, T54により構成され、両トランジスタT53, T54のソースは低電位電源VSSに接続されている。第3トランジスタT53のドレインは第1トランジスタT51のドレインに接続されている。第4トランジスタT54のドレインは第2トランジスタT52のドレインに接続され、第4トランジスタT54のゲートは第3トランジスタT53のゲートに接続されている。カレントミラー部51cを構成する第3トランジスタT53のドレインは第3トランジスタT53のゲートに接続され、第4トランジスタT54のドレインはインバータ回路52に接続されている。

20

30

【0041】

上記のように構成された第1エンコーダ部15aは、第1電流I1aと第2電流I1bの大小に応じたレベルを持つ、つまり「1」又は「0」の値を持つ1ビットの信号D3を出力する。例えば、第1エンコーダ部15aは、第1電流I1aが第2電流I1bより大きい場合にLレベル(0)の信号D3を出力し、第1電流I1aが第2電流I1bより小さい場合にHレベル(1)の信号D3を出力する。

【0042】

第2エンコーダ部15bは、差動増幅回路61とインバータ回路62とビット調整回路63とを有している。差動増幅回路61は、第1エンコーダ部15aの差動増幅回路51と同じ構成であるため、同じ符号を付して説明を省略する。

40

【0043】

ビット調整回路63は、例えば、スリーステートタイプの反転バッファ63a及び非反転バッファ63bにより構成されている。両バッファ63a, 63bの入力端子にはインバータ回路62の出力信号S1が入力され、両バッファ63a, 63bの制御端子には第1エンコーダ部15aの出力信号D3が入力される。そして、反転バッファ63a又は非反転バッファ63bの出力信号が信号D2として出力される。

【0044】

ビット調整回路63は、信号D3がHレベル「1」の場合には非反転バッファ63bの

50

出力信号を信号D 2として出力し、信号D 3がLレベル「0」の場合には反転バッファ6 3 aの出力信号を信号D 2として出力する。両バッファ6 3 a, 6 3 bには共通してインバータ回路6 2の出力信号が入力される。従って、ビット調整回路6 3は、信号D 3がHレベル「1」の場合にインバータ回路6 2の出力信号S 1と実質的に同じレベルを持つ信号D 2を出力し、信号D 3がLレベル「0」の場合には出力信号S 1をレベル反転した信号D 2を出力する。

【0045】

即ち、ビット調整回路6 3は、インバータ回路6 2の出力信号S 1と、第1エンコーダ部1 5 aの出力信号D 3とに基づいて決定したレベルを持つ、つまり「1」又は「0」の値を持つ1ビットの信号D 2を出力する。詳述すると、ビット調整回路6 3は、前段の第1演算セル1 1における演算結果が負の場合、即ち第1演算セル1 1に対応するエンコーダ部1 5 aの出力が「0」(Lレベル)の場合にインバータ回路6 2の出力値を反転させ、その値を持つ信号D 2を出力する。

10

【0046】

上記したように、第1電流I 1 aと第2電流I 1 bは、入力電流(第1電流I a、第2電流I b)と基準電流I r 1との比較結果であり、同じ絶対値を持ち流れる方向が異なる電流である。第1ミラー回路M 1 1 a, M 1 1 bから第2ミラー回路M 1 2 a, M 1 2 bに向かって流れる電流に「+」の符号を付して表し、その逆向きに流れる電流に「-」の符号を付して表すと、第1演算セル1 1の演算部1 1 bにおける電流I 1 aと電流I 1 bの関係は、 $I 1 a = - I 1 b$ (又は $- I 1 a = I 1 b$ )となる。そして、演算部1 1 bは、第2ミラー回路M 1 2 a, M 1 2 bにより、基準電流I r 1と入力電流(第1電流I a、第2電流I b)の差の絶対値を持つ第3電流I 1 c(第1電流I c 1 a及び第2電流I c 1 b)を出力する。

20

【0047】

逐次比較型A/D変換回路において、各段の回路における入力電流と基準電流との差分を次段の回路に伝達する必要がある。従って、前段(第1演算セル1 1の演算部1 1 b)における演算結果である第1電流I 1 aが正の符号を持つ( $I 1 a > I 1 b$ )、つまり電流I a(I b)が基準電流I r 1よりも小さい場合、実際には次段(第2演算セル1 2)に負の符号を持つ電流を供給しなければならない。しかし、本実施形態のA/D変換回路1 0では、第1~第3演算セル1 1~1 3において、入力電流と基準電流との差の絶対値を持つ電流を次段の第2~第4演算セル1 2~1 4にそれぞれ伝達している。このため、第2~第4演算セル1 2~1 4における比較結果の符号(第1電流と第2電流の大小関係)が逆転し、対応するビットの値が異なる。

30

【0048】

このため、第2演算セル1 2に対応するエンコーダ部1 5 bは、前段の第1演算セル1 1における演算結果が負の場合、即ち第1演算セル1 1に対応するエンコーダ部1 5 aの出力が「0」(Lレベル)の場合に第2演算セル1 2にて生成される第1電流と第2電流を比較した結果に基づく値を反転させる。値の反転は、その値が「0」の場合は「1」に、「1」の場合には「0」にすることである。そして、第2演算セル1 2に対応するエンコーダ部1 5 bは、その値を持つ信号D 2を出力する。

40

【0049】

同様に、第3演算セル1 3に対応するエンコーダ部1 5 cは、第2演算セル1 2における演算結果が負の場合、即ち第2演算セル1 2に対応するエンコーダ部1 5 bの出力が「0」の場合に値を反転させ、その値を持つ信号D 1を出力する。同様に、第4演算セル1 4に対応するエンコーダ部1 5 dは、第3演算セル1 3における演算結果が負の場合、即ち第3演算セル1 3に対応するエンコーダ部1 5 cの出力が「0」の場合に値を反転させ、その値を持つ信号D 0を出力する。

【0050】

次に、上記のように構成されたA/D変換回路1 0の作用を説明する。

今、入力電流A iの範囲が0~160  $\mu$ Aであり、第1演算セル1 1における基準電流

50

$I_{r1}$  を  $80 \mu A$ 、第2演算セル12における基準電流  $I_{r2}$  を  $40 \mu A$ 、第3演算セル13における基準電流  $I_{r3}$  を  $20 \mu A$ 、第4演算セル14における基準電流  $I_{r4}$  を  $10 \mu A$ 、とする。

【0051】

<入力電流  $A_i$  が  $55 \mu A$  の場合>

第1演算セル11の入力部11aは、入力電流  $A_i$  ( $= 55$ ) から第1電流  $I_a$  ( $= 55$ ) と第2電流  $I_b$  ( $= 55$ ) を生成し、演算部11bは第1電流  $I_a$ 、第2電流  $I_b$  と基準電流  $I_{r1}$  ( $= 80$ ) とを比較する。この場合、第1演算セル11の第1比較部21aにおける第1電流  $I_{1a}$  は  $25 \mu A$ 、第2比較部21bにおける第2電流  $I_{1b}$  は  $-25 \mu A$  となる。従って、第1演算セル11は、第1電流  $I_{1a}$  を第2ミラー回路によりミラーした電流  $I_{c1}$  (第1電流  $I_{c1a}$ 、第2電流  $I_{c1b}$ ) を第2演算セル12に供給する。第1演算セル11に対応する第1エンコーダ部15aは、第1電流  $I_{1a}$  と第2電流  $I_{1b}$  を差動増幅してLレベル「0」の信号D3を出力する。

10

【0052】

次に、第2演算セル12は第1電流  $I_{c1a}$  ( $= 25$ )、第2電流  $I_{c1b}$  ( $= 25$ ) と基準電流  $I_{r2}$  ( $= 40$ ) とを比較する。この場合、第2演算セル12の第1比較部22aにおける第1電流  $I_{2a}$  は  $15 \mu A$ 、第2比較部22bにおける第2電流  $I_{2b}$  は  $-15 \mu A$  となる。従って、第2演算セル12は、第1電流  $I_{2a}$  を第2ミラー回路によりミラーした電流  $I_{c2}$  (第1電流  $I_{c2a}$ 、第2電流  $I_{c2b}$ ) を第3演算セル13に供給する。第2演算セル12に対応する第2エンコーダ部15bは、第1電流  $I_{2a}$  と第2電流  $I_{2b}$  を差動増幅してLレベルの信号S1を生成する。そして、第2エンコーダ部15bは、前段の回路である第1演算セル11に対応する第1エンコーダ部15aの出力信号D3がLレベルであるため、信号S1を反転してHレベル「1」の信号D2を出力する。

20

【0053】

次に、第3演算セル13は第1電流 ( $= 15$ )、第2電流 ( $= 15$ ) と基準電流  $I_{r3}$  ( $= 20$ ) とを比較する。この場合、第3演算セル13の第1比較部における第1電流は  $5 \mu A$ 、第2比較部における第2電流は  $-5 \mu A$  となる。従って、第3演算セル13は、第1電流を第2ミラー回路によりミラーした電流を第4演算セル14に供給する。第3演算セル13に対応する第3エンコーダ部15cは、前段の回路である第2演算セル12に対応する第2エンコーダ部15bの出力信号D2がHレベルであるため、第1電流と第2電流を差動増幅して生成したLレベルの信号と同じレベルを持つ、つまり「0」の信号D1を出力する。

30

【0054】

次に、第4演算セル14は第1電流 ( $= 5$ )、第2電流 ( $= 5$ ) と基準電流  $I_{r4}$  ( $= 10$ ) とを比較する。この場合、第4演算セル14における第1電流は  $5 \mu A$ 、第2比較部における第2電流は  $-5 \mu A$  となる。第4演算セル14に対応する第4エンコーダ部15dは、前段の回路である第3演算セル13に対応する第3エンコーダ部15cの出力信号D1がLレベルであるため、第1電流と第2電流を差動増幅して生成したLレベルの信号を反転してHレベル「1」の信号D0を出力する。

40

【0055】

以上の動作により、A/D変換回路10は、 $55 \mu A$  の入力電流  $A_i$  をデジタル値に変換して各ビットD3~D0 ( $= 0101$ ) を持つデジタル信号D<sub>o</sub>を出力する。

<入力電流  $A_i$  が  $85 \mu A$  の場合>

第1演算セル11において、第1電流  $I_{1a}$  は  $-5 \mu A$ 、第2電流  $I_{1b}$  は  $5 \mu A$  となる。従って、第1演算セル11は、第2電流  $I_{1b}$  を第2ミラー回路によりミラーした電流  $I_{c1}$  (第1電流  $I_{c1a}$ 、第2電流  $I_{c1b}$ ) を第2演算セル12に供給する。そして、第1エンコーダ部15aは、第1電流  $I_{1a}$  と第2電流  $I_{1b}$  を差動増幅してHレベル「1」の信号D3を出力する。

【0056】

50

次に、第2演算セル12において、第1電流 $I_{2a}$ は $35\mu A$ 、第2電流 $I_{2b}$ は $-35\mu A$ となる。従って、第2演算セル12は、第1電流 $I_{2a}$ を第2ミラー回路によりミラーした電流 $I_{c2}$ （第1電流 $I_{c2a}$ 、第2電流 $I_{c2b}$ ）を第3演算セル13に供給する。そして、第2エンコーダ部15bは、第1電流 $I_{2a}$ と第2電流 $I_{2b}$ を差動増幅して生成したLレベルの信号 $S_1$ に対し、第1エンコーダ部15aの出力信号 $D_3$ （Hレベル）に基づき、信号 $S_1$ と同じレベル（Lレベル）「0」の信号 $D_2$ を出力する。

【0057】

同様に、第3演算セル13において、第1電流は $-15\mu A$ 、第2電流は $15\mu A$ となる。従って、第3演算セル13は、第2電流を第2ミラー回路によりミラーした電流を第4演算セル14に供給する。そして、第3エンコーダ部15cは、前段の回路である第2演算セル12に対応する第2エンコーダ部15bの出力信号 $D_2$ に基づき、第1電流 $I_{2a}$ と第2電流 $I_{2b}$ を差動増幅して生成した信号と同じLレベル「0」の信号 $D_1$ を出力する。

【0058】

同様に、第4演算セル14において、第1電流は $-5\mu A$ 、第2電流は $5\mu A$ となる。従って、第4エンコーダ部15dは、前段の回路である第3演算セル13に対応する第3エンコーダ部15cの出力信号 $D_1$ に基づき、第1電流と第2電流を差動増幅して生成した信号を反転してHレベル「1」の信号 $D_0$ を出力する。

【0059】

以上の動作により、A/D変換回路10は、 $85\mu A$ の入力電流 $A_i$ をデジタル値に変換して各ビット $D_3 \sim D_0$ （=1000）を持つデジタル信号 $D_o$ を出力する。

以上記述したように、本実施形態によれば、以下の効果を奏する。

【0060】

(1) A/D変換回路10は、直列接続された出力信号 $D_o$ のビット数と同数の演算セル11~14を有している。各段の演算セル11~14は入力電流と基準電流との差を演算し、該差の絶対値を持つ電流を出力する。従って、入力電流と基準電流との相互の差に応じて後段の回路を設ける必要がない、つまり入力電流が大きい場合の電流を受ける回路と、基準電流が大きい場合の電流を受ける回路を設ける必要がない。このため、デジタル値のビット数を増やすためには1つの演算セルを直列に接続すればよいため、逐次比較型A/D変換回路において後段の回路の数を少なくすることができ、回路規模の増加が抑えられる。また、後段における回路数が少なくなるため、基準電流を流すための定電流源の数も少なくなる。従って、多くの定電流源を作成する必要がないため、バラツキによる精度の低下が抑えられる。

【0061】

(2) 第1演算セル11は、電流 $I_a$ から基準電流 $I_{r1}$ を減算して第1電流 $I_{1a}$ を生成する第1比較部21aと、基準電流 $I_{r1}$ から電流 $I_b$ を減算して第2電流 $I_{1b}$ を生成する第2比較部21bとを備えている。第2~第4演算セル12~14は、第1演算セル11と同様に第1比較部と第2比較部とを備えている。従って、入力電流と基準電流との相互の差を持つ電流を並行して容易に生成することができる。

【0062】

(3) 第1比較部21aは、基準電流 $I_{r1}$ を流す定電流源 $C_{1a}$ と、電流 $I_a$ から基準電流 $I_{r1}$ を減算して第1電流 $I_{1a}$ を生成する第1ミラー回路 $M_{11a}$ と、第1ミラー回路 $M_{11a}$ を構成するトランジスタと異なる導電型のトランジスタにより構成され第1電流 $I_{1a}$ をミラーした電流を生成する第2ミラー回路 $M_{12a}$ とを備えている。第2比較部21bは、基準電流 $I_{r1}$ を流す定電流源 $C_{1b}$ と、基準電流 $I_{r1}$ から電流 $I_b$ を減算して第2電流 $I_{1b}$ を生成する第1ミラー回路 $M_{11b}$ と、第1ミラー回路 $M_{11b}$ を構成するトランジスタと異なる導電型のトランジスタにより構成され第2電流 $I_{1b}$ をミラーした電流を生成する第2ミラー回路 $M_{12b}$ とを備えた。従って、第1ミラー回路 $M_{11a}$ 、 $M_{11b}$ に対する定電流源 $C_{1a}$ 、 $C_{1b}$ の接続形態により電流 $I_a$ 、 $I_b$ と基準電流 $I_{r1}$ との相互の差を持つ第1電流 $I_{1a}$ と第2電流 $I_{1b}$ とを容易に生成す

10

20

30

40

50

ることができる。そして、第2ミラー回路M12a, M12bは、電流の流れる方向によってミラーすることができないため、該第2ミラー回路M12a, M12bを構成するトランジスタT23a~T25a, T23b~T25bの導電型に対応する正の符号を持つ電流が出力され、導電型に対応しない負の符号を持つ電流が出力されない。従って、絶対値を持つ電流を容易に出力することができる。

【0063】

(4) 第2ミラー回路M12a, M12bは、増幅率が1に設定され、2段目以降の演算セル12~14に備えられた定電流源は、それぞれの前段の演算セル11~13に備えられた定電流源が流す基準電流の1/2の基準電流を流すように構成されている。従って、各段の第2ミラー回路M12a, M12bを構成する複数のトランジスタT23a~T25a, T23b~T25bが同じ電気的特性を持つように構成すればよく、形成が容易である。

10

【0064】

(5) 入力部11aは、アナログ入力電流Aiをミラーして第1比較部21aに供給する第1電流Iaと第2比較部21bに供給する第2電流Ibとを生成するようにした。従って、第1演算セル11を構成する演算部11bを第2~第4演算セル12~14と同じ構成にすることができる、つまり、同じパターンをビット数に応じて繰り返し形成することで演算部11b及び第2~第4演算セル12~14を生成することができ、容易に複数ビットのA/D変換回路を構成することができる。

【0065】

20

(6) エンコーダ15は、各段の演算セル11~14に対応するエンコーダ部11a~11dを備える。初段の演算セル11に対応するエンコーダ部15aは、第1比較部21aにより生成された第1電流I1aと第2比較部21bにより生成された第2電流I1bが入力され、該第1電流I1a及び第2電流I1bを差動増幅して初段の演算セル11に対応するビットを決定する差動増幅回路51を備えた。2段目の演算セル12に対応するエンコーダ部15bには、第1比較部22aにより生成された第1電流I2aと第2比較部22bにより生成された第2電流I2bが入力される。エンコーダ部15bは、第1電流I2a及び第2電流I2bを差動増幅した信号S1を出力する差動増幅回路61と、該差動増幅回路61の出力信号S1と前段のエンコーダ部15aの出力信号D3に基づいてデジタル値のビットを決定するビット調整回路63とを備える。このビット調整回路63により、各段の演算セル11~14において絶対値を持つ電流を次段の演算セルに対して出力すればよくなり、各段における回路規模を小さくすることができる。

30

【0066】

尚、前記実施形態は、以下の態様に変更してもよい。

上記実施形態において、各段の演算セルにおける基準電流の値を、A/D変換の分解能により設定しても良い。例えば、分解能を5 $\mu$ Aとした場合、4ビットのA/D変換回路10では、第1演算セル11における基準電流Ir1を40 $\mu$ A、第2演算セル12における基準電流Ir2を20 $\mu$ A、第3演算セル13における基準電流Ir3を10 $\mu$ A、第4演算セル14における基準電流Ir4を5 $\mu$ Aに設定する。

【0067】

40

上記実施形態では、エンコーダ15に各段に対応し各段の演算セルの出力電流を互いに比較する差動増幅回路を備えたが、該差動増幅回路を各段の演算セル11~14に含める構成としてもよい。

【0068】

上記実施形態では、各演算セル11~14の第2ミラー回路を、同じ電気的特性を持つ3つのMOSトランジスタにより構成したが、第2ミラー回路の増幅率(入力電流値に対してミラーされる2つの電流の比)を変更しても良い。同じ電気的特性を持つMOSトランジスタにより第2ミラー回路を構成した場合の増幅率は「1」(入力電流に対する出力電流の比が「1」)である。この増幅率を、例えば「2」に設定する、つまり、入力電流の2倍の電流を流すようにMOSトランジスタを形成する。このように第2ミラー回路

50

を構成した場合、各段の演算セルに含まれる定電流源が流す基準電流を同じ値に設定することができ、比較精度の低下を抑えることができる。

【0069】

通常、逐次比較型 A / D 変換回路の場合、比較回路の段数が多い、又は比較回数が多くなると、その段の回路（回数）における入力電流（アナログ量）と比較する基準電流の値が極めて小さくなる。例えば、10ビットの A / D 変換回路の場合、初段の回路における基準電流を  $512 \mu\text{A}$ （マイクロアンペア）とした場合、最終段の回路における基準電流は  $1 \mu\text{A}$  となる。このように微少な基準電流を流す定電流源を作成することは困難であり、基準電流にバラツキを生じる。このため、LSB (Least Significant Bit) 側のビットの精度が悪くなる。

10

【0070】

しかし、上記のように第2ミラー回路の増幅率を例えば2倍に設定することで、各段における基準電流を同じ値に設定することができる。このため、微少電流を流すことができる定電流源を作成する必要もなく、LSB 側におけるビットの精度低下を抑えることができる。

【0071】

上記各実施形態では、A / D 変換回路10をMOSトランジスタにより構成したが、バイポーラトランジスタ、Bi-CMOSトランジスタ等により構成してもよい。

【図面の簡単な説明】

【0072】

20

【図1】一実施形態の A / D 変換回路のブロック回路図である。

【図2】初段の演算セルと2段目の演算セルの回路図である。

【図3】エンコーダの一部回路図である。

【符号の説明】

【0073】

11 ~ 14 演算セル

11a 入力部（入力回路）

11b 演算部（演算セル）

15 エンコーダ

15a ~ 15d エンコーダ部

30

21a, 22a 第1比較部

21b, 22b 第2比較部

Ai アナログ入力電流

Do デジタル信号

Ir1 ~ Ir4 基準電流

Ia, I1a 第1電流

Ib, I1b 第2電流

C1a, C1b 定電流源

M11a, M11b 第1カレントミラー回路（第1ミラー回路）

M12a, M12b 第2カレントミラー回路（第2ミラー回路）

40



---

フロントページの続き

(56)参考文献 特開平07-007431(JP,A)  
特開昭60-237726(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03M 1/00 - 1/88