

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 3 月 23 日 (23.03.2017)



(10) 国际公布号
WO 2017/045220 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/090352
- (22) 国际申请日: 2015 年 9 月 23 日 (23.09.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510594063.9 2015 年 9 月 17 日 (17.09.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 曹尚操 (CAO, Shangcao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY

(54) 发明名称: 一种 GOA 电路及液晶显示器

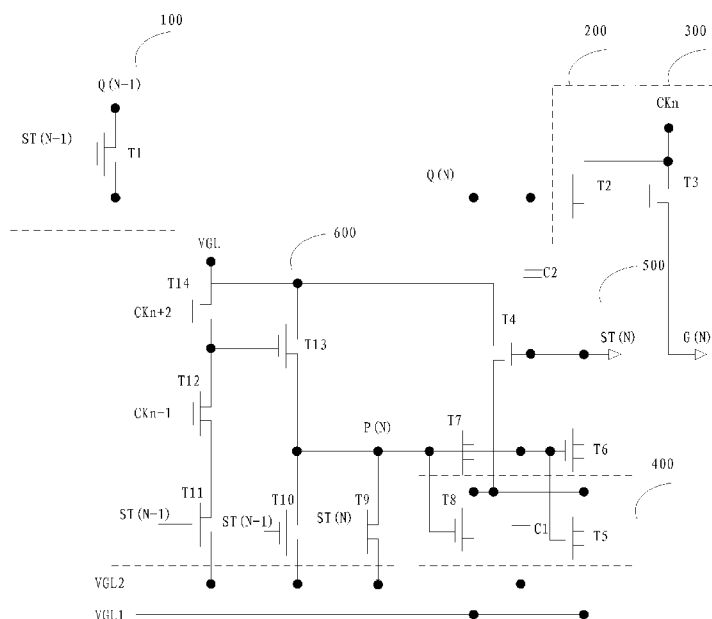


图 2

(57) Abstract: A GOA circuit and a liquid crystal display. The GOA circuit comprises a plurality of cascaded GOA units, wherein an Nth stage of GOA unit comprises a pull-down maintaining module (400) and an electricity leakage control module (500); the pull-down maintaining module (400) comprises a fifth transistor (T5) and an eighth transistor (T8); a drain electrode of the fifth transistor (T5) is connected to an Nth stage of downlink signal (ST(N)); and a drain electrode of the eighth transistor (T8) is connected to an Nth stage of gate electrode signal (Q(N)). The electricity leakage control module (500) is connected in series between the Nth stage of gate electrode signal (Q(N)) and the eighth transistor (T8) and/or is connected in series between the Nth stage of downlink signal (ST(N)) and the fifth transistor (T5), so as to block an electricity leakage path of the Nth stage of gate electrode signal (Q(N)) via the eighth transistor (T8) and/or an electricity leakage path of the Nth stage of downlink signal (ST(N)) via the fifth transistor (T5) within a period of validity of an Nth stage of scanning signal (G(N)), thus improving the stability of the

[见续页]

GOA circuit.

(57) 摘要:

WO 2017/045220 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种 GOA 电路及液晶显示器。该 GOA 电路包括级联的多个 GOA 单元，第 N 级 GOA 单元包括下拉维持模块 (400) 和漏电控制模块 (500)，其中，下拉维持模块 (400) 包括第五晶体管 (T5) 和第八晶体管 (T8)，第五晶体管 (T5) 的漏极与第 N 级下传信号 (ST(N)) 连接，第八晶体管 (T8) 的漏极与第 N 级栅极信号 (Q(N)) 连接。漏电控制模块 (500) 串接于第 N 级栅极信号 (Q(N)) 与第八晶体管 (T8) 之间和/或串接于第 N 级下传信号 (ST(N)) 与第五晶体管 (T5) 之间，以在第 N 级扫描信号 (G(N)) 有效期间，阻断第 N 级栅极信号 (Q(N)) 经第八晶体管 (T8) 的漏电途径和/或第 N 级下传信号 (ST(N)) 经第五晶体管 (T5) 的漏电途径，从而增强 GOA 电路的稳定性。

一种GOA电路及液晶显示器

[1] **【技术领域】**

[2] 本发明涉及液晶领域，特别是涉及一种GOA电路及液晶显示器。

[3] **【背景技术】**

[4] 目前，为了实现液晶显示屏的窄边框或无边框，通常采用铟镓锌氧化物薄膜晶体管（IGZO TFT）来实现栅极驱动电路（Gate Driver On Array, GOA）。由于IGZO TFT具有较负的开启电压（ V_{th} ）和较小的亚阈值摆幅（Subthreshold Swing, SS），在栅极与源极的电位差（ V_{gs} ）等于0的情况下，IGZO TFT仍然无法正常关闭，存在较大的漏电，从而降低了GOA电路的稳定性、增加了GOA电路的功耗。

[5] **【发明内容】**

[6] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器，能够阻断GOA电路中IGZO TFT的漏电途径，从而增强GOA电路的稳定性。

[7] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种GOA电路，用于液晶显示器，其中，该GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；上拉控制模块包括第一晶体管，第一晶体管的栅极与第N-1级下传信号连接，第一晶体管的漏极与第一漏电控制信号连接，第一晶体管的源极与第N级栅极信号连接；下传模块包括第二晶体管，第二晶体管的栅极与第N级栅极信号连接，第二晶体管的漏极与第N条时钟信号线连接，第二晶体管的源极输出第N级下传信号；上拉模块包括第三晶体管，第三晶体管的栅极与第N级栅极信号连接，第三晶体管的漏极与第N条时钟信号线连接，第三晶体管的源极输出第N级扫描信号；下拉维持模块包括第五晶体管和第八晶体管，第五晶体管的栅极与第N级公共信号连接，第五晶体管的漏极与第N级下传信号连接，第五晶体管的源极与第一直流低电压连接，第八晶体管的栅极与第N级公共信号连接，第八晶体管的源极与第一直流低电压连接，第八晶体管的漏极与第N级栅极信号连接；漏电控

制模块串接于第N级栅极信号与第八晶体管之间和/或第N级下传信号与第五晶体管之间，用于在第N级扫描信号有效期间，通过第二漏电控制信号阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径；其中，漏电控制模块包括第四晶体管和第七晶体管，第四晶体管的栅极与第二漏电控制信号连接，第四晶体管的漏极与直流信号源连接，第四晶体管的源极与第八晶体管的漏极连接，第七晶体管串接于第N级栅极信号和第八晶体管的漏极之间，第七晶体管的栅极与第N级公共信号连接，第七晶体管的漏极与第N级栅极信号连接，第七晶体管的源极与第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径；其中，第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经第一晶体管的漏电途径。

[8] 其中，第二漏电控制信号为第N级下传信号。

[9] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种GOA电路，用于液晶显示器，其中，该GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；上拉控制模块包括第一晶体管，第一晶体管的栅极与第N-1级下传信号连接，第一晶体管的漏极与第一漏电控制信号连接，第一晶体管的源极与第N级栅极信号连接；下传模块包括第二晶体管，第二晶体管的栅极与第N级栅极信号连接，第二晶体管的漏极与第N条时钟信号线连接，第二晶体管的源极输出第N级下传信号；上拉模块包括第三晶体管，第三晶体管的栅极与第N级栅极信号连接，第三晶体管的漏极与第N条时钟信号线连接，第三晶体管的源极输出第N级扫描信号；下拉维持模块包括第五晶体管和第八晶体管，第五晶体管的栅极与第N级公共信号连接，第五晶体管的漏极与第N级下传信号连接，第五晶体管的源极与第一直流低电压连接，第八晶体管的栅极与第N级公共信号连接，第八晶体管的源极与第一直流低电压连接，第八晶体管的漏极与第N级栅极信号连接；漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或第N级下传信号与第五晶体管之间，用于在第N级扫描信号有效期间，通过第二漏电控制信号阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途

径。

- [10] 其中，漏电控制模块包括第四晶体管和第七晶体管，第四晶体管的栅极与第二漏电控制信号连接，第四晶体管的漏极与直流信号源连接，第四晶体管的源极与第八晶体管的漏极连接，第七晶体管串接于第N级栅极信号和第八晶体管的漏极之间，第七晶体管的栅极与第N级公共信号连接，第七晶体管的漏极与第N级栅极信号连接，第七晶体管的源极与第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径。
- [11] 其中，第二漏电控制信号为第N级下传信号。
- [12] 其中，第二漏电控制信号为第N-1级栅极信号。
- [13] 其中，漏电控制模块进一步包括第六晶体管，第六晶体管串接于第N级下传信号和第五晶体管的漏极之间，第六晶体管的栅极与第N级公共信号连接，第六晶体管的漏极与第N级下传信号连接，第六晶体管的源极与第五晶体管的漏极、第四晶体管的源极连接，以在第N级扫描信号有效期间阻断第N级下传信号经第五晶体管的漏电途径。
- [14] 其中，第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经第一晶体管的漏电途径。
- [15] 其中，第N级GOA单元进一步包括下拉模块，下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管，第九晶体管的栅极与第N级下传信号连接，第九晶体管的源极与第二直流低电压连接，第九晶体管的漏极与第N级公共信号连接，第十晶体管的栅极与第N-1级下传信号连接，第十晶体管的源极与第二直流低电压连接，第十晶体管的漏极与第N级公共信号连接，第十一晶体管的栅极与第N-1级下传信号连接，第十一晶体管的源极与第二直流低电压连接，第十一晶体管的漏极与第十二晶体管的源极连接，第十二晶体管的栅极与第N-1条时钟信号线连接，第十二晶体管的漏极与第十三晶体管的栅极、第十四晶体管的源极连接，第十三晶体管的源极与第N级公共信号连接，第十三晶体管、第十四晶体管的漏极与直流信号源连接，第十四晶体管的栅极与第N+2条时钟信号线连接。
- [16] 其中，第一直流低电压的电位小于第二直流低电压的电位，第N-1级、第N级

下传信号的低电位小于第二直流低电压的电位，以在N级扫描信号无效期间阻断第N级公共信号经第九晶体管、第十晶体管、第十一晶体管的漏电途径。

- [17] 其中，第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有有效，其中，当第N条时钟信号线为第一时钟信号时，第N+2条时钟信号线为第三时钟信号，第N-1条时钟信号线为第四时钟信号。

- [18] 为解决上述技术问题，本发明采用的又一个技术方案是：提供一种液晶显示器，包括GOA电路，该GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；上拉控制模块包括第一晶体管，第一晶体管的栅极与第N-1级下传信号连接，第一晶体管的漏极与第一漏电控制信号连接，第一晶体管的源极与第N级栅极信号连接；下传模块包括第二晶体管，第二晶体管的栅极与第N级栅极信号连接，第二晶体管的漏极与第N条时钟信号线连接，第二晶体管的源极输出第N级下传信号；上拉模块包括第三晶体管，第三晶体管的栅极与第N级栅极信号连接，第三晶体管的漏极与第N条时钟信号线连接，第三晶体管的源极输出第N级扫描信号；下拉维持模块包括第五晶体管和第八晶体管，第五晶体管的栅极与第N级公共信号连接，第五晶体管的漏极与第N级下传信号连接，第五晶体管的源极与第一直流低电压连接，第八晶体管的栅极与第N级公共信号连接，第八晶体管的源极与第一直流低电压连接，第八晶体管的漏极与第N级栅极信号连接；漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或第N级下传信号与第五晶体管之间，用于在第N级扫描信号有效期间，通过第二漏电控制信号阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径。

- [19] 其中，漏电控制模块包括第四晶体管和第七晶体管，第四晶体管的栅极与第二漏电控制信号连接，第四晶体管的漏极与直流信号源连接，第四晶体管的源极与第八晶体管的漏极连接，第七晶体管串接于第N级栅极信号和第八晶体管的漏极之间，第七晶体管的栅极与第N级公共信号连接，第七晶体管的漏极与第N级栅极信号连接，第七晶体管的源极与第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径。

- [20] 其中，第二漏电控制信号为第N级下传信号。
- [21] 其中，第二漏电控制信号为第N-1级栅极信号。
- [22] 其中，漏电控制模块进一步包括第六晶体管，第六晶体管串接于第N级下传信号和第五晶体管的漏极之间，第六晶体管的栅极与第N级公共信号连接，第六晶体管的漏极与第N级下传信号连接，第六晶体管的源极与第五晶体管的漏极、第四晶体管的源极连接，以在第N级扫描信号有效期间阻断第N级下传信号经第五晶体管的漏电途径。
- [23] 其中，第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经第一晶体管的漏电途径。
- [24] 其中，第N级GOA单元进一步包括下拉模块，下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管，第九晶体管的栅极与第N级下传信号连接，第九晶体管的源极与第二直流低电压连接，第九晶体管的漏极与第N级公共信号连接，第十晶体管的栅极与第N-1级下传信号连接，第十晶体管的源极与第二直流低电压连接，第十晶体管的漏极与第N级公共信号连接，第十一晶体管的栅极与第N-1级下传信号连接，第十一晶体管的源极与第二直流低电压连接，第十一晶体管的漏极与第十二晶体管的源极连接，第十二晶体管的栅极与第N-1条时钟信号线连接，第十二晶体管的漏极与第十三晶体管的栅极、第十四晶体管的源极连接，第十三晶体管的源极与第N级公共信号连接，第十三晶体管、第十四晶体管的漏极与直流信号源连接，第十四晶体管的栅极与第N+2条时钟信号线连接。
- [25] 其中，第一直流低电压的电位小于第二直流低电压的电位，第N-1级、第N级下传信号的低电位小于第二直流低电压的电位，以在N级扫描信号无效期间阻断第N级公共信号经第九晶体管、第十晶体管、第十一晶体管的漏电途径。
- [26] 其中，第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有有效，其中，当第N条时钟信号线为第一时钟信号时，第N+2条时钟信号线为第三时钟信号，第N-1条时钟信号线为第四时钟信号。
- [27] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过增加串接于第N级

栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间的漏电控制模块，从而实现了在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径，进而增强了GOA电路的稳定性。

[28] **【附图说明】**

[29] 图1是本发明实施例的GOA电路的结构示意图；

[30] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图；

[31] 图3是图1所示GOA电路中GOA单元的第一实施例的工作时序图；

[32] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图；

[33] 图5是本发明实施例的液晶显示器的结构示意图。

[34] **【具体实施方式】**

[35] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[36] 图1是本发明实施例的GOA电路的结构示意图。如图1所示，GOA电路10包括级联的多个GOA单元11。其中，第N级GOA单元11用于在第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4、下传信号ST（N-1）的控制下，输出扫描信号G（N）以对显示区域中对应的第N条水平扫描线进行充电。其中，第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4在GOA电路的一个工作周期依次分时有有效也即依次分时为高电位。其中，GOA电路中的晶体管为IGZO TFT。

[37] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图。如图2所示，第N级GOA单元11包括上拉控制模块100、下传模块200、上拉模块300、下拉维持模块400、漏电控制模块500和下拉模块600。

[38] 上拉控制模块100包括第一晶体管T1，第一晶体管T1的栅极与第N-1级下传信号ST（N-1）连接，第一晶体管T1的漏极与第一漏电控制信号连接，第一晶体管T1的源极与第N级栅极信号Q（N）连接。在本实施例中，第一漏电控制信号为

第N-1级栅极信号Q (N-1)。其中, 在第N级扫描信号G (N) 有效期间, 第N-1级栅极信号Q (N-1) 为高电位使得第一晶体管T1的漏极为高电位, 进而使得第一晶体管T1的 V_{gs} 小于0, 从而阻断了第N级栅极信号Q (N) 经第一晶体管T1的漏电途径。

[39] 下传模块200包括第二晶体管T2, 第二晶体管T2的栅极与第N级栅极信号Q (N) 连接, 第二晶体管T2的漏极与第N条时钟信号线CKn连接, 第二晶体管T2的源极输出第N级下传信号ST (N)。

[40] 上拉模块300包括第三晶体管T3, 第三晶体管T3的栅极与第N级栅极信号Q (N) 连接, 第三晶体管T3的漏极与第N条时钟信号线CKn连接, 第三晶体管T3的源极输出第N级扫描信号G (N)。

[41] 下拉维持模块400包括第五晶体管T5和第八晶体管T8, 第五晶体管T5的栅极与第N级公共信号P (N) 连接, 第五晶体管T5的漏极与第N级下传信号ST (N) 连接, 第五晶体管T5的源极与第一直流低电压VGL1连接, 第八晶体管T8的栅极与第N级公共信号P (N) 连接, 第八晶体管T8的源极与第一直流低电压VGL1连接, 第八晶体管T8的漏极与第N级栅极信号Q (N) 连接。

[42] 其中, 在第N级扫描信号G (N) 有效期间, 由于第五晶体管T5的 V_{gs} 等于0, 第N级下传信号ST (N) 通过第五晶体管T5漏电, 使得第N级下传信号ST (N) 无法达到高电位, 与此同时, 由于第八晶体管T8的 V_{gs} 等于0, 第N级栅极信号Q (N) 通过第八晶体管T8漏电, 使得第N级栅极信号Q (N) 无法达到高电位。

[43] 为解决上述问题, 在下拉维持模块400与第N级下传信号ST (N)、第N级栅极信号Q (N) 之间串接漏电控制模块500, 以通过第二漏电控制信号阻断第N级栅极信号Q (N) 经第八晶体管T8的漏电途径和第N级下传信号ST (N) 经第五晶体管T5的漏电途径。

[44] 具体来说, 漏电控制模块500包括第四晶体管T4、第六晶体管T6和第七晶体管T7, 第四晶体管T4的栅极与第二漏电控制信号连接, 第四晶体管T4的漏极与直流信号源VGL连接, 第四晶体管T4的源极与第八晶体管T8的漏极连接, 第六晶体管T6串接于第N级下传信号ST (N) 和第五晶体管T5的漏极之间, 第六晶体管T6的栅极与第N级公共信号P (N) 连接, 第六晶体管T6的漏极与第N级下传信号

ST (N) 连接, 第六晶体管T6的源极与第五晶体管T5的漏极、第四晶体管T4的源极连接, 第七晶体管T7串接于第N级栅极信号Q (N) 和第八晶体管T8的漏极之间, 第七晶体管T7的栅极与第N级公共信号P (N) 连接, 第七晶体管T7的漏极与第N级栅极信号Q (N) 连接, 第七晶体管T7的源极与第八晶体管T8的漏极连接。在本实施例中, 第二漏电控制信号为第N级下传信号ST (N)。

[45] 其中, 在第N级扫描信号G (N) 有效期间, 第N条时钟信号线CK_n从低电位转为高电位, 第N级下传信号ST (N) 和第N级栅极信号Q (N) 输出高电位, 第六晶体管T6和第七晶体管T7的漏极在第四晶体管T4的作用下变为高电位, 使得第六晶体管T6和第七晶体管T7的V_{gs}小于0, 从而阻断了第N级栅极信号Q (N) 经第八晶体管T8的漏电途径和第N级下传信号ST (N) 经第五晶体管T5的漏电途径。

[46] 本领域的技术人员可以理解, 在本实施例中, 漏电控制模块500包括第四晶体管T4、第六晶体管T6和第七晶体管T7, 从而阻断了第N级栅极信号Q (N) 经第八晶体管T8的漏电途径和第N级下传信号ST (N) 经第五晶体管T5的漏电途径。在其它实施例中, 漏电控制模块500也可以仅仅包括第四晶体管T4和第六晶体管T6以阻断第N级下传信号ST (N) 经第五晶体管T5的漏电途径。另外漏电控制模块500也可以仅仅包括第四晶体管T4和第七晶体管T7以阻断第N级栅极信号Q (N) 经第八晶体管T8的漏电途径。

[47] 下拉模块600包括第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14。其中, 第九晶体管T9的栅极与第N级下传信号ST (N) 连接, 第九晶体管T9的源极与第二直流低电压VGL2连接, 第九晶体管的漏极与第N级公共信号P (N) 连接, 第十晶体管T10的栅极与第N-1级下传信号ST (N-1) 连接, 第十晶体管T10的源极与第二直流低电压VGL2连接, 第十晶体管的漏极与第N级公共信号P (N) 连接, 第十一晶体管T11的栅极与第N-1级下传信号ST (N-1) 连接, 第十一晶体管T11的源极与第二直流低电压VGL2连接, 第十一晶体管T11的漏极与第十二晶体管T12的源极连接, 第十二晶体管T12的栅极与第N-1条时钟信号线CK_{n-1}连接, 第十二晶体管T12的漏极与第十三晶体管T13的栅极、第十四晶体管T14的源极连接, 第十三晶体管T13

的源极与第N级公共信号P(N)连接,第十三晶体管T13、第十四晶体管T14的漏极与直流信号源VGL连接,第十四晶体管T14的栅极与第N+2条时钟信号线CK_{n+2}连接。

[48] 在本实施例中,第一直流低电压VGL1的电位小于第二直流低电压VGL2的电位,第N-1级下传信号ST(N-1)、第N级下传信号ST(N)的低电位小于第二直流低电压VGL2的电位,从而使得在N级扫描信号G(N)无效期间也即第N级公共信号P(N)处于高电位的期间,第九晶体管T9、第十晶体管T10、第十一晶体管T11的V_{gs}小于0,从而阻断了第N级公共信号P(N)经第九晶体管T9、第十晶体管T10、第十一晶体管T11的漏电途径,保证了第N级公共信号P(N)维持在高电位。

[49] 在本实施例中,当第N条时钟信号线CK_n为第一时钟信号CK1时,第N+2条时钟信号线CK_{n+2}为第三时钟信号CK3,第N-1条时钟信号线CK_{n-1}为第四时钟信号CK4。

[50] 优选地,第N级GOA单元11进一步包括滤波电容C1和自举电容C2。滤波电容C1的一端与第N级公共信号P(N)连接,滤波电容C1的另一端与第二直流低电压VGL2连接。自举电容C2的一端与第N级栅极信号Q(N)连接,自举电容C2的另一端与第N级下传信号ST(N)连接。

[51] 请一并参考图3,图3是图1所示GOA电路中GOA单元的工作时序图。如图3所示,第N级GOA单元的工作过程包括:

[52] 在T1阶段,第N-1级下传信号ST(N-1)和第N-1级栅极信号Q(N-1)为高电位,第一晶体管T1、第二晶体管T2和第三晶体管T3打开,从而使得第N级栅极信号Q(N)变为高电位。第十晶体管T10、第十一晶体管T11、第十二晶体管T12打开,第十三晶体管T13关闭,从而使得第N级公共信号P(N)变为低电位。

[53] 在T2阶段,第N条时钟信号线CK_n也即第一时钟信号CK1从低电位变为高电位时,第N级下传信号ST(N)输出高电位以驱动第N+1级GOA单元,第N级栅极信号Q(N)输出高电位以对显示区域中对应的第N条水平扫描线进行充电。此时,第一晶体管T1的漏极所输入的第N-1级栅极信号Q(N-1)为高电位,使得第一晶体管T1的V_{gs}小于0,从而阻断了第N级栅极信号Q(N)经第一晶体管T1的

漏电途径。第六晶体管T6、第七晶体管T7的漏极为高电位，使得第六晶体管T6、第七晶体管T7的 V_{gs} 小于0，从而阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径和第N级下传信号ST(N)经第五晶体管T5的漏电途径。

[54] 在T3阶段，第N条时钟信号线CK_n也即第一时钟信号CK1从高电位变为低电位时，此时，第N级栅极信号Q(N)保持高电位，第N级公共信号P(N)保持低电位。

[55] 在T4阶段，第N+2条时钟信号线CK_{n+2}也即第三时钟信号CK3为高电位，第十三晶体管T13、第十四晶体管T14打开，第N级公共信号P(N)变为高电位，第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8打开，第N级下传信号ST(N)和第N级栅极信号Q(N)变为低电位。此时，由于第一直流低电压VGL1的电位小于第二直流低电压VGL2的电位，第N-1级下传信号ST(N-1)、第N级下传信号ST(N)的低电位小于第二直流低电压VGL2的电位，使得第九晶体管T9、第十晶体管T10、第十一晶体管T11的 V_{gs} 小于0，从而阻断了第N级公共信号P(N)经第九晶体管T9、第十晶体管T10、第十一晶体管T11的漏电途径。

[56] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图。如图4所示，图4所示的第二实施例与图2所示的第一实施例的区别在于：图4所示的第四晶体管T4的栅极与第N-1级栅极信号Q(N-1)连接，而图2所示的第四晶体管T4的栅极与第N级下传信号ST(N)连接。

[57] 其中，在图3所示的T1阶段，由于图4中第四晶体管T4的栅极所连接的第N-1级栅极信号Q(N-1)为高电位，使得第七晶体管的 V_{gs} 小于0，进而使得第N级栅极信号Q(N)变为高电平时阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径。

[58] 图5是本发明实施例的液晶显示器的结构示意图。如图5所示，液晶显示器1包括了上述GOA电路10。

[59] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过增加串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间的漏电控制模块，从而实现了在第N级扫描信号有效期间阻断第N级栅极信号经第八

晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径，进而增强了G
OA电路的稳定性。

- [60] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用
本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用
在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，用于液晶显示器，其中，所述GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；

所述上拉控制模块包括第一晶体管，所述第一晶体管的栅极与第N-1级下传信号连接，所述第一晶体管的漏极与第一漏电控制信号连接，所述第一晶体管的源极与第N级栅极信号连接；

所述下传模块包括第二晶体管，所述第二晶体管的栅极与第N级栅极信号连接，所述第二晶体管的漏极与第N条时钟信号线连接，所述第二晶体管的源极输出第N级下传信号；

所述上拉模块包括第三晶体管，所述第三晶体管的栅极与第N级栅极信号连接，所述第三晶体管的漏极与第N条时钟信号线连接，所述第三晶体管的源极输出第N级扫描信号；

所述下拉维持模块包括第五晶体管和第八晶体管，所述第五晶体管的栅极与第N级公共信号连接，所述第五晶体管的漏极与第N级下传信号连接，所述第五晶体管的源极与第一直流低电压连接，所述第八晶体管的栅极与第N级公共信号连接，所述第八晶体管的源极与所述第一直流低电压连接，所述第八晶体管的漏极与第N级栅极信号连接；

所述漏电控制模块串接于第N级栅极信号与所述第八晶体管之间和/或第N级下传信号与所述第五晶体管之间，用于在第N级扫描信号有效期间，通过第二漏电控制信号阻断第N级栅极信号经所述第八晶体管的漏电途径和/或第N级下传信号经所述第五晶体管的漏电途径；

所述漏电控制模块包括第四晶体管和第七晶体管，所述第四晶体管的栅极与所述第二漏电控制信号连接，所述第四晶体管的漏极与直流信号源连接，所述第四晶体管的源极与所述第八晶体管的漏极连接，所述第七晶体管串接于第N级栅极信号和所述第八晶体

管的漏极之间，所述第七晶体管的栅极与所述第N级公共信号连接，所述第七晶体管的漏极与第N级栅极信号连接，所述第七晶体管的源极与所述第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第八晶体管的漏电途径；

所述第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第一晶体管的漏电途径。

[权利要求 2]

根据权利要求2所述的GOA电路，其中，所述第二漏电控制信号为第N级下传信号。

[权利要求 3]

一种GOA电路，用于液晶显示器，其中，所述GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；

所述上拉控制模块包括第一晶体管，所述第一晶体管的栅极与第N-1级下传信号连接，所述第一晶体管的漏极与第一漏电控制信号连接，所述第一晶体管的源极与第N级栅极信号连接；

所述下传模块包括第二晶体管，所述第二晶体管的栅极与第N级栅极信号连接，所述第二晶体管的漏极与第N条时钟信号线连接，所述第二晶体管的源极输出第N级下传信号；

所述上拉模块包括第三晶体管，所述第三晶体管的栅极与第N级栅极信号连接，所述第三晶体管的漏极与第N条时钟信号线连接，所述第三晶体管的源极输出第N级扫描信号；

所述下拉维持模块包括第五晶体管和第八晶体管，所述第五晶体管的栅极与第N级公共信号连接，所述第五晶体管的漏极与第N级下传信号连接，所述第五晶体管的源极与第一直流低电压连接，所述第八晶体管的栅极与第N级公共信号连接，所述第八晶体管的源极与所述第一直流低电压连接，所述第八晶体管的漏极与第N级栅极信号连接；

所述漏电控制模块串接于第N级栅极信号与所述第八晶体管之间和/或第N级下传信号与所述第五晶体管之间，用于在第N级扫描信号

有效期间，通过第二漏电控制信号阻断第N级栅极信号经所述第八晶体管的漏电途径和/或第N级下传信号经所述第五晶体管的漏电途径。

[权利要求 4] 根据权利要求3所述的GOA电路，其中，所述漏电控制模块包括第四晶体管和第七晶体管，所述第四晶体管的栅极与所述第二漏电控制信号连接，所述第四晶体管的漏极与直流信号源连接，所述第四晶体管的源极与所述第八晶体管的漏极连接，所述第七晶体管串接于第N级栅极信号和所述第八晶体管的漏极之间，所述第七晶体管的栅极与所述第N级公共信号连接，所述第七晶体管的漏极与第N级栅极信号连接，所述第七晶体管的源极与所述第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第八晶体管的漏电途径。

[权利要求 5] 根据权利要求4所述的GOA电路，其中，所述第二漏电控制信号为第N级下传信号。

[权利要求 6] 根据权利要求4所述的GOA电路，其中，所述第二漏电控制信号为第N-1级栅极信号。

[权利要求 7] 根据权利要求4所述的GOA电路，其中，所述漏电控制模块进一步包括第六晶体管，所述第六晶体管串接于第N级下传信号和所述第五晶体管的漏极之间，所述第六晶体管的栅极与所述第N级公共信号连接，所述第六晶体管的漏极与第N级下传信号连接，所述第六晶体管的源极与所述第五晶体管的漏极、所述第四晶体管的源极连接，以在第N级扫描信号有效期间阻断第N级下传信号经所述第五晶体管的漏电途径。

[权利要求 8] 根据权利要求3所述的GOA电路，其中，所述第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第一晶体管的漏电途径。

[权利要求 9] 根据权利要求3所述的GOA电路，其中，第N级GOA单元进一步包括下拉模块，所述下拉模块包括第九晶体管、第十晶体管、第十

一晶体管、第十二晶体管、第十三晶体管、第十四晶体管，所述第九晶体管的栅极与第N级下传信号连接，所述第九晶体管的源极与第二直流低电压连接，所述第九晶体管的漏极与第N级公共信号连接，所述第十晶体管的栅极与第N-1级下传信号连接，所述第十晶体管的源极与第二直流低电压连接，所述第十晶体管的漏极与第N级公共信号连接，所述第十一晶体管的栅极与第N-1级下传信号连接，所述第十一晶体管的源极与第二直流低电压连接，所述第十一晶体管的漏极与第十二晶体管的源极连接，所述第十二晶体管的栅极与第N-1条时钟信号线连接，所述第十二晶体管的漏极与第十三晶体管的栅极、第十四晶体管的源极连接，所述第十三晶体管的源极与第N级公共信号连接，所述第十三晶体管、第十四晶体管的漏极与直流信号源连接，所述第十四晶体管的栅极与第N+2条时钟信号线连接。

[权利要求 10] 根据权利要求9所述的GOA电路，其中，所述第一直流低电压的电位小于第二直流低电压的电位，第N-1级、第N级下传信号的低电位小于第二直流低电压的电位，以在N级扫描信号无效期间阻断第N级公共信号经所述第九晶体管、第十晶体管、第十一晶体管的漏电途径。

[权利要求 11] 根据权利要求9所述的GOA电路，其中，第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有有效，其中，当第N条时钟信号线为所述第一时钟信号时，所述第N+2条时钟信号线为所述第三时钟信号，所述第N-1条时钟信号线为所述第四时钟信号。

[权利要求 12] 一种液晶显示器，其中，包括GOA电路，所述GOA电路包括级联的多个GOA单元，其中，第N级GOA单元包括：上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块；所述上拉控制模块包括第一晶体管，所述第一晶体管的栅极与第N

-1级下传信号连接，所述第一晶体管的漏极与第一漏电控制信号连接，所述第一晶体管的源极与第N级栅极信号连接；

所述下传模块包括第二晶体管，所述第二晶体管的栅极与第N级栅极信号连接，所述第二晶体管的漏极与第N条时钟信号线连接，所述第二晶体管的源极输出第N级下传信号；

所述上拉模块包括第三晶体管，所述第三晶体管的栅极与第N级栅极信号连接，所述第三晶体管的漏极与第N条时钟信号线连接，所述第三晶体管的源极输出第N级扫描信号；

所述下拉维持模块包括第五晶体管和第八晶体管，所述第五晶体管的栅极与第N级公共信号连接，所述第五晶体管的漏极与第N级下传信号连接，所述第五晶体管的源极与第一直流低电压连接，所述第八晶体管的栅极与第N级公共信号连接，所述第八晶体管的源极与所述第一直流低电压连接，所述第八晶体管的漏极与第N级栅极信号连接；

所述漏电控制模块串接于第N级栅极信号与所述第八晶体管之间和/或第N级下传信号与所述第五晶体管之间，用于在第N级扫描信号有效期间，通过第二漏电控制信号阻断第N级栅极信号经所述第八晶体管的漏电途径和/或第N级下传信号经所述第五晶体管的漏电途径。

[权利要求 13]

根据权利要求12所述的液晶显示器，其中，所述漏电控制模块包括第四晶体管和第七晶体管，所述第四晶体管的栅极与所述第二漏电控制信号连接，所述第四晶体管的漏极与直流信号源连接，所述第四晶体管的源极与所述第八晶体管的漏极连接，所述第七晶体管串接于第N级栅极信号和所述第八晶体管的漏极之间，所述第七晶体管的栅极与所述第N级公共信号连接，所述第七晶体管的漏极与第N级栅极信号连接，所述第七晶体管的源极与所述第八晶体管的漏极连接，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第八晶体管的漏电途径。

- [权利要求 14] 根据权利要求13所述的液晶显示器，其中，所述第二漏电控制信号为第N级下传信号。
- [权利要求 15] 根据权利要求13所述的液晶显示器，其中，所述第二漏电控制信号为第N-1级栅极信号。
- [权利要求 16] 根据权利要求13所述的液晶显示器，其中，所述漏电控制模块进一步包括第六晶体管，所述第六晶体管串接于第N级下传信号和所述第五晶体管的漏极之间，所述第六晶体管的栅极与所述第N级公共信号连接，所述第六晶体管的漏极与第N级下传信号连接，所述第六晶体管的源极与所述第五晶体管的漏极、所述第四晶体管的源极连接，以在第N级扫描信号有效期间阻断第N级下传信号经所述第五晶体管的漏电途径。
- [权利要求 17] 根据权利要求12所述的液晶显示器，其中，所述第一漏电控制信号为第N-1级栅极信号，以在第N级扫描信号有效期间阻断第N级栅极信号经所述第一晶体管的漏电途径。
- [权利要求 18] 根据权利要求12所述的液晶显示器，其中，第N级GOA单元进一步包括下拉模块，所述下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管，所述第九晶体管的栅极与第N级下传信号连接，所述第九晶体管的源极与第二直流低电压连接，所述第九晶体管的漏极与第N级公共信号连接，所述第十晶体管的栅极与第N-1级下传信号连接，所述第十晶体管的源极与所述第二直流低电压连接，所述第十晶体管的漏极与第N级公共信号连接，所述第十一晶体管的栅极与第N-1级下传信号连接，所述第十一晶体管的源极与所述第二直流低电压连接，所述第十一晶体管的漏极与所述第十二晶体管的源极连接，所述第十二晶体管的栅极与第N-1条时钟信号线连接，所述第十二晶体管的漏极与所述第十三晶体管的栅极、所述第十四晶体管的源极连接，所述第十三晶体管的源极与所述第N级公共信号连接，所述第十三晶体管、第十四晶体管的漏极与所述直流信号源

连接，所述第十四晶体管的栅极与第N+2条时钟信号线连接。

[权利要求 19]

根据权利要求18所述的液晶显示器，其中，所述第一直流低电压的电位小于所述第二直流低电压的电位，第N-1级、第N级下传信号的低电位小于所述第二直流低电压的电位，以在N级扫描信号无效期间阻断第N级公共信号经所述第九晶体管、第十晶体管、第十一晶体管的漏电途径。

[权利要求 20]

根据权利要求18所述的液晶显示器，其中，第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有效，其中，当第N条时钟信号线为所述第一时钟信号时，所述第N+2条时钟信号线为所述第三时钟信号，所述第N-1条时钟信号线为所述第四时钟信号。

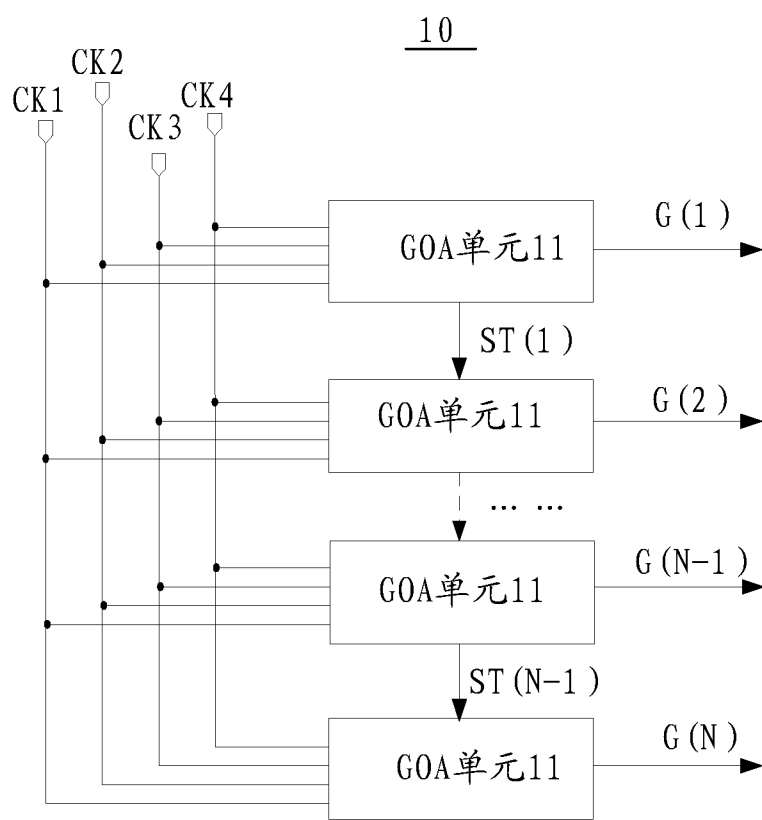


图 1

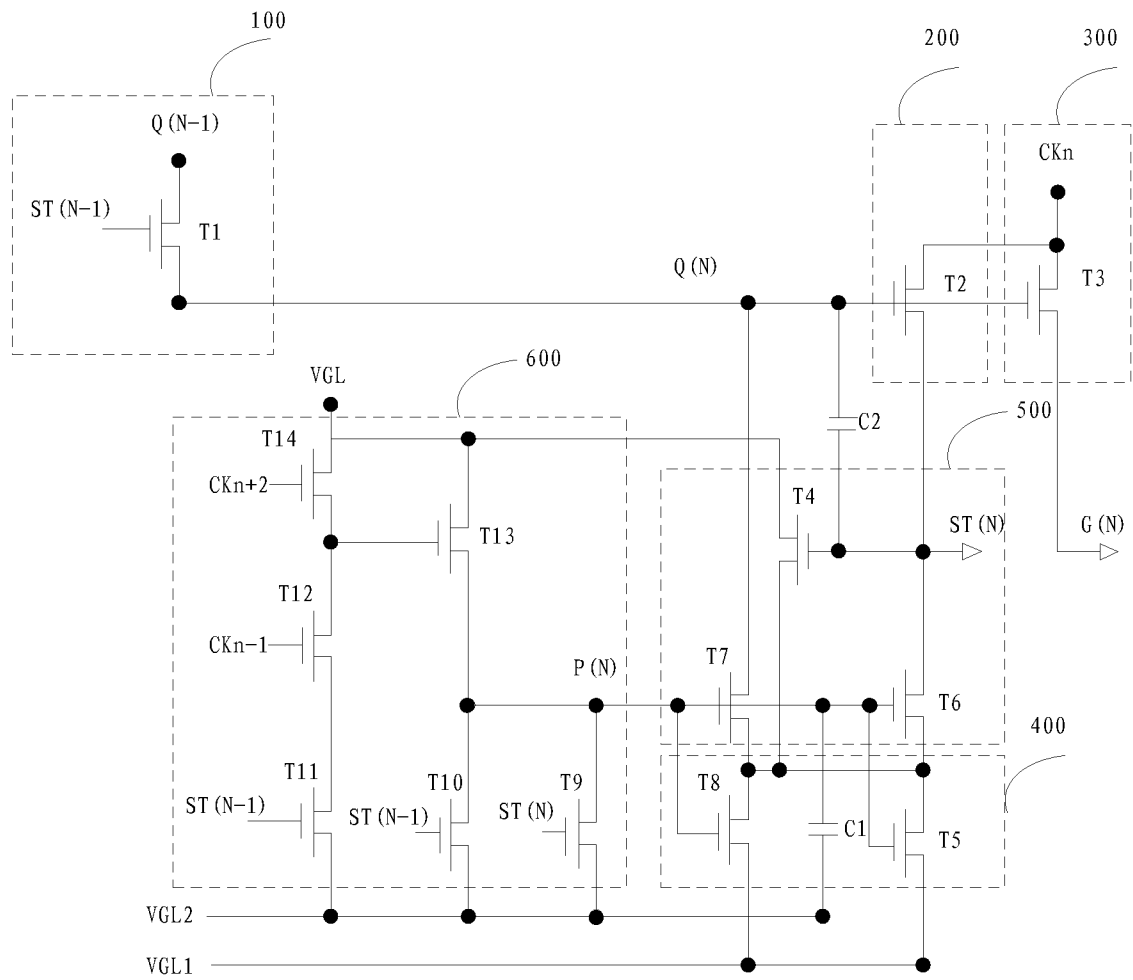


图 2

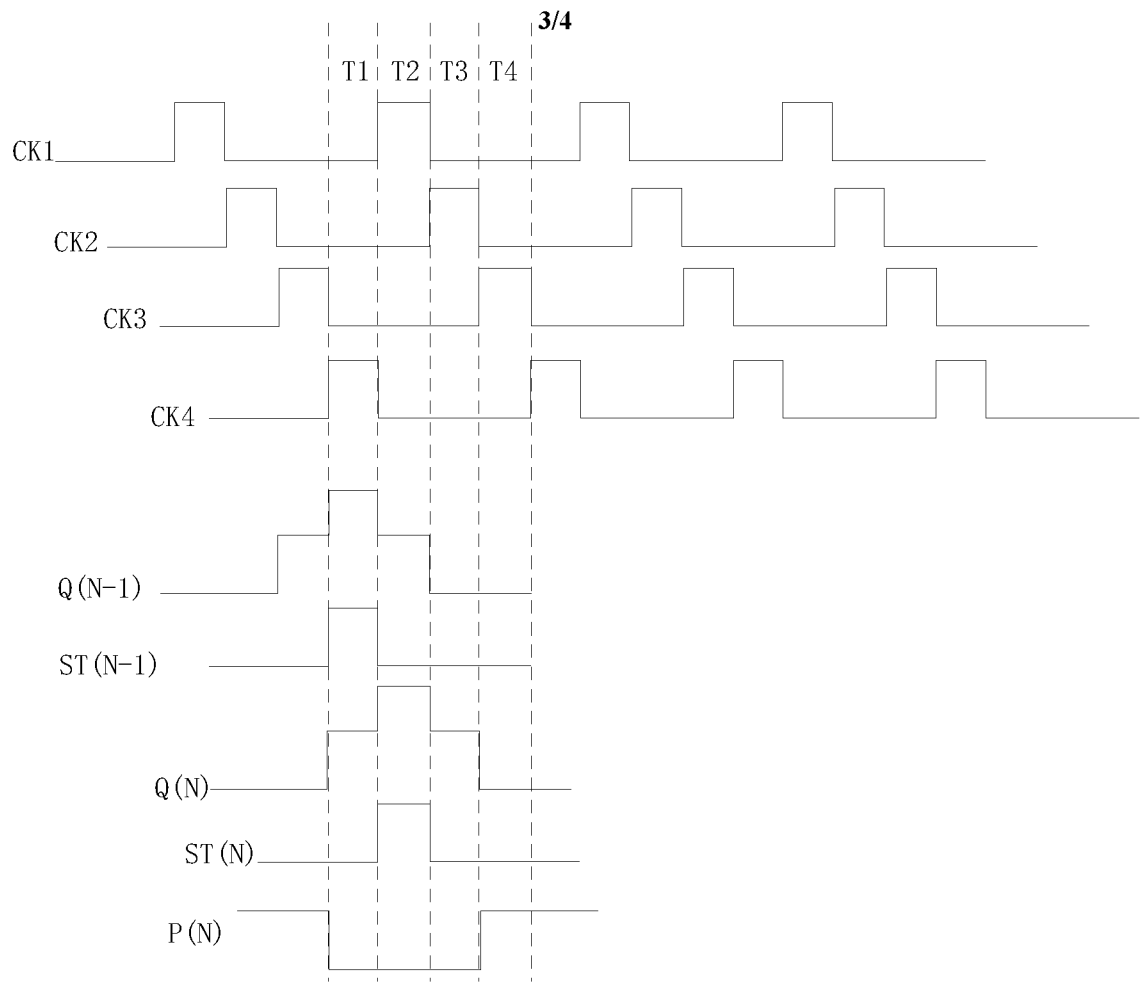


图 3

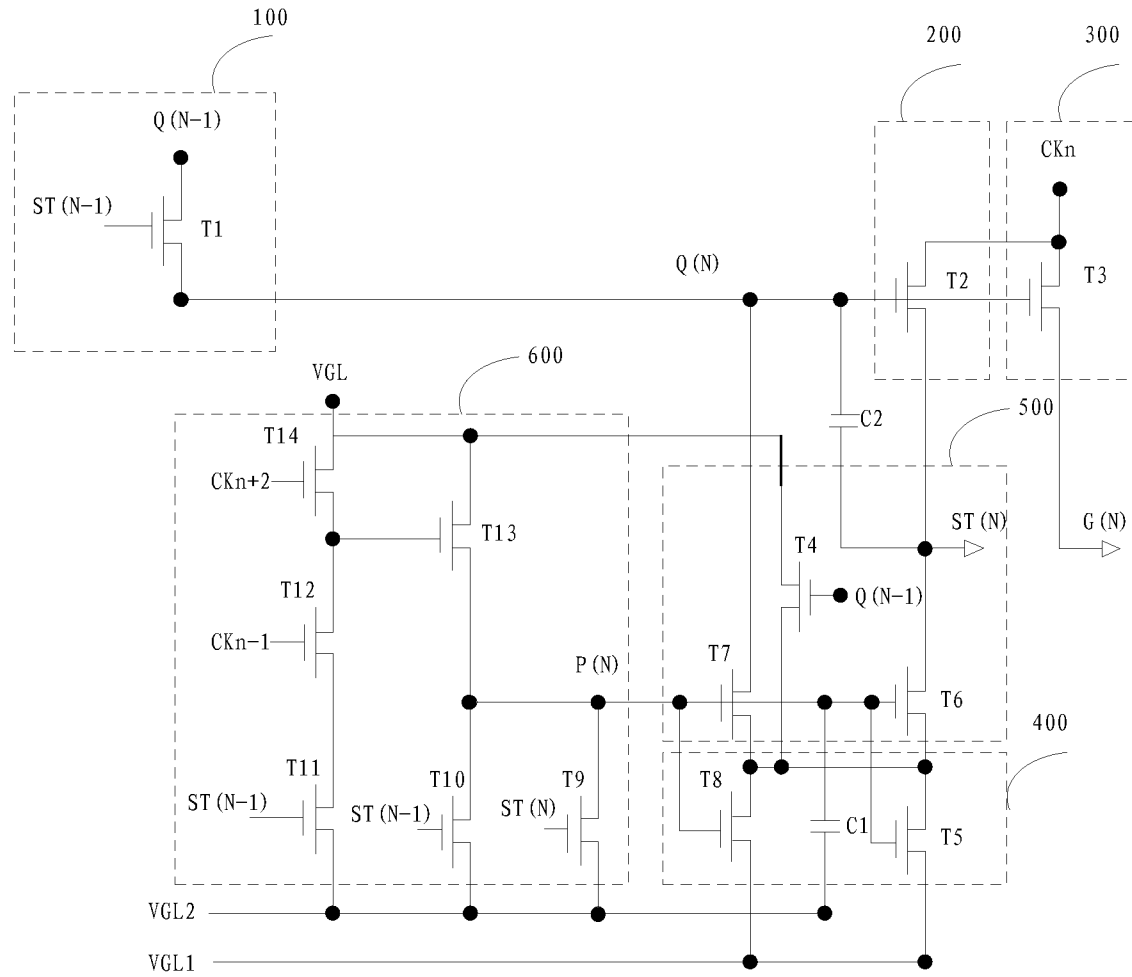


图 4

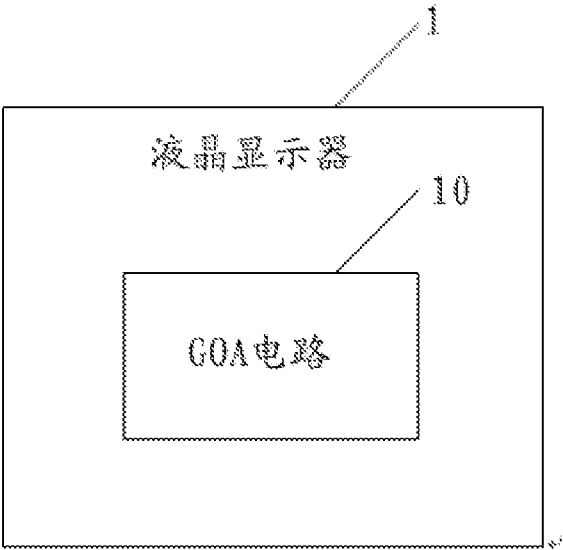


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/090352

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: GOA, gate driving circuit, TFT, electric leakage, close, turn off, pull up, download, gate drive, transistor, electric+, leak+, control+, prevent+, block, switch, pull 1w down

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103021360 A (AU OPTRONICS CORP.), 03 April 2013 (03.04.2013), description, paragraphs 0042-0056, and figures 3-4	3, 8, 12, 17
A	CN 102024415 A (AU OPTRONICS CORP.), 20 April 2011 (20.04.2011), the whole document	1-20
A	CN 103559867 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 05 February 2014 (05.02.2014), the whole document	1-20
A	CN 104392701 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 March 2015 (04.03.2015), the whole document	1-20
A	CN 103996370 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 August 2014 (20.08.2014), the whole document	1-20
A	US 2007140037 A1 (KHAMESRA, A. et al.), 21 June 2007 (21.06.2007), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 April 2016 (25.04.2016)	Date of mailing of the international search report 24 June 2016 (24.06.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XIE, Jianjun Telephone No.: (86-10) 61648484

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/090352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103021360 A	03 April 2013	CN 103021360 B	18 March 2015
		TW 201415802 A	16 April 2014
		US 2014103983 A1	17 April 2014
		TW I511459 B	01 December 2015
		US 8971479 B2	03 March 2015
CN 102024415 A	20 April 2011	CN 102024415 B	31 July 2013
		TW 201225533 A	16 June 2012
		TW I411232 B	01 October 2013
CN 103559867 A	05 February 2014	WO 2015051607 A1	16 April 2015
		US 2015102990 A1	16 April 2015
CN 104392701 A	04 March 2015	WO 2016070515 A1	12 May 2006
CN 103996370 A	20 August 2014	US 2015346904 A1	03 December 2015
US 2007140037 A1	21 June 2007	US 8072834 B2	06 December 2011

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: GOA, 栅极驱动电路, TFT, 晶体管, 漏电, 阻止, 阻断, 控制, 防止, 关闭, 关断, 下拉, 拉低, 上拉, 下传, gate drive, transistor, electric+, leak+, control+, prevent+, block, switch, pull lw down																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103021360 A (友达光电股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 说明书第0042-0056段、附图3-4</td> <td>3, 8, 12, 17</td> </tr> <tr> <td>A</td> <td>CN 102024415 A (友达光电股份有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 104392701 A (深圳市华星光电技术有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103996370 A (京东方科技集团股份有限公司 等) 2014年 8月 20日 (2014 - 08 - 20) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2007140037 A1 (KHAMESRA, ARUN 等) 2007年 6月 21日 (2007 - 06 - 21) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103021360 A (友达光电股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 说明书第0042-0056段、附图3-4	3, 8, 12, 17	A	CN 102024415 A (友达光电股份有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文	1-20	A	CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 全文	1-20	A	CN 104392701 A (深圳市华星光电技术有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-20	A	CN 103996370 A (京东方科技集团股份有限公司 等) 2014年 8月 20日 (2014 - 08 - 20) 全文	1-20	A	US 2007140037 A1 (KHAMESRA, ARUN 等) 2007年 6月 21日 (2007 - 06 - 21) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103021360 A (友达光电股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 说明书第0042-0056段、附图3-4	3, 8, 12, 17																					
A	CN 102024415 A (友达光电股份有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文	1-20																					
A	CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 全文	1-20																					
A	CN 104392701 A (深圳市华星光电技术有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-20																					
A	CN 103996370 A (京东方科技集团股份有限公司 等) 2014年 8月 20日 (2014 - 08 - 20) 全文	1-20																					
A	US 2007140037 A1 (KHAMESRA, ARUN 等) 2007年 6月 21日 (2007 - 06 - 21) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 4月 25日		国际检索报告邮寄日期 2016年 6月 24日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 谢建军 电话号码 (86-10)61648484																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/090352

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103021360	A	2013年 4月 3日	CN	103021360	B	2015年 3月 18日
				TW	201415802	A	2014年 4月 16日
				US	2014103983	A1	2014年 4月 17日
				TW	1511459	B	2015年 12月 1日
				US	8971479	B2	2015年 3月 3日
CN	102024415	A	2011年 4月 20日	CN	102024415	B	2013年 7月 31日
				TW	201225533	A	2012年 6月 16日
				TW	I411232	B	2013年 10月 1日
CN	103559867	A	2014年 2月 5日	WO	2015051607	A1	2015年 4月 16日
				US	2015102990	A1	2015年 4月 16日
CN	104392701	A	2015年 3月 4日	WO	2016070515	A1	2006年 5月 12日
CN	103996370	A	2014年 8月 20日	US	2015346904	A1	2015年 12月 3日
US	2007140037	A1	2007年 6月 21日	US	8072834	B2	2011年 12月 6日