

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5827166号
(P5827166)

(45) 発行日 平成27年12月2日(2015.12.2)

(24) 登録日 平成27年10月23日(2015.10.23)

(51) Int.Cl.	F 1
H 05 K 3/46 (2006.01)	H 05 K 3/46 B
H 01 L 23/12 (2006.01)	H 05 K 3/46 N

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2012-88642 (P2012-88642)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成24年4月9日(2012.4.9)	(74) 代理人	100068755 弁理士 恩田 博宣
(65) 公開番号	特開2013-219191 (P2013-219191A)	(74) 代理人	100105957 弁理士 恩田 誠
(43) 公開日	平成25年10月24日(2013.10.24)	(72) 発明者	古市 潤 長野県長野市小島田町80番地 新光電気 工業 株式会社 内
審査請求日	平成26年12月25日(2014.12.25)	(72) 発明者	立岩 昭彦 長野県長野市小島田町80番地 新光電気 工業 株式会社 内

最終頁に続く

(54) 【発明の名称】配線基板及び配線基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

板状の第1ガラス基板からなり、前記第1ガラス基板を厚さ方向に貫通する第1貫通電極を有する第1コア基板と、

板状の第2ガラス基板からなり、前記第2ガラス基板を厚さ方向に貫通し前記第1貫通電極と径が異なる第2貫通電極を有し、前記第1コア基板と平面方向に離間して並設された第2コア基板と、

前記第1コア基板及び前記第2コア基板を覆う絶縁層と、
を有することを特徴とする配線基板。

【請求項 2】

前記絶縁層は、

前記第1コア基板と前記第2コア基板との間に形成された第1絶縁部材と、
前記第2コア基板の外周端部を覆うように形成された第2絶縁部材と、
前記第1コア基板及び前記第2コア基板の一方の面を覆うように形成された第1絶縁層
と、

前記第1コア基板及び前記第2コア基板の他方の面を覆うように形成された第2絶縁層
と、

を有することを特徴とする請求項1に記載の配線基板。

【請求項 3】

前記第1絶縁層に形成され、前記第1貫通電極と電気的に接続された第1ビアと、

前記第2絶縁層に形成され、前記第1貫通電極と電気的に接続された第2ビアと、
前記第1絶縁層に形成され、前記第2貫通電極と電気的に接続された第3ビアと、
前記第2絶縁層に形成され、前記第2貫通電極と電気的に接続された第4ビアと、
を有することを特徴とする請求項2に記載の配線基板。

【請求項4】

前記第2貫通電極は、前記第1貫通電極より径が大きく形成され、
 前記第2ガラス基板は、前記第1ガラス基板より厚いことを特徴とする請求項1～3の
 いづれか一項に記載の配線基板。

【請求項5】

前記第2貫通電極は、前記第1貫通電極を形成したピッチよりも大きいピッチで形成さ
 れたことを特徴とする請求項1～4のいづれか一項に記載の配線基板。 10

【請求項6】

前記第2コア基板は、前記第1コア基板の形状に応じた収容孔を有することを特徴とす
 る請求項1～5のいづれか一項に記載の配線基板。

【請求項7】

前記絶縁層に形成されたビアを介して前記第1貫通電極に接続された配線層を有し、
 1つの前記ビアに対して複数の前記第1貫通電極を接続したことを特徴とする請求項1
 ～6のいづれか一項に記載の配線基板。

【請求項8】

板状のガラスに対し、該板状のガラスを厚さ方向に貫通する第1貫通電極を形成して第
 1コア基板を形成する工程と、 20

板状のガラスに対し、前記第1貫通電極と径が異なり該板状のガラスを厚さ方向に貫通
 する第2貫通電極を形成して第2コア基板を形成する工程と、

前記第1及び第2コア基板を覆う絶縁層を形成する工程と、
 を含むことを特徴とする配線基板の製造方法。

【請求項9】

前記絶縁層を形成する工程は、
 前記第1コア基板を前記第2コア基板の収容孔内に配置し前記第2コア基板より外形が
 大きい第1絶縁シートの上に前記第1及び第2コア基板を平面方向に離間して並設し、前
 記第1及び第2コア基板の前記第1絶縁シートと反対側の面上に前記第2コア基板より外形
 が大きい第2絶縁シートを配置し、前記第1及び第2絶縁シートにより前記第1及び第2
 コア基板を挟むようにして前記第1及び第2コア基板を覆う絶縁層を形成し、前記絶縁層
 により前記第1コア基板と前記第2コア基板の隙間を充填する第1絶縁部材と前記第2コ
 ア基板の外周端部を覆う第2絶縁部材と前記第1コア基板および前記第2コア基板の一方
 の面を覆う第1絶縁層と前記第1コア基板及び前記第2コア基板の他方の面を覆う第2絶
 縁層とを形成する工程を含むことを特徴とする請求項8に記載の配線基板の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

配線基板及び配線基板の製造方法に関する。 40

【背景技術】

【0002】

従来、電子部品が実装される基板は、コア基板の上下に複数の絶縁層及び配線層が形成
 された所謂多層配線基板である。コア基板の材質は、例えばガラスエポキシである。このような配線基板において、配線層の配線パターン（例えば銅）とコア基板との熱膨張係数
 の差は、配線基板に熱膨張による反りを生じさせる。コア基板に熱膨張係数が小さい材料
 、例えばガラスを用いることは、配線基板の反りを低減する効果的な一つの方法である（
 例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-204152号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、近年、電子部品（例えば半導体チップ）においては、素子の高集積化及び信号処理数の増加によって、半導体チップに形成される電極パッドの数の増加（多ピン化）により、基板に形成する配線の密度が部分的に高くなる。このため、所定の層数の配線基板では配線を形成することができなくなる。

【0005】

これに対し、コア基板に形成される貫通電極のうち半導体チップに接続される貫通電極の径を部分的に小さくする構成が考えられる。しかしながら、コア基板としてガラスを用いた場合には、同一のコア基板に対して異なる径の貫通電極を形成することが難しい。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、板状の第1ガラス基板からなり、前記第1ガラス基板を厚さ方向に貫通する第1貫通電極を有する第1コア基板と、板状の第2ガラス基板からなり、前記第2ガラス基板を厚さ方向に貫通し前記第1貫通電極と径が異なる第2貫通電極を有し、前記第1コア基板と平面方向に離間して並設された第2コア基板と、前記第1コア基板及び前記第2コア基板を覆う絶縁層と、を有する。

【発明の効果】

【0007】

本発明の一観点によれば、異なる径の貫通電極が形成されたコア基板を含む配線基板及び配線基板の製造方法を提供することができる。

【図面の簡単な説明】

【0008】

【図1】配線基板の概略断面図。

【図2】コア基板の概略図。

【図3】(a)～(e)は、ガラス基板に貫通孔を形成する工程を示す概略断面図。

【図4】(a), (b)は、第1コア基板の製造工程を示す平面図。

【図5】(a)～(c)は、第1コア基板の製造工程を示す概略断面図。

【図6】(a), (b)は、第2コア基板の製造工程を示す平面図。

【図7】(a)～(c)は、第2コア基板の製造工程を示す概略断面図。

【図8】(a)～(e)は、配線基板の製造工程を示す概略断面図。

【図9】(a)～(c)は、配線基板の製造工程を示す概略断面図。

【図10】別の配線基板の概略断面図。

【図11】別の配線基板の一部概略断面図

【図12】別の配線基板を用いた半導体装置の概略図。

【図13】図12に示す半導体装置の断面図。

【図14】別のコア基板の概略図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照して一実施形態を説明する。尚、添付図面は、構造の概略を説明するためのものであり、実際の大きさや比率を表していない。

図1に示すように、配線基板20は、厚み方向（図面上下方向）の中央にコア基板21を有している。

【0010】

図1及び図2に示すように、コア基板21は、第1コア基板30と第2コア基板40と、第1絶縁部材23と、第2絶縁部材24とを有している。第1コア基板30は平面視矩形状に形成されている。第2コア基板40は平面視矩形枠状に形成されている。第1コア

10

20

30

40

50

基板 3 0 は、第 2 コア基板 4 0 の中央部に形成された矩形状の収容孔 4 0 a 内に収容されている。第 1 コア基板 3 0 と収容孔 4 0 a の大きさは、第 1 コア基板 3 0 の外側面と収容孔 4 0 a の内周面との間に隙間 2 2 を形成するように設定されている。

【 0 0 1 1 】

図 1 に示すように、第 1 コア基板 3 0 は、板状の第 1 ガラス基板 3 1 を有している。第 1 ガラス基板 3 1 には、第 1 面（図 1 における上面）と第 2 面（図 1 における下面）であって第 1 面とは反対側の面）の間を貫通する（厚さ方向に貫通する）複数の第 1 貫通孔 3 2 が形成されている。図 2 に示すように、第 1 貫通孔 3 2 は、所定ピッチ（第 1 ピッチ）でマトリックス状に形成されている。第 1 貫通孔 3 2 の穴径（第 1 の径）は、例えば、180 μm （マイクロメートル）である。第 1 貫通孔 3 2 のピッチは、例えば、375 μm である。図 1 に示すように、第 1 貫通孔 3 2 内には、第 1 ガラス基板 3 1 の第 1 面（上面）と第 2 面（下面）との間を貫通する第 1 貫通電極 3 3 が形成されている。第 1 貫通電極 3 3 は、例えば銅（Cu）である。

【 0 0 1 2 】

第 2 コア基板 4 0 は、板状の第 2 ガラス基板 4 1 を有している。第 2 ガラス基板 4 1 は、第 1 ガラス基板 3 1 と同じ板厚で形成されている。第 1 及び第 2 ガラス基板 3 1, 4 1 は、平面方向に離間して並設されている。第 2 ガラス基板 4 1 には、第 1 ガラス基板 3 1 と同様に、上面と下面との間を貫通する複数の第 2 貫通孔 4 2 が形成されている。図 2 に示すように、第 2 貫通孔 4 2 は、所定ピッチ（第 2 ピッチ）でマトリックス状に形成されている。第 2 貫通孔 4 2 は、第 1 貫通孔 3 2 に比べて大きい穴径（第 2 の径）で形成されている。また、第 2 貫通孔 4 2 は、第 1 貫通孔 3 2 に比べて大きいピッチで形成されている。第 2 貫通孔 4 2 の穴径は、例えば、250 μm である。第 2 貫通孔 4 2 のピッチは、例えば、475.2 μm である。図 1 に示すように、第 2 貫通孔 4 2 内には、第 2 ガラス基板 4 1 の上面と下面との間を貫通する第 2 貫通電極 4 3 が形成されている。第 2 貫通電極 4 3 は、例えば銅（Cu）である。

【 0 0 1 3 】

図 1 に示すように、第 1 コア基板 3 0 と第 2 コア基板 4 0 の間の隙間 2 2 には第 1 絶縁部材 2 3 が充填されている。また、第 2 コア基板 4 0（第 2 ガラス基板 4 1）の外周端部は第 2 絶縁部材 2 4 に覆われている。

【 0 0 1 4 】

図 1 に示すように、コア基板 2 1 の上方には、複数（本実施形態では 5 つ）の絶縁層 5 1 ~ 5 5 と 5 つの配線層 6 1 ~ 6 5 とが交互に形成されている。また、コア基板 2 1 の下方には、絶縁層 7 1 ~ 7 5 と配線層 8 1 ~ 8 5 とが交互に形成されている。絶縁層 5 1 ~ 5 5, 7 1 ~ 7 5 の材質は、例えばエポキシ系の絶縁樹脂である。配線層 6 1 ~ 6 5, 8 1 ~ 8 5 の材質は、例えば銅である。配線層 6 1 は、第 1 及び第 2 貫通電極 3 3, 4 3 とビア 6 7 a により電気的に接続されている。また、配線層 8 1 は、第 1 及び第 2 貫通電極 3 3, 4 3 とビア 8 7 a により電気的に接続されている。各配線層 6 1 ~ 6 5, 8 1 ~ 8 5 は、ビア 6 7 b ~ 6 7 e, 8 7 b ~ 8 7 e により互いに接続されている。絶縁層 5 5 及び配線層 6 5 の表面は、ソルダーレジスト等の保護膜 9 1 により被覆されている。保護膜 9 1 には、所定位置に開口 9 1 a が形成され、開口 9 1 a から配線層 6 5 が、図示しない半導体チップ等の電子部品の電極パッド等に接続される電極 6 5 a として露出している。また、絶縁層 7 5 及び配線層 8 5 の表面は、保護膜 9 2 により被覆されている。保護膜 9 2 には所定位置に開口 9 2 a が形成され、その開口 9 2 a から配線層 8 5 が電極 8 5 a として露出している。

【 0 0 1 5 】

（作用）

本実施形態の配線基板 2 0 のコア基板 2 1 は、第 1 及び第 2 コア基板 3 0, 4 0 と、第 1 絶縁部材 2 3 と、第 2 絶縁部材 2 4 とを有している。第 1 コア基板 3 0 の第 1 ガラス基板 3 1 には、所定の穴径（第 1 の径）で形成された第 1 貫通孔 3 2 内に第 1 貫通電極 3 3 が形成されている。また、第 2 コア基板 4 0 の第 2 ガラス基板 4 1 には、第 1 貫通孔 3 2

10

20

30

40

50

に比べて大きい穴径（第2の径）で形成された第2貫通孔42内に第2貫通電極43が形成されている。第1及び第2コア基板30, 40は、第1絶縁部材23を介して平面方向に離間して並設されている。コア基板21の上方の配線層61は、第1及び第2貫通電極33, 43とビア67aにより電気的に接続されている。各配線層61～65は、ビア67b～67eによりそれぞれ接続されている。そして、絶縁層55及び配線層65を被覆する保護膜91の開口91aから配線層65が、半導体チップ等の電子部品に接続される電極65aとして露出している。また、コア基板21の下方の絶縁層71～75及び配線層81～85は、絶縁層51～55及び配線層61～65と同様に構成されている。

【0016】

このような構成では、例えば、径の小さい第1貫通電極33を狭ピッチで形成することにより、第1貫通電極33に接続された配線層61～65の配線密度を高めて半導体チップ等の狭ピッチ（多ピン）の素子が電極65aに接続できる。また、径が大きい第2貫通電極43に接続された配線層61～65を他の（ピッチが比較的大きい）電子部品等に応じた所望の配線密度で形成できる。つまり、実装品に応じた異なる径の第1及び第2貫通電極33, 43をコア基板21に形成することで、実装品との接続をより確実に行うことができる配線基板20が構成できる。

【0017】

ガラス基板に貫通孔を形成する工程を、図3に従って説明する。

図3（a）に示す板状のガラス板100を準備する。ガラス板100の材料は、例えば感光性を有するガラスである。この感光性成分とは、例えば、金（Au）、銀（Ag）、酸化銅（Cu₂O）、酸化セリウム（CeO₂）である。

【0018】

図3（b）に示すように、ガラス板100を、フォトマスク（レチクル）110を用いて露光する。フォトマスク110は、基板111と、基板111上に形成されたマスクパターン112とを有する。マスクパターン112には、ガラス板100に形成する貫通孔に応じた開口部112aが形成されている。基板111は、例えば石英ガラスである。マスクパターン112は、例えばクロムからなる金属膜である。露光処理では、ガラス板100に対しマスクパターン112の開口部112aを通してガラス板100を露光し、図3（c）に示す被露光部101を形成する。

【0019】

次いで、被露光部101が形成されたガラス板100に対して熱処理を行う。この熱処理は、被露光部101のエッティングを容易に行うための前処理である。熱処理の温度は、例えばガラス板100に用いる材料の転移点と屈伏点との間の温度で行う。

【0020】

次いで、熱処理を施したガラス板100から被露光部101をエッティングする。エッティング処理は、例えばガラス板100を希フッ化水素酸に浸漬させて被露光部101をエッティングする。図3（d）に示すように、エッティング処理されたガラス板100には、上面と下面の間を貫通する（ガラス板100の厚さ方向を貫通する）複数の貫通孔100aが形成される。

【0021】

次いで、貫通孔100aが形成されたガラス板100に対して結晶化処理を行う。結晶化処理は、例えばガラス板100に対し紫外線を照射した後に熱処理を行う。この結晶化処理は、ガラス板100の特性を改善するための処理であり、ガラス板100の機械的強度、熱膨張係数や透過率等などの特性を所望の値に改善させる。例えば、ガラス板100の熱膨張係数を配線層61～65, 81～85の材料（例えば銅）の熱膨張係数に近くすることにより、配線基板20の熱膨張による反りが低減され、配線層61～65, 81～85（配線パターン）の断線等を防止することが可能となる。このような結晶化処理により図3（e）に示すように、複数の貫通孔100aを有するガラス板100を形成する。

【0022】

次に、第1コア基板30の製造工程について説明する。

10

20

30

40

50

図4(a)及び図5(a)に示すように、平面視略正方形状のガラス板120を準備する。まず、ガラス板120に対して上記したフォトリソグラフィ法を用いて貫通孔を形成し、結晶化を行い、図4(b)及び図5(b)に示す第1ガラス基板31を形成する。次に、図5(c)に示すように、第1貫通孔32内に第1貫通電極33を形成する。第1貫通電極33は、例えば電界めっき法により第1貫通孔32内に銅を析出し、析出した銅の第1ガラス基板31の第1面及び第2面(上下面)から突出した部分を研磨し、第1貫通電極33の表面を、第1ガラス基板31の第1面及び第2面のそれぞれと面一とする。

【0023】

次に、第2コア基板40の製造工程について説明する。

図6(a)及び図7(a)に示すように、四角形環状に形成されたガラス板121を準備する。まず、ガラス板121に対してフォトリソグラフィ法を用いて貫通孔を形成し、結晶化を行い、図6(b)及び図7(b)に示す第2ガラス基板41を形成する。次に、図7(c)に示すように、各第2貫通孔42内に第2貫通電極43を例えば電解めっきにより形成する。

【0024】

次に、配線基板20の製造工程について説明する。

先ず、図8(a)に示すように、第1コア基板30を、第2コア基板40の収容孔40a内に配置する。

【0025】

次いで、図8(b)に示すように、例えば、第2コア基板40より外形が大きいシート状の樹脂フィルム130の上面に第1及び第2コア基板30, 40を平面方向に離間して並設させる。樹脂フィルム130の材料は、例えばエポキシ樹脂である。また、この樹脂フィルム130は、例えばB-ステージ状態(半硬化状態)のものを用い、第1及び第2コア基板30, 40を樹脂フィルム130に対して押圧することで、樹脂を隙間22に挿入する。なお、第1及び第2コア基板30, 40は、樹脂フィルム130に対して接着固定し、隙間22に樹脂を充填するようにしてもよい。

【0026】

次いで、図8(c)に示すように、第1及び第2コア基板30, 40に対し、樹脂フィルム130と反対側に樹脂フィルム131を設けて樹脂フィルム130, 131により第1及び第2コア基板30, 40を挟むように配置する。樹脂フィルム131は、樹脂フィルム130と同じ外形で形成されている。そして、例えば、樹脂フィルム130, 131を上下方向から押圧しながら熱処理を施すことで樹脂フィルム130, 131を硬化させ絶縁層51, 71を形成する。第1及び第2コア基板30, 40間の隙間22には、樹脂フィルム130, 131が充填され第1絶縁部材23が形成される。また、第2コア基板40の外周端部は、第2絶縁部材24により覆われる。なお、真空雰囲気中に樹脂フィルム130, 131を押圧することで、隙間22の樹脂フィルム130, 131間に気体が残存するのを防ぐことができる。

【0027】

次いで、図8(d)に示すように、第1及び第2貫通電極33, 43の上方の端部を露出するように、絶縁層51の所定箇所にビアホールを例えばレーザを用いて形成し、各ビアホール内にビア67aを形成する。同様に、絶縁層71にビア87aを形成する。

【0028】

次いで、図8(e)に示すように、絶縁層51の上面に配線層61を形成する。配線層61及びビア67aは、例えばセミアディティブ法により同一工程で形成することが可能である。同様に、絶縁層71の下面に配線層81を形成する。

【0029】

次いで、図9(a)に示すように、上方の絶縁層51及び配線層61の表面を覆うように絶縁層52を形成する。また、下方の絶縁層71及び配線層81の表面を覆うように絶縁層72を形成する。

【0030】

10

20

30

40

50

次いで、図9(b)に示すように、配線層61に接続されるビア67bを絶縁層52に形成する。また、配線層81に接続されるビア87bを絶縁層72に形成する。このようにして絶縁層及び配線層を交互に積層し、図9(c)に示すように、コア基板21の上方に配線層61～64及び絶縁層51～54を、下方に配線層81～84及び絶縁層71～74を形成する。なお、図9(c)は、絶縁層及び配線層がそれぞれ4層の場合を示している。そして、上方の配線層64及び下方の配線層84の表面を、保護膜91, 92でそれぞれ被覆し、保護膜91, 92のそれぞれに配線層64, 84に対応した開口91a, 92aを形成して配線基板20が製造される。

【0031】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 配線基板20のコア基板21は、第1及び第2コア基板30, 40と、第1絶縁部材23と、第2絶縁部材24とを有している。第1コア基板30の第1ガラス基板31には、所定の穴径(第1の径)で形成された第1貫通孔32内に第1貫通電極33が形成されている。また、第2コア基板40の第2ガラス基板41には、第1貫通孔32に比べて大きい穴径(第2の径)で形成された第2貫通孔42内に第2貫通電極43が形成されている。第1及び第2コア基板30, 40は、第1絶縁部材23を介して第1コア基板30の平面方向に離間して並設されている。コア基板21の上方の配線層61は、第1及び第2貫通電極33, 43とビア67aにより電気的に接続されている。各配線層61～65は、ビア67b～67eによりそれぞれ接続されている。そして、絶縁層55及び配線層65を被覆する保護膜91の開口91aから配線層65が、半導体チップ等の電子部品に接続される電極65aとして露出している。

【0032】

このような構成では、例えば、径の小さい第1貫通電極33を狭ピッチで形成することにより、第1貫通電極33に接続された配線層61～65の配線密度を高めて半導体チップ等の狭ピッチ(多ピン)の素子が電極65aに接続できる。また、径が大きい第2貫通電極43に接続された配線層61～65を他の(ピッチが比較的大きい)電子部品等に応じた所望の配線密度で形成できる。つまり、実装品に応じた異なる径の第1及び第2貫通電極33, 43をコア基板21に形成することで、実装品との接続をより確実に行うことができる配線基板20が構成できる。

【0033】

(2) 第1コア基板30と第2コア基板40の間の隙間22には第1絶縁部材23が充填されている。また、第2コア基板40(第2ガラス基板41)の外周端部は第2絶縁部材24に覆われている。このような構成では、コア基板21の上面に形成された絶縁層51と下面に形成された絶縁層71とを第1及び第2絶縁部材23, 24により互いに接続し絶縁層51, 71のガラス基板31, 41に対する密着性が向上する。これにより、配線基板20の製造時等にガラス基板31, 41に生じる内部応力を低減でき、ガラス基板31, 41の割れ等を防止することが可能となる。

【0034】

(3) 第1貫通電極33(第1貫通孔32)は、第1ガラス基板31に対し所定ピッチ(第1ピッチ)で形成されている。また、第2貫通電極43(第2貫通孔42)は、第2ガラス基板41に対し第1貫通孔32に比べて大きいピッチ(第2ピッチ)で形成されている。このような構成では、実装品等に応じた異なるピッチの第1及び第2貫通電極33, 43をコア基板21に形成することで、実装品との接続をより確実に行うことができる配線基板20が構成できる。

【0035】

(4) 第2コア基板40は、第1コア基板30の形状に応じた収容孔40aが形成され、この収容孔40a内に第1コア基板30が収容されている。このような構成では、第1コア基板30を、第2コア基板40の収容孔40aの位置に応じて配置することができ、第1コア基板30の位置調整が容易となる。

【0036】

10

20

30

40

50

(5) 配線基板20の製造工程は、第1コア基板30を、第2コア基板40の収容孔40a内に配置し、第2コア基板40より外形が大きい樹脂フィルム130(第1絶縁シート)の上面に第1及び第2コア基板30,40を第1コア基板30の平面方向に離間して並設させる。次いで、第1及び第2コア基板30,40の樹脂フィルム130と反対側の面に樹脂フィルム130と同じ外形の樹脂フィルム131を設けて、樹脂フィルム130,131によりコア基板30,40を挟むようにして絶縁層51,71を形成する。第1及び第2コア基板30,40間の隙間22には、樹脂フィルム130,131が充填され第1絶縁部材23が形成される。また、第2コア基板40の外周端部は、第2絶縁部材24により覆われる。これにより、個々に形成された第1及び第2コア基板30,40を所望の位置に配置してコア基板21を形成することができる。また、第1及び第2コア基板30,40間の隙間22に形成される第1絶縁部材23と、第2コア基板40の外周端部を覆う第2絶縁部材24とを容易に形成することができる。10

【0037】

(6) 配線基板20の製造工程は、第1貫通孔32を、感光性を有するガラス板100に対してフォトマスク110を通して露光し、被露光部101に対して熱処理を行った後にエッチングして形成する。これにより、第1貫通孔32をより小さい穴径及び狭いピッチに形成できる。

【0038】

尚、上記実施の形態は、以下の態様で実施してもよい。

・上記実施形態では、第1及び第2ガラス基板31,41を同じ板厚で形成したが、例えば図10に示すように、配線基板20aを、貫通孔(貫通孔電極)の径が小さい第1ガラス基板31の板厚を径が大きい第2ガラス基板41に比べて薄くした構成としてもよい。言い換えると、配線基板20aは、貫通孔電極の径が大きい第2ガラス基板41の板厚が径が小さい第1ガラス基板31に比べて厚くなっている。第1及び第2貫通孔32,42をガラス板120,121(図5及び図7参照)に形成する処理では、各貫通孔32,42の穴径に基づいて第1及び第2ガラス基板31,41の板厚を設定する。具体的には、例えば、第1貫通孔32の穴径をより小さい、即ち貫通電極33の径及びピッチをより小さくしたい場合には、所望の穴径以上にエッチングされるのを防ぐために第1ガラス基板31の板厚を薄くする方法がある。従って、径がより小さい第1貫通電極33が形成される第1ガラス基板31の板厚を薄くすることで第1貫通電極33の形成が容易となる。20

【0039】

・上記実施形態において、配線層61,81に接続された1つのビア67a,87aに対して第1及び第2貫通電極33,43が複数個接続された構成としてもよい。例えば、図11に示すように、配線層61に接続されたビア67aは、1つのビア67aに対して複数(図中において2つ)の第1貫通電極33が接続されている。このような構成では、ビア67a,87aと第1及び第2貫通電極33,43との接続を、配線層61~65,81~85の配線密度に応じた接続態様とすることができます。

【0040】

・上記実施形態において、第1及び第2コア基板30,40(第1及び第2ガラス基板31,41)を複数個設けた構成としてもよい。例えば、図12に示す半導体装置200は、2つの半導体チップ201,202が配線基板20bの上に実装されている。配線基板20bは、半導体チップ201,202とそれぞれ接続される2つの第1コア基板203a,203bと、1つの第2コア基板204とを有している。第2コア基板204は、第1コア基板203a,203bをそれぞれ収容する矩形状の収容孔204a,204bが形成されている。40

【0041】

図13に示すように、第1コア基板203aの第1貫通電極33aには、配線層61を介して半導体チップ201の電極パッド201aが接続されている。また、第1コア基板203bの第1貫通電極33bには、配線層61を介して半導体チップ202の電極パッド202aが接続されている。第1貫通電極33a,33bは、径及びピッチが互いに異50

なる。このような構成では、複数個の半導体チップ 201, 202 に応じて径及びピッチが異なる貫通電極 33a, 33b が形成された配線基板が構成できる。

【0042】

また、コア基板 21 を、第 1 及び第 2 コア基板 30, 40 を複数個用いた構成としてもよい。例えば、図 14 に示すコア基板 210 は、形状の異なる第 2 コア基板 211, 212, 213 をそれぞれ一組有している。第 2 コア基板 211, 212, 213 の第 2 貫通電極 211a, 212a, 213a は、互いに径及びピッチが異なる。また、第 1 コア基板 214, 215 は、第 1 貫通電極 214a, 215a の径及びピッチが互いに異なるとともに、第 2 コア基板 211, 212, 213 に囲まれるようにして同一平面上に配設されている。このような構成においても、複数個の電子部品に応じて径及びピッチが異なる貫通電極 211a, 212a, 213a, 214a, 215a が形成された配線基板が構成できる。

10

【0043】

- 上記実施形態において、第 1 及び第 2 貫通電極 33, 43 は、径及びピッチのどちらか一方が異なる構成としてもよい。

- 第 1 貫通孔 32 のピッチ（第 1 ピッチ）を、第 2 貫通孔 42 のピッチ（第 2 ピッチ）より大きいピッチとしてもよい。また、第 1 貫通孔 32 の穴径を、第 2 貫通孔 42 の穴径より大きくしてもよい。

【0044】

- 第 1 及び第 2 ガラス基板 31, 41（ガラス 120, 121）の材料は、感光性を有するガラスに限らず、ソーダライムガラスや無アルカリガラス等を用いてもよい。

20

- 絶縁層 51～55, 71～75（樹脂フィルム 130, 131）の材料は、エポキシ系樹脂に限らず、ポリイミド系樹脂を用いてもよい。また、熱硬化性樹脂に限らず、感光性樹脂を用いてもよい。

【0045】

- 配線層 61～65, 81～85 の材料は、銅に限定されず、金等の他の金属や合金を用いてもよい。

- 第 1 及び第 2 貫通電極 33, 43 の形成は、無電解めっきを用いて形成してもよい。また、無電解めっき及び電解めっきの両方を用いて形成してもよい。

【0046】

30

- 配線層 61～65, 81～85 の形成は、サブトラクティブ法などの各種の配線形成方法を用いてもよい。

- 第 1 及び第 2 貫通孔 32, 42 の露光は、フォトマスクを用いない直接露光により行ってもよい。

【0047】

- コア基板 21 は、第 2 ガラス基板 41 の外周端部を覆う第 2 絶縁部材 24 を設けない構成としてもよい。

【符号の説明】

【0048】

20, 20a, 20b 配線基板

40

21, 210 コア基板

22 隙間

23 第 1 絶縁部材

24 第 2 絶縁部材

30, 203a, 203b, 214, 215 第 1 コア基板

31 第 1 ガラス基板

33, 33a, 33b, 214a, 215a 第 1 貫通電極

40, 204, 211, 212, 213 第 2 コア基板

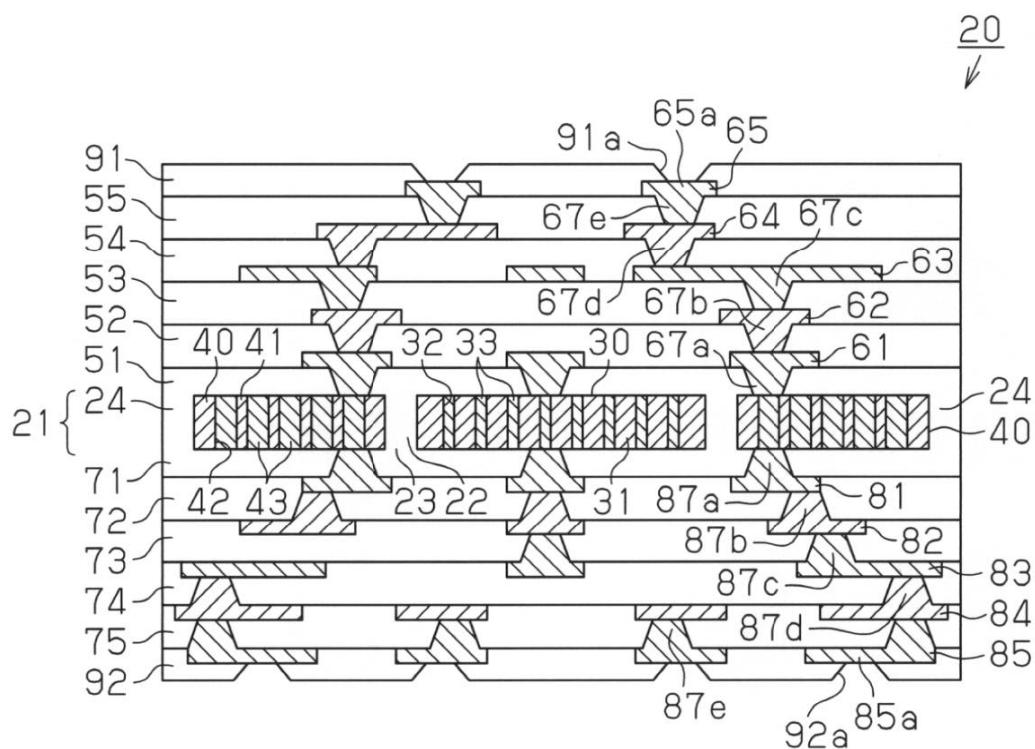
40a, 204a, 204b 収容孔

41 第 2 ガラス基板

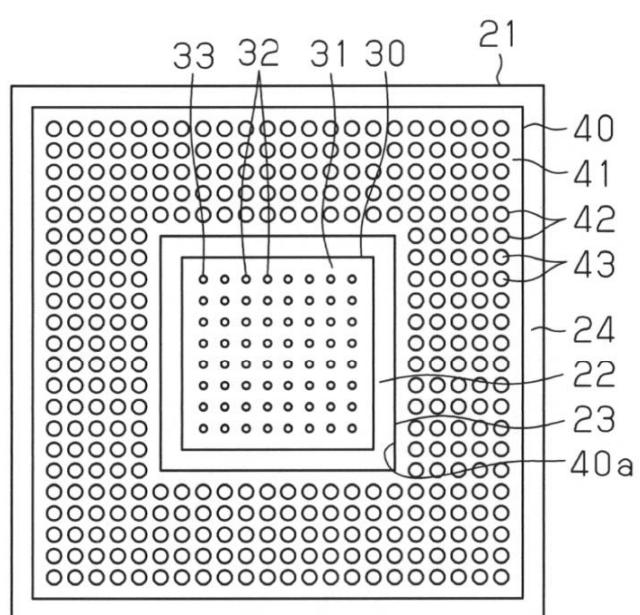
50

4 3 , 2 1 1 a , 2 1 2 a , 2 1 3 a 第 2 貫通電極
 5 1 ~ 5 5 , 7 1 ~ 7 5 絶縁層
 6 1 ~ 6 5 , 8 1 ~ 8 5 配線層
 6 7 a ~ 6 7 e , 8 7 a ~ 8 7 e ピア
 1 0 0 , 1 2 0 , 1 2 1 ガラス板 (ガラス)

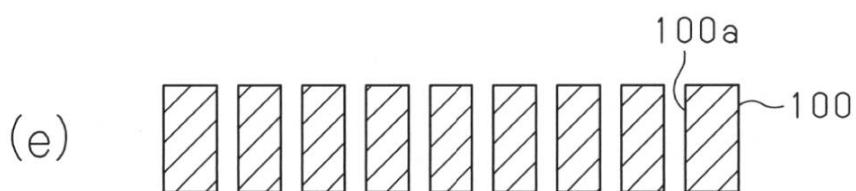
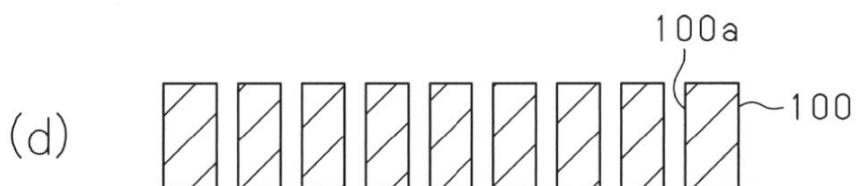
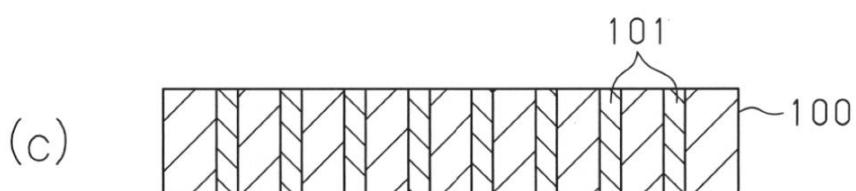
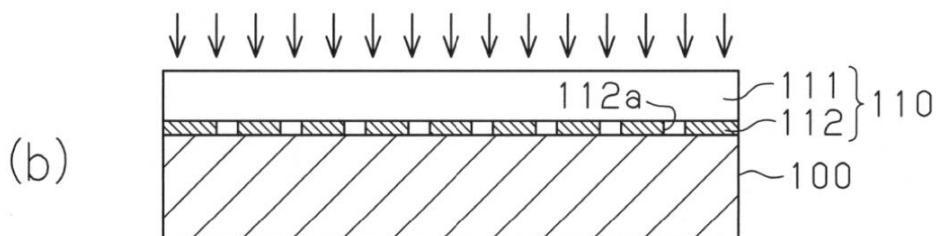
【図 1】



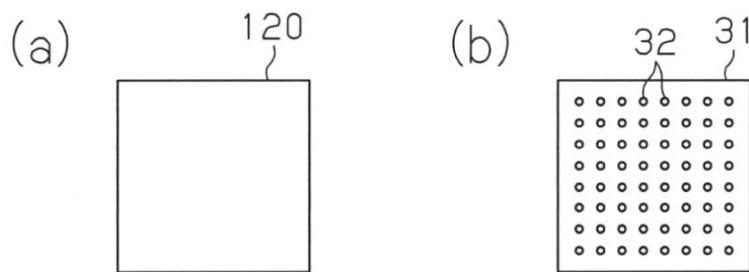
【図2】



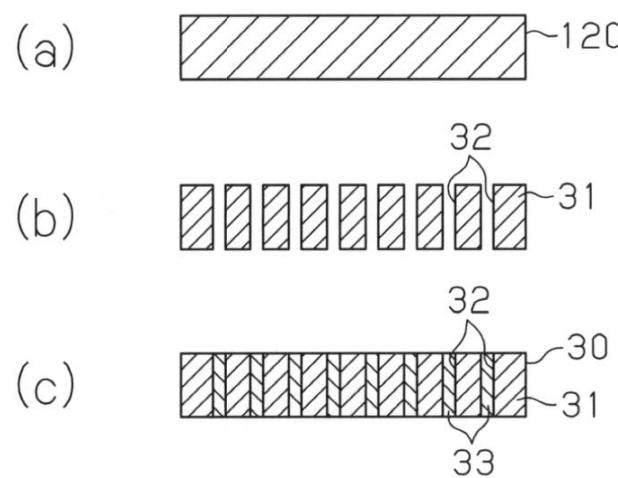
【図3】



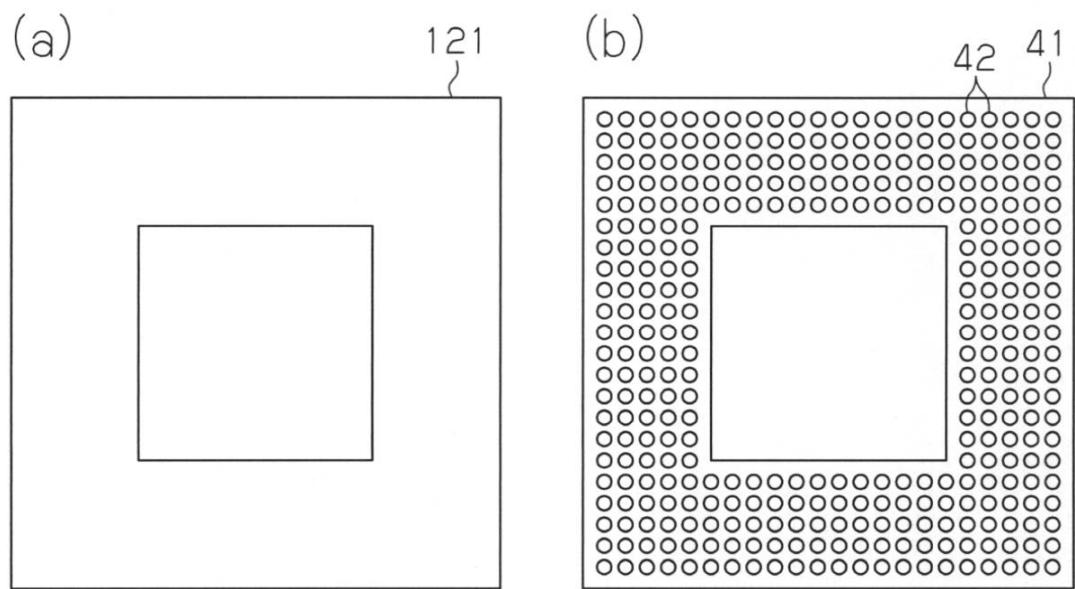
【図4】



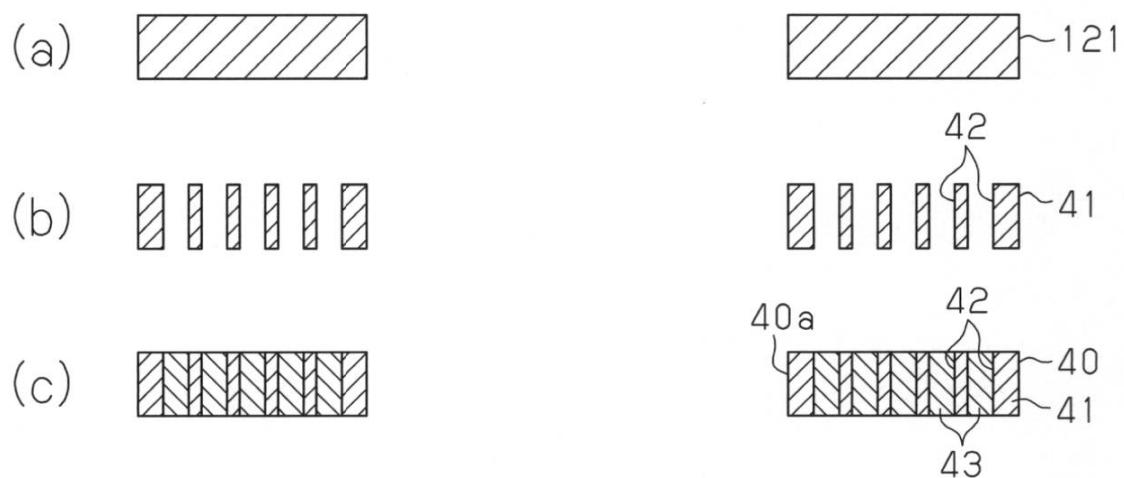
【図5】



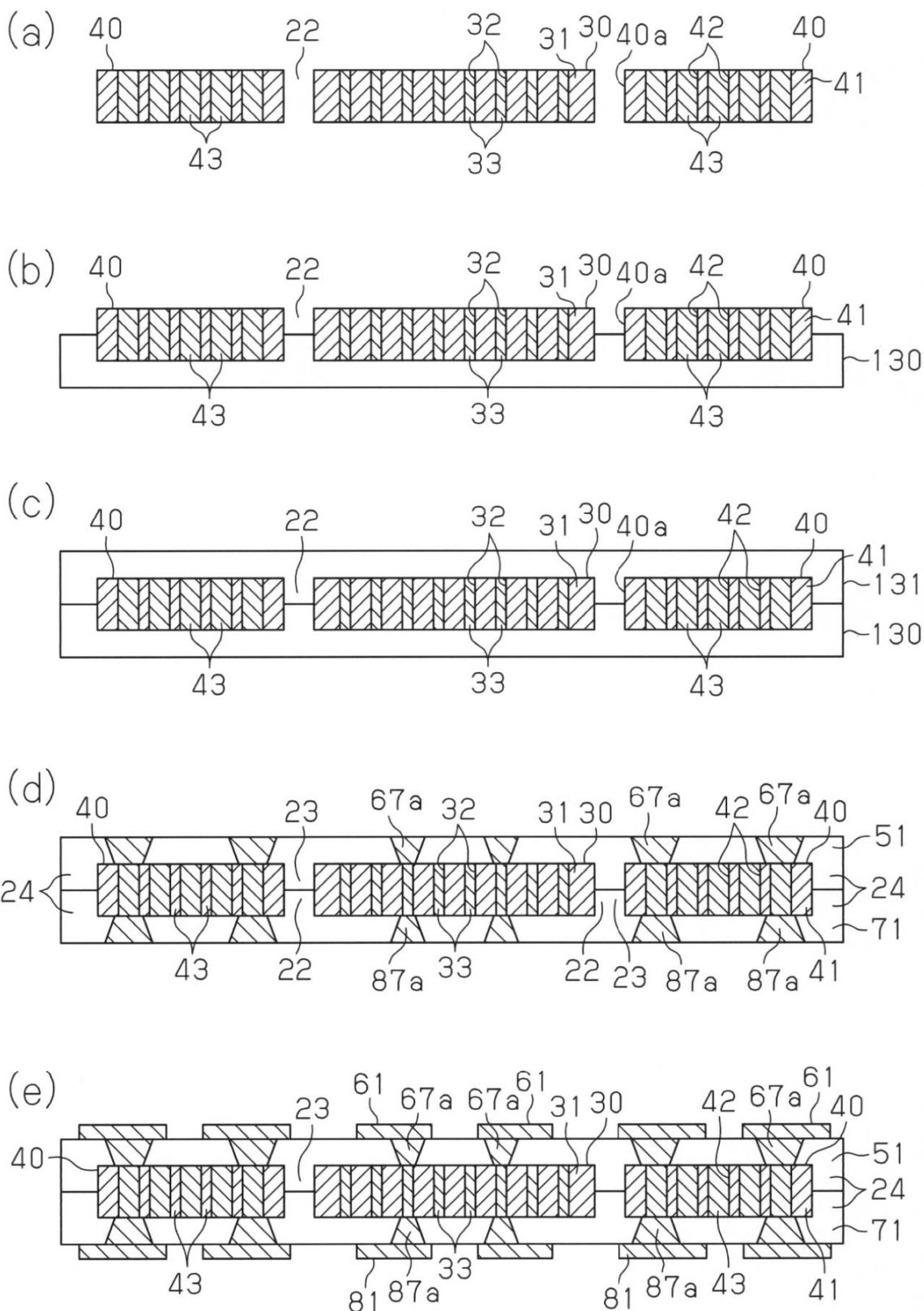
【図6】



【図7】

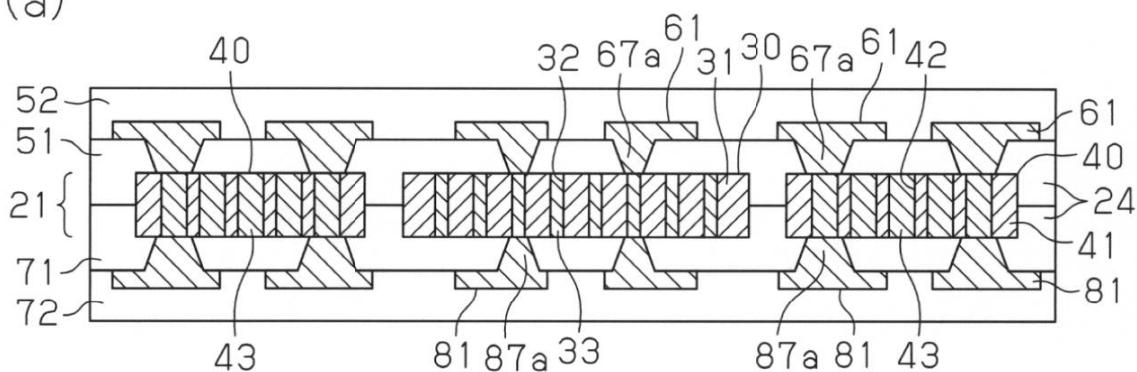


【図8】

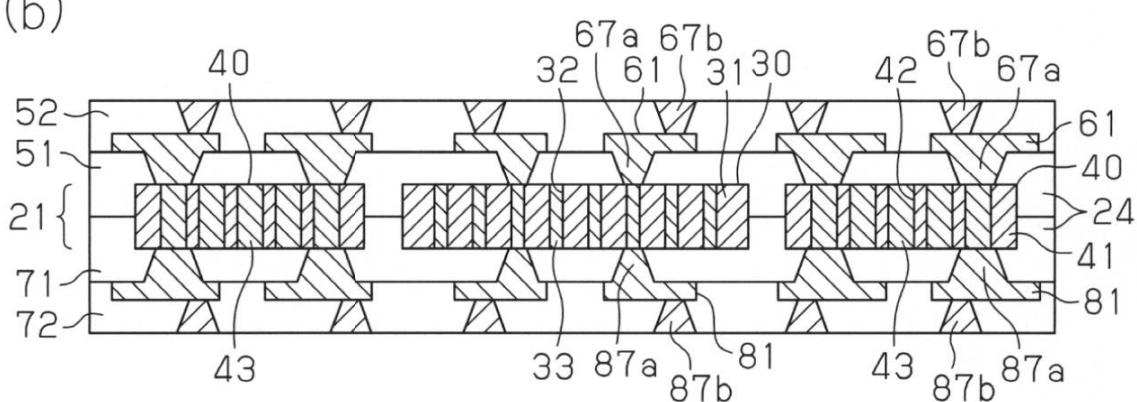


【図9】

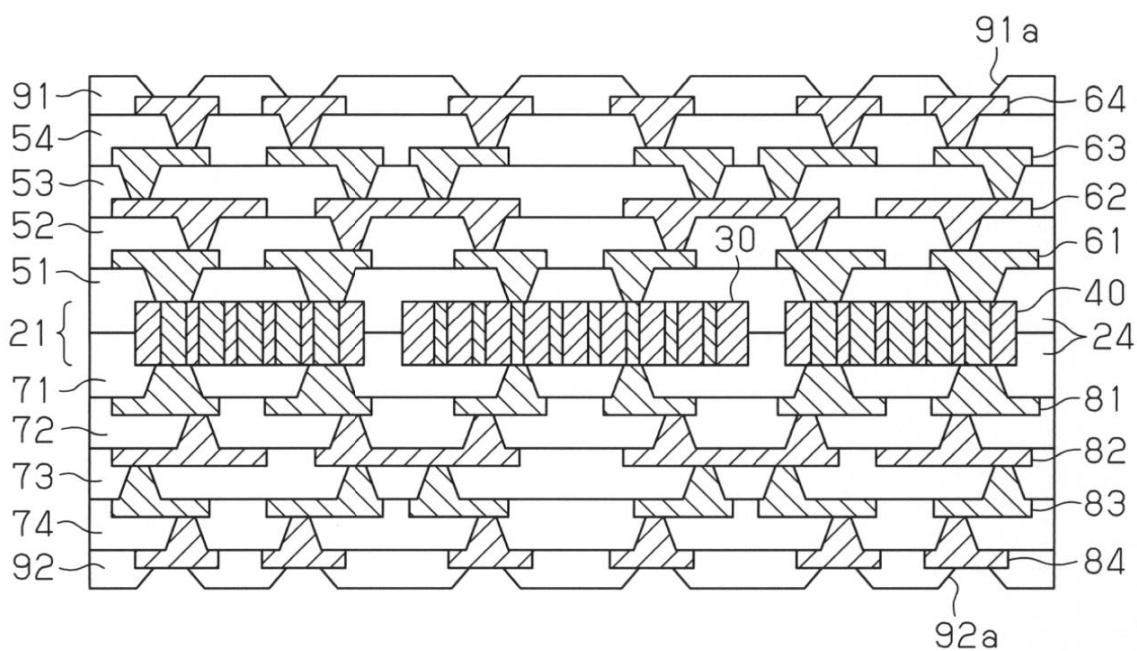
(a)



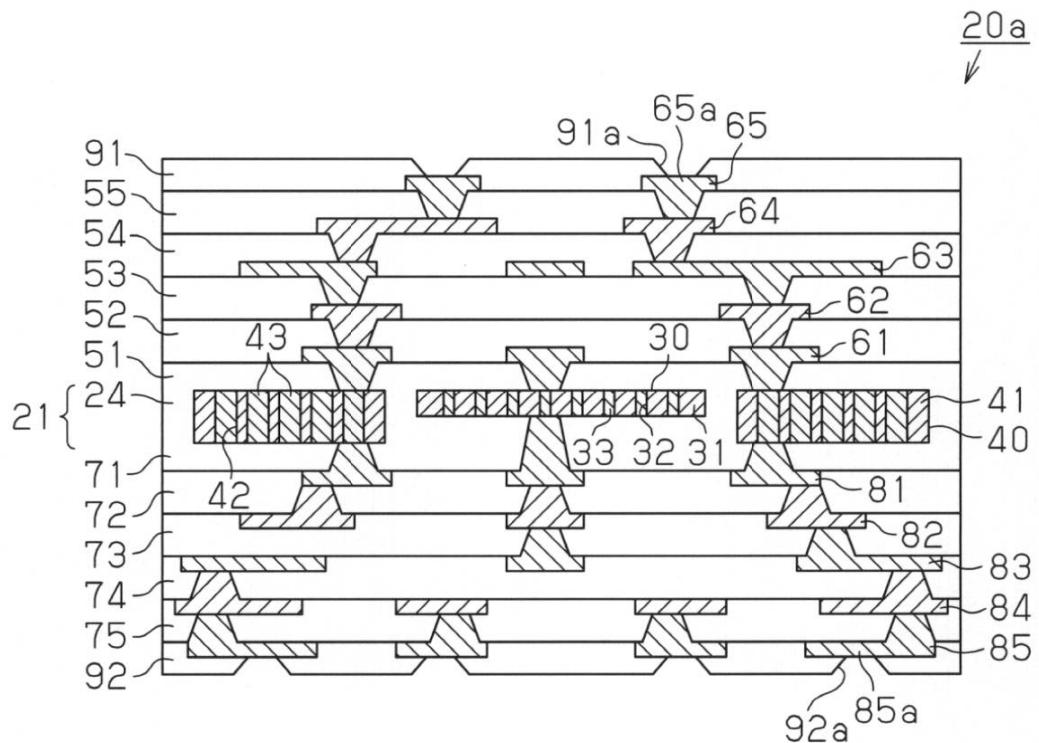
(b)



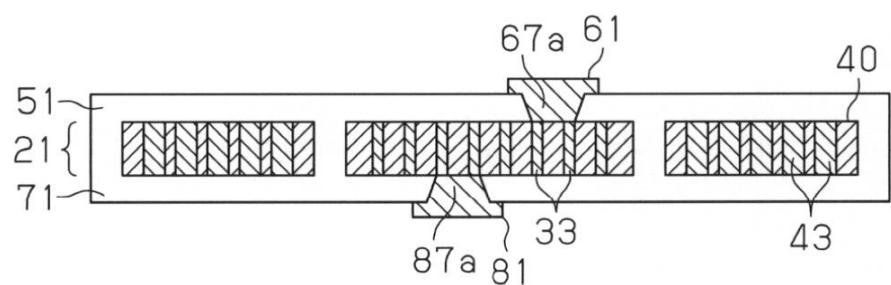
(c)



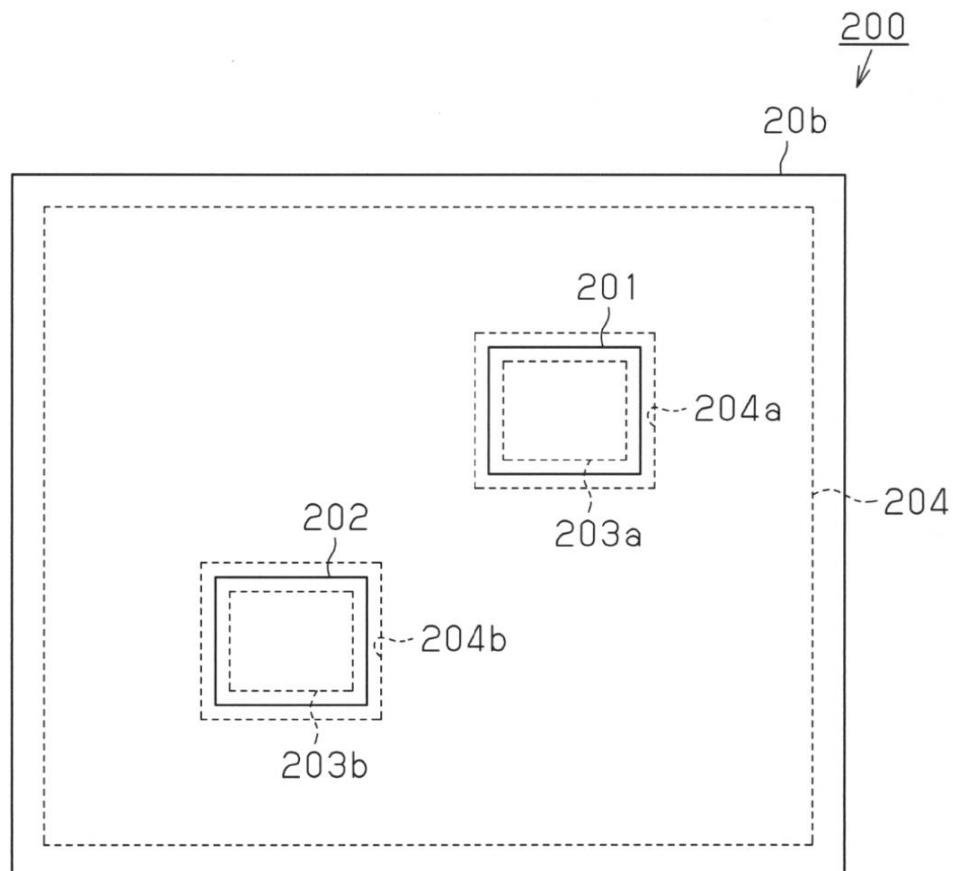
【図10】



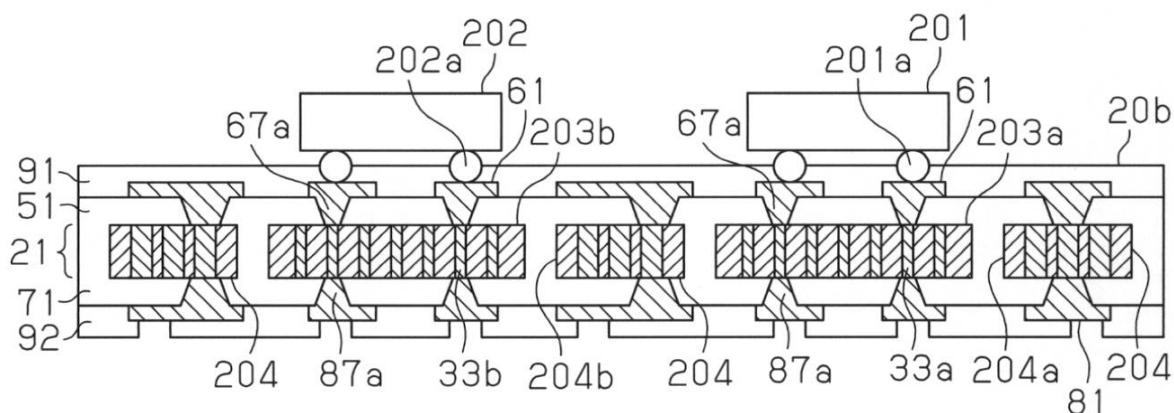
【図 1 1】



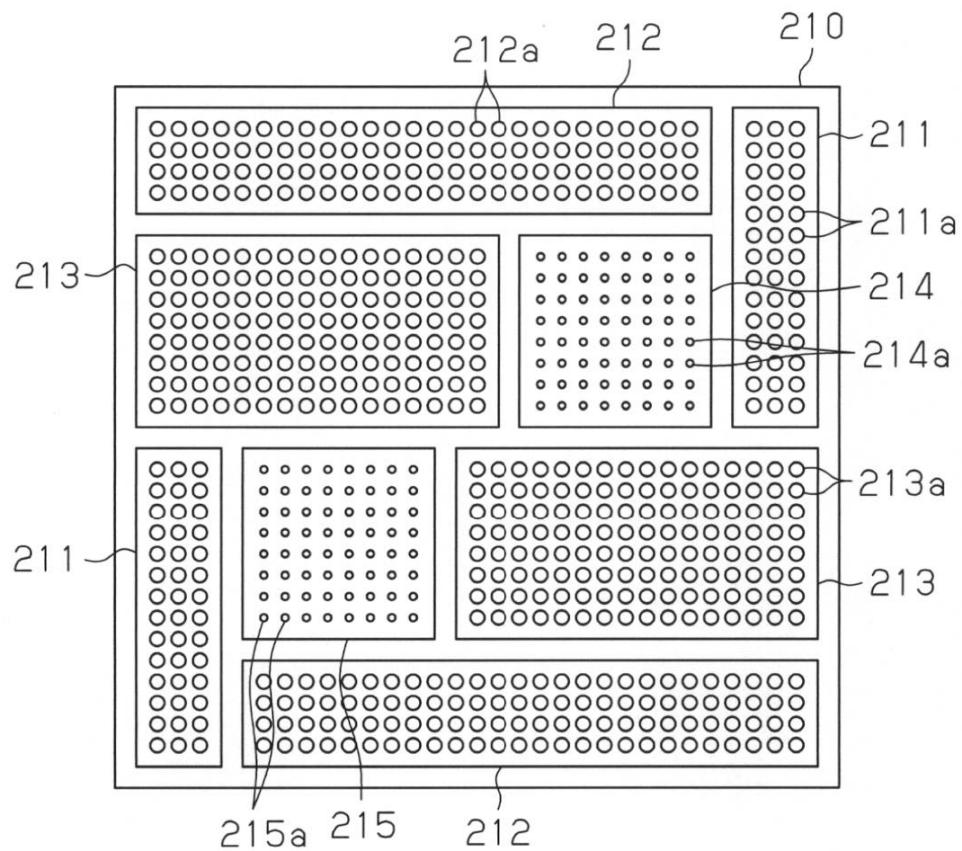
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 小泉 直幸
長野県長野市小島田町80番地 新光電気工業 株式会社 内

審査官 井上 信

(56)参考文献 特開2009-260292(JP, A)
特開2011-54907(JP, A)
特開2011-119372(JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46
H01L 23/12