(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 10 月 18 日 (18.10.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/188283 A1

(51) 国际专利分类号:
G06F 13/16 (2006.01)

(21) 国际申请号: PCT/CN2017/104600

(22) 国际申请日: 2017 年 9 月 29 日 (29.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710241480.4 2017年4月13日 (13.04.2017) CN

(71) 申请人: 联 想 （北 京） 有 限 公 司 (LENOVO (BEIJING) LIMITED) [CN/CN]; 中 国 北 京 市 海 淀 区 上 地 信 息 产 业 基 地 创 业 路 6 号, Beijing 100085 (CN)。

(72) 发明人: 万 超 (WAN, Chao); 中 国 北 京 市 海 淀 区 上 地 信 息 产 业 基 地 创 业 路 6 号, Beijing 100085 (CN)。

(74) 代理人: 中 科 专 利 商 标 代 理 有 限 责 任 公 司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

WO 2018/188283 A1

(54) **Title:** INFORMATION PROCESSING METHOD AND ELECTRONIC DEVICE

(54) **发明名称**: 一种信息处理的方法及电子设备

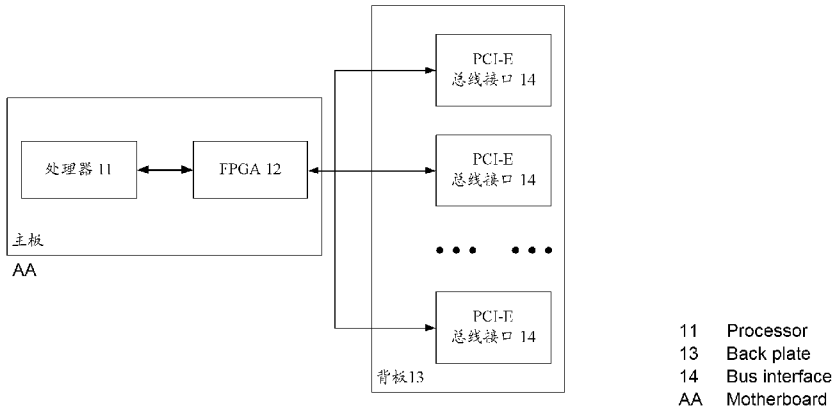


图 1A

(57) **Abstract:** An information processing method and an electronic device. The method comprises: obtaining a first instruction (S401), the first instruction being used for obtaining a bus slot number corresponding to a PCI-E bus interface on a back plate; executing the first instruction in order to send a first slot check signal to a field programmable gate array (FPGA) (S402); receiving a mapping relation between pre-stored Slot ID and Bay ID from the FPGA (S403), wherein the mapping relation is sent by the FPGA in response to the first slot check signal; and obtaining the Slot ID corresponding to the slot of the back plate where the PCI-E bus interface is located (S404).

(57) **摘要**: 一种信息处理的方法及一种电子设备，所述方法包括：获取第一指令（S401），所述第一指令用于获取背板上PCI-E总线接口对应的总线槽位编号；执行所述第一指令，以向现场可编程门阵列FPGA发送第一槽位查看信号（S402）；接收来自所述FPGA的预先存储的Slot ID与Bay ID之间的映射关系（S403），其中，所述映射关系是所述FPGA响应于所述第一槽位查看信号发送的；根据所述映射关系，获取所述PCI-E总线接口所在背板槽位对应的Slot ID（S404）。

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

一种信息处理的方法及电子设备

技术领域

本公开涉及计算机领域，尤其涉及一种信息处理的方法及电子设备。

背景技术

非易失性存储器标准（NVMe，Non-Volatile Memory express）协议是一种新型的接口协议，能够允许主机端通过扩展的外设部件互连标准（PCI-E，Peripheral Component Interconnect Express）总线接口直接与 NVMe 存储设备通信，免去了更多的总线通信的成本，带宽和效率更高，是目前非常热门的存储协议技术。

目前，传统的序列式小型计算机系统接口（SAS，Serial Attached Small Computer System Interface)或者串行高级技术附件（SATA，Serial Advanced Technology Attachment）的管理方法是由 SAS 控制器执行的，而 NVMe 存储设备是无法由 SAS 控制器管理的。

所以，现有技术中并不存在一种管理 NVMe 存储设备的方案。

发明内容

有鉴于此，本公开实施例提供一种信息处理的方法及电子设备，以实现对 NVMe 存储设备的管理。

第一方面，本公开实施例提供了一种信息处理的方法，包括：获取第一指令，所述第一指令用于获取背板上 PCI-E 总线接口对应的总线槽位编号；执行所述第一指令，以向现场可编程门阵列（FPGA，Field Programmable Gate Array）发送第一槽位查看信号；接收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系，其中，所述映射关系是所述 FPGA 响应于所述第一槽位查看信号发送的；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号。

可选地，所述背板上还设置有 SAS 接口，所述方法还包括：获取第二指令，所述第二指令用于获取所述背板上 SAS 接口对应的总线槽位编号；执行所述第二指令，以向磁盘阵列（RAID，Redundant Array of Independent Disk）控制器发送第二槽位查看信号，其中，所述第二槽位查看信号用于指示所述 RAID 控制器获取所述 SAS 接口所在背板槽位对应的组编号，根据所述组标号确定对应的总线槽位编号；接收来自所述 RAID 控制器的所述 SAS 接口所在背板槽位对应的总线槽位编号，其中，所述 SAS 接口所在背板槽位对应的总线槽位编号与所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的。

可选地，所述接收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系，包括：通过内置集成电路（I2C，Inter-Integrated Circuit）总线，接收来自所述 FPGA 的所述映射关系。

可选地，所述根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号，包括：获取与所述 PCI-E 总线接口所在背板槽位的背板槽位编号；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

可选地，所述 PCI-E 总线接口连接 NVMe 存储设备。

第二方面，本公开实施例提供了一种电子设备，包括：处理器、FPGA、背板、设置于背板的至少一个 PCI-E 总线接口。处理器，用于获取第一指令，所述第一指令用于获取所述背板上所述 PCI-E 总线接口对应的总线槽位编号；执行所述第一指令，以向所述 FPGA 发送第一槽位查看信号；还用于接收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号。FPGA，用于接收所述第一槽位查看信号；响应于所述处理器发送的所述第一槽位查看信号，将预先存储的所述映射关系发送给所述处理器。

可选地，所述电子设备还包括：RAID 控制器、设置于所述背板上的 SAS 接口。处理器，还用于获取第二指令，所述第二指令用于获取所述 SAS 接口对应的总线槽位编号；执行所述第二指令以向所述 RAID 控制器发送第二槽位查看信号；还用于接收来自所述 RAID 控制器的所述 SAS 接口所在背板槽位对应的总线槽位编号，其中，所述 SAS 接口所在背板槽位对应的总线槽位编号与所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的；所述 RAID 控制器，用于接收所述第二槽位查看信号；响应于所述第二槽位查看信号，从所述背板获取所述 SAS 接口所在背板槽位对应的组编号；根据所述组标号确定对应的总线槽位编号；将所述组标号确定对应的总线槽位编号发送给所述处理器。

可选地，所述处理器与所述 FPGA 通过 I2C 总线通信，所述处理器，还用于通过所述 I2C 总线，接收来自所述 FPGA 的所述映射关系。

可选地，所述处理器，还用于获取与所述 PCI-E 总线接口所在背板槽位的背板槽位编号；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

可选地，所述 PCI-E 总线接口连接 NVMe 存储设备。

如上所述，本公开实施例提供了一种信息处理的方法及电子设备，首先，获取用于获取背板上 PCI-E 总线接口对应的总线槽位编号的第一指令，然后，执行该第一指令，向 FPGA 发送第一槽位查看信号；接收来自 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的

映射关系，其中，上述映射关系是 FPGA 响应于第一槽位查看信号后发送的，接下来，根据上述映射关系，获取 PCI-E 总线接口所在背板槽位对应的总线槽位编号，如此，电子设备就能够通过 FPGA 获取背板上 PCI-E 总线接口对应的总线槽位编号，进而实现对 NVMe 存储设备的管理。

附图说明

图 1A 示意性示出了根据本公开实施例的电子设备的结构示意图；

图 1B 示意性示出了根据本公开另一实施例的电子设备的结构示意图；

图 2 示意性示出了根据本公开实施例的信息处理的方法流程示意图；

图 3 示意性示出了根据本公开另一实施例的信息处理的方法流程示意图；

图 4 示意性示出了根据本公开实施例的处理器侧信息处理方法的流程示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在此使用的术语“包括”、“包含”等表明了所述特征、步骤、操作和/或部件的存在，但是并不排除存在或添加一个或多个其他特征、步骤、操作或部件。

在此使用的所有术语（包括技术和科学术语）具有本领域技术人员通常所理解的含义，除非另外定义。应注意，这里使用的术语应解释为具有与本说明书的上下文相一致的含义，而不应以理想化或过于刻板的方式来解释。

在使用类似于“A、B 和 C 等中至少一个”这样的表述的情况下，一般来说应该按照本领域技术人员通常理解该表述的含义来予以解释（例如，“具有 A、B 和 C 中至少一个的系统”应包括但不限于单独具有 A、单独具有 B、单独具有 C、具有 A 和 B、具有 A 和 C、具有 B 和 C、和/或具有 A、B、C 的系统等）。在使用类似于“A、B 或 C 等中至少一个”这样的表述的情况下，一般来说应该按照本领域技术人员通常理解该表述的含义来予以解释（例如，“具有 A、B 或 C 中至少一个的系统”应包括但不限于单独具有 A、单独具有 B、单独具有 C、具有 A 和 B、具有 A 和 C、具有 B 和 C、和/或具有 A、B、C 的系统等）。本领域技术人员还应理解，实质上任意表示两个或更多可选项目的转折连词和/或短语，无论是在说明书、权利要求书还是附图中，都应被理解为给出了包括这些项目之一、这些项目任一方、或两个项目的可能性。例如，短语“A 或 B”应当被理解为包括“A”或“B”、或“A 和 B”的可

能性。

附图中示出了一些方框图和/或流程图。应理解，方框图和/或流程图中的一些方框或其组合可以由计算机程序指令来实现。这些计算机程序指令可以提供给通用计算机、专用计算机或其他可编程数据处理装置的处理器，从而这些指令在由该处理器执行时可以创建用于实现这些方框图和/或流程图中所说明的功能/操作的装置。

因此，本公开的技术可以硬件和/或软件（包括固件、微代码等）的形式来实现。另外，本公开的技术可以采取存储有指令的计算机可读介质上的计算机程序产品的形式，该计算机程序产品可供指令执行系统使用或者结合指令执行系统使用。在本公开的上下文中，计算机可读介质可以是能够包含、存储、传送、传播或传输指令的任意介质。例如，计算机可读介质可以包括但不限于电、磁、光、电磁、红外或半导体系统、装置、器件或传播介质。计算机可读介质的具体示例包括：磁存储装置，如磁带或硬盘（HDD）；光存储装置，如光盘（CD-ROM）；存储器，如随机存取存储器（RAM）或闪存；和/或有线/无线通信链路。

在相关技术中，当背板同时接入 SATA/SAS 存储设备和 NVMe 存储设备时，往往会为 NVMe 存储设备保留一段固定的编号，比如，背板支持 4 块 SATA/SAS 存储设备和 2 块 NVMe 存储设备，前四个总线槽位编号（Slot ID）为 0~3，后两个 Slot ID 为 NVMe 存储设备，而且，为了保证不与 SATA/SAS 存储设备冲突，预留的 Slot ID 会比较大，可以为 64~65。那么，如果背板保留的 NVMe 存储设备的 PCI-E 总线接口位于整个背板的中间时，NVMe 存储设备的 Slot ID 位于 SATA/SAS 存储设备的 Slot ID 中间，导致 Slot ID 不连续，此时，背板上设备的 Slot ID 为 Slot0、Slot1、Slot64、Slot65、Slot2、Slot3。

由此可见，由于 Slot ID 不连续，就导致背板的配置不够灵活，不便于用户管理；另外，由于 NVMe 存储设备的 PCI-E 总线接口通常与 SAS 接口设置在统一背板槽位中，那么，当该背板槽位连接的是 SATA/SAS 存储设备时，该背板槽位对应的 Slot ID 就会前后会不一致，对用户使用造成困扰。

为了解决上述技术问题，本公开实施例提供一种信息处理的方法，该方法应用于电子设备中，如个人计算机（PC，Personal Computer）、平板电脑、多媒体设备等，只要是能够接入存储设备的电子设备均落入本公开的保护范围内。

在本公开实施例中，上述 NVMe 存储设备可以为 NVMe 协议的存储设备，如 NVMe 机械硬盘、NVMe 固态硬盘等；上述 SATA/SAS 存储设备为 SATA/SAS 接口的存储设备，如 SATA/SAS 机械硬盘、SATA/SAS 固态硬盘等。当然，还可以其它设备，本公开实施例不作具体限定。

为了更好地理解本公开实施例提供的信息处理方法，首先给出上述电子设备的结构示意

图。

图 1A 示意性示出了根据本公开实施例的电子设备的结构示意图。参见图 1A 所示，该电子设备 10 包括：处理器 11、FPGA12、背板 13、设置于背板 13 的至少一个 PCI-E 总线接口 14。

根据本公开的实施例，上述处理器和 FPGA 设置于电子设备的主板上，上述背板设置有至少一个背板槽位（Bay），在每个背板槽位上至少设置有一个 PCI-E 总线接口，PCI-E 总线接口连接 NVMe 存储设备。

下面结合上述电子设备来对本公开实施例所述的信息处理的方法进行说明。

图 2 示意性示出了根据本公开实施例的信息处理的方法流程示意图。参见图 2 所示，该方法包括：

S201：处理器获取第一指令。

其中，第一指令用于获取背板上 PCI-E 总线接口对应的总线槽位编号。

根据本公开的实施例，在用户使用 NVMe 存储设备的管理工具的过程中，如果需要获取 NVMe 存储设备对应 Slot ID，那么，用户可以在 NVMe 管理工具上输入获取命令，此时，处理器获得用于获取背板上 PCI-E 总线接口对应的 Slot ID 的第一指令。

S202：处理器执行第一指令，以向 FPGA 发送第一槽位查看信号。

根据本公开的实施例，处理器执行上述第一指令，生成第一槽位查看信号，并发送给 FPGA。

S203：FPGA 接收到处理器发送的第一槽位查看信号后，会响应第一槽位查看信号，将预先存储的总线槽位编号与背板槽位编号之间的映射关系发送给处理器。FPGA 中预先存储有 Slot ID 与背板槽位编号（Bay ID）之间的映射关系，该映射关系是电子设备出厂前烧录至 FPGA 的，由电子设备的制造商设置。当然，也可以在电子设备出厂后，更新 FPGA 固件时，存储至 FPGA 中，本公开实施例不做具体限定。

根据本公开的实施例，处理器可以通过 I2C 总线与 FPGA 连接和通信；那么，上述 S203 可以为：FPGA 响应第一槽位查看信号，将上述映射关系通过 I2C 总线发送给处理器。

S204：处理器根据映射关系，获取 PCI-E 总线接口所在背板槽位对应的 Slot ID。

根据本公开的实施例，S204 可以包括：处理器获取 PCI-E 总线接口所在背板槽位的 Bay ID；根据上述映射关系，获取 PCI-E 总线接口所在背板槽位的 Bay ID 对应的 Slot ID。

根据本公开的实施例，处理器根据 FPGA 发送的上述映射关系，就能够获得至少一个设置有 PCI-E 总线接口的背板槽位对应的 Slot ID，比如，所有设置有 PCI-E 总线接口的背板槽位对应的 Slot ID，或者，某一个设置有 PCI-E 总线接口的背板槽位对应的 Slot ID。如此，后

续无论用户想要对哪个 NVMe 存储设备进行管理，均可以通过 Slot ID 找到对应的 NVMe 存储设备，进而对其进行管理。

由此可知，根据本公开的实施例，通过获取用于获取背板上 PCI-E 总线接口对应的总线槽位编号的第一指令，然后，执行该第一指令，向 FPGA 发送第一槽位查看信号；接收来自 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系，其中，上述映射关系是 FPGA 响应第一槽位查看信号后发送的，接下来，根据上述映射关系，获取 PCI-E 总线接口所在背板槽位对应的总线槽位编号，如此，电子设备就能够通过 FPGA 获取背板上 PCI-E 总线接口对应的总线槽位编号，进而实现对 NVMe 存储设备的管理。

图 1B 示意性示出了根据本公开另一实施例的电子设备的结构示意图。

参见图 1B 所示，在背板槽位上除了设置有 PCI-E 总线接口 14，同时还可以设置有 SAS 接口 15，PCI-E 总线接口 14 与 SAS 接口 15 可以设置在同一背板槽位上，也可以设置在不同背板槽位上。在进行总线槽位编号时，无论是何种接口，其所对应的 Slot ID 均顺序编号。

仍参见图 1B 所示，为了对 SAS 存储设备进行管理，电子设备还包括：RAID 控制器 16。

图 3 示意性示出了根据本公开另一实施例的信息处理的方法流程示意图。

参见图 3 所示，该方法包括：

S301：处理器获取第二指令。其中，第二指令用于获取 SAS 接口对应的总线槽位编号。

根据本公开的实施例，在用户使用 SAS 存储设备的管理工具的过程中，如果需要获取 SAS 存储设备对应 Slot ID，那么，用户可以在 SAS 管理工具上输入获取命令，此时，处理器获得用于获取背板上 SAS 接口对应的 Slot ID 的第二指令。

S302：处理器执行第二指令，向 RAID 控制器发送第二槽位查看信号。

根据本公开的实施例，处理器执行上述第二指令，生成第二槽位查看信号，并发送给 RAID 控制器。

S303：RAID 控制器响应于第二槽位查看信号，从背板的 SEP 获取 SAS 接口所在背板槽位（Bay）对应的组编号（Group ID）。

S304：RAID 控制器根据 SAS 接口所在背板槽位对应的组编号即 Group ID 确定对应的 Slot ID，并发送给处理器。

根据本公开的实施例，在电子设备刚刚加电的阶段，基板管理控制器（BMC，Baseboard Management Controller）启动，并通过捆绑在背板电源线中的 I2C 总线，为 SEP 设置 Group ID、Bay ID 和 Slot ID。SEP 是背板槽位信息的唯一提供源，一旦被设定好后，就会始终保留设定值，一旦有上层设备请求读取相关信息时，不论是什么类型的设备，都可以从 SEP 得到统一且一致的响应。

那么，上述 S303 至 S304 可以为 RAID 控制器响应第二槽位查看信号，从 SEP 获取 SAS 接口所在背板槽位（Bay）对应的 Group ID，然后，RAID 控制器根据 Group ID 确定对应的 Slot ID，例如，一个 Group 包括四个 Slot，那么，RAID 控制器获得 Group ID 为 Group0，确定对应的 Slot ID 就为 Slot0~3，即 Slot0、Slot1、Slot2、Slot3；再如，RAID 控制器获得 Group ID 为 Group1，确定对应的 Slot ID 就为 Slot4~7，即 Slot4、Slot5、Slot6、Slot7。当然，一个 Group 还可以包括五个 Slot、8 个 Slot、10 个 Slot 等，Group 与 Slot 的对应关系如上所述，以此类推，本公开实施例不做具体限定。

需要说明的是，上述 SAS 接口所在背板槽位对应的 Slot ID 与 PCI-E 总线接口所在背板槽位对应的 Slot ID 是顺序编号的。例如，背板槽位上共 6 个接口，对应的 Slot ID 为 0~5，即 Slot0、Slot1、Slot2、Slot3、Slot4、Slot5，此时，无论接口是 PCI-E 总线接口还是 SAS 接口，对于处理器来说都是一样的，也就是说，对处理器来说接口类型的差异是透明的。

由此可知，在本公开实施例中，当背板混合接入 NVMe 存储设备和 SAS 存储设备时，屏蔽各类接口之间的差异，统一进行编号，即对各个接口对应的 Slo 顺序编号，如此，不论是 NVMe 存储设备还是 SATA/SAS 存储设备，所有背板上的存储设备连续编号，进而不论背板槽位接入何种存储设备，都能以不变的 Slot 编号代表该背板槽位，透明化背板上接口的差异。

基于前述实施例，下面对处理器侧的信息处理方法进行说明。

图 4 示意性示出了根据本公开实施例的处理器侧信息处理方法的流程示意图。

参见图 4 所示，该方法包括：

S401：获取第一指令。

其中，第一指令用于获取背板上 PCI-E 总线接口对应的总线槽位编号。

S402：执行第一指令，以向 FPGA 发送第一槽位查看信号。

S403：接收预先存储在 FPGA 中的 Slot ID 与 Bay ID 之间的映射关系。

其中，映射关系是 FPGA 响应于第一槽位查看信号发送的。

S404：根据映射关系，获取 PCI-E 总线接口所在背板槽位对应的 Slot ID。

根据本公开的实施例，所述电子设备还包括：磁盘阵列 RAID 控制器，背板上还设置有 SAS 接口，上述方法还包括：获取第二指令，第二指令用于获取背板上 SAS 接口对应的总线槽位编号；执行第二指令，以向磁盘阵列 RAID 控制器发送第二槽位查看信号，第二槽位查看信号用于指示 RAID 控制器获取 SAS 接口所在背板槽位对应的组编号，并根据组标号确定对应的总线槽位编号；接收来自 RAID 控制器的 SAS 接口所在背板槽位对应的总线槽位编号，其中，SAS 接口所在背板槽位对应的总线槽位编号与 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的。

根据本公开的实施例，S403 可以包括：通过内置集成电路 I2C 总线，接收来自 FPGA 的映射关系。

根据本公开的实施例，S404 可以包括：获取与 PCI-E 总线接口所在背板槽位的背板槽位编号；根据映射关系，获取 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

根据本公开的实施例，上述 PCI-E 总线接口连接 NVMe 存储设备。基于同一公开构思，本公开实施例提供一种电子设备，与上述一个或者多个实施例中所述的电子设备一致。

参见图 1A 所示，该电子设备，包括：处理器 11、FPGA12、背板 13、设置于背板 13 的至少一个 PCI-E 总线接口 14。

根据本公开的实施例，处理器，用于获取第一指令，第一指令用于获取背板上 PCI-E 总线接口对应的总线槽位编号；执行第一指令，向 FPGA 发送第一槽位查看信号；还用于接收来自 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系；根据映射关系，获取 PCI-E 总线接口所在背板槽位对应的总线槽位编号；FPGA，用于接收第一槽位查看信号；响应处理器第一槽位查看信号，将预先存储的映射关系发送给处理器。

在公开其它实施例中，参见图 1B 所示，电子设备还包括：RAID 控制器 16、设置于背板 13 的 SAS 接口 15。

根据本公开的实施例，处理器，还用于获取第二指令，第二指令用于获取 SAS 接口对应的总线槽位编号；执行第二指令，向 RAID 控制器发送第二槽位查看信号；还用于接收来自 RAID 控制器的 SAS 接口所在背板槽位对应的总线槽位编号，其中，SAS 接口所在背板槽位对应的总线槽位编号与 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的；RAID 控制器，用于接收第二槽位查看信号；响应第二槽位查看信号，从背板获取 SAS 接口所在背板槽位对应的组编号；根据组标号确定对应的总线槽位编号；将组标号确定对应的总线槽位编号发送给处理器。

根据本公开的实施例，处理器与 FPGA 通过 I2C 总线通信，处理器，具体用于通过 I2C 总线，接收来自 FPGA 的映射关系。

根据本公开的实施例，处理器，具体用于获取 PCI-E 总线接口所在背板槽位的背板槽位编号；根据映射关系，获取 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

在公开其它实施例中，PCI-E 总线接口连接 NVMe 存储设备。

这里需要指出的是：以上电子设备实施例项的描述，与上述方法描述是类似的，具有同方法实施例相同的有益效果，因此不做赘述。对于本公开电子设备实施例中未披露的技术细

节，本领域的技术人员请参照本公开方法实施例的描述而理解，为节约篇幅，这里不再赘述。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

在本申请所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元；既可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本公开各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：移动存储设备、只读存储器（Read Only Memory，ROM）、磁碟或者光盘等各种可以存储程序代码的介质。

或者，本公开上述集成的单元如果以软件功能模块的形式实现并作为独立的产品销售或使用时，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本公开实施例的技

术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备等）执行本公开各个实施例所述方法的全部或部分。而前述的存储介质包括：移动存储设备、ROM、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权利要求

1、一种信息处理的方法，包括：

获取第一指令，所述第一指令用于获取背板上 PCI-E 总线接口对应的总线槽位编号；

执行所述第一指令，以向现场可编程门阵列 FPGA 发送第一槽位查看信号；

接收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系，其中，所述映射关系是所述 FPGA 响应于所述第一槽位查看信号发送的；

根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号。

2、根据权利要求 1 所述的方法，其中，所述背板上还设置有序列式小型计算机系统接口 SAS，所述方法还包括：

获取第二指令，所述第二指令用于获取所述背板上 SAS 接口对应的总线槽位编号；

执行所述第二指令，以向磁盘阵列 RAID 控制器发送第二槽位查看信号，其中，所述第二槽位查看信号用于指示所述 RAID 控制器获取所述 SAS 接口所在背板槽位对应的组编号，根据所述组标号确定对应的总线槽位编号；

接收来自所述 RAID 控制器的所述 SAS 接口所在背板槽位对应的总线槽位编号，其中，所述 SAS 接口所在背板槽位对应的总线槽位编号与所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的。

3、根据权利要求 1 所述的方法，其中，所述接收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系，包括：

通过内置集成电路 I2C 总线，接收来自所述 FPGA 的所述映射关系。

4、根据权利要求 1 所述的方法，其中，所述根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号，包括：

获取所述 PCI-E 总线接口所在背板槽位的背板槽位编号；

根据所述映射关系，获取与所述 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

5、根据权利要求 1 至 4 任一项所述的方法，其中，所述 PCI-E 总线接口连接非易失性存储器标准 NVMe 存储设备。

6、一种电子设备，包括：处理器、现场可编程门阵列 FPGA、背板、设置于背板的至少一个 PCI-E 总线接口，其中：

处理器，用于获取第一指令，所述第一指令用于获取所述背板上所述 PCI-E 总线接口对应的总线槽位编号；执行所述第一指令，以向所述 FPGA 发送第一槽位查看信号；还用于接

收来自所述 FPGA 的预先存储的总线槽位编号与背板槽位编号之间的映射关系；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号；

FPGA，用于接收所述第一槽位查看信号；响应于所述处理器发送的所述第一槽位查看信号，将预先存储的所述映射关系发送给所述处理器。

7、根据权利要求 6 所述的电子设备，其中，所述电子设备还包括：磁盘阵列 RAID 控制器、设置于所述背板上的 SAS，其中：

所述处理器，还用于获取第二指令，所述第二指令用于获取所述 SAS 接口对应的总线槽位编号；执行所述第二指令，以向所述 RAID 控制器发送第二槽位查看信号；还用于接收来自所述 RAID 控制器的所述 SAS 接口所在背板槽位对应的总线槽位编号，其中，所述 SAS 接口所在背板槽位对应的总线槽位编号与所述 PCI-E 总线接口所在背板槽位对应的总线槽位编号是顺序编号的；

所述 RAID 控制器，用于接收所述第二槽位查看信号；响应于所述第二槽位查看信号，从所述背板获取所述 SAS 接口所在背板槽位对应的组编号；根据所述组标号确定对应的总线槽位编号；将所述组标号确定对应的总线槽位编号发送给所述处理器。

8、根据权利要求 6 所述的电子设备，其中，所述处理器与所述 FPGA 通过内置集成电路 I2C 总线通信，所述处理器，还用于通过所述 I2C 总线，接收来自所述 FPGA 的所述映射关系。

9、根据权利要求 6 所述的电子设备，其中，所述处理器，还用于获取与所述 PCI-E 总线接口所在背板槽位的背板槽位编号；根据所述映射关系，获取所述 PCI-E 总线接口所在背板槽位的背板槽位编号对应的总线槽位编号。

10、根据权利要求 6 至 9 任一项所述的电子设备，其中，所述 PCI-E 总线接口连接非易失性存储器标准 NVMe 存储设备。

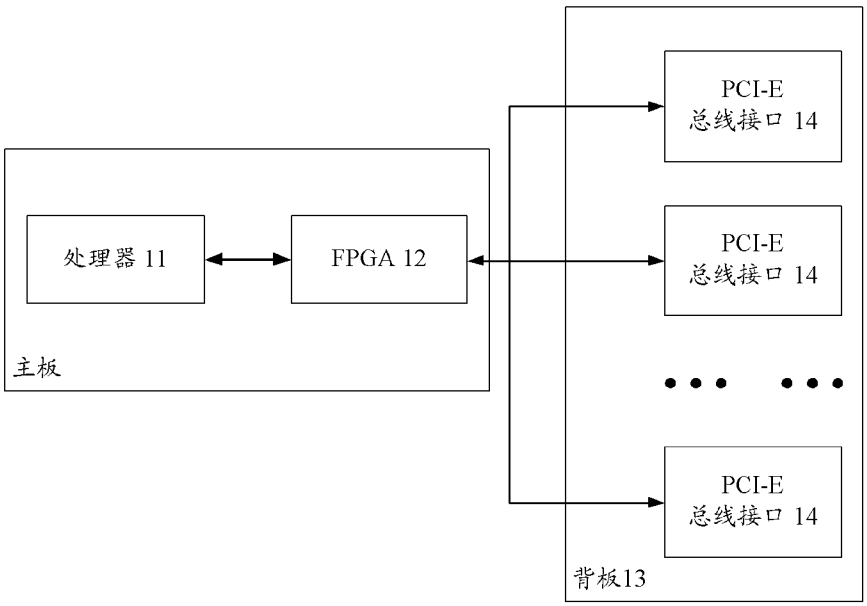

PCI-E
总线接口 14
处理器 11
FPGA 12
PCI-E
总线接口 14
主板
PCI-E
总线接口 14
背板13

图 1A

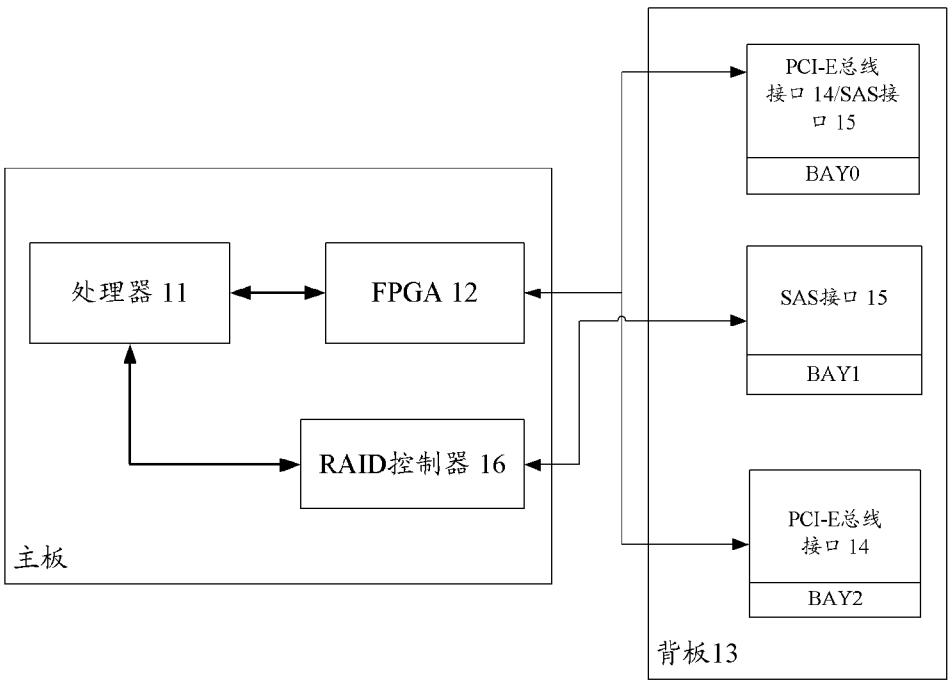

PCI-E总线
接口 14/SAS接
口 15
BAY0
处理器 11
FPGA 12
SAS接口 15
BAY1
RAID控制器 16
PCI-E总线
接口 14
BAY2
主板
背板13

图 1B

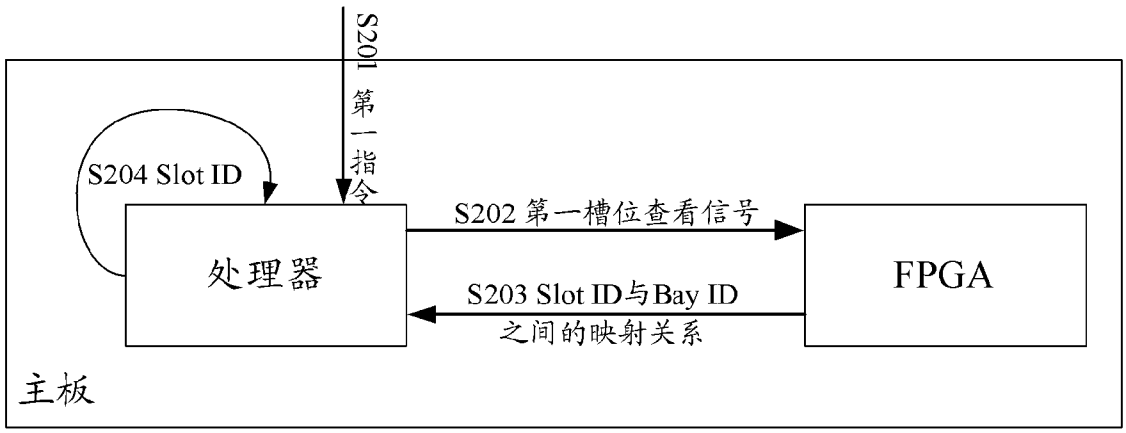

S201 第一指令
S204 Slot ID
处理器
S202 第一槽位查看信号
S203 Slot ID与Bay ID
之间的映射关系
FPGA
主板

图 2

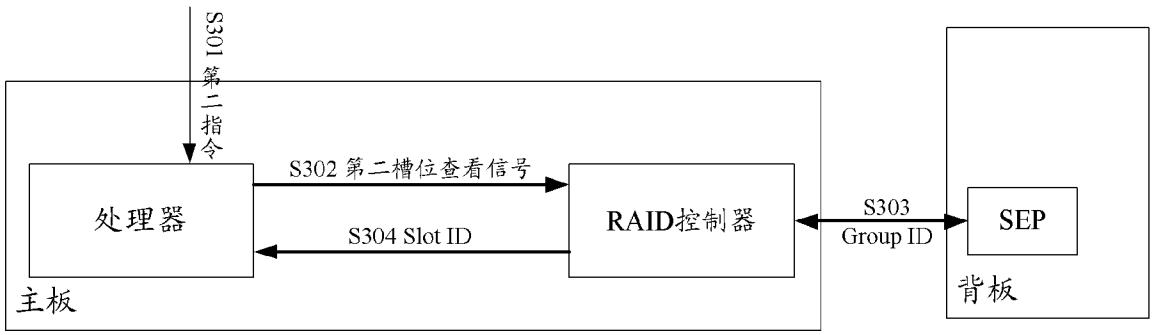

S301 第二指令
处理器
S302 第二槽位查看信号
S304 Slot ID
RAID控制器
S303
Group ID
SEP
主板
背板

图 3

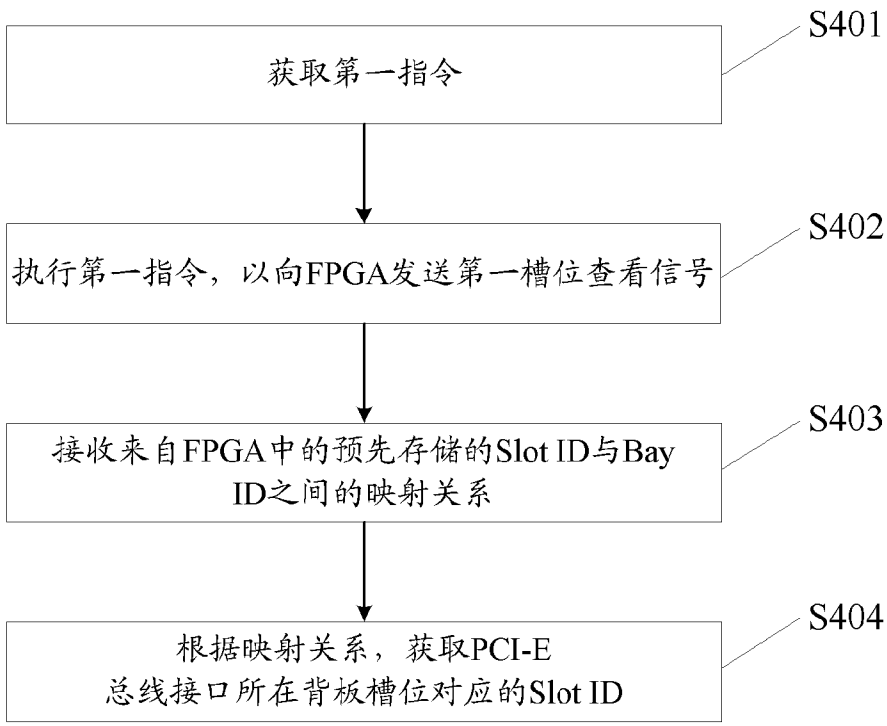

获取第一指令
S401
执行第一指令，以向FPGA发送第一槽位查看信号
S402
接收来自FPGA中的预先存储的Slot ID与Bay ID之间的映射关系
S403
根据映射关系，获取PCI-E 总线接口所在背板槽位对应的Slot ID
S404

图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/104600

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNPAT, CNKI, IEEE, GOOGLE: 槽位, 背板, 总线, 编号, 映射, 对应, 现场可编程门阵列, 硬盘, 管理, 定位, 标识, Bay, PCI-E, PCIe, Slot, ID, FPGA, hardware, manage, orientation, mark, indication

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107193763 A (LENOVO (BEIJING) CO., LTD.), 22 September 2017 (22.09.2017), claims 1-10	1-10
Y	CN 1946027 A (HUAWEI TECHNOLOGIES CO., LTD.), 11 April 2007 (11.04.2007), description, page 1, paragraph 3 and page 4, paragraph 2	1-10
Y	CN 101848154 A (HUAWEI TECHNOLOGIES CO., LTD.), 29 September 2010 (29.09.2010), description, paragraph [0060]	1-10
A	US 2006224851 A1 (TAMURA, K. et al.), 05 October 2006 (05.10.2006), entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 December 2017	11 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer GAO, Minfang Telephone No. (86-10) 82246811

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/104600

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107193763 A	22 September 2017	None	
CN 1946027 A	11 April 2007	None	
CN 101848154 A	29 September 2010	CN 101848154 B	04 April 2012
US 2006224851 A1	05 October 2006	EP 1710675 A1	11 October 2006
		JP 4990505 B2	01 August 2012
		JP 2006285876 A	19 October 2006
		US 7343464 B2	11 March 2008
		CN 1848066 A	18 October 2006
		CN 100385383 C	30 April 2008

国际检索报告

国际申请号
PCT/CN2017/104600

A. 主题的分类

G06F 13/16(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

EPODOC，WPI，CNPAT，CNKI，IEEE，GOOGLE：槽位，背板，总线，编号，映射，对应，现场可编程门阵列，硬盘，管理，定位，标识，Bay，PCI-E，PCIe，Slot，ID，FPGA，hardware，manage，orientation，mark，indication

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 107193763 A (联想北京有限公司) 2017年 9月 22日 (2017-09-22) 权利要求1-10	1-10
Y	CN 1946027 A (华为技术有限公司) 2007年 4月 11日 (2007-04-11) 说明书第1页第3段，第4页第2段	1-10
Y	CN 101848154 A (华为技术有限公司) 2010年 9月 29日 (2010-09-29) 说明书第[0060]段	1-10
A	US 2006224851 A1 (TAMURA KELSHI等) 2006年 10月 5日 (2006-10-05) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 12月 26日	2018年 1月 11日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	高民芳
传真号 (86-10)62019451	电话号码 (86-10)82246811

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/104600

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	107193763	A	2017年 9月 22日	无			
CN	1946027	A	2007年 4月 11日	无			
CN	101848154	A	2010年 9月 29日	CN	101848154	B	2012年 4月 4日
US	2006224851	A1	2006年 10月 5日	EP	1710675	A1	2006年 10月 11日
				JP	4990505	B2	2012年 8月 1日
				JP	2006285876	A	2006年 10月 19日
				US	7343464	B2	2008年 3月 11日
				CN	1848066	A	2006年 10月 18日
				CN	100385383	C	2008年 4月 30日