

公告本

申請日期	89 12 7
案 號	89126085
類 別	H01L 27/00

A4
C4

475251

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	非揮發性半導體記憶裝置及其製造方法
	日 文	不揮發性半導体記憶装置及びその製造方法
二、發明人	姓 名	1.井口 直 2.姬野 嘉朗 3.角田 弘昭
	國 籍	1.2.3.皆日本
	住、居所	1.日本國三重縣四日市市下之宮町160-1 克雷亞雷東芝富田225號室 2.日本國三重縣四日市市大矢知町齋宮谷1737 雷齊丹斯齋宮306 3.日本國三重縣四日市市下之宮町287-1 布拉札克特宮之前102
三、申請人	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1999年12月09日 特願平11-350841 ☒有 ☐無 主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於一種非揮發性半導體記憶裝置及其製造方法。

【先前技術】

一種非揮發性半導體記憶體(EEPROM)，較爲人所週知者，係使用積層有浮動閘與控制閘之堆疊閘構造的記憶單元以作可進行電性重寫的EEPROM。該種的EEPROM，係可在浮動閘與半導體基板之間的第一閘極絕緣膜上採用隧道絕緣膜，且通常可在浮動閘與控制閘之間的第二閘極絕緣膜上採用矽氧化膜(O)/矽氮化膜(N)/矽氧化膜(O)之積層構造膜的ONO膜。

各記憶單元，係形成於由元件隔離絕緣膜所區分的元件形成區域上。一般浮動閘電極膜，係藉由在元件隔離絕緣膜上施行槽口加工，即可達成控制閘線(字線)方向的隔離。在該槽口加工之階段中則未達成位元線方向之浮動閘隔離。然後，在包含經槽口加工之浮動閘電極膜上的基板全面上可介以ONO膜堆積控制閘電極膜，且藉由依序蝕刻該控制閘電極膜、ONO膜、浮動閘電極膜，即可在位元線方向達成控制閘與浮動閘之隔離。之後，源、汲極擴散層可自對準地形成於控制閘上。

【發明所欲解決之問題】

上述之習知EEPROM構造中，鄰接字線方向之記憶單元的浮動閘雖係在元件隔離絕緣膜上被隔離，但是形成該浮動閘上的ONO膜卻係連續配設於字線方向上。該構造中，當

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

記憶單元微細化，字線方向之浮動閘的隔離寬度(槽口寬度)變窄時，可明白當鄰接之浮動閘的電荷蓄積狀態發生不同時就會介以ONO膜而產生電荷之移動。此係因電荷容易在ONO膜之矽氮化膜或矽氮化膜與矽氧化膜之界面朝橫方向移動之故。因而，在微細化之EEPROM中，係為鄰接字線方向之記憶單元發生不同的資料狀態時，就會因電荷移動而產生臨限值變動，甚至因情況而發生資料破壞情形。

本發明係基於考量上述情事而完成者，其目的在於提供一種防止因浮動閘間之電荷移動所造成的資料破壞以謀求可靠度提高的非揮發性半導體記憶裝置及其製造方法。

【 解決問題之手段 】

本發明之非揮發性半導體記憶裝置，其特徵為包含有：半導體基板；複數個元件形成區域，在該半導體基板上由元件隔離絕緣膜所區分而成；浮動閘，在前述各元件形成區域上介以第一閘極絕緣膜而於每一元件形成區域被隔離形成；第二閘極絕緣膜，形成於該浮動閘上且於元件隔離絕緣膜上被切斷隔離；控制閘，介以該第二閘極絕緣膜而形成於前述浮動閘上；以及源、汲極擴散層，自對準地形成於該控制閘上。

本發明之非揮發性半導體記憶裝置，其特徵為包含有：半導體基板；複數個元件形成區域，在該半導體基板上由元件隔離絕緣膜所區分而成；浮動閘，在前述各元件形成區域上介以第一閘極絕緣膜而於每一元件形成區域被隔離形成；第二閘極絕緣膜，形成於該浮動閘上，且沿著形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

於前述元件隔離絕緣膜之表面上的凹部而在複數個元件形成區域上跨接連續形成；控制閘，介以該第二閘極絕緣膜而形成於前述浮動閘上；以及源、汲極擴散層，自對準地形成於該控制閘上。

本發明之非揮發性半導體記憶裝置之製造方法，其第一特徵為包含有：在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜與第二閘極絕緣膜的步驟；蝕刻前述第二閘極絕緣膜及其下方之第一閘極材料膜，以形成在前述元件隔離絕緣膜上將前述第一閘極材料膜予以隔離之槽口的步驟；在前述第一閘極材料膜之側面形成絕緣膜之後，堆積第二閘極材料膜的步驟；依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及在前述控制閘上形成自對準之源、汲極擴散層的步驟。

本發明之非揮發性半導體記憶裝置之製造方法，其第二特徵為包含有：在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜與第二閘極絕緣膜的步驟；蝕刻前述第二閘極絕緣膜及其下方之第一閘極材料膜，以形成在前述元件隔離絕緣膜上將前述第一閘極材料膜予以隔離之槽口的步驟；依序堆積第三閘極絕緣膜及第二閘極材料膜的步驟；依序蝕刻前述第二閘極材料膜、第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

三及第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及在前述控制閘上形成自對準之源、汲極擴散層的步驟。

本發明之非揮發性半導體記憶裝置之製造方法，其第三特徵為包含有：在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜的步驟；蝕刻前述第一閘極材料膜以形成在前述元件隔離絕緣膜上隔離前述第一閘極材料膜之第一槽口的步驟；在前述第一閘極材料膜及元件隔離絕緣膜上堆積第二閘極絕緣膜的步驟；蝕刻重疊於前述第二閘極絕緣膜之前述第一槽口上的部分，以形成在前述元件隔離絕緣膜上隔離前述第二閘極絕緣膜之第二槽口的步驟；用以堆積第二閘極材料膜的步驟；依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及在前述控制閘上形成自對準之源、汲極擴散層的步驟。

本發明之非揮發性半導體記憶裝置之製造方法，其第四特徵為包含有：在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜的步驟；蝕刻前述第一閘極材料膜以形成在前述元件隔離絕緣膜上隔離前述第一閘極材料膜之槽口的步驟；蝕刻露出於前述槽口之前述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

元件隔離絕緣膜的表面以形成凹部的步驟；在前述第一閘極材料膜及元件隔離絕緣膜上介以第一閘極絕緣膜而堆積第二閘極材料膜的步驟；依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及在前述控制閘上形成自對準之源、汲極擴散層的步驟。

若依據本發明，則藉由在隔著元件隔離絕緣膜而鄰接的記憶單元之間，將浮動閘與控制閘之間的第二閘極絕緣膜於元件隔離絕緣膜上予以隔離，即可防止介以該第二閘極絕緣膜而鄰接之浮動閘之間的電荷移動。

又，即使不將第二閘極絕緣膜在元件隔離膜上完全隔離，只要在元件隔離絕緣膜表面上加工凹部，使第二閘極絕緣膜沿著該凹部而連續，則當實質上鄰接浮動閘間之距離變大時就成等效，而仍可藉以防止其鄰接之浮動閘間的電荷移動。

因而，即使在將記憶單元微細化時，亦可防止因電荷移動所造成的資料破壞，並謀求可靠度之提高。

【發明之實施形態】

以下，係參照圖式說明本發明之實施形態。

[實施形態1]

圖1係本發明實施形態1之NAND型EEPROM之單元陣列的佈局圖，圖2(a)、(b)分別為圖1之A-A'、B-B'之剖面圖。

記憶單元陣列，係形成於矽基板1之p型井上。在矽基板1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

上，形成有元件隔離溝3且在該處埋設形成有元件隔離絕緣膜4，可依該元件隔離絕緣膜4來區分出條狀的元件形成區域2。

在各元件形成區域2上介以作為隧道絕緣膜的第一閘極絕緣膜5而形成有浮動閘6。浮動閘6，係一種含有元件隔離前所形成的第一多晶矽(或非晶質矽)膜6a、及元件隔離後所形成的第二多晶矽(或非晶質矽)膜6b之二層構造，在每一記憶單元上被隔離。在浮動閘6上，藉以第二閘極絕緣膜7而形成有控制閘8。控制閘8，係一種含有多晶矽(或非晶質矽)膜8a及鎢矽化物(WSi)膜8b之二層構造。控制閘8，係以圖2(a)之剖面在複數個元件形成區域2上跨接連續形成圖案，此圖案即成為字線WL。

浮動閘6與控制閘8之間的第二閘極絕緣膜7，係為ONO膜。在本實施形態中，該第二閘極絕緣膜7，係以圖2(a)所示之字線WL方向，只配置於各浮動閘6上的方式，由元件隔離絕緣膜4上的槽口13所隔離。因而，在浮動閘6之側面形成有矽氧化膜9，且可依此而達成與控制閘8之隔離。

在控制閘8上可自對準地形成有源、汲極擴散層12，且藉以構成串聯連接有複數個記憶單元的NAND型單元組。

NAND型單元組之一端汲極側，係配置有與控制閘8同時形成的選擇閘13，在該汲極擴散層上連接有位元線(BL)11。選擇閘13部，雖具有與記憶單元之閘極部相同的積層閘構造，但是第一層閘極材料膜並未被當作浮動閘而隔離，而是以二層為一體在預定處短路而成為選擇閘13。又，該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（ 7 ）

選擇閘13部之第一閘極絕緣膜5'係可形成比記憶單元區域之部分還厚。NAND單元組之另一端源極側雖未顯示，但是係具有與汲極側相同的構成。

參照作為對應圖2(a)(b)之剖面之步驟剖面圖的圖3(a)(b)~圖8(a)(b)，說明本實施形態之EEPROM之具體的製程。

如圖3(a)(b)所示，在矽基板1上首先形成10 nm之矽氧化膜以作為第一閘極絕緣膜5，並在其上堆積作為閘極材料膜之60 nm的第一多晶矽膜6a，進而堆積元件隔離加工用的單幕材料21。另外在選擇閘電晶體區域上形成比單元電晶體區域厚的閘極絕緣膜5'。單幕材料21，係為矽氮化膜與矽氧化膜之積層膜。以將該單幕材料21殘留於元件形成區域上的方式形成圖案，並利用此以蝕刻多晶矽膜6a、第一閘極絕緣膜5、5'，進而蝕刻基板1，以形成元件隔離溝3。

之後，在O₂氛圍氣中進行1000°C之加熱處理，且如圖4(a)(b)所示，在元件隔離溝3之內壁形成6 nm左右的矽氧化膜22。接著，利用電漿CVD法以堆積矽氧化膜，並利用CMP處理將之平坦化以埋入元件隔離溝3內作為元件隔離絕緣膜4。之後，在900°C之氮氛圍氣中進行900°C之加熱處理之後，去除單幕材料21。矽氮化膜之去除係依150°C之磷酸處理來進行。

之後，如圖5(a)(b)所示，利用減壓CVD法堆積摻有磷的第二多晶矽膜6b，接著，堆積成為第二閘極絕緣膜7的ONO膜。然後，將元件隔離絕緣膜4上具有開口的光阻圖案當作單幕，利用RIE法蝕刻第二多晶矽膜6b以作為該等的第二閘

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (8)

極絕緣膜7，以形成如圖6(a)(b)所示在元件隔離絕緣膜4上隔離浮動閘6的槽口13。槽口13，係具有跨接NAND單元組之中之複數個記憶單元的長度。即使就第二閘極絕緣膜7而言其在元件隔離絕緣膜4上同時由槽口13所隔離之點係與習知不同的。

依槽口13之加工而露出的多晶矽膜6b之側面，係在O₂氛圍氣中，利用1000°C之加熱處理而形成矽氧化膜9來加以保護者。之後，如圖7(a)(b)所示，係利用CVD法堆積摻有磷的多晶矽膜8a以作為閘極材料膜，接著在該多晶矽膜8a上堆積WSi膜8b。

其次，形成光阻圖案，並利用RIE法，依序蝕刻WSi膜8b、多晶矽膜8a、閘極絕緣膜7、多晶矽膜6b、6a及閘極絕緣膜5，如圖8(a)(b)所示，形成控制閘8以作為連續的字線WL圖案，又將浮動閘6以位元線方向在每一記憶單元上作隔離。然後進行離子植入，以在控制閘8上形成經自對準的各記憶單元之源、汲極擴散層12。

另外，有關選擇閘線SG，並未在下部閘極材料膜6a、6b之元件隔離絕緣膜4上進行隔離作業，而是與上部閘極材料膜8a、8b一體連續形成圖案。

之後，如圖2(a)(b)所示，堆積層間絕緣膜10，並進行接觸開孔以形成位元線11之圖案。

如以上所述，若依據本實施形態，則由浮動閘6上之ONO膜所構成的第二閘極材料膜，可與浮動閘6同時在元件隔離絕緣膜4上被隔離。因而，即使在接近鄰接記憶單元之浮動

五、發明說明(9)

開時，亦不會發生電荷洩漏之情形，而具有資料保持性優的特點。

[實施形態2]

圖9(a)(b)~圖12(a)(b)係顯示另一實施形態之製程。在與前面之實施形態相對應的部分上附記與前面實施形態相同的元件編號並省略其詳細說明。在本實施形態中，雖然亦將由浮動閘6上之ONO膜所構成的第二閘極絕緣膜7在元件隔離絕緣膜4上進行隔離作業，但是該步驟卻與前面之實施形態不同。

在圖5(a)(b)之前，係採用與前面之實施形態相同的步驟。之後，如圖9(a)(b)所示，在第二閘極絕緣膜7上堆積矽氧化膜31，且對此而在元件隔離絕緣膜4上進行槽口加工用開口13'之挖開作業。進而堆積矽氧化膜32。然後，進行回蝕刻，如圖10(a)(b)所示，在開口13'上殘留矽氧化膜32以作為側間隔件。在該狀態下，將矽氧化膜31、32當作罩幕，並利用RIE法蝕刻第二閘極絕緣膜7與多晶矽膜6b。藉此，與前面之實施形態同樣，在元件隔離絕緣膜4上加工用以隔離第二閘極絕緣膜7與多晶矽膜6b的槽口13。

之後，在利用HF去除矽氧化膜31、32之後，如圖11(a)(b)所示，全面利用減壓CVD法堆積矽氧化膜33。該矽氧化膜33在堆積後，在O₂氛圍氣中，以1000℃進行加熱，以形成沒有電荷移動等的緻密氧化膜。該矽氧化膜33係與第二閘極絕緣膜7同時成為閘極絕緣膜，且成為用以保護多晶矽膜6b之側面的絕緣膜。

五、發明說明 (10)

之後，如圖 12(a)(b)所示，依序堆積多晶矽膜 8a、及 WSi 膜 8b，以下係與前面之實施形態同樣對之形成圖案，以形成控制閘 8 及浮動閘 6，並形成源、汲極擴散層 12。

即使依本實施形態，亦可與前面之實施形態相同，由浮動閘 6 上之 ONO 膜所構成的閘極絕緣膜 7，可在元件隔離區域被切斷隔離。因而，可獲得較優的資料保持特性。

[實施形態 3]

圖 13(a)(b)~圖 16(a)(b)係更另一實施形態之製程。在前面之實施形態中，如圖 5(a)(b)所示，係連續堆積第二層之多晶矽膜 6b 與第二閘極絕緣膜 7。相對於此，本實施形態，係如圖 13(a)(b)所示，第二層之多晶矽膜 6b，係在堆積第二閘極絕緣膜 7 之前，形成在元件隔離絕緣膜 4 上所隔離的槽口 13。之後，才堆積第二閘極絕緣膜 7。

然後，在第二閘極絕緣膜 6b 上，形成具有與槽口 13 相同開口的光阻圖案(未圖示)，並利用 RIE 法蝕刻第二閘極絕緣膜 6b，如圖 14(a)(b)所示，在槽口 13 之部分上隔離。之後，與前面之實施形態同樣，如圖 15(a)(b)所示，利用 CVD 法堆積摻有磷的多晶矽膜 8a 以作為閘極材料膜，接著在該多晶矽膜 8a 上堆積 WSi 膜 8b。

其次形成光阻圖案，利用 RIE 法依序蝕刻 WSi 膜 8b、多晶矽膜 8a、閘極絕緣膜 7、多晶矽膜 6b、6a 及閘極絕緣膜 5，如圖 16(a)(b)所示，形成控制閘 8 以作為連續的字線 WL 圖案，又將浮動閘 6 以位元線方向在每一記憶單元上作隔離。然後進行離子植入，以在控制閘 8 上形成經自對準的各記憶單

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (11)

元之源、汲極擴散層12。

即使依本實施形態，由於浮動閘6上之第二閘極絕緣膜7，可在元件隔離絕緣膜4上被隔離，所以可獲得與前面之實施形態同樣優越的資料保持特性。

[實施形態4]

至目前之實施形態中，雖係在元件隔離絕緣膜4上切斷隔離第二閘極絕緣膜7，但是在本實施形態中不進行切斷隔離作業實質上仍可獲得同等的效果者。本實施形態中之單元陣列的剖面構造係對應圖2(a)(b)，並顯示於圖17(a)(b)中。

圖17(a)(b)之構造，與圖2(a)(b)不同之點，係在第二閘極絕緣膜7之堆積前進行在元件隔離絕緣膜4上隔離浮動閘6之槽口13的加工作業，而此時係同時對元件隔離絕緣膜4進行深蝕刻(recess etching)以形成凹部41。因而第一閘極絕緣膜7，可沿著形成於元件隔離絕緣膜4之表面上的凹部而配設。

如圖17(a)所示，當將槽口13之寬度，即形成於元件隔離絕緣膜4上的凹部41之寬度設為a，將凹部41之深度設為b時，則鄰接之浮動閘6之間隔實質上就成為a+2b。該間隔藉由設定在可忽略浮動閘間之電荷移動的值，即可獲得與前面之各實施形態同樣優越的資料保持特性。

將本實施形態之具體的製程著重於圖17(a)之剖面，並參照圖18~圖25加以說明。如圖18所示，在矽基板1上形成8 nm左右之矽氧化膜以作為第一閘極絕緣膜5，並在該第一閘極絕緣膜5上利用減壓CVD法堆積60 nm左右之第一多晶矽膜6a。再連續利用減壓CVD法堆積150 nm之矽氮化膜21a、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

及165 nm之矽氧化膜21b。

之後，在進行850°C、30分鐘之氫燃燒氧化處理之後，利用微影術形成光阻圖案以覆蓋元件隔離區域，再利用RIE法蝕刻矽氧化膜21b與矽氮化膜21a以形成罩幕材料圖案。使用該罩幕，並利用RIE法蝕刻多晶矽膜6a、閘極絕緣膜5，進而蝕刻矽基板1以形成元件隔離溝3。藉此即可區分出條狀之元件形成區域2。

接著，在元件隔離溝3之側壁形成熱氧化膜之後，利用電漿CVD法堆積矽氧化膜4，並進行CMP處理將之平坦化，以如圖19所示地埋設於元件隔離溝3內。矽氧化膜21b係利用緩衝氟酸去除，進而利用150°C、30分鐘之磷酸處理以去除矽氮化膜21a，而得到圖20之狀態。

之後，如圖21所示，利用減壓CVD法堆積100 nm之第二多晶矽膜6b。接著，如圖22所示，利用減壓CVD法將矽氧化膜42堆積230 nm左右，並對之經由微影與RIE步驟以形成槽口加工用開口13'。更且，如圖23所示，利用減壓CVD法堆積70 nm左右之矽氧化膜43，並進行回蝕刻作業，以只在開口13'之側壁殘留作為側間隔件。

接著，將矽氧化膜42、43當作罩幕，並利用RIE法蝕刻多晶矽膜6b，如圖24所示，加工用以隔離浮動閘的槽口13。更且，利用與多晶矽相較選擇比較大之RIE法蝕刻元件隔離絕緣膜4之表面，以與槽口13相同的寬度在元件隔離絕緣膜4上形成凹部41。

之後，在利用O₂電漿與HF處理以去除矽氧化膜42、43之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹³)

後，如圖25所示，堆積由17 nm之ONO膜所構成的第二閘極絕緣膜7，接著依序利用減壓CVD法堆積100 nm之第三多晶矽膜8a，利用電漿CVD法形成50 nm之WSi膜8b。

以下，雖未圖示，但是係經由與前面之實施形態同樣的步驟，進行各記憶單元之閘極部的隔離與源、汲極擴散層的形成。

圖26係顯示用以隔離所鄰接之浮動閘的槽口寬度、及因浮動閘間之電荷移動所發生的不良位元數之相關關係者。圖之箭號係表示不良位元數之不均的範圍，曲線則是表示結合其平均值者。當記憶單元微細化且高密度化，而槽口寬度小至 $0.14\mu\text{m}$ 以下時，可知不良位元數會極端地變多。當依本實施形態時，相對於平面上之槽口寬度a，可依元件隔離絕緣膜4之凹部的深度b，而將實質的槽口寬度設為 $a+2b$ 。具體而言，在256 M位元NAND型EEPROM中，當將不良位元數之規格設為2位元/1晶片時，槽口寬度就有必要至少為 $0.14\mu\text{m}$ 。因而在本實施形態之情況，藉由加工凹部41以滿足 $a+2b > 0.14[\mu\text{m}]$ ，即可滿足該規格。

【發明之效果】

如以上所述，在本發明之EEPROM中，藉由在隔著元件隔離絕緣膜而鄰接的記憶單元之間，將浮動閘與控制閘之間的第二閘極絕緣膜於元件隔離絕緣膜上隔離，即可防止所鄰接之浮動閘之間的電荷移動。或是，即使不將第二閘極絕緣膜在元件隔離膜上完全隔離，只要在元件隔離絕緣膜表面上加工凹部，使第二閘極絕緣膜沿著該凹部而連續，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

則實質上鄰接浮動閘間之距離因會變大，而可防止其鄰接之浮動閘間的電荷移動。因而，即使在將記憶單元微細化時，亦可防止因電荷移動所造成的資料破壞。

【圖式之簡單說明】

圖1係本發明實施形態1之EEPROM之記憶單元陣列的佈局圖。

圖2係圖1之A-A'及B-B'的剖面圖。

圖3係同實施形態1之製程剖面圖。

圖4係同實施形態1之製程剖面圖。

圖5係同實施形態1之製程剖面圖。

圖6係同實施形態1之製程剖面圖。

圖7係同實施形態1之製程剖面圖。

圖8係同實施形態1之製程剖面圖。

圖9係本發明實施形態2之製程剖面圖。

圖10係同實施形態2之製程剖面圖。

圖11係同實施形態2之製程剖面圖。

圖12係同實施形態2之製程剖面圖。

圖13係本發明實施形態3之製程剖面圖。

圖14係同實施形態3之製程剖面圖。

圖15係同實施形態3之製程剖面圖。

圖16係同實施形態3之製程剖面圖。

圖17係對應本發明實施形態4之EEPROM之圖2(a)(b)的剖面圖。

圖18係同實施形態4之製程剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (15)

圖 19 係同實施形態 4 之製程剖面圖。

圖 20 係同實施形態 4 之製程剖面圖。

圖 21 係同實施形態 4 之製程剖面圖。

圖 22 係同實施形態 4 之製程剖面圖。

圖 23 係同實施形態 4 之製程剖面圖。

圖 24 係同實施形態 4 之製程剖面圖。

圖 25 係同實施形態 4 之製程剖面圖。

圖 26 係顯示用以說明同實施形態 4 之效果的不良位元數與槽口寬度之相關關係的示意圖。

【 元件編號之說明 】

- 1 矽基板
- 2 元件形成區域
- 3 元件隔離溝
- 4 元件隔離絕緣膜
- 5 第一閘極絕緣膜
- 6 浮動閘
- 7 第二閘極絕緣膜
- 8 控制閘
- 9 矽氧化膜
- 10 層間絕緣膜
- 11 位元線
- 12 源、汲極擴散層
- 13 槽口

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱：非揮發性半導體記憶裝置及其製造方法）

本發明之目的在於提供一種防止因浮動閘極間之電荷移動所造成的資料破壞以謀求可靠度提高的非揮發性半導體記憶裝置。

其係在矽基板1上埋設有用以區分條狀之元件形成區域2的元件隔離絕緣膜4。在該基板1上介以第一閘極絕緣膜5而形成有浮動閘6，更介以第二閘極絕緣膜7而形成有控制閘8。在控制閘8上自對準地形成有源、汲極擴散層12。浮動閘6上之第二閘極絕緣膜7，係與浮動閘6在元件隔離絕緣膜4上同時在由槽口13所鄰接的記憶單元間被隔離。

日文發明摘要（發明之名稱：不揮發性半導体記憶装置及びその製造方法）

【課題】 浮遊ゲート間の電荷移動によるデータ破壊を防止して信頼性向上を図った不揮発性半導体記憶装置を提供する。

【解決手段】 シリコン基板1にストライプ状の素子形成領域2を区画する素子分離絶縁膜4が埋め込まれる。この基板1に第1のゲート絶縁膜5を介して浮遊ゲート6が形成され、更に第2のゲート絶縁膜7を介して制御ゲート8が形成される。制御ゲート8に自己整合的にソース、ドレイン拡散層12が形成される。浮遊ゲート6上の第2のゲート絶縁膜7は、浮遊ゲート6と共に、素子分離絶縁膜4上でスリット13により隣接するメモリセル間で分離される。

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為包含有：
半導體基板；
複數個元件形成區域，在該半導體基板上由元件隔離絕緣膜所區分而成；
浮動閘，在前述各元件形成區域上介以第一閘極絕緣膜而於每一元件形成區域被隔離形成；
第二閘極絕緣膜，形成於該浮動閘上且於元件隔離絕緣膜上被切斷隔離；
控制閘，介以該第二閘極絕緣膜而形成於前述浮動閘上；以及
源、汲極擴散層，自對準地形成於該控制閘上。
2. 一種非揮發性半導體記憶裝置，其特徵為包含有：
半導體基板；
複數個元件形成區域，在該半導體基板上由元件隔離絕緣膜所區分而成；
浮動閘，在前述各元件形成區域上介以第一閘極絕緣膜而於每一元件形成區域被隔離形成；
第二閘極絕緣膜，形成於該浮動閘上，且沿著形成於前述元件隔離絕緣膜之表面上的凹部而在複數個元件形成區域上跨接連續形成；
控制閘，介以該第二閘極絕緣膜而形成於前述浮動閘上；以及
源、汲極擴散層，自對準地形成於該控制閘上。
3. 如申請專利範圍第1或2項之非揮發性半導體記憶裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中前述第二閘極絕緣膜，係為矽氧化膜/矽氮化膜/矽氧化膜之積層膜。

4. 一種非揮發性半導體記憶裝置之製造方法，其特徵為包含有：

在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；

在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜與第二閘極絕緣膜的步驟；

蝕刻前述第二閘極絕緣膜及其下方之第一閘極材料膜，以形成在前述元件隔離絕緣膜上將前述第一閘極材料膜予以隔離之槽口的步驟；

在前述第一閘極材料膜之側面形成絕緣膜之後，堆積第二閘極材料膜的步驟；

依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及

在前述控制閘上形成自對準之源、汲極擴散層的步驟。

5. 一種非揮發性半導體記憶裝置之製造方法，其特徵為包含有：

在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；

在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜與第二閘極絕緣膜的步驟；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

蝕刻前述第二閘極絕緣膜及其下方之第一閘極材料膜，以形成在前述元件隔離絕緣膜上將前述第一閘極材料膜予以隔離之槽口的步驟；

依序堆積第三閘極絕緣膜及第二閘極材料膜的步驟；

依序蝕刻前述第二閘極材料膜、第三及第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及

在前述控制閘上形成自對準之源、汲極擴散層的步驟。

6. 一種非揮發性半導體記憶裝置之製造方法，其特徵為包含有：

在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；

在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜的步驟；

蝕刻前述第一閘極材料膜以形成在前述元件隔離絕緣膜上隔離前述第一閘極材料膜之第一槽口的步驟；

在前述第一閘極材料膜及元件隔離絕緣膜上堆積第二閘極絕緣膜的步驟；

蝕刻重疊於前述第二閘極絕緣膜之前述第一槽口上的部分，以形成在前述元件隔離絕緣膜上隔離前述第二閘極絕緣膜之第二槽口的步驟；

用以堆積第二閘極材料膜的步驟；

依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及

在前述控制閘上形成自對準之源、汲極擴散層的步驟。

7. 一種非揮發性半導體記憶裝置之製造方法，其特徵為包含有：

在半導體基板上形成用以區分元件形成區域之元件隔離絕緣膜的步驟；

在前述半導體基板上介以第一閘極絕緣膜而堆積第一閘極材料膜的步驟；

蝕刻前述第一閘極材料膜以形成在前述元件隔離絕緣膜上隔離前述第一閘極材料膜之槽口的步驟；

蝕刻露出於前述槽口之前述元件隔離絕緣膜的表面以形成凹部的步驟；

在前述第一閘極材料膜及元件隔離絕緣膜上介以第一閘極絕緣膜而堆積第二閘極材料膜的步驟；

依序蝕刻前述第二閘極材料膜、第二閘極絕緣膜、第一閘極材料膜，以形成由前述第一閘極材料膜所構成的浮動閘與由前述第二閘極材料膜所構成的控制閘之圖案的步驟；以及

在前述控制閘上形成自對準之源、汲極擴散層的步驟。

8. 如申請專利範圍第4至7項中任一項之非揮發性半導體記憶裝置之製造方法，其中前述第二閘極絕緣膜，係為矽氧化膜/矽氮化膜/矽氧化膜之積層膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

9. 如申請專利範圍第4至7項中任一項之非揮發性半導體記憶裝置之製造方法，其中前述第一閘極材料膜，係由形成前述元件隔離絕緣膜之前所堆積的第一導電膜、與形成前述元件隔離絕緣膜之後所堆積的第二導電膜之積層膜所構成。
10. 如申請專利範圍第4至7項中任一項之非揮發性半導體記憶裝置之製造方法，其中前述元件隔離絕緣膜，係埋設於前述半導體基板上所形成的溝內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

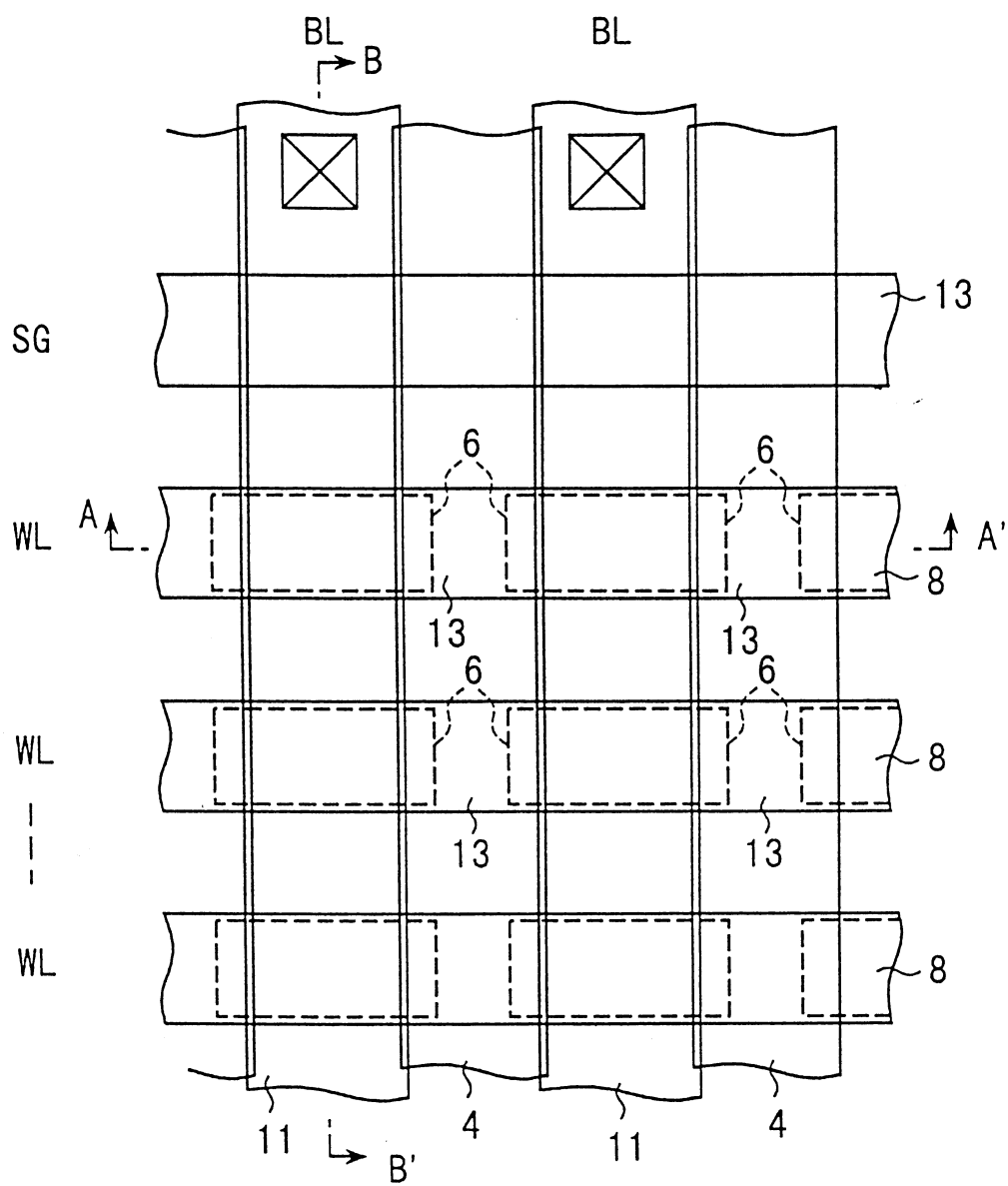


圖 1

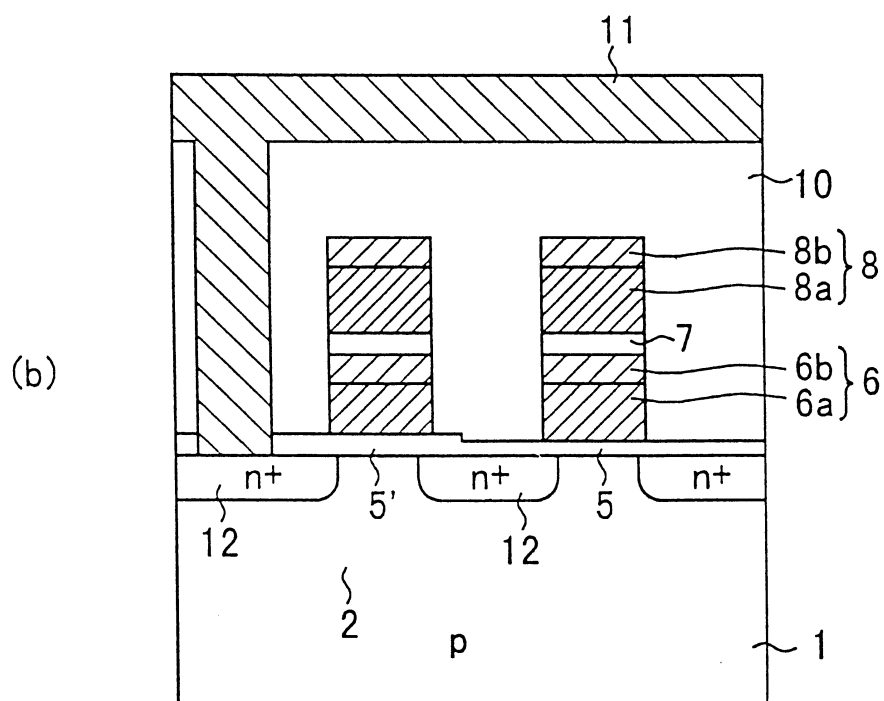
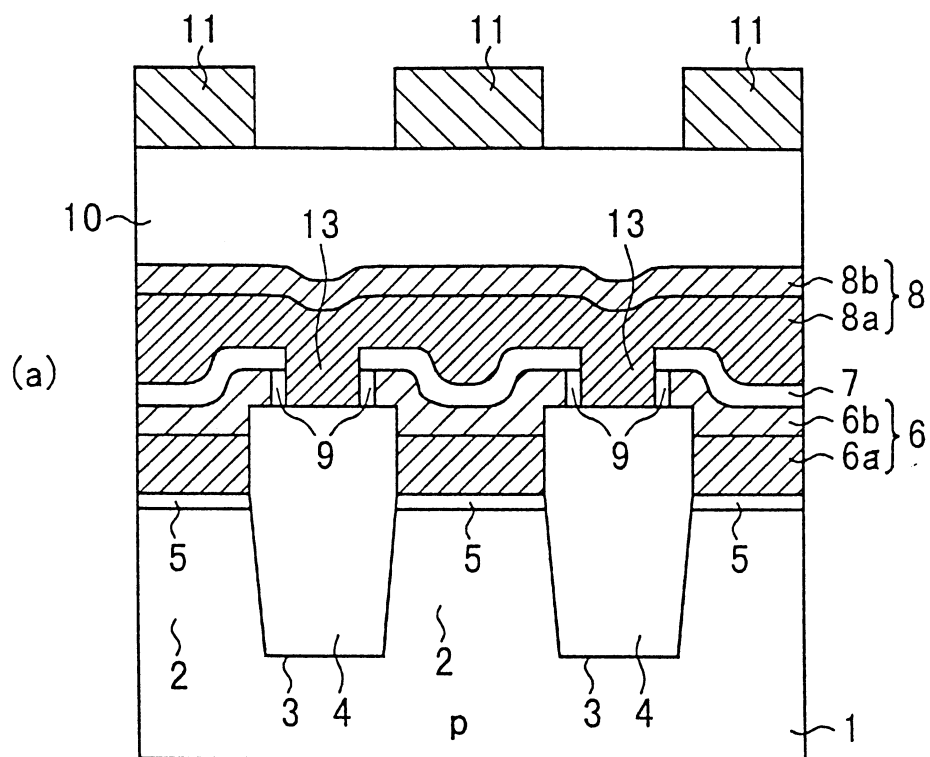


圖 2

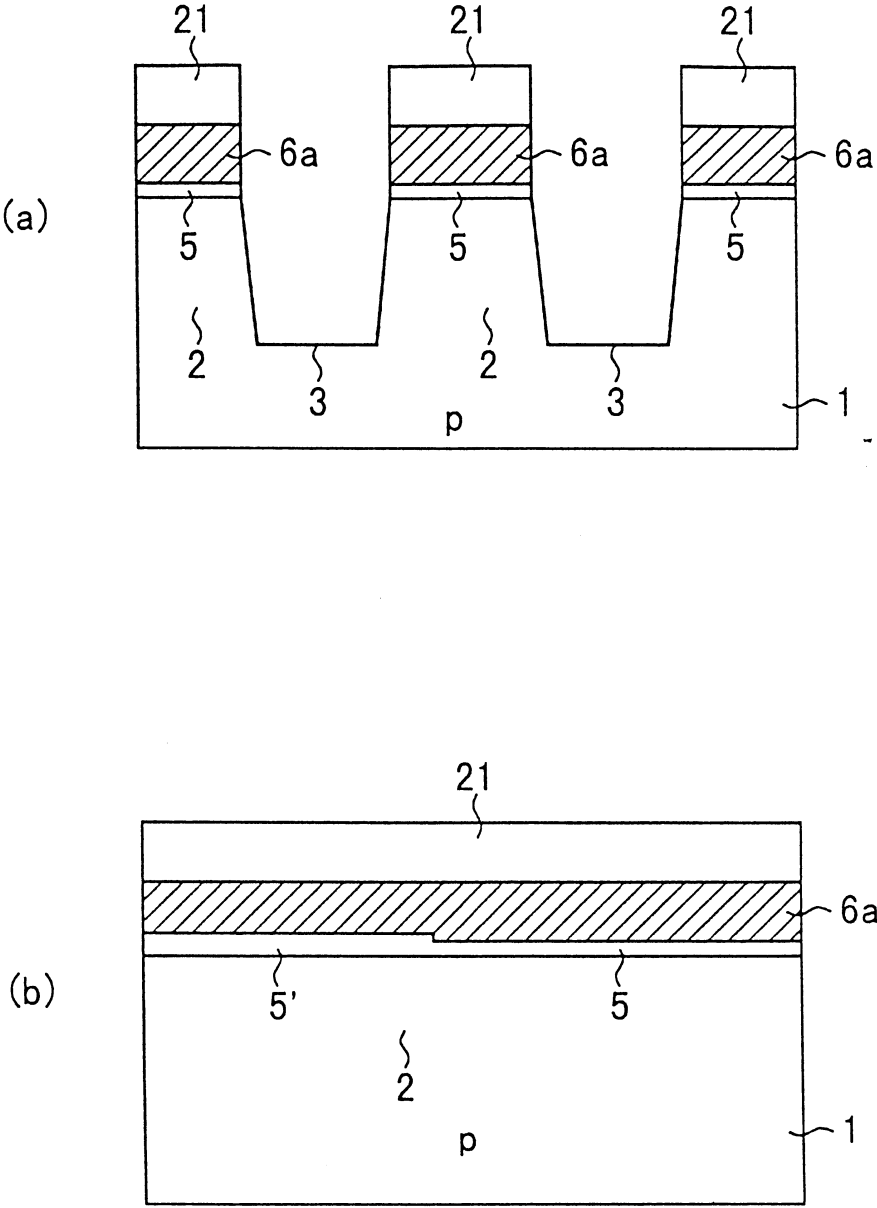


圖 3

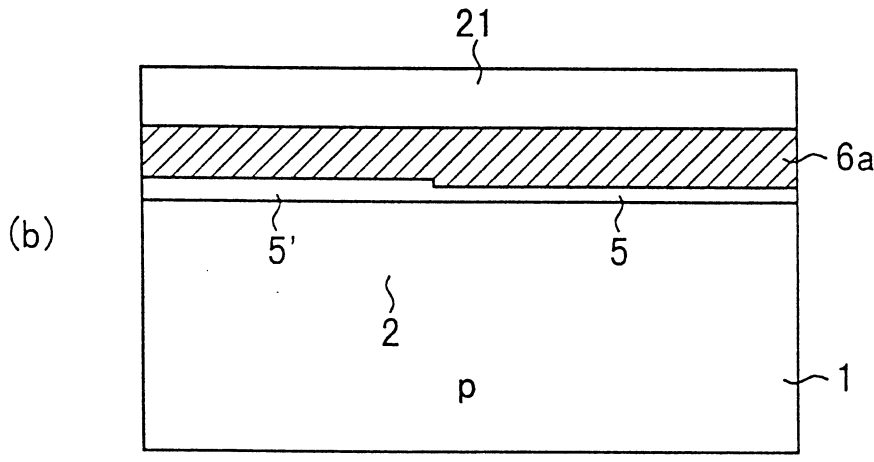
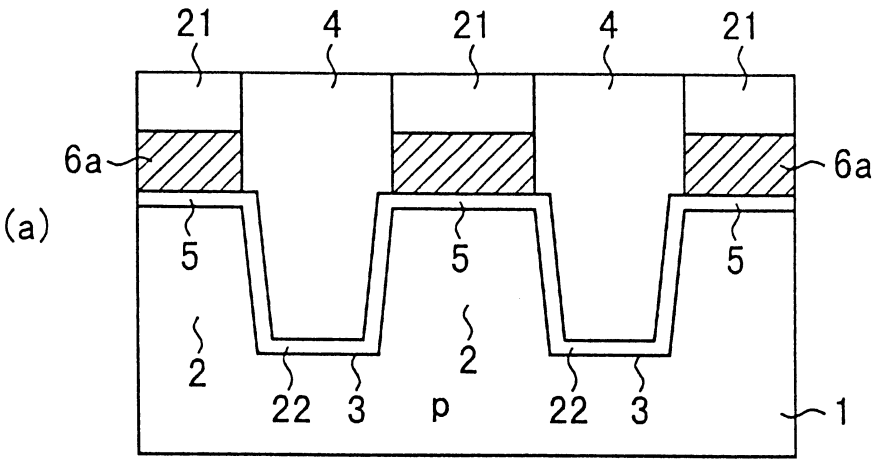


圖 4

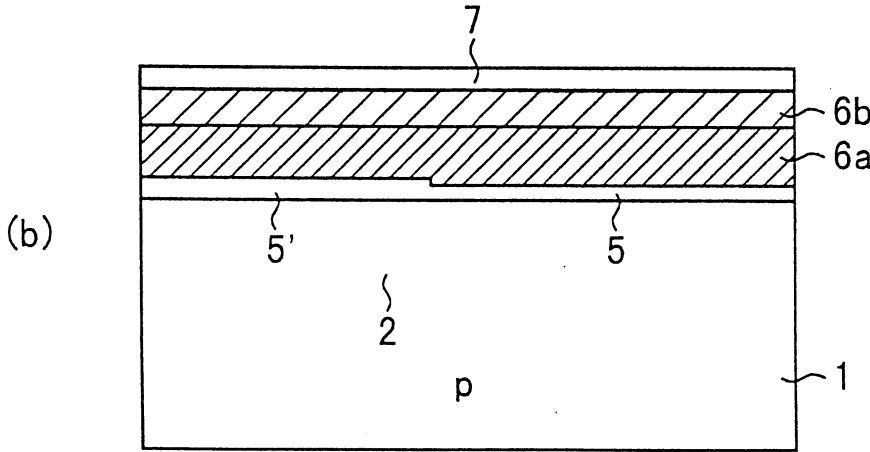
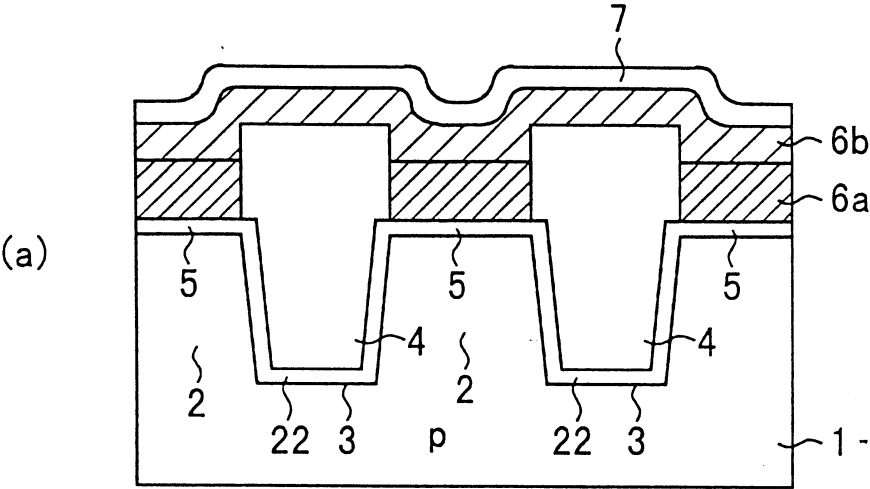


圖 5

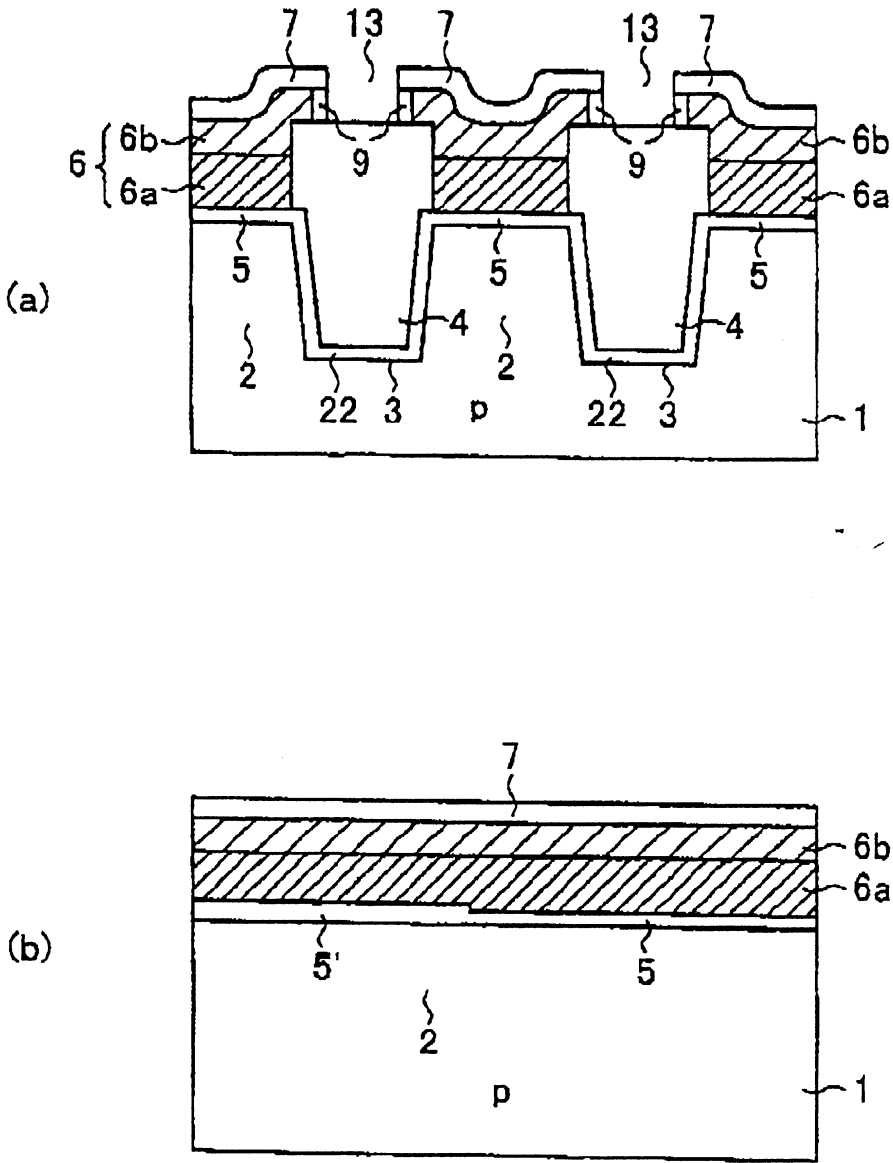


圖 6

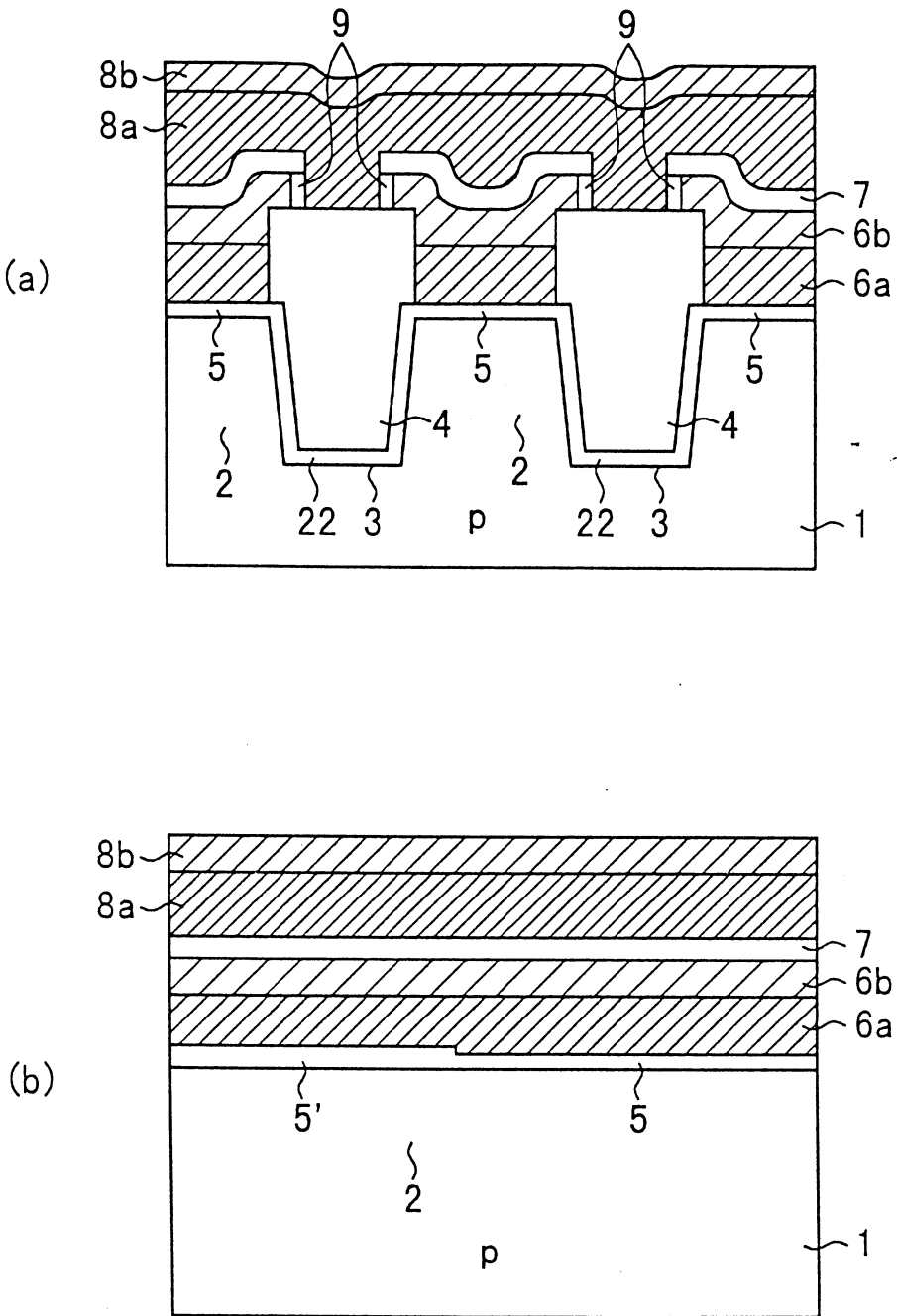


圖 7

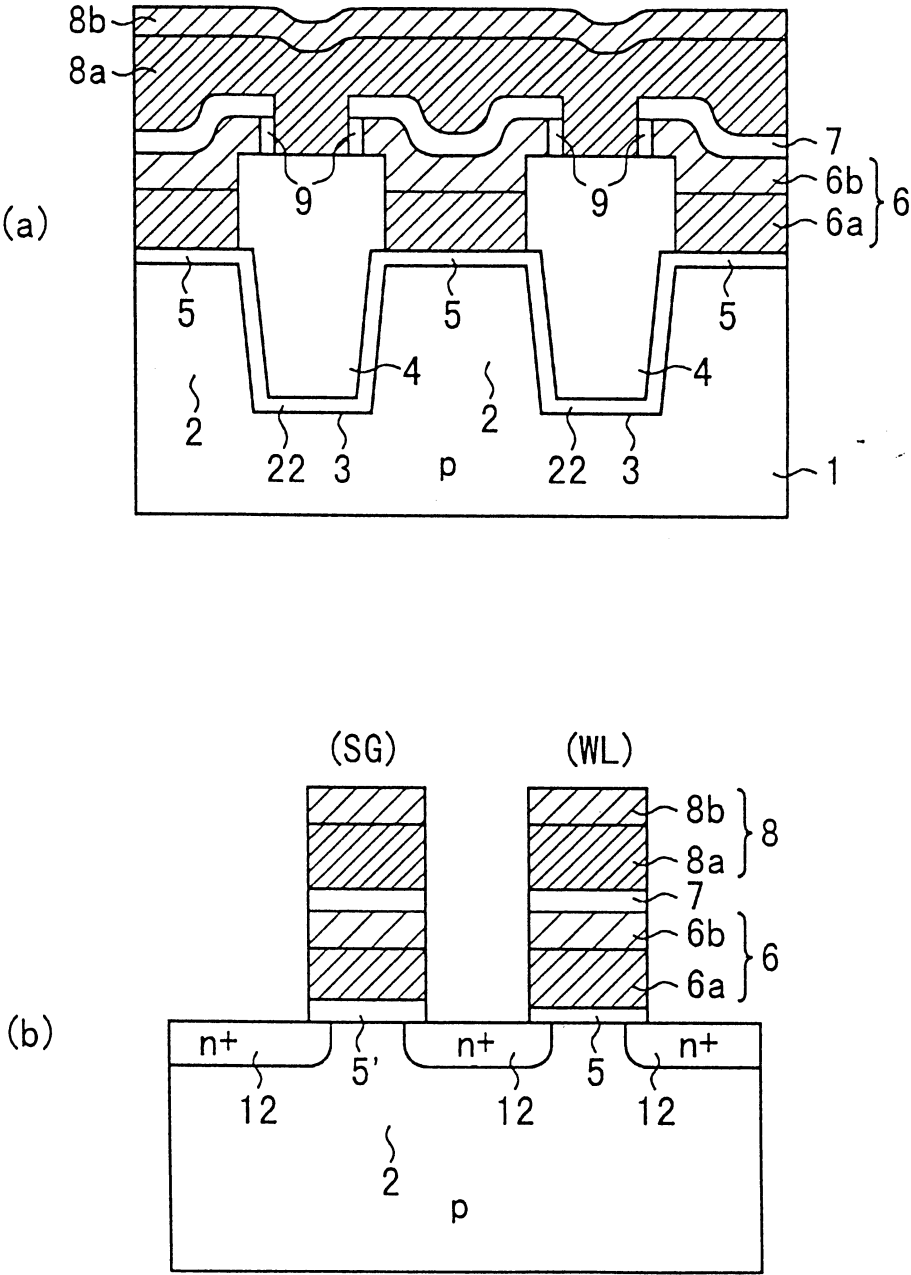


圖 8

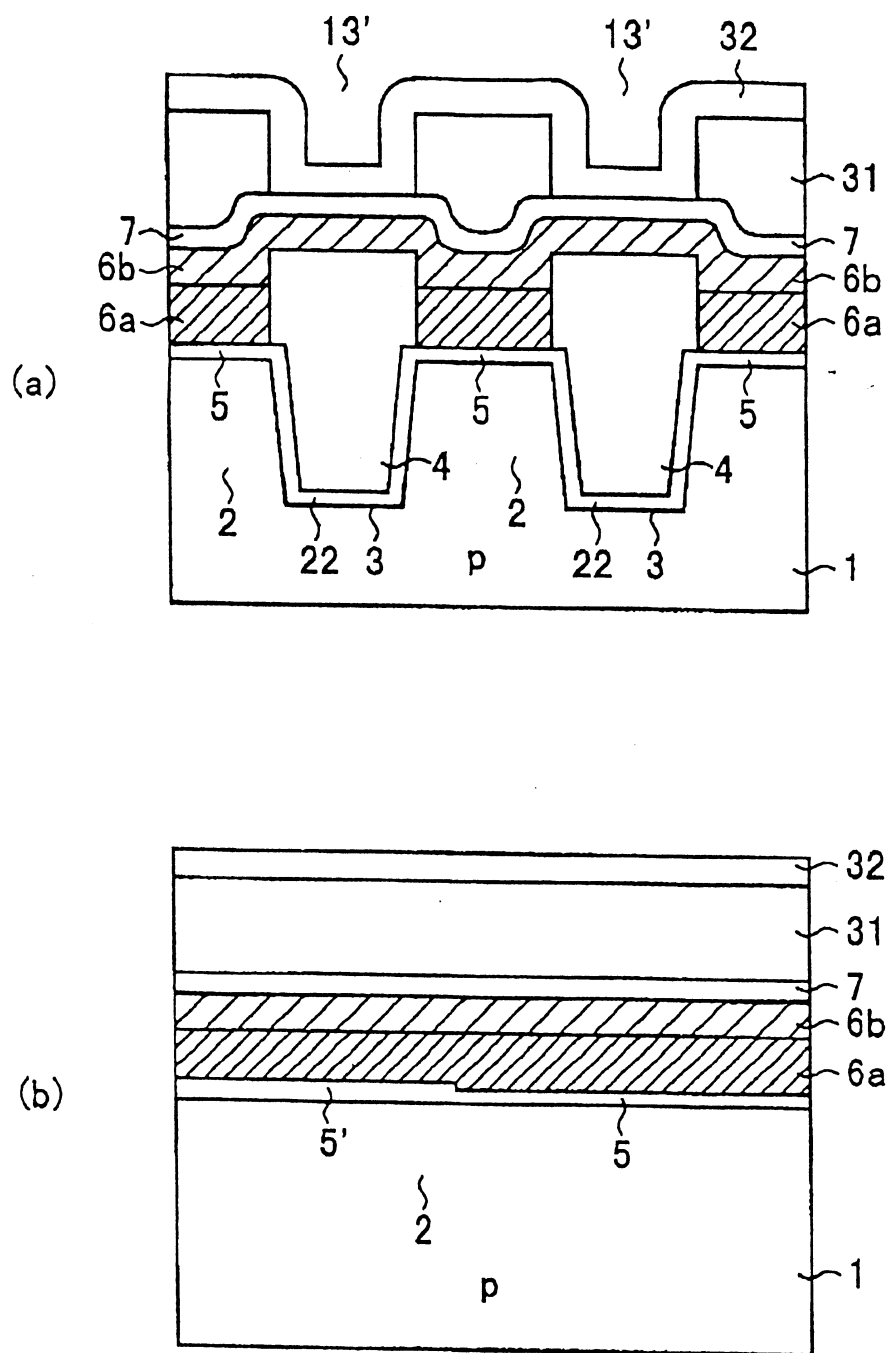


圖 9

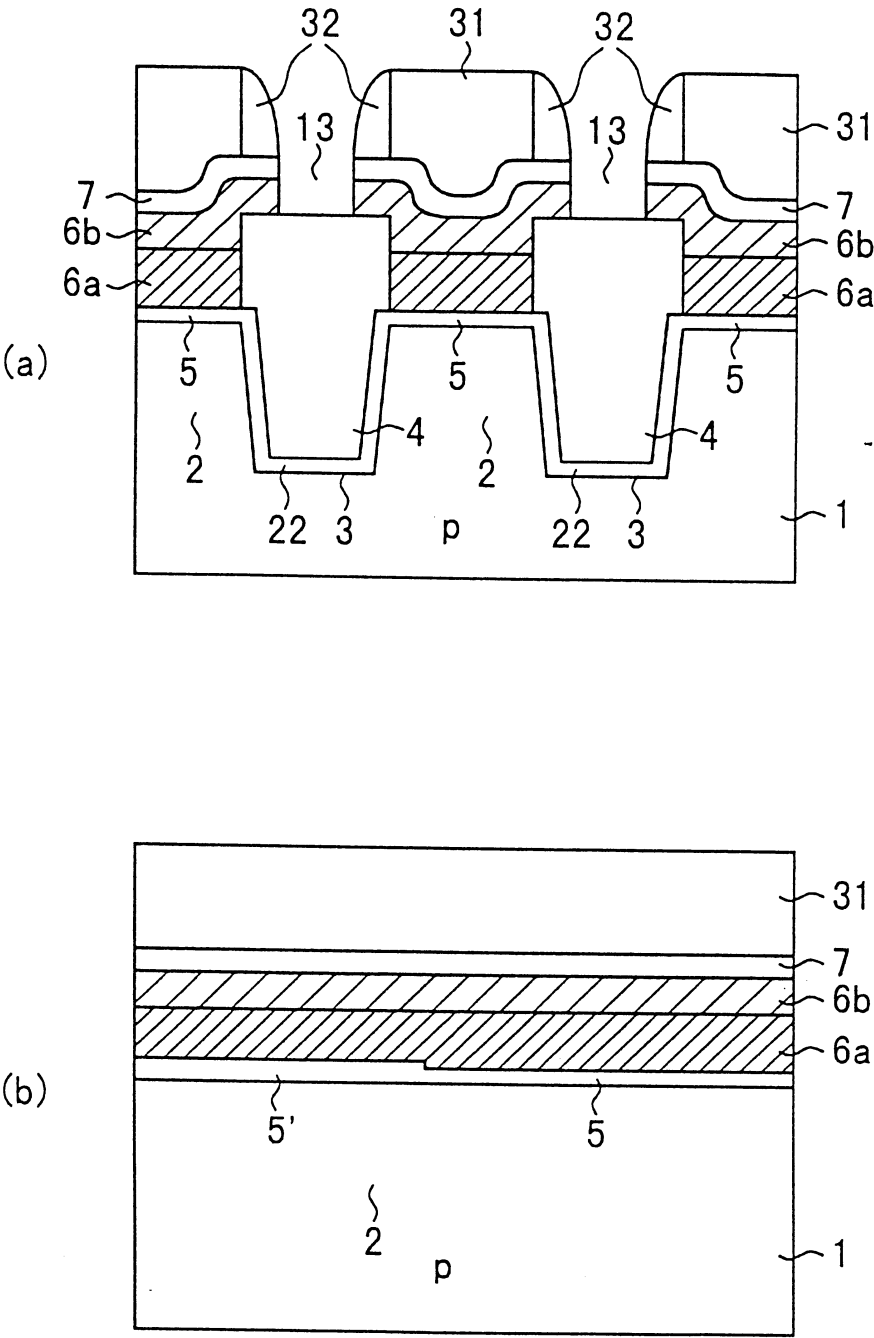


圖 10

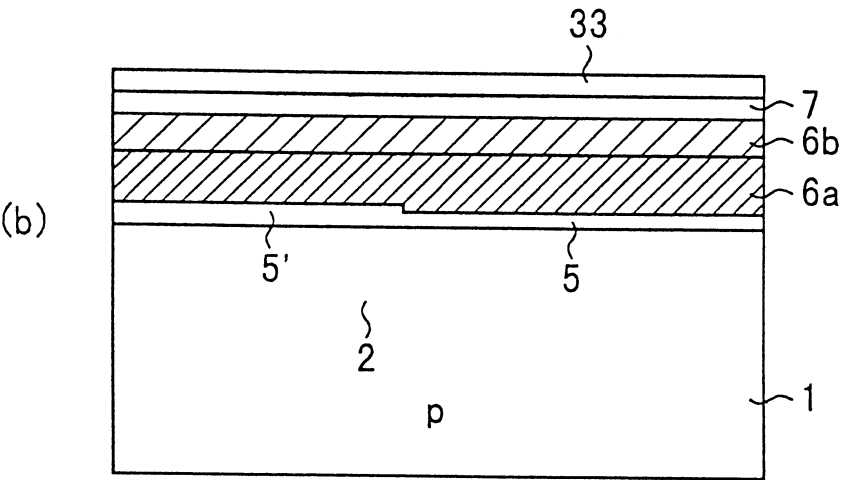
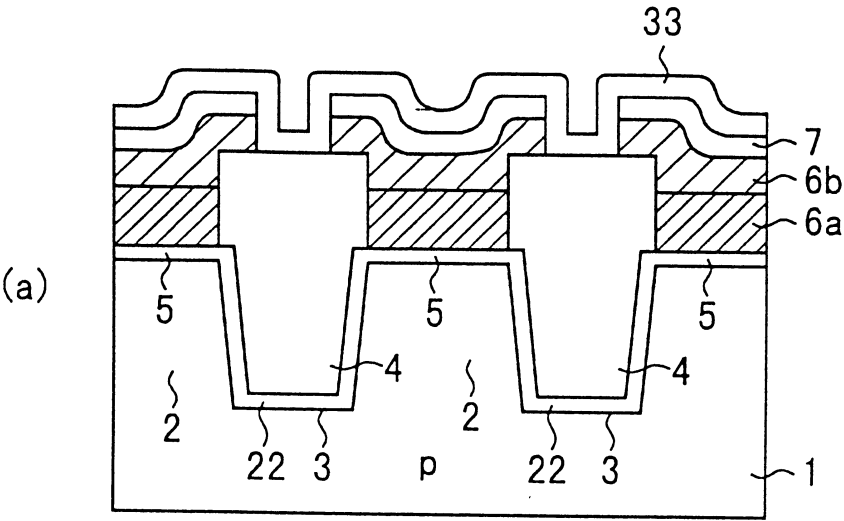


圖 11

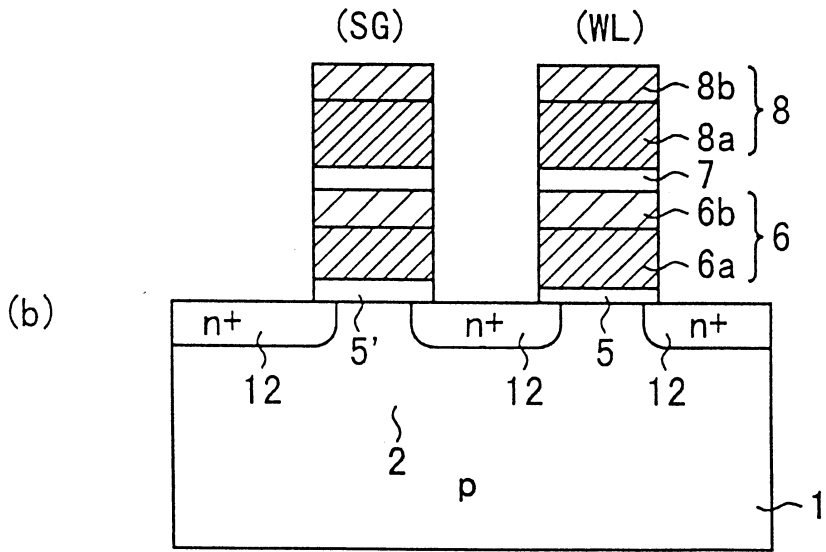
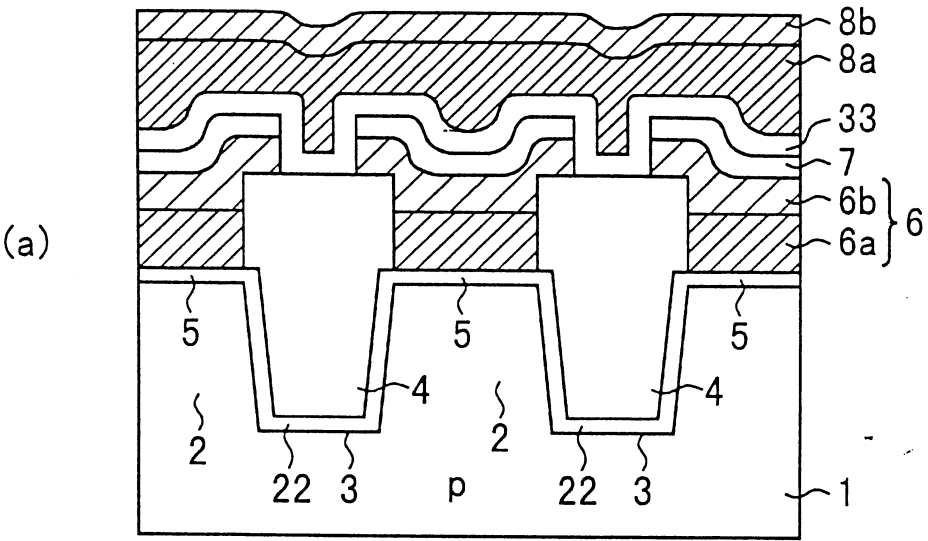


圖 12

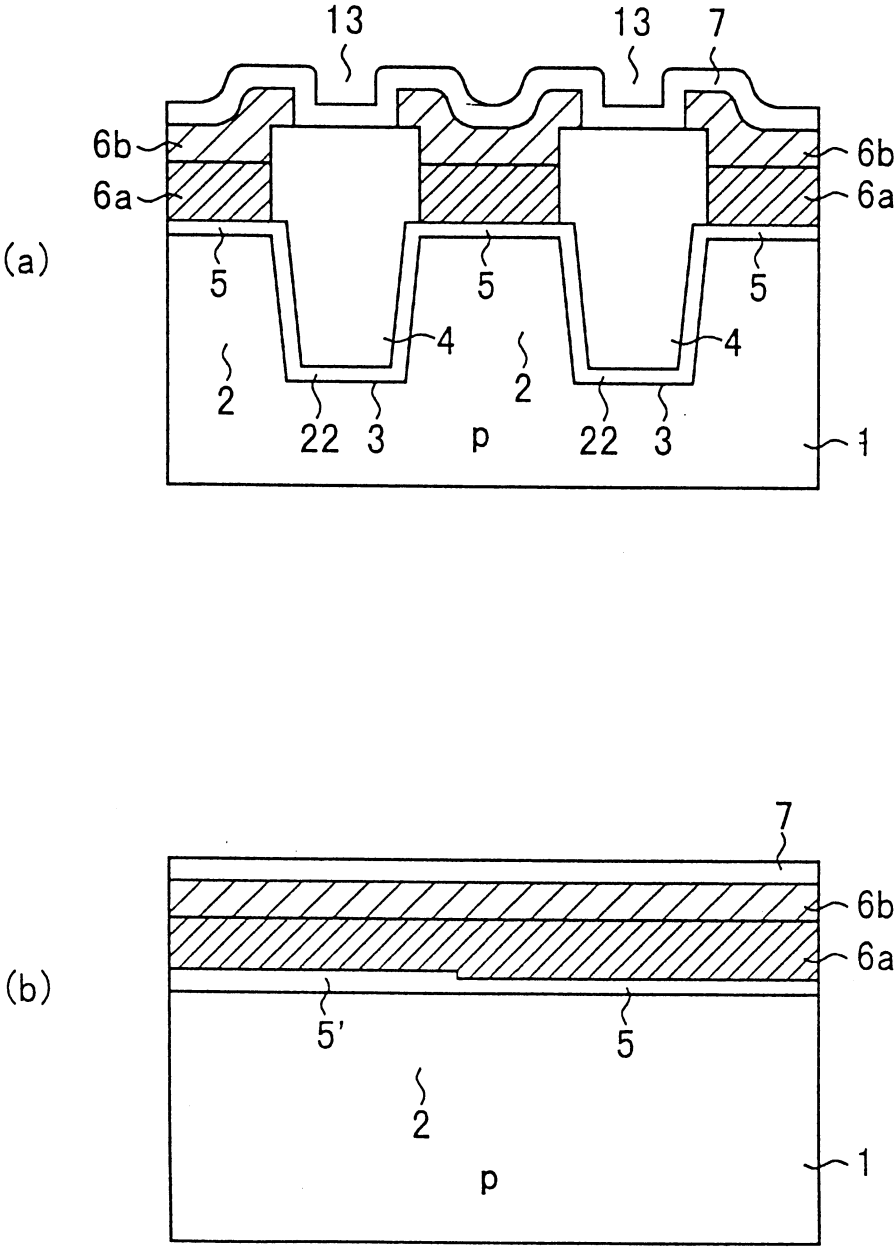


圖 13

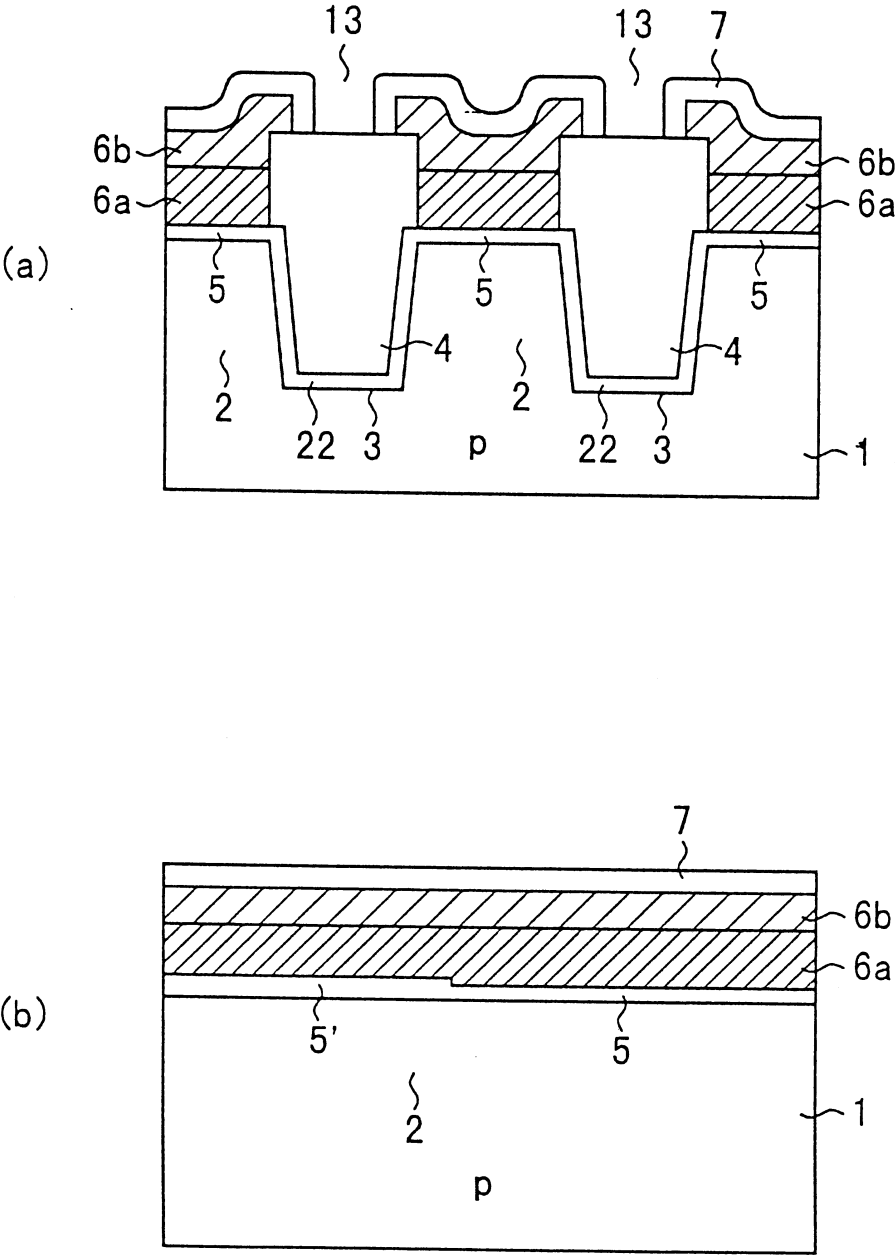


圖 14

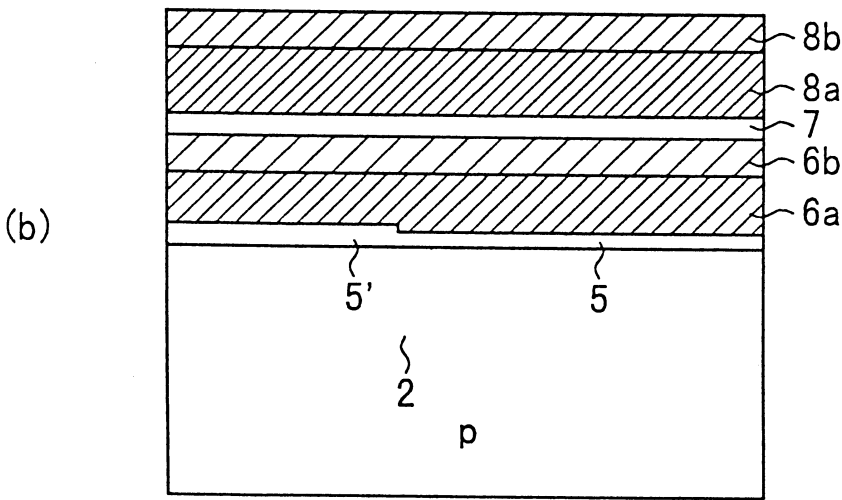
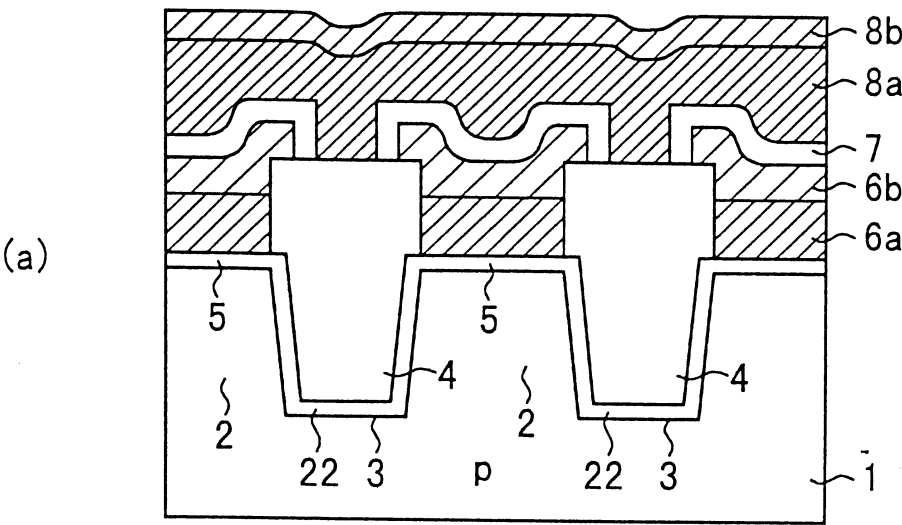


圖 15

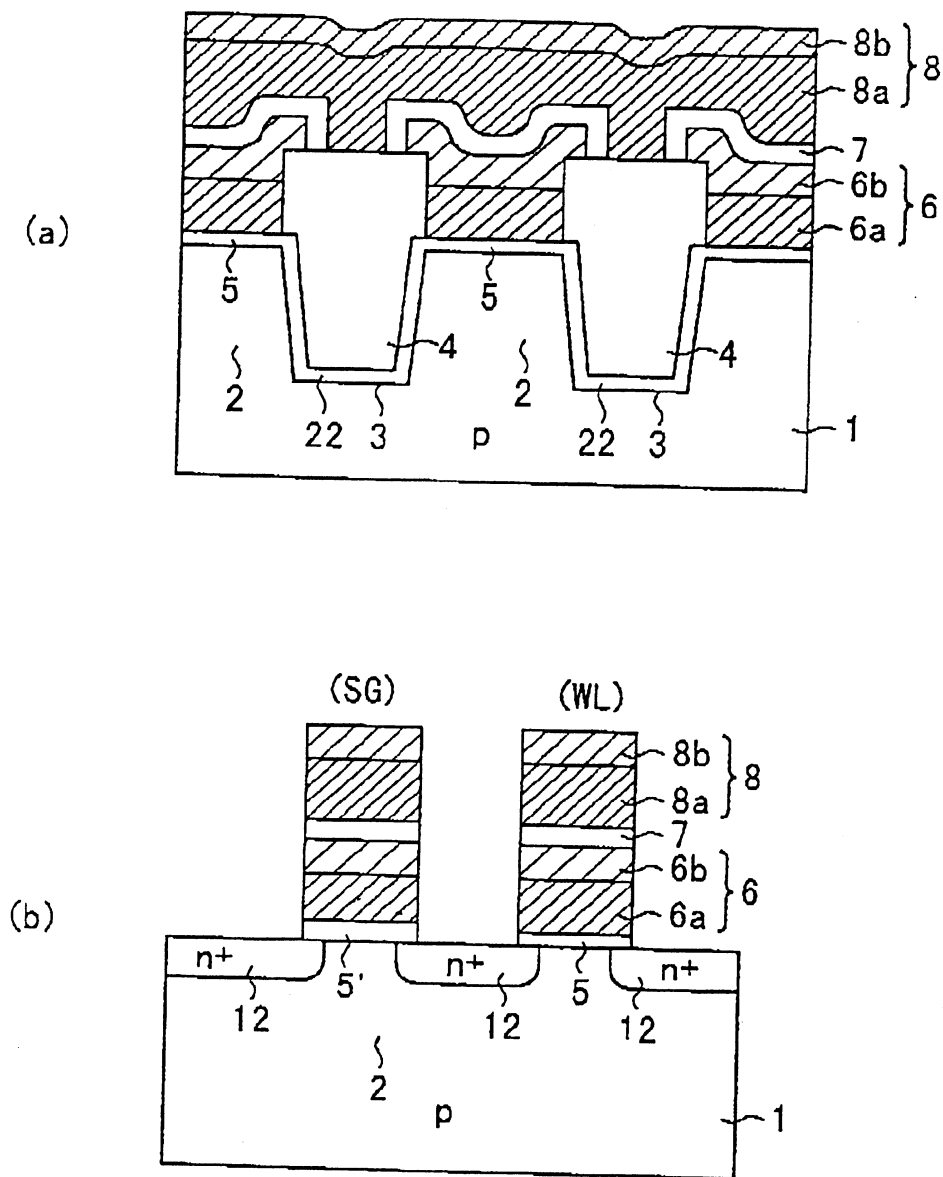


圖 16



圖 17

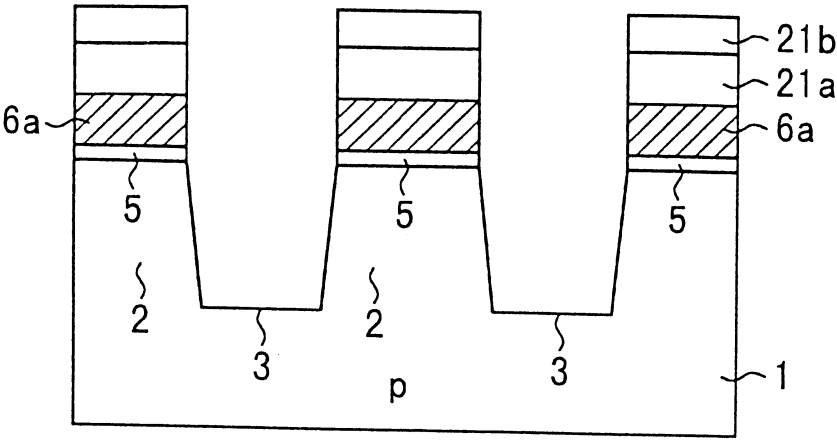


圖 18

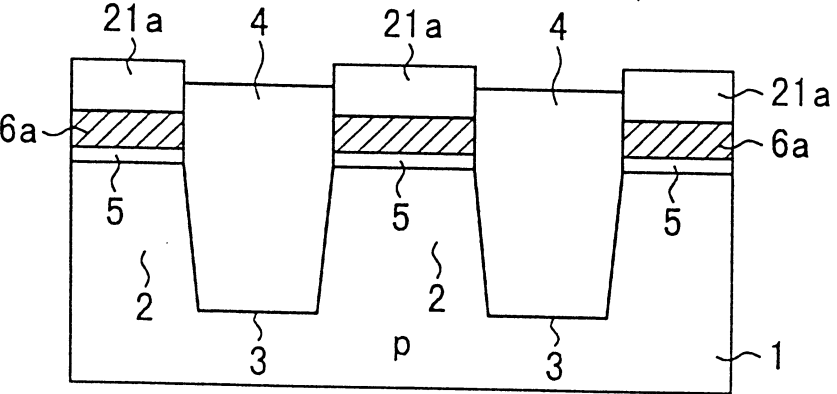


圖 19

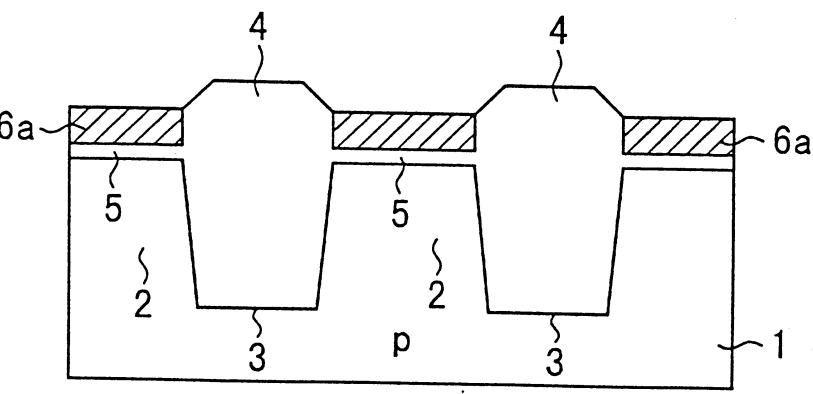


圖 20

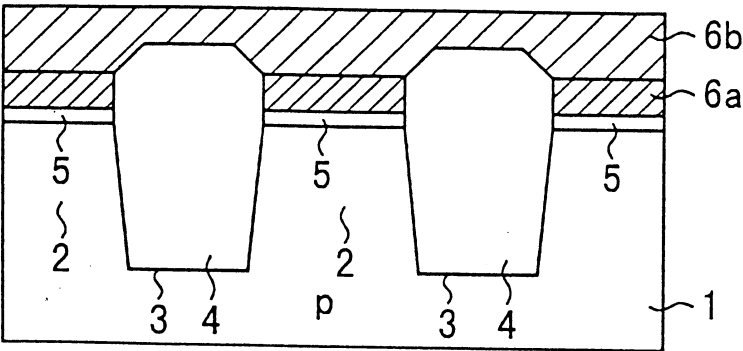


圖 21

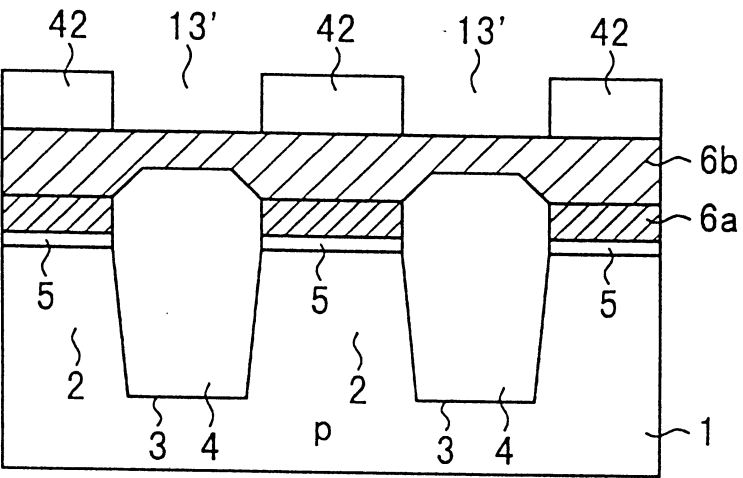


圖 22

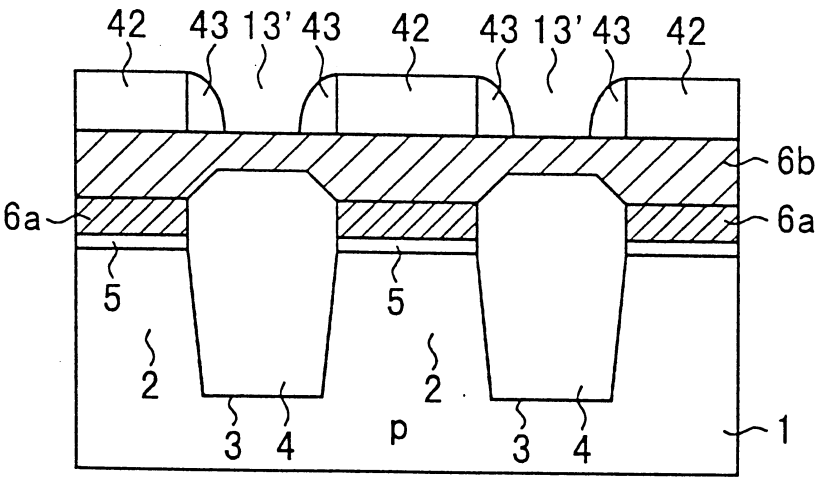


圖 23

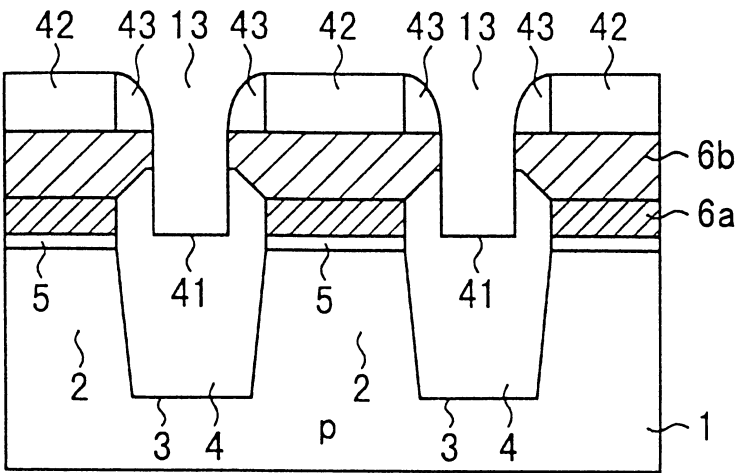


圖 24

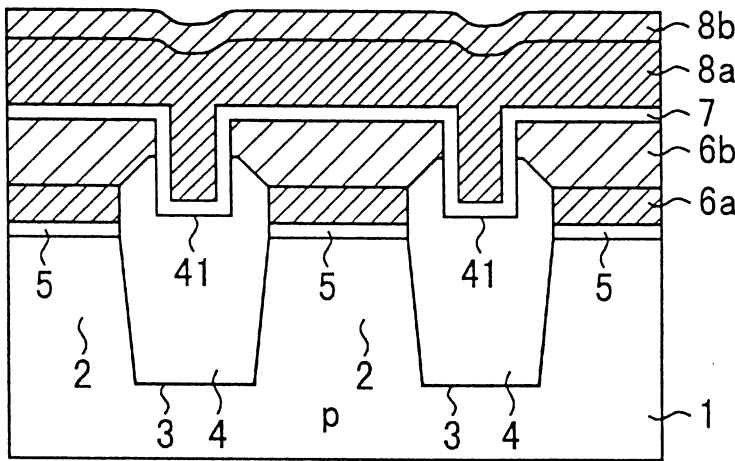


圖 25

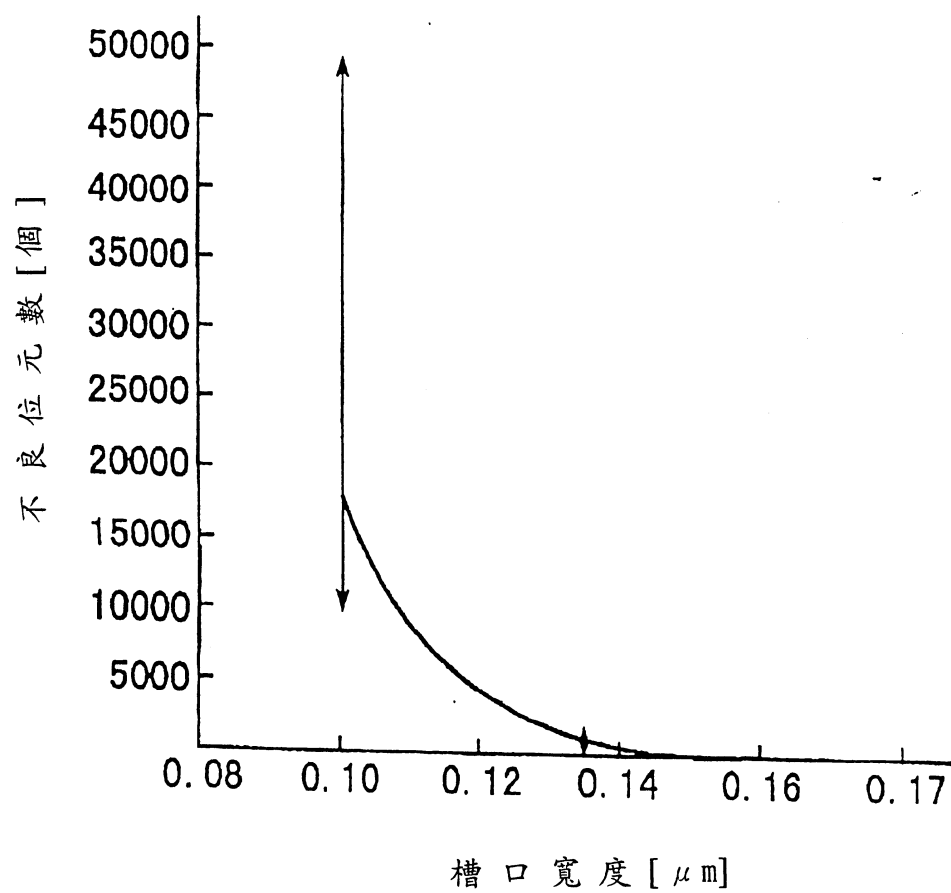


圖 26