

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年3月5日 (05.03.2009)

PCT

(10) 国際公開番号  
WO 2009/028480 A1

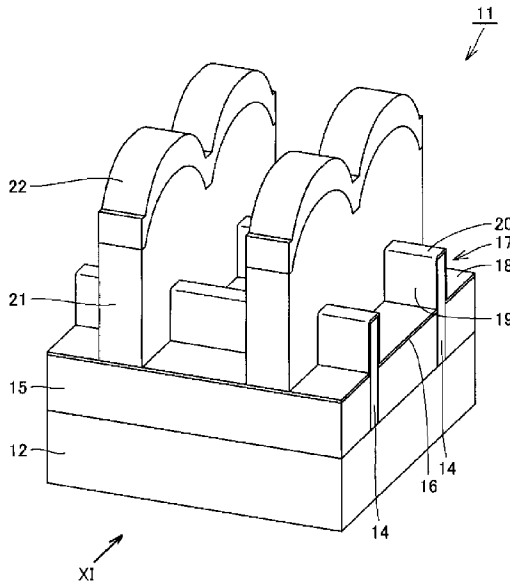
- (51) 国際特許分類:  
*H01L 21/3065* (2006.01)    *H01L 29/49* (2006.01)  
*H01L 29/41* (2006.01)    *H01L 29/78* (2006.01)  
*H01L 29/423* (2006.01)
- (21) 国際出願番号: PCT/JP2008/065151
- (22) 国際出願日: 2008年8月26日 (26.08.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
 特願2007-226345    2007年8月31日 (31.08.2007)    JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西塚 哲也 (NISHIZUKA, Tetsuya) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1-8 東京エレクトロン技術研究所株式会社内 Hyogo (JP). 高橋 正彦 (TAKAHASHI, Masahiko) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1-8 東京エレクトロン技術研究所株式会社内 Hyogo (JP).
- (74) 代理人: 伊藤 英彦, 外 (ITOH, Hidehiko et al.); 〒5420082 大阪府大阪市中央区島之内1丁目21番19号 オリエンタル堺筋ビル アイミー国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法

[図4]



(57) Abstract: A semiconductor device manufacturing method includes a step of forming on a semiconductor substrate a protruding insulating layer having a surface and a rising surface which rises upward from such surface; a step of forming a conductive layer to cover the protruding insulating layer; and a step of removing a prescribed region of the conductive layer by patterning the region by applying a bias power of 70mW/cm<sup>2</sup> or more to the semiconductor substrate under the condition of a high pressure of 85mTorr or more by etching process using microwave plasma having microwave as a plasma source.

(57) 要約: 半導体装置の製造方法は、半導体基板上に、面およびこの面から上方に立上る立上り面を持つ突状形態の絶縁層を形成する工程と、突状形態の絶縁層を覆うように導電層を形成する工程と、85mTorr以上の高圧の条件下で、

[続葉有]



WO 2009/028480 A1



BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

## 明 細 書

## 半導体装置の製造方法

## 技術分野

[0001] この発明は、半導体装置の製造方法に関し、特に、プラズマによるエッチング処理を行う工程を含む半導体装置の製造方法に関するものである。

## 背景技術

[0002] LSI(Large Scale Integrated circuit)等の半導体装置は、半導体基板上に絶縁層および導電層を交互に積層するようにして製造される。一般的には、CVD(C hemical Vapor Deposition)処理等により半導体基板上に形成した層に対し、エッチング処理によるパターニングを行い、各層を積層していく。なお、エッチング処理には、平行平板やICP(Inductively-coupled Plasma)、ECR(Electron Cyclotron Resoannce)等、種々の装置で発生させるプラズマが利用される。

[0003] 昨今では、MOS(Metal Oxide Semiconductor)トランジスタ等の半導体素子を含む半導体装置において、高集積化等の観点から、3次元構造のものが要求されている。ここで、3次元構造のMOSトランジスタの構成について簡単に説明する。

[0004] 図12および図13は、3次元構造のMOSトランジスタを含む半導体装置を示す外観斜視図である。図12は、後述する導電層109をエッチングする前の状態を示し、図13は、導電層109をエッチングした後の状態を示す。図12および図13を参照して、半導体装置101は、半導体基板(ウェーハ)102の主表面103から垂直方向に延びるように形成される導電性の複数の突条部104を含む。突条部104は、図12中の矢印XIIで示す方向に延びた形状である。各突条部104の長手方向には、図13に示す状態において導電層109を挟んだ位置に、それぞれソース領域およびドレイン領域が形成される。

[0005] この半導体基板102上には、 $\text{SiO}_2$ 膜からなる絶縁層105が形成される。また、ソース領域およびドレイン領域間に位置するチャネル領域上に、突条部104を覆うように薄い $\text{SiO}_2$ 膜106からなるゲート酸化膜が形成される。ここで、ゲート酸化膜を構成する $\text{SiO}_2$ 膜106については、突条部104を覆うように形成されているため、突条部104

の上面107と面108との間に、積層方向の高い段差XIを有することになる。

[0006] 次に、この $\text{SiO}_2$ 膜106を覆うように、ポリシリコン(多結晶シリコン)からなる導電層109が形成される。その後、このポリシリコンの導電層109に対して、レジスト110をマスクとしてパターニングを行なって、図13に示すように、エッチング処理により導電層109の所定領域を除去する。残された導電層109がゲート電極となる。このようにして、半導体基板102上に3次元構造のMOSトランジスタが形成される。このとき、突条部104の側部にエッチング残渣物111が生じる。

[0007] ここで、このような高い段差を有するポリシリコンの導電層109に対してエッチング処理を行う際に、特開平9-69511号公報に開示されているように、処理条件を異ならせて、二段階でエッチング処理を行う。なお、このようなエッチング処理は、例えば、上記したICP等のプラズマ処理装置において行われ、エッチングガスとしては、一般的に、 $\text{HBr}$ や $\text{Cl}_2$ に微量の $\text{O}_2$ を添加したものが用いられる。

[0008] 特開平9-69511号公報においては、ポリシリコンの導電層に対して、メインエッチング処理と、オーバーエッチング処理の二段階でエッチング処理している。図14は、エッチング処理におけるエッチング面積比と、選択比との関係を示すグラフである。図14において、横軸はエッチング面積比(%)を示し、縦軸は選択比(ポリシリコン/ $\text{SiO}_2$ )を示す。

[0009] ここで、エッチング面積比とは、エッチングすべき露出したポリシリコンの面積 $S_2$ とエッチングによりポリシリコンの下層から露出した $\text{SiO}_2$ の面積 $S_3$ との和に対するポリシリコンの面積 $S_2$ の比である。すなわち、図12に示す状態におけるエッチング面積比は、エッチングすべき露出したポリシリコンの面積 $S_1$ のみであり、露出した $\text{SiO}_2$ の面積 $S_3$ が0であるため、100となる。また、エッチングが進んで、エッチングすべきポリシリコンがなくなり、 $\text{SiO}_2$ がすべて露出した状態においては、エッチング面積比は0となる。なお、選択比とは、 $\text{SiO}_2$ に対するエッチングレートを1とした場合におけるポリシリコンに対するエッチングレートの比である。

[0010] 図14において、 $\text{SiO}_2$ が露出していない図12に示す状態においては、形状の正確性確保等の観点から、低選択比でメインエッチング処理が行なわれる。エッチングが進むにつれて、エッチングしようとする部分の面積 $S_2$ が小さくなり、 $\text{SiO}_2$ の露出する

面積 $S_3$ が大きくなっていく。その結果、図13に示すように、突条部104の側部にエッチング残渣物111が残ってしまう。ここで、エッチング残渣物111をエッチング処理する際に、エッチング処理により生成したSiBr等の反応生成物が活性化され、この反応生成物が選択比を低下させてしまう。低選択比のままエッチング処理を行うと、露出する面積が多くなった薄い $\text{SiO}_2$ 膜106、特に、突条部104の上面107に形成された薄い $\text{SiO}_2$ 膜106が攻撃されやすくなり、損傷してしまう恐れがある。したがって、図14に示すように、オーバーエッチング処理では、例えば、選択比を50以上とした高選択比でエッチング処理を行う必要がある。

- [0011] さらに、上記したように二段階でエッチング処理を行うと、異なる条件におけるエッチング処理を行わなければならないため、工程数の増加に伴って、効率よく半導体装置を製造することができない。

#### 発明の開示

- [0012] この発明の目的は、適切に、かつ、効率的に製造することができる半導体装置の製造方法を提供することである。
- [0013] この発明に係る半導体装置の製造方法は、半導体基板上に、面およびこの面から上方に立上る立上り面を持つ突状形態の絶縁層を形成する工程と、突状形態の絶縁層を覆うように導電層を形成する工程と、85mTorr以上の高圧の条件下で、半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理によって、導電層の所定領域をパターニングして除去する工程とを含む。
- [0014] このような半導体装置の製造方法によると、立上り面を持つ突状形態の絶縁層の上に形成された導電層の所定領域をエッチング処理によりパターニングして除去する際に、85mTorr以上の高圧の条件下で、半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理を行う。これにより、エッチング処理の際に生ずる反応生成物の活性化を抑制し、高選択比を維持しながらエッチング処理を行うことができる。そうすると、形状の正確性を確保しながら、すなわち、立上り面の側部にエッチング残渣物を発生させないようにしながら、絶縁層の損傷等を防止して、エッチング処理を行うことができる。

また、このような突状形態を有する半導体装置のエッチング処理において、一工程のエッチング処理で、導電層を除去することができる。したがって、適切に、かつ、効率的に半導体装置を製造することができる。

- [0015] さらに好ましい実施形態では、エッチング処理を行う際に、半導体基板に100kHz以上2MHz以下の周波数のバイアス電圧を加える。
- [0016] さらに好ましい実施形態では、エッチング処理を行う際のエッチングガスの流量は、1600sccm以上である。
- [0017] さらに好ましい実施形態では、絶縁層は、シリコン酸化膜であり、導電層は、ポリシリコンである。
- [0018] さらに好ましい実施形態では、絶縁層を形成する工程に先立ち、半導体基板上に、上方に立上った突状形態の導電層を形成する工程を備え、絶縁層は、突状形態の導電層の表面に形成された薄膜絶縁層を含む。
- [0019] さらに好ましい実施形態では、突状形態の絶縁層は、面から所定の高さを隔てて立上り面の上部に位置する。
- [0020] この発明の他の局面において、半導体装置の製造方法は、半導体基板の主表面上に、この主表面から上方に立上って延び、ソース領域およびドレイン領域となるべき突条部を形成する工程と、突条部のソース領域およびドレイン領域間に位置するチャンネル領域上にゲート絶縁膜となるべき絶縁層を形成する工程と、突条部および絶縁層を覆う導電層を形成する工程と、85mTorr以上の高圧の条件下で、前記半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理によって、導電層をパターンニングしてチャンネル領域上の導電層を残しながら導電層を除去してゲート電極を形成する工程とを含む。

#### 図面の簡単な説明

- [0021] [図1]この発明に係る半導体装置の製造方法において製造される半導体装置のうち、エッチング処理を行う前の半導体装置を示す外観斜視図である。
- [図2]図1に示す半導体装置を、図1中の矢印IIの方向から見た外観斜視図である。
- [図3]図1に示す半導体装置にエッチング処理を行った後の半導体装置を示す外観

斜視図である。

[図4]図3に示す半導体装置を、図3中の矢印IVの方向から見た外観斜視図である。

[図5]この発明の一実施形態に係る半導体装置の製造方法に使用されるプラズマ処理装置を示す概略図である。

[図6]圧力と選択比との関係を示すグラフである。

[図7]バイアスパワーと選択比との関係を示すグラフである。

[図8]圧力と電子温度との関係を示すグラフである。

[図9]電子温度と選択比との関係を示すグラフである。

[図10]ガス流量とテーパー角度との関係を示すグラフである。

[図11]図4に示す半導体装置を、図4中の矢印XIの方向から見た図である。

[図12]3次元構造のMOSTランジスタを含む半導体装置を示す外観斜視図である。

[図13]図12に示す半導体装置のうち、エッチング残渣物が残った状態を示す外観斜視図である。

[図14]エッチング面積比と選択比との関係を示すグラフである。

### 発明を実施するための最良の形態

[0022] 以下、この発明の実施の形態を、図面を参照して説明する。図1～図4は、この発明の一実施形態に係る半導体装置の製造方法において製造される半導体装置11を示す外観斜視図である。図1は、導電層のエッチング処理前の状態を示す図であり、図2は、図1に示す半導体装置11を図1中の矢印IIの方向から見た図である。図3は、導電層のエッチング処理後の状態を示す外観斜視図であり、図4は、図3に示す半導体装置11を図3中の矢印IVの方向から見た図である。なお、この発明の一実施形態に係る半導体装置の製造方法で製造される半導体装置11として、3次元構造のMOSTランジスタを含む半導体装置とし、エッチング処理装置として、例えばマイクロ波プラズマ処理装置を用いた例について説明する。

[0023] まず、絶縁層を形成する工程に先立ち、図1、図2に示すように、半導体基板12上に、半導体基板12の主表面13から上方に立上って延びるポリシリコンの複数の突条部14を形成する。各突条部14は、断面略矩形状である。また、突条部14は、図1中の矢印Iで示す方向に延びた形状である。各突条部14の長手方向には、図3に示す

ように、後述するエッチング処理後の導電層21を挟んだ位置に、それぞれソース領域およびドレイン領域が形成される。

[0024] 次に、突条部14を除く半導体基板12を覆うように、絶縁層15となる $\text{SiO}_2$ 膜を形成する。その後、さらにこの絶縁層および突条部14を覆うように、絶縁層となる薄膜の $\text{SiO}_2$ 膜16(ゲート酸化膜)を形成する。ここで、シリコン酸化物である薄膜の $\text{SiO}_2$ 膜16は、突条部14を覆うように形成されているため、垂直方向に伸びる突状形態17を持つように形成される。すなわち、突状形態17を含む $\text{SiO}_2$ 膜16は、絶縁層15に接する面18、この面18から突状形態17を両側から挟むように上方に立上る立上り面19、および面18から所定の高さを隔てて立上り面19の上部に位置する上面20を持つ。また、面18と上面20との間には、垂直方向の高い段差Hが形成されている。

[0025] 次に、 $\text{SiO}_2$ 膜16を覆うようにポリシリコンの導電層21を形成する。そして、この導電層21に対して、ゲート電極となる部分に $\text{SiN}$ 22をマスクとしてパターニングを行う。その後、図3および図4に示すように、ソース領域およびドレイン領域間に位置するチャネル領域上の導電層21を残しながら、エッチング処理によって導電層21を除去する。残された導電層21が、ゲート電極となる。このようにして、半導体基板12上に3次元構造のMOSトランジスタが形成される。

[0026] ここで、エッチング処理においては、85mTorr以上の高圧の条件下で、半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いて行なう。なお、この場合のエッチングガスは、 $\text{Cl}_2$ と $\text{HBr}$ と $\text{Ar}$ とを混合した混合ガスを材料ガスとしている。

[0027] このような半導体装置11の製造方法によると、立上り面19を持つ突状形態17の絶縁層15の上に形成された導電層21の所定領域をエッチング処理によりパターニングして除去する際に、85mTorr以上の高圧の条件下で、半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理を行う。これにより、エッチング処理の際に生ずる反応生成物の活性化を抑制し、高選択比を維持しながらエッチング処理を行うことができる。そうすると、形状の正確性を確保しながら、すなわち、立上り面19の側部にエッチング残渣物を発生させないようにしながら、絶縁層である $\text{SiO}_2$ 膜16の損傷等を防止し

て、エッチング処理を行うことができる。この場合、 $\text{SiO}_2$ 膜16のうち、特に、エッチングガスや反応生成物に多く曝される上面20部分の損傷を防止することができる。また、このような突状形態17を有する半導体装置11のエッチング処理において、一工程のエッチング処理で、導電層21を除去することができる。したがって、従来例のように2回のエッチング処理を行わなくてすむので、適切に、かつ、効率的に半導体装置11を製造することができる。

[0028] 図5は、上記したプラズマを発生させて処理を行うプラズマ処理装置の構成を示す概略図である。

[0029] 図5を参照して、プラズマ処理装置31は、半導体基板36を収容して、半導体基板36に処理を施すための密封可能なチャンバー32と、導波管から給電されるマイクロ波によるプラズマをチャンバー32内に発生させるアンテナ部33とを含む。

[0030] ここで、図5に示すプラズマ処理装置31を用いて、半導体基板36に対してプラズマによるエッチング処理を行なう方法について、簡単に説明する。まず、処理対象となる半導体基板36を、チャンバー32内のサセプタ34上に載置する。次に、チャンバー32内を上記したマイクロ波プラズマの放電条件となる圧力となるまで減圧し、半導体基板36に所定のバイアス電圧を付与する。その後、高周波電源によってマイクロ波を発生させ、導波管を介してアンテナ部33に給電する。このようにして、アンテナ部33から、プラズマ生成領域37において、プラズマを発生させる。発生させたプラズマは、ガスシャワーヘッド35を通過してプラズマ拡散領域38に達し、ガスシャワーヘッド35から供給される材料ガスとプラズマ拡散領域38において反応して、エッチング処理を行う。

[0031] アンテナ部33は、下方側から見た場合にT字状に形成された複数のスロット孔を有する円板状のスロット板を備える構成とし、導波管から給電されたマイクロ波を、この複数のスロット孔からチャンバー32内に放射する。こうすることにより、均一な電子密度分布を有するプラズマを発生させることができる。

[0032] また、このような構成のプラズマ処理装置31は、バイアスパワーやバイアス電圧の周波数を任意に変更することができるため、バイアス電圧の条件の変更が容易である。

[0033] なお、このようなプラズマ処理装置31の構成の一例としては、例えば、半導体基板36を載置するサセプタ34とアンテナ部33との間の距離として、約120mmを選び、サセプタ34とガスシャワーヘッド35との間の距離として、約40mmを選ぶ。また、放電条件として、周波数を2.45GHzとする。このような構成のプラズマ処理装置31において、アンテナ部33から下方側への距離をA(mm)とすると、 $0 \leq A \leq 25$ の範囲が、プラズマ生成領域37となる。また、 $50 \leq A \leq 120$ の範囲が、プラズマ拡散領域38となる。なお、後述する電子温度は、プラズマ拡散領域における半導体基板36の表面近傍での値である。

[0034] 図6は、圧力と選択比との関係を示すグラフである。図6において、横軸は圧力(m Torr)を示し、縦軸は選択比(ポリシリコン/SiO<sub>2</sub>)を示す。なお、このときに半導体基板に加えたバイアスパワーは、70mW/cm<sup>2</sup>である。図6を参照して、圧力が70m Torrのときに、選択比が最も低くなり、80m Torr、90m Torrと圧力が高くなるにつれ、選択比が高くなっていく。そうすると、図13に示すS<sub>2</sub>とS<sub>3</sub>との関係において、選択比を50以上とするためには、少なくとも圧力を85m Torrよりも高くする必要がある。したがって、エッチング処理において85m Torr以上の高圧の条件とすれば、選択比として50以上を確保することができ、高選択比を維持することができる。その結果、ポリシリコンの導電層を積極的にエッチングして除去することができる。さらに好ましくは、100m Torr以上とすれば、より確実に選択比として50以上を確保することができる。

[0035] 図7は、バイアスパワーと選択比との関係を示すグラフである。図7において、横軸はバイアスパワー(W)を示し、縦軸は選択比を示す。なお、半導体基板としては、φ300mmのものを用いている。図7中のaは圧力40m Torr、bは圧力70m Torr、cは圧力100m Torrの場合を示す。図7を参照して、各圧力において、バイアスパワーを低下させれば、選択比を向上させることができる。しかし、50W以下、すなわち、70mW/cm<sup>2</sup>よりも小さくなると、形状の制御が困難となるため、側面がエッチングされてしまい、サイドエッチ形状が発生してしまう恐れがある。したがって、バイアスパワーを50W以上、すなわち、70mW/cm<sup>2</sup>以上とすることにより、サイドエッチ形状を回避することができる。ここで、バイアスパワーを100Wとしても、選択比60以上を確保することができる。

- [0036] また、バイアス電圧の周波数については、高すぎると半導体基板上でプラズマが発生してしまうことになる。一方、低すぎると、上記したバイアスパワーの効率が低下してしまうことになる。したがって、バイアス電圧の周波数を、100kHz以上2MHz以下とすることにより、上記した問題を回避しつつ、さらにエッチング処理により生成した反応生成物の再解離を低減することができ、さらに高選択比を維持することができる。
- [0037] なお、上記では、バイアス電圧の周波数を2MHzよりも高くすると、半導体基板上でプラズマが発生してしまうとしたが、さらなる高周波、例えば、10MHz～15MHz、具体的には、13.56MHzとすると、2MHzに比べ、高周波により半導体基板へのイオンの引き込みが抑制されるため、半導体基板へのダメージが低減する。したがって、このようなバイアス電圧の周波数を選択することとしてもよい。
- [0038] 図8は、図5に示すプラズマ処理装置における圧力と電子温度との関係を示すグラフである。図8において、横軸は圧力(mTorr)を示し、縦軸は電子温度(eV)を示す。このようなプラズマ処理装置によると、85mTorr以上の圧力とすることにより、電子温度を1.0eV以下とすることができる。さらに確実には、100mTorr以上の圧力とすることにより、電子温度を1.0eV以下とすることができる。
- [0039] 図9は、電子温度と選択比との関係を示すグラフである。図9において、横軸は、電子温度(eV)を示し、縦軸は選択比を示す。図9を参照して、選択比を50以上とするためには、電子温度を1.0eV以下とする必要がある。したがって、電子温度を1.0eV以下とすることにより、高選択比を維持しながらエッチング処理を行うことができる。そうすると、形状の正確性を確保しながら、すなわち、立上り面19の側部にエッチング残渣物を発生させないようにしながら、絶縁層であるSiO<sub>2</sub>膜16の損傷等を防止して、エッチング処理を行うことができる。この場合、SiO<sub>2</sub>膜16のうち、特に、エッチングガスや反応生成物に多く曝される上面20部分の損傷を防止することができる。また、このような突状形態17を有する半導体装置11のエッチング処理において、一工程のエッチング処理で、導電層21を除去することができる。したがって、従来例のように2回のエッチング処理を行わなくてすむので、適切に、かつ、効率的に半導体装置11を製造することができる。なお、ここでは、電子温度は多少の誤差を含むものとし、誤差として、少なくとも1.05eV以下のものが含まれる。

- [0040] また、エッチング処理を行う際のエッチングガスの流量は、1600sccm以上とすることが好ましい。図10は、エッチングガスの流量とテーパー角度との関係を示すグラフである。図10において、横軸はガス流量(sccm)を示し、縦軸はテーパー角度(deg)を示す。ここで、テーパー角度とは、図11に示す図において、導電層21の側壁面23と面18とのなす角度 $\alpha$ をいう。なお、図11は、図4に示す半導体装置11を、図4に示す矢印XIの方向から見た図である。図10および図11を参照して、ガス流量が増加するに従い、テーパー角度が垂直になっていく。すなわち、導電層21の側壁面23が面18から垂直に立上る形状となり、この垂直形状が良好になっていく。ここで、ガス流量を1600sccm以上とすることにより、テーパー角度を88(deg)よりも垂直に近くすることができる。なお、上記したプラズマ処理装置に適用される一般的なターボポンプの能力から、ガス流量は、2200sccm以下とすることが好ましい。
- [0041] なお、上記の実施の形態においては、この発明の一実施形態に係る半導体装置の製造方法として、断面略矩形状の突条部14を覆うように形成される突状形態17を有する絶縁層を形成する工程を含むことにしたが、これに限らず、例えば、断面が階段状であって、面およびこの面から上方に立上る立上り面を持つ突状形態の絶縁層を形成する工程を含むことにしてもよい。このような突状形態についても、面と立上り面との間にエッチング残渣物が残る恐れがあり、エッチング処理において高選択比を要するからである。
- [0042] また、上記の実施の形態においては、導電層をポリシリコンとし、ゲート電極を形成する際のゲートエッチング処理に上記した方法においてエッチング処理を行うことにしたが、これに限らず、導電層をメタル層としたゲートエッチング処理を行う際にも適用される。メタル層としては、Ti(チタン)やTa(タンタル)、W(タングステン)等を含むものについても適用される。
- [0043] なお、上記の実施の形態においては、シリコン酸化物( $\text{SiO}_2$ )を絶縁層として適用することにしたが、これに限らず、例えば、Hf(ハフニウム)やZr(ジルコニウム)、Al(アルミニウム)等を含む酸化膜を、絶縁層として適用することにしてもよい。
- [0044] また、上記の実施の形態においては、半導体素子として3次元構造のMOSトランジスタを用いた例について説明したが、これに限らず、CCD(Charge Coupled D

evice)等の半導体素子を含む3次元構造の半導体装置を製造する際にも適用される。

[0045] 以上、図面を参照してこの発明の実施形態を説明したが、この発明は、図示した実施形態のものに限定されない。図示した実施形態に対して、この発明と同一の範囲内において、あるいは均等の範囲内において、種々の修正や変形を加えることが可能である。

#### 産業上の利用可能性

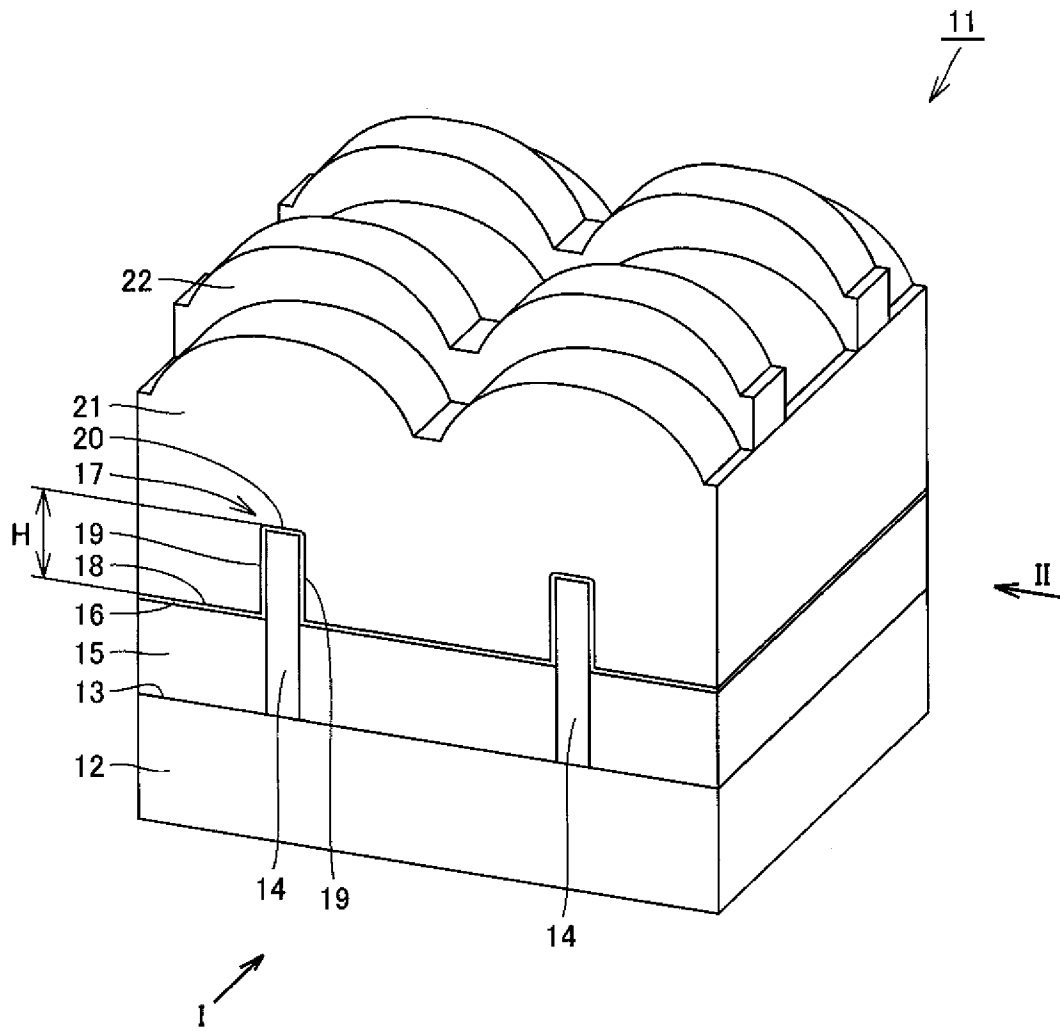
[0046] この発明に係る半導体装置の製造方法は、適切で、かつ、効率的な製造が要求される場合に、有効に利用される。

## 請求の範囲

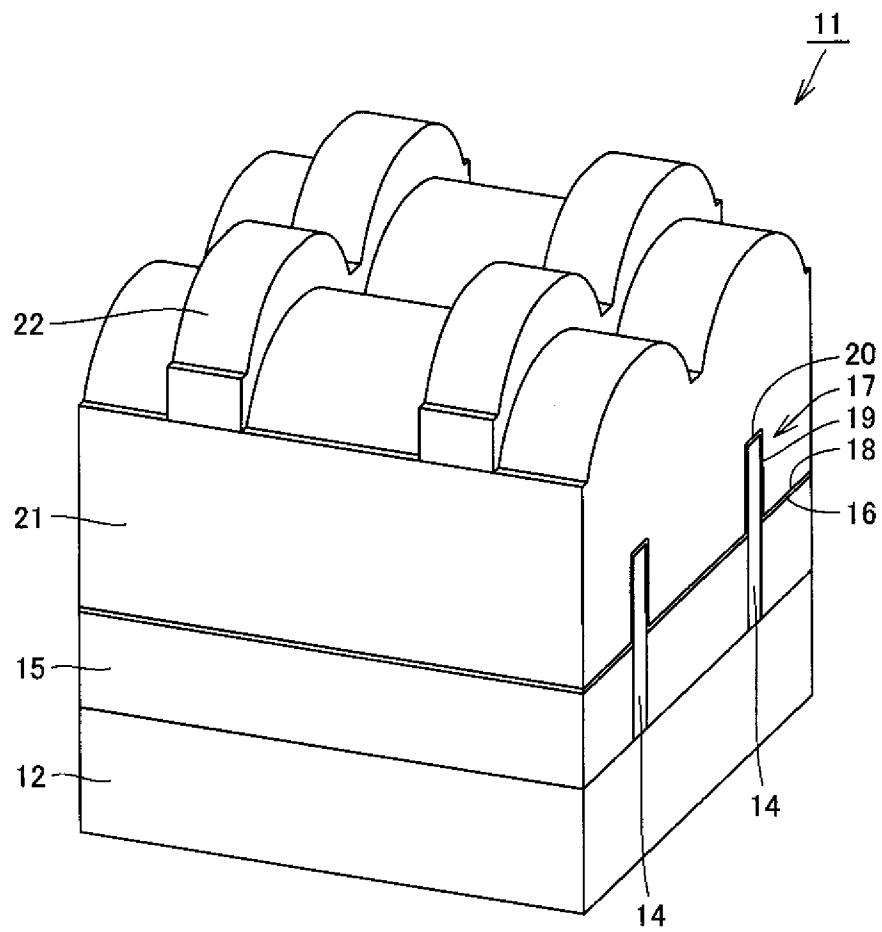
- [1] 半導体基板上に、面およびこの面から上方に立上る立上り面を持つ突状形態の絶縁層を形成する工程と、  
前記突状形態の絶縁層を覆うように導電層を形成する工程と、  
85mTorr以上の高圧の条件下で、前記半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理によって、前記導電層の所定領域をパターンニングして除去する工程とを含む、半導体装置の製造方法。
- [2] 前記エッチング処理を行う際に、前記半導体基板に100kHz以上2MHz以下の周波数のバイアス電圧を加える、請求項1に記載の半導体装置の製造方法。
- [3] 前記エッチング処理を行う際のエッチングガスの流量は、1600sccm以上である、請求項1に記載の半導体装置の製造方法。
- [4] 前記絶縁層は、シリコン酸化膜であり、  
前記導電層は、ポリシリコンである、請求項1に記載の半導体装置の製造方法。
- [5] 前記絶縁層を形成する工程に先立ち、前記半導体基板上に、上方に立上った突状形態の導電層を形成する工程を備え、  
前記絶縁層は、前記突状形態の導電層の表面に形成された薄膜絶縁層を含む、請求項1に記載の半導体装置の製造方法。
- [6] 前記突状形態の絶縁層は、前記面から所定の高さを隔てて前記立上り面の上部に位置する、請求項1に記載の半導体装置の製造方法。
- [7] 半導体基板の主表面上に、この主表面から上方に立上って延び、ソース領域およびドレイン領域となるべき突条部を形成する工程と、  
前記突条部のソース領域およびドレイン領域間に位置するチャンネル領域上にゲート絶縁膜となるべき絶縁層を形成する工程と、  
前記突条部および前記絶縁層を覆う導電層を形成する工程と、  
85mTorr以上の高圧の条件下で、前記半導体基板に $70\text{mW}/\text{cm}^2$ 以上のバイアスパワーを加えながら、マイクロ波をプラズマ源としたマイクロ波プラズマを用いたエッチング処理によって、前記導電層をパターンニングして前記チャンネル領域上の導電層

を残しながら前記導電層を除去してゲート電極を形成する工程とを含む、半導体装置の製造方法。

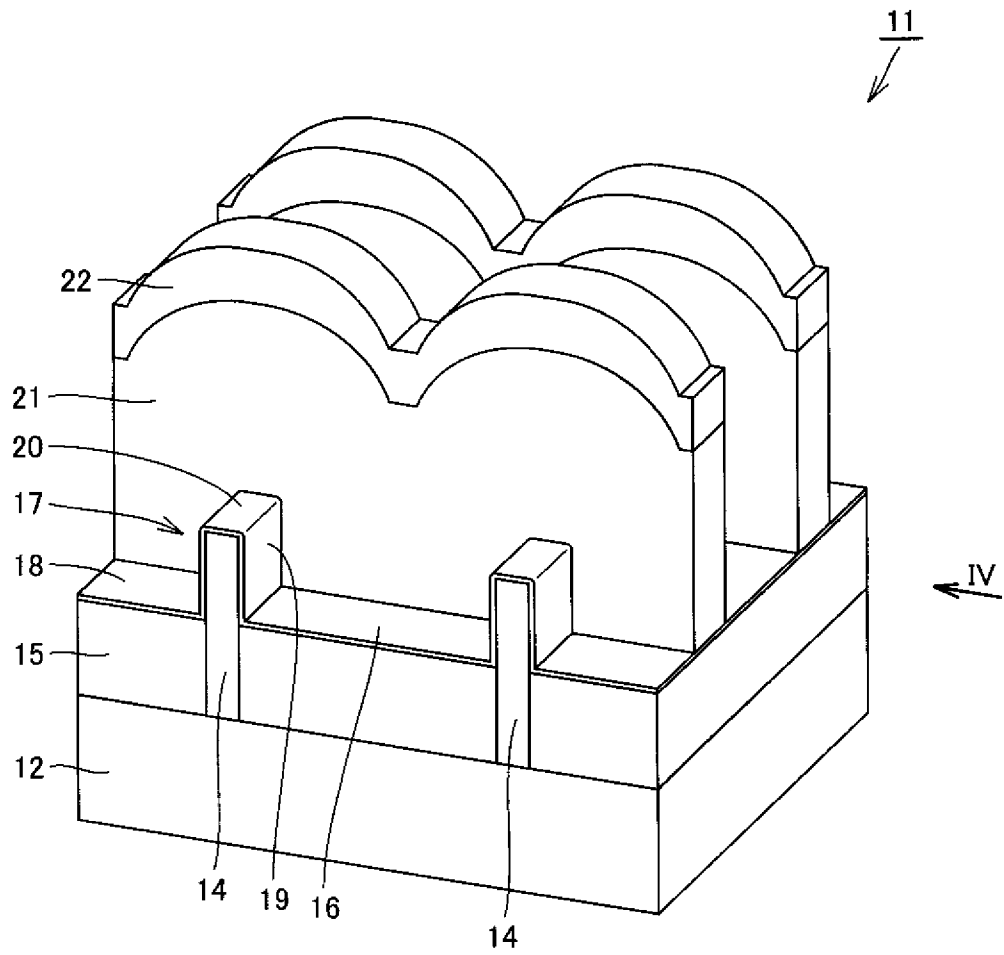
[図1]



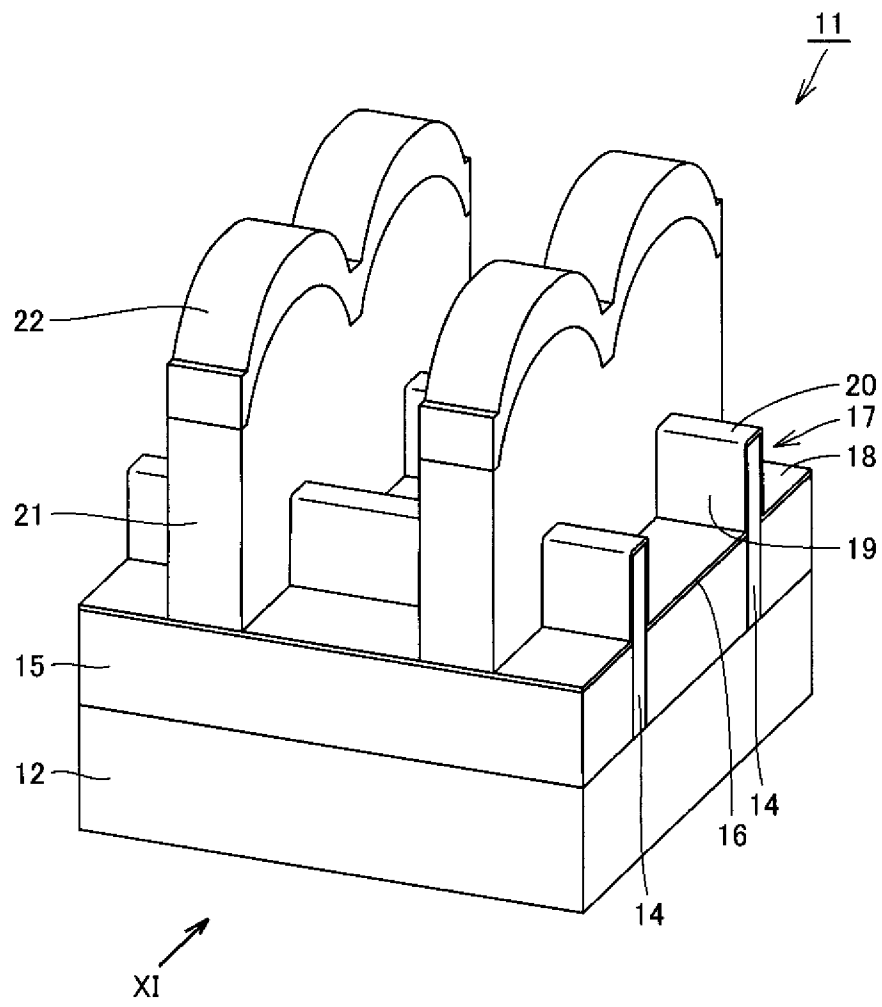
[図2]



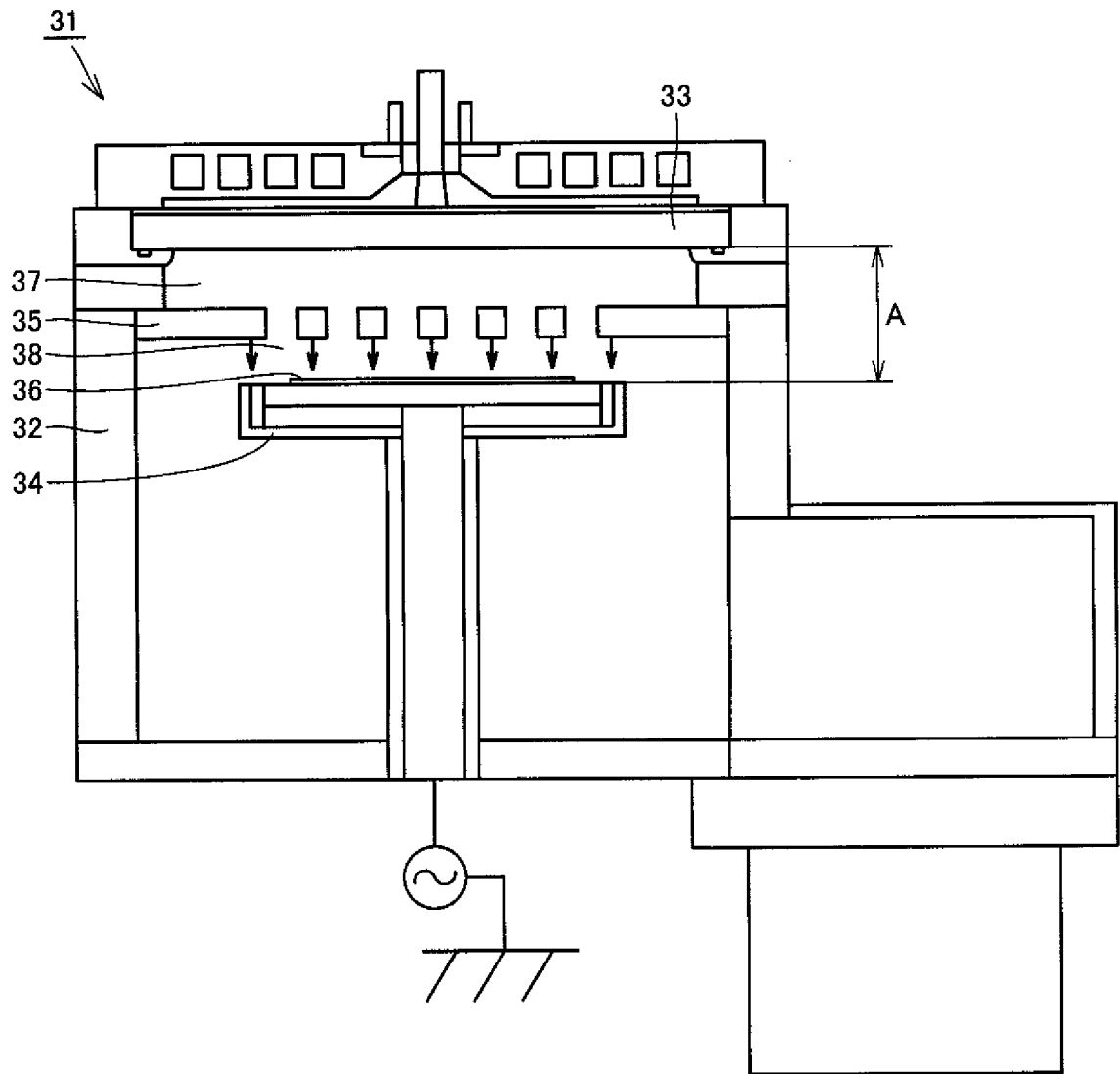
[図3]



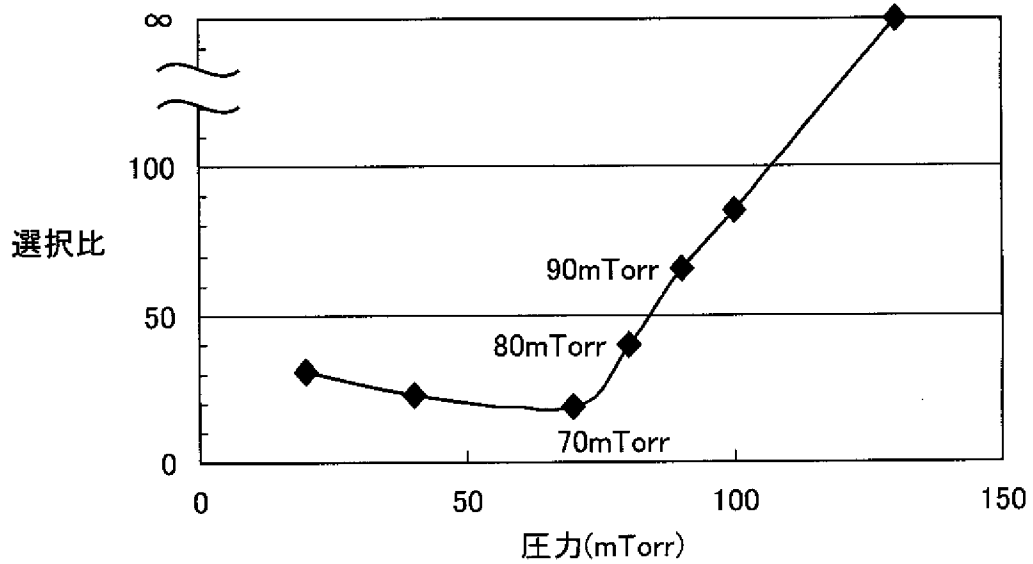
[図4]



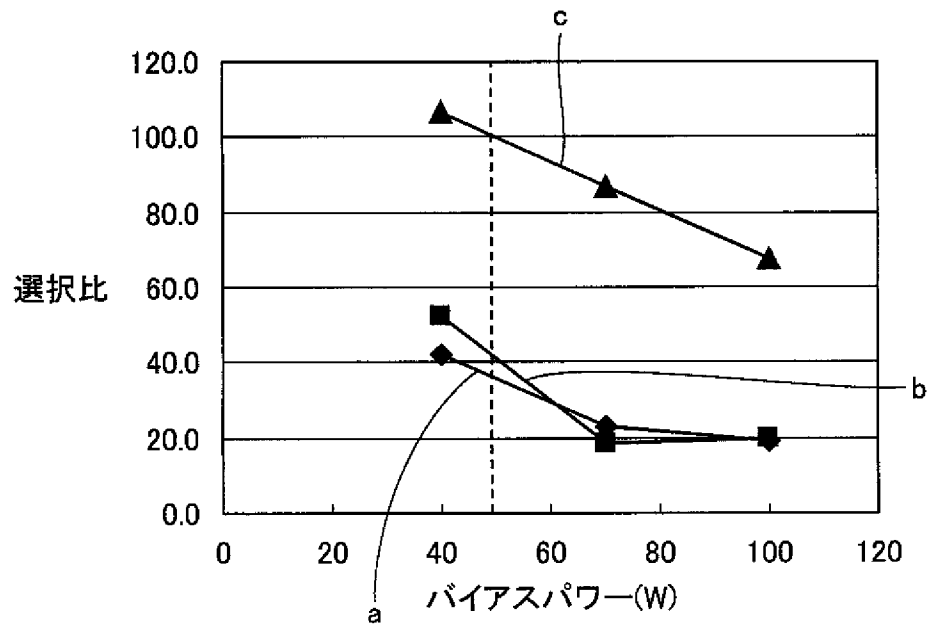
[図5]



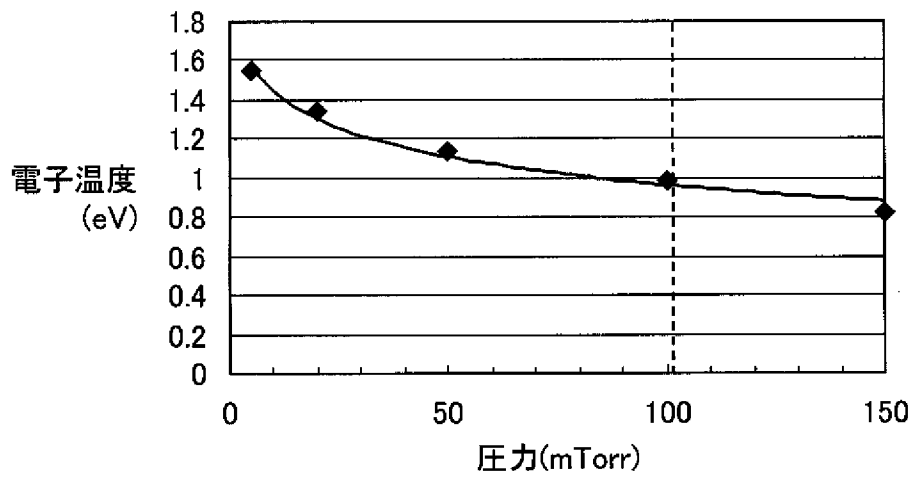
[図6]



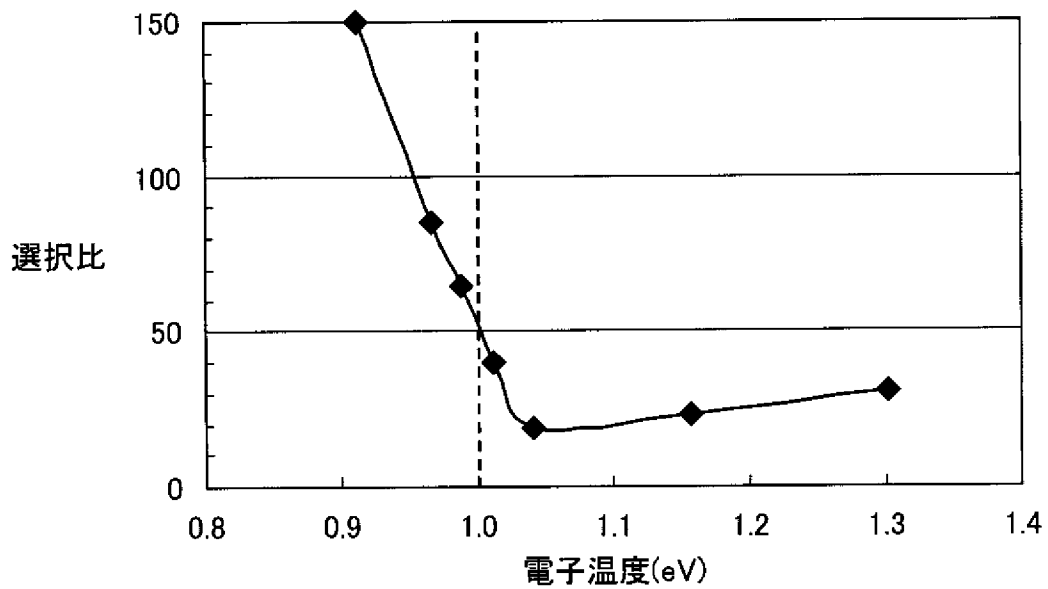
[図7]



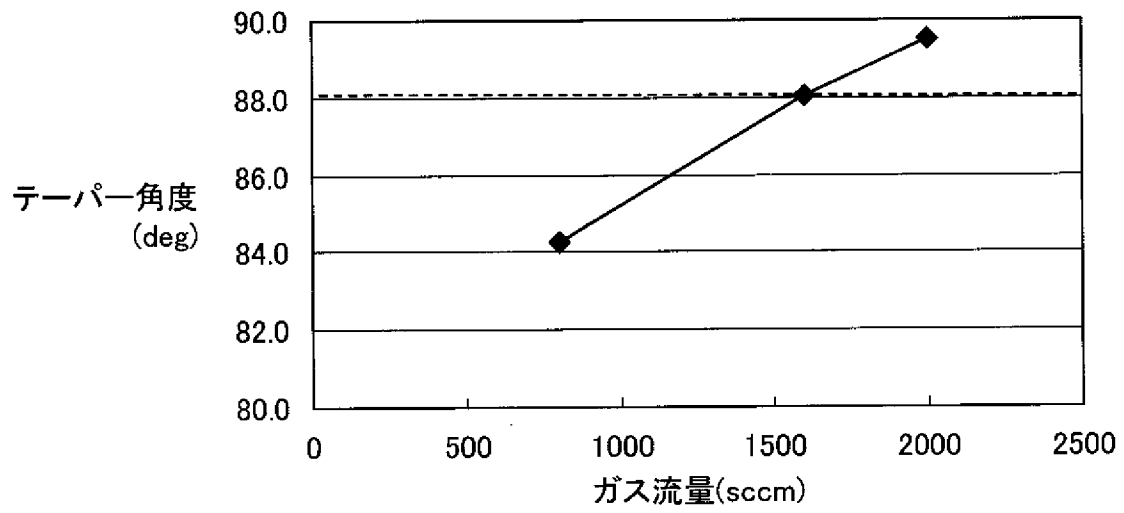
[図8]



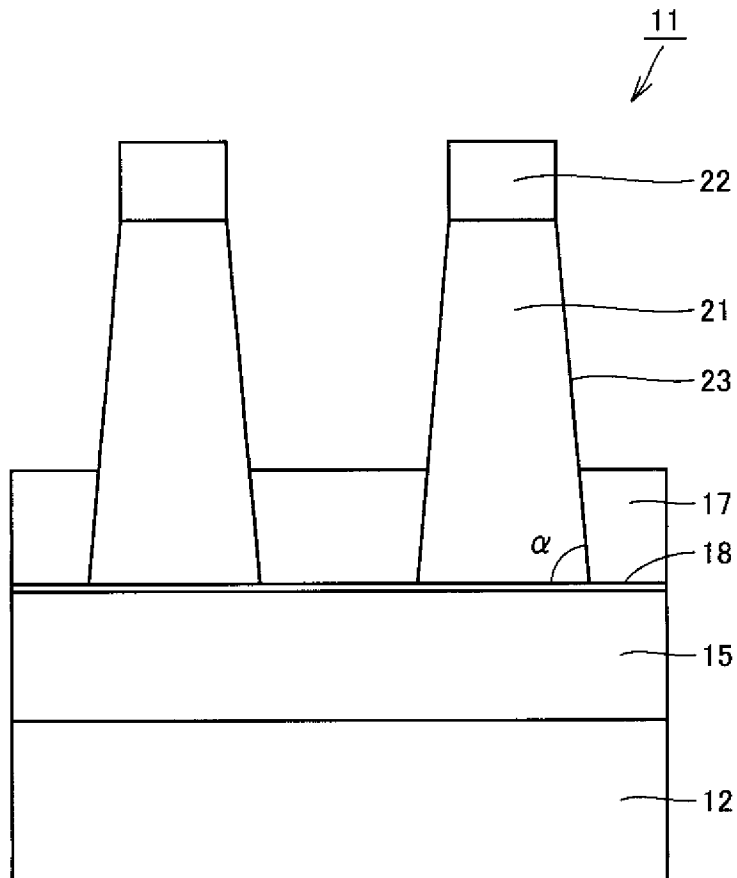
[図9]



[図10]



[図11]







**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2008/065151

**A. CLASSIFICATION OF SUBJECT MATTER**  
*H01L21/3065(2006.01) i, H01L29/41(2006.01) i, H01L29/423(2006.01) i, H01L29/49(2006.01) i, H01L29/78(2006.01) i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 H01L21/3065, H01L29/41, H01L29/423, H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-277397 A (Tokyo Electron Ltd.), 06 October, 2005 (06.10.05), Full text; all drawings & US 2005/0188922 A1	1-3, 5-7 4

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 November, 2008 (19.11.08)	Date of mailing of the international search report 02 December, 2008 (02.12.08)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3065(2006.01)i, H01L29/41(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3065, H01L29/41, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2005-277397 A (東京エレクトロン株式会社) 2005.10.06, 全文, 全図 & US 2005/0188922 A1	1-3, 5-7 4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

19.11.2008

国際調査報告の発送日

02.12.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎 園子

電話番号 03-3581-1101 内線 3471

4R

9277