

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6053752号  
(P6053752)

(45) 発行日 平成28年12月27日(2016.12.27)

(24) 登録日 平成28年12月9日(2016.12.9)

(51) Int.Cl.

H01L 25/07 (2006.01)  
H01L 25/18 (2006.01)  
H01L 23/50 (2006.01)

F 1

H01L 25/04  
H01L 23/50C  
R

請求項の数 15 (全 16 頁)

(21) 出願番号 特願2014-504075 (P2014-504075)  
 (86) (22) 出願日 平成24年4月9日 (2012.4.9)  
 (65) 公表番号 特表2014-515189 (P2014-515189A)  
 (43) 公表日 平成26年6月26日 (2014.6.26)  
 (86) 國際出願番号 PCT/US2012/032788  
 (87) 國際公開番号 WO2013/106050  
 (87) 國際公開日 平成25年7月18日 (2013.7.18)  
 審査請求日 平成27年4月8日 (2015.4.8)  
 (31) 優先権主張番号 13/082,147  
 (32) 優先日 平成23年4月7日 (2011.4.7)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 390020248  
 日本テキサス・インスツルメンツ株式会社  
 東京都新宿区西新宿六丁目24番1号  
 (73) 特許権者 507107291  
 テキサス インスツルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国 テキサス州 75265  
 -5474 ダラス メイル ステイショ  
 ン 3999 ピーオーボックス 655  
 474  
 (74) 上記1名の代理人 100098497  
 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】カスタマイズされた占有面積を有する極薄パワートランジスタ及び同期バックコンバータ

## (57) 【特許請求の範囲】

## 【請求項1】

パワートランジスタパッケージであって、  
 プレートと、前記プレートから間隔が開けられた同一平面ストリップとを含むリードフレームであって、前記プレートが第1の厚みを有し、前記ストリップが前記第1の厚みより小さい第2の厚みを有し、前記プレートと前記ストリップとが端子を有する、前記リードフレームと、

第3の厚みと、1つのチップ側の第1及び第2のコンタクトパッドと、反対のチップ側の第3のコンタクトパッドとを有する電界効果パワートランジスタチップであって、前記第1のパッドが前記プレートに取り付けられ、前記第2のパッドが前記ストリップに取り付けられ、前記第3のパッドが前記端子と同一平面にある、前記電界効果パワートランジスタチップと、

プレートとストリップとの間の前記厚みの差と、チップと端子との間のスペースとを充填する封入化合物であって、前記化合物が、前記プレートと同一平面にある表面と、前記第3のパッド及び前記端子と同一平面にある反対の表面とを有し、前記表面間の距離が前記第1の厚みと第3の厚みとの合計に等しい、前記封入化合物と、

を含む、パワートランジスタパッケージ。

## 【請求項2】

請求項1に記載のパッケージであって、

前記プレートに取り付けられたヒートシンクを更に含む、パッケージ。

**【請求項 3】**

請求項1に記載のパッケージであって、  
前記トランジスタのパッドと、前記プレートとストリップとの前記取り付けが、はんだ  
、導電接着剤、z 軸導体、カーボンチューブ及びグラフェン材料を含むグループから選択  
される材料の層を含む、パッケージ。

**【請求項 4】**

請求項3に記載のパッケージであって、  
前記端子が、はんだ、導電接着剤、z 軸導体、カーボンチューブ及びグラフェン材料を  
含むグループから選択される材料の層によって、前記プレートとストリップとに取り付け  
られる、パッケージ。

10

**【請求項 5】**

請求項1に記載のパッケージであって、  
前記リードフレームと前記端子とが同じ金属でつくられる、パッケージ。

**【請求項 6】**

請求項1に記載のパッケージであって、  
前記リードフレームと前記端子とが異なる金属でつくられる、パッケージ。

**【請求項 7】**

請求項1に記載のパッケージであって、  
前記第3のパッドと前記端子とを覆うためにパターニングされた堆積された金属層を更  
に含む、パッケージ。

20

**【請求項 8】**

請求項7に記載のパッケージであって、  
前記堆積された層の前記金属が、スズ、銅、銅とニッケルとスズの連続層から選択され  
る、パッケージ。

**【請求項 9】**

請求項8に記載のパッケージであって、  
前記堆積された金属層がカスタマイズされたパターンでパターニングされる、パッケ  
ージ。

**【請求項 10】**

請求項1に記載のパッケージであって、  
前記パッケージが金属クリップとワイヤとが無い、パッケージ。

30

**【請求項 11】**

パワー電界効果トランジスタパッケージを製造するための方法であって、  
プレートと、前記プレートから間隔が開けられた同一平面ストリップとを含むリードフ  
レームを提供する工程であって、前記プレートが第1の厚みを有し、前記ストリップが前  
記第1の厚みより小さい第2の厚みを有する、前記リードフレームを提供する工程と、

第3の厚みと、1つのチップ側の第1及び第2のコンタクトパッドと、反対のチップ側  
の第3のコンタクトパッドとを有する電界効果パワートランジスタチップを提供する工程  
と、

前記第1のパッドを前記プレートに、前記第2のパッドを前記ストリップに取り付ける  
工程と、

40

端子が前記第3のコンタクトパッドと同一平面にあるように、前記端子を前記プレート  
と前記ストリップとに同時に取り付ける工程と、

プレートとストリップとの間の前記厚みの差と、チップと端子との間のスペースとを封  
入化合物で充填する工程であって、前記封入化合物が、前記プレートと同一平面にある表  
面と、前記第3のパッド及び端子と同一平面にある反対の表面とを有し、それによって、  
チップ、リードフレーム及び端子が、前記第1の厚みと第3の厚みとの合計に等しい厚み  
を有するパッケージに統合される、前記充填する工程と、

を含む、方法。

**【請求項 12】**

50

請求項1\_1に記載の方法であって、

前記トランジスタのパッドを前記プレートと前記ストリップとに取り付ける工程が、はんだ、導電接着剤、z軸導体、カーボンチューブ及びグラフェン材料を含むグループから選択される材料の層を含む、方法。

**【請求項1\_3】**

請求項1\_2に記載の方法であって、

前記端子を前記プレートとストリップとに取り付ける工程が、はんだ、導電接着剤、z軸導体、カーボンチューブ及びグラフェン材料を含むグループから選択される材料の層を含む、方法。

**【請求項1\_4】**

請求項1\_1に記載の方法であって、

前記第3のパッドと前記端子とを有する前記パッケージ表面上に金属層を堆積する工程と、前記第3のパッドと前記端子とを覆うために前記金属層をパターニングする工程とを更に含む、方法。

**【請求項1\_5】**

請求項1\_4に記載の方法であって、

前記堆積する工程がスクリーン印刷技法を含む、方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、一般に半導体デバイス及びプロセスの分野に関し、より具体的には、非常に薄いが熱効率の良い電源モジュールのシステム構造及び製造方法に関する。

**【背景技術】**

**【0002】**

パワースイッチングデバイスの一般群の中には、DC/DC電源回路、特にスイッチドモード電源回路がある。新たな電力送達要件に特に適しているのが、直列に接続され共通スイッチノードによって互いに結合された、2つのパワーMOS電界効果トランジスタ(FET)を備える、同期バックコンバータである。バックコンバータにおいて、制御FETチップは供給電圧V<sub>IN</sub>とLC出力フィルタとの間に接続され、同期(sync)FETチップはLC出力フィルタと接地電位との間に接続される。

**【0003】**

制御FETチップ及び同期FETチップのゲートは、コンバータのドライバとして動作する集積回路(ASIC)を含む半導体チップに接続され、このドライバはコントローラICに接続される。好ましくは、ドライバ及びコントローラICの両方が單一チップ上に集積され、この单一チップは接地電位にも接続される。

**【0004】**

現在の多くのパワースイッチングデバイスの場合、パワーMOSFETのチップ並びにドライバ及びコントローラICのチップは、個々の構成要素としてアセンブルされる。各チップは典型的には、金属製リードフレームの長方形又は正方形のパッドに取り付けられ、このパッドは出力端子としてのリードで囲まれている。リードは一般に、カンチレバー・エクステンション無しで形作られ、QFN(Quad Flat No-Lead)デバイス又はSON(Small Outline No-Lead)デバイスの様式で配される。チップからリードへの電気接続はボンディングワイヤによって提供され、ワイヤはその長さ及び抵抗のため、電力回路内にかなりの寄生インダクタンスを導入する。各アセンブリは、典型的にはプラスチック封入でパッケージングされ、パッケージングされた構成要素は電源システムのボードアセンブリ用の個別のビルディングブロックとして用いられる。

**【0005】**

他のパワースイッチングデバイスにおいて、パワーMOSFETチップ及びドライバアンドコントローラICはリードフレームパッド上に水平に並べてアセンブルされ、リード

10

20

30

40

50

フレームパッドはデバイス出力端子として働くリードによってすべての4辺で囲まれる。リードはQFN又はSON様式で形作られる。チップとリードとの間の電気接続はボンディングワイヤによって提供される。デバイスはプラスチック封入でパッケージングされる。

#### 【0006】

最近導入された幾つかの高度なアセンブリにおいて、クリップが多くの接続ワイヤを置き換えている。これらのクリップは、幅が広く、最低限の寄生インダクタンスを導入する。しかしながら、垂直電流フローを伴うパワーMOSFETチップにおいて、クリップは制御FETチップのフロント（表面）金属を同期FETチップのリードフレームに接続する必要がある。この手法は場所を取り、モジュールの占有面積（footprint）を増加させる。

10

#### 【0007】

さらに別の最近導入されたパワーMOSFETアセンブリにおいて、一方のダイ側に第1及び第2の端子を、反対のダイ側に第3の端子を備えた、パワーチップの2つの部分に分割されたアセンブリパッドをリードフレームに提供することによって、クリップとワイヤボンドとの接続が回避される。このチップは、第1の端子が一方のパッド部に接し、第2の端子が他方のパッド部に接するように、（金属バンプ、又はシリンジから供給されるはんだペーストを用いて）リードフレームパッド上にフリップアセンブルされる。両方のリードフレーム部は、フリップアセンブリ後にリムが第3の端子と同一平面にあるように湾曲したリムを有するため、3つのMOSFET端子を印刷回路基板（PCB）に取り付けることができる。この取り付け後、リードフレームパッドはPCBから離れるが、それは2つのダイ端子を提供する2つの部分に分割されるため、パッドにヒートシンクを取り付けることはできない。

20

#### 【0008】

さらに別の最近導入されたパワーMOSFETパッケージにおいて、リードフレームには、PCBに取り付け可能な2つの部分に分割されたフラットパッドが提供される。パワーチップの第1及び第2の端子がこれらのパッド部分に取り付けられる。リードフレームパッドから離れた第3のチップ端子が、3つのダイ端子すべてがPCB上にアセンブル可能のようにリードフレームのリードに向かって湾曲したリムを有する金属チップによってコンタクトされる。このチップは、第3のチップ端子を冷却するためのヒートシンクをクリップに取り付けることが可能な充分な厚みの金属でつくられる。したがってMOSFETパッケージは、リードフレーム・チップ・クリップの3層構造を有する。

30

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0009】

出願人は、ハンドヘルド、ラップトップ、自動車用、及び医療用の製品など多岐にわたる市場において広く普及しているパワーコンバータの応用例は、極めて薄いにもかかわらず、理論的に最高に近い熱効率及び電気効率を提供する、MOS電界効果トランジスタ（FET）及びコンバータ用のパッケージを必要とすることを認識した。出願人は、リードフレーム、チップ、及びクリップの厚みを組み合わせた既存のMOSFETの3層構造は、多くの新しい応用例にとって厚すぎるものとみなした。加えてこれらのデバイスは、寄生の電気及び熱抵抗によって負担をかけられる傾向があり、最高の熱及び電気効率に到達できない傾向がある。顧客にとって使いやすくするために更に新しいニーズとして、出願人は、好ましくはパワーFETパッケージが、最初に占有面積を修正するという面倒な問題無しに、印刷回路基板（PCB）への直接的な実装を可能にすべきであることを認識した。

40

#### 【課題を解決するための手段】

#### 【0010】

出願人は、リードフレームに取り付けられたFETチップの2層アセンブリを見出したとき、高パワーMOSFETパッケージ全体の厚みを低減する問題を解決し、その結果、

50

パッケージは、パッケージの一方の側に第1、第2、及び第3の端子を備え、パッケージの反対の側に第1、第2、及び第3の端子を備えるものとなり、反対の側の端子は強力な冷却に利用可能である。反対の側の単独端子は、2つの別個の厚みを有する部分を有するリードフレームパッド上にFETチップをアセンブルすることによって達成され、封入後、薄い方の部分は絶縁材料の被覆下に遮蔽され、遮蔽されていない厚い方の部分は露出され、冷却に利用可能なままである。

#### 【0011】

好ましい実施形態の例において、第1の端子はFETのソースであり、第2の端子はドレインであり、第3の端子はゲートである。3つの端子はすべて一方のパッケージ側に示され、PCBへの取り付けに利用可能である。反対のパッケージ側の単独端子は厚い方のリードフレーム部分に取り付けられたFETのソースである。したがって、このパッケージは2層構造、及び、チップの厚みと厚いリードフレーム部分の厚みとの合計からなる厚み、例示の実施形態では合計0.5mm未満、を有する。例えば厚いリードフレーム部分に取り付けられたヒートシンクによって冷却される場合、FETパッケージは35Aまで処理可能である。

#### 【0012】

例示の2層FETダイパッケージの製造は、2つのフラット部分を有するリードフレームパッドで開始される。第1の部分は第1の厚みを有し、第2の部分は第1の厚みより小さい第2の厚みを有する。両方の部分の一方の表面は同一平面にあるため、FETチップを取り付けるための平面を提供し、反対の表面は厚みの差によって生じるステップを示す。次に、FETダイはパッド部分にわたって取り付けられ、例として、ソースは第1の部分に結合され、ゲートは第2の部分に結合され、取り付けの好ましい方法ははんだスクリーン印刷である。次に、パッド部分の同一平面に、（好ましくははんだスクリーン印刷を用いて）2つの部分の端子として金属部分が附加される。取り付けられる端子の高さは、端子が取り付けられないダイ表面と同一平面となるように選択され、この例では、取り付けられないダイ表面はFETドレインである。

#### 【0013】

以下の封入プロセスにおいて、前述の厚みのステップは封入化合物で充填され、それによって薄い方のパッド部分の表面は絶縁材料の下に隠され、厚い方のパッド部分の表面は露出したままである。この露出したリードフレーム表面は、FETの動作電流によって生じる熱を直接冷却するのに適したヒートシンクの取り付けに利用可能である。

#### 【図面の簡単な説明】

#### 【0014】

【図1】透明な封入化合物を備えたパワー電界効果トランジスタ(FET)パッケージの頂部側の透視図における本発明の実施形態を示す。

#### 【0015】

【図2】透明な封入化合物を備えたパワーFETパッケージの底部側の透視図における、図1と同じ実施形態を示す。

#### 【0016】

【図3】透明な封入化合物を備えたパワーFETパッケージの頂部側の透視図における別の実施形態を示す。

#### 【0017】

【図4】透明な封入化合物を備えたパワーFETパッケージの底部側の透視図における、図3と同じ実施形態を示す。

#### 【0018】

【図5】利用可能なプレート及びストリップ領域よりもかなり小さなチップを示す、底部側から見たパワーFETパッケージの別の実施形態を示す。

#### 【0019】

【図6】PCB上のアセンブリのために従来の占有面積を適合させるようにパターンングされた、堆積されたメタライゼーション層を備えた図5の実施形態を示す。

10

20

30

40

50

## 【0020】

【図7】底部から見た別の実施形態を示す。デュアルチップは、頂部側上に露出されたスイッチノード（図示せず）として動作するリードフレームの厚い方のプレートを備えた、同期バックコンバータのためのビルディングブロックである。

## 【0021】

図8から図12は、パワーFETに関する2層パッケージの製造プロセスフローの或る工程を示す。

## 【0022】

【図8】第1の厚みのフラットプレート及び第1の厚みより小さな第2の厚みのフラットストリップを含む、リードフレームの同一平面の斜視図である。

10

## 【0023】

【図9】図8のリードフレームプレート及びストリップに付けられる、はんだペーストなどの取り付け材料のパッチの斜視図である。

## 【0024】

【図10】図9のリードフレームに取り付けられたパワーFETチップの斜視図である。

## 【0025】

【図11】リードフレームに取り付ける工程の準備ができた、図10のリードフレームと整合された端子を含む複数の部品片を示す。

## 【0026】

【図12】端子を取り付けた後でありパッケージング材料内にアセンブリを封入する前の、リードフレーム上のチップアセンブリを示す。

20

## 【発明を実施するための形態】

## 【0027】

図1及び図2は、本発明の例示の実施形態である、マザーボードなどの基板上のアセンブリが企図された半導体パワーデバイスのパッケージを示す。このパッケージは、大電流（例えば20から35A）を処理し、そのためかなりの熱を生成する、パワー電界効果トランジスタ（FET）、パワースイッチ、パワーコンバータをパッケージングするために特に有用である。全体として100で示すパッケージは、2つの視点から見られている。一方の視点は、本明細書では頂部図と呼ばれ、図1に示されており、ボードアセンブリ後に見られるようなパッケージを示す。他方の視点は、本明細書では底部図と呼ばれ、図2に示されており、取り付け前のボードから見られるようなパッケージを示す。明確にするため、図1及び図2のパッケージは、透明な絶縁化合物130内に封入されるものと想定され、実際には、この化合物は、半導体チップを可視波長型の光から保護するために不透明でなければならない（例えば黒色エポキシベースの成形化合物）。

30

## 【0028】

図1及び図2は、デバイス100が、平坦な頂部表面101、平坦な底部表面102、頂部表面及び底部表面と直角の側面103、並びにデバイスの横寸法に比べて小さい厚み104を有することを示す。好ましい厚み範囲は0.5mm未満であり、例えば0.42mm～0.45mmである。頂部表面101で露出される大きな金属領域111は、110で示すフラットリードフレームプレートに属する。

40

## 【0029】

リードフレームプレート110は、金属領域111を通じて大量の熱を周囲に放散することが可能である。プレート110の領域111の反対側の表面112に取り付けられるパワーチップ210の動作中、熱エネルギーが生成される。金属領域111にヒートシンクが取り付けられると、熱の放散は大幅に高められ得る。ヒートシンクの取り付けを容易にするために、スズ又はニッケルの層などのはんだ付け可能な冶金準備を金属領域111に提供することが有利である。プレート110は、好ましくは銅又は銅合金でつくられ、他の代替例には、鉄ニッケル合金（42アロイなど）、アルミニウム、及びコバルト（登録商標）が含まれる。プレート厚み110aは、好ましくは約0.15mm～0.25mmであるが、これより薄くても又は厚くてもよい。プレート厚み110aは、本明細書で

50

は第1の厚み110aと呼ばれる。

#### 【0030】

リードフレームプレート110は、パッケージデバイス100の第1の層を構成する。本明細書で用いられる場合、層は、積み重ねられたいいくつかのうちの1つである、材料の伸張セクションを指す。図1に示されるように、プレート110は、その拡張部にわたって均一の厚み110aを有し得、或いは、封入化合物への堅固な固定及び接着を強化するために、1つ又は複数の薄くされた部分を有し得る。薄くされた部分が含まれる場合、それらは好ましくは同じ製造工程によって作成されるため、それらの厚みはストリップ120の厚み120aと同じである(以下を参照のこと)。

#### 【0031】

FETチップは図2で強調されている。電界効果トランジスタとして、チップ210は3つのコンタクトパッドを有する。第1及び第2のコンタクトパッドは一方のチップ側にあり、この側と第1及び第2のコンタクトパッドとは図2内に示されていない。第3のコンタクトパッドは反対のチップ側にあり、図2内では、底部表面102で露出される大きな金属領域211として示されている。領域211は、印刷回路基板(PCB)などの基板の金属領域へのはんだ取り付けを可能にするための、はんだ付け可能な冶金組成物を有する。コンタクトパッド211は、本明細書では第3のコンタクトパッドと呼ばれる。コンタクトパッド211の領域の大きなサイズが、パワーチップ210の動作中に生成されるかなりの量の熱の放散を可能にする。PCBメタライゼーションに取り付けられる場合、ボードはヒートシンクとして働く。

10

#### 【0032】

例示の実施形態において、チップ210は、シリコン、ガリウムヒ素、別のIII-V化合物、又はII-VI化合物でつくられる、電界効果トランジスタ又は別のトランジスタであり得る。チップ210は厚み210aを有し、この厚みは、本明細書では第3の厚み210aと呼ばれる。第3の厚み210aは、好ましくは約0.10mm~0.25mmの範囲であるが、これより厚くても又は薄くても良い。チップ210は、パッケージデバイス100の第2層を構成する。図1及び図2に示すように、デバイスパッケージ100は2層デバイスであり、第1層としてのプレート110は第2層としてのチップ210の頂部上に位置する。デバイスパッケージ100は、金属クリップ及びボンディングワイヤが無いため、第3層を含まない。したがって、デバイス厚み104は実質的に、プレート厚み110a及びチップ厚み210aの合計である。デバイス厚み104は0.25mm~0.50mmで変動し得、好ましくは0.25mm~0.30mmである。

20

#### 【0033】

コンタクトパッド211には、複数のリード212が近接している。いくつかの実施形態において、リード212は、リードフレームを製造するために用いられるオリジナルの金属シートからスタンピング又はハーフエッチングされる。リード212の高さはおよそ0.10mm~0.13mmであり得る。これらの実施形態において、リード212はプレート110及びストリップ120と同じ金属でつくられる。他の実施形態において、リード212は別々にフラットプレート110に取り付けられ得る(プロセスフローは以下を参照のこと)。それらの実施形態において、リード212は、プレート110及びストリップ120と同じ金属でつくられてもよく、又は異なる金属でつくられてもよい。リード212は、デバイス100の端子であり、第3のコンタクトパッド領域211と同一平面にある。パッド211の大きさ及び周囲並びにリード212の数及び位置が、QFN D0-8占有面積などのPCBによって提供される標準化された占有面積に適合する場合、これは、高速ボードアセンブリ、顧客満足、及び市場浸透の利点である。

30

#### 【0034】

フラットプレート110に加えて、更に1及び図2は、パッケージ100内にフラットストリップ120を示す。フラットストリップ120は、ギャップ140によってプレート110から間隔が開けられる。また、ストリップ120は、プレート表面112と同一平面にある表面122を有する。チップ210は、ギャップ140を介して、同一平面1

40

50

12及び122に取り付けられる。チップ210は、チップの第1のコンタクトパッドがプレートに取り付けられ、チップの第2のコンタクトパッドがストリップに取り付けられるように、プレート110及びストリップ120に取り付けられる。好ましいFETの例において、第1のパッドはトランジスタのソース端子であり、第2のパッドはトランジスタのゲート端子である。したがって、好ましい例において、212で示す(図2)2列のリードはデバイス100のソース端子であり、212aで示すリードはゲート端子である。前述のように、第3のパッドは、すなわち、好ましい例のトランジスタのドレイン端子は、アセンブルされたデバイス100の底部表面102で露出され、端子リード212と同一平面にある大きなコンタクト領域211を有する。

## 【0035】

10

リードフレームプレート110及びストリップ120へのチップ210のパッドの取り付けは、図2において230で示す電気的及び熱的導電層を用いる。この層は、はんだ、導電接着剤、z軸導体、カーボンチューブ、及びグラフェン材料を含むグループから選択される材料でつくられる。好ましい材料ははんだペーストであり、好ましい取り付け方法には、その簡単さ及び費用効率の良さのためはんだスクリーン印刷技法が含まれる。層230の厚みは、プレート厚み110a及びチップ厚み210aに比べて小さい。

## 【0036】

ストリップ120は厚み120aを有し、これは本明細書では第2の厚み120aと呼ばれる(図1を参照のこと)。第2の厚み120aは、プレート110の第1の厚み110aより小さい。この厚みの差による結果として、ストリップ120の表面121は、プレート110の表面111と同一平面になく、オフセットされている。アセンブルされたチップ及びリードフレームの封入のプロセス工程の後、厚みの差は絶縁化合物130によって充填される。プレート110の封入されていない露出された表面111に対して、ストリップ表面121は封入材料130の下に隠されている(したがって、図1及び図2において破線の輪郭で示されている)。絶縁化合物130に好ましい材料は、トランスファー成形技法で用いられるようなエポキシベースの成形化合物であり、重合化合物は好ましくは、銅又は酸化銅などのリードフレーム金属の表面に強力に接着する。

20

## 【0037】

図1及び図2で示すように、封入化合物130は、リードフレームプレートとストリップの間のギャップ140、及びチップ210と端子212との間の如何なるスペースも充填する。封入化合物130は、プレート表面111と同一平面にある(図1を参照のこと)ためにデバイスの頂部表面101を構成する表面と、第3のパッドの表面211及び端子212と同一平面にある(図2を参照のこと)ためにデバイスの底部表面102を構成する反対側の表面とを有する。前述のように、表面101と表面102との間の距離104は、プレートの第1の厚み110a及びチップの第3の厚み210a(及び取り付け層230の厚み)の合計に等しい。

30

## 【0038】

図3及び図4は、図3では頂部側から、図4では底部側から見た、全体として300で示す別の例示の実施形態を示す。ここでも明確にするため、図3及び図4におけるパッケージは、透明な絶縁化合物330内に封入されるものと想定される。デバイス300は、例えば0.42mm~0.45mmの、0.5mm未満の好ましい厚み範囲304を有する。頂部表面301で露出される大きな金属領域311は、310で示すフラットリードフレームプレートに属する。領域311は、特にヒートシンクが金属領域311に取り付けられる場合、大量の熱を周囲に放散させるのに適している。フラットプレート310は、好ましくは0.15mm~0.25mmの厚み310a(第1の厚みと呼ばれる)を有する。プレート310は、パッケージデバイス300の第1の層を構成する。

40

## 【0039】

図1におけるデバイス100に類似して、実施形態300は、ギャップ340(図4を参照のこと)によってプレート310から間隔が開けられるフラットストリップ320を有し、プレート表面312と同一平面にある表面322を備える。ストリップ320は、

50

プレート310の第1の厚み310aより小さい厚み320a(第2の厚みと呼ばれる)を有する。加えて、実施形態300は、ギャップ360によってプレート310から間隔が開けられる別のフラットストリップ350を有し、プレート表面312と同一平面にある表面352を備える。ストリップ350は、第1の厚み320aより小さい厚み350aを有する。厚み350aは、好ましくはストリップ320の第2の厚み320a(図3を参照のこと)と同じ厚みである。前述のように、第2の厚み320aはプレート310の第1の厚み310aより小さい。この310aと320a(及び350a)の厚みの差の結果として、ストリップ320の表面321及びストリップ350の表面351はプレート310の表面311と同一平面になく、オフセットされている。アセンブルされたチップ及びリードフレームを封入するプロセス工程の後、この厚みの差は絶縁化合物330によって充填される。プレート310の封入されていない露出された表面311に対して、ストリップ表面321及び351は封入材料330の下に隠されている(したがって、図3及び図4において破線の輪郭で示されている)。

#### 【0040】

本実施形態において電界効果トランジスタであるFETチップ410が、図4で強調されている。第1及び第2のコンタクトパッドは図4に示されていないチップ側にあり、第3のコンタクトパッドは大きな金属領域411であり、デバイス300の底部表面302で露出されている。領域411は、PCBの金属領域へのはんだ取り付けを可能にするためはんだ付け可能な冶金組成物を有する。チップ410は、本明細書では第3の厚みと呼ばれる厚み410aを有する。第3の厚み410aは、好ましくは約0.10mm~0.25mmの範囲であるが、これより厚くても又は薄くても良い。チップ410はパッケージデバイス300の第2の層を構成し、デバイス300を2層デバイスとする。したがって、デバイス厚み304は、プレート厚み310aとチップ厚み410a(及び取り付け層430の小さい厚み)の合計である。デバイス厚み304は0.25mm~0.50mmで変動しえ、好ましくは0.25mm~0.30mmである。

#### 【0041】

図4において、プレート310の整合されたリードは412で示され、ストリップ320のリードは412aで示され、ストリップ350の整合されたリードは413で示される。いくつかの実施形態において、リードは、リードフレームを製造するために用いられるオリジナルの金属シートからスタンピング又はハーフエッチングされる。リードの高さはおよそ0.10mm~0.13mmであり得る。これらの実施形態において、リードはプレート310及びストリップ320と同じ金属でつくられる。他の実施形態において、リードはプレート及びストリップに別々に取り付けられてもよい(プロセスフローは以下を参照のこと)。それらの実施形態において、リードは、プレート及びストリップと同じ金属でつくられてもよく、又は異なる金属でつくられてもよい。リード412、412a、及び413は、第3のコンタクトパッド領域411と同一平面にある。

#### 【0042】

チップ410は、電気的及び熱的導電層430を用いて、プレート310及びストリップ320に取り付けられる。この取り付けにおいて、チップの第1のコンタクトパッドはプレートに取り付けられ、チップの第2のコンタクトパッドはストリップに取り付けられる。好ましいFETの例では、第1のパッドはトランジスタのソース端子であり、第2のパッドはトランジスタのゲート端子である。したがって、好ましい例において、412で示す1列のリード(図4)はデバイス100のソース端子であり、412aで示すリードはゲート端子である。前述のように、第3のパッド、すなわち好ましい例のトランジスタのドレイン端子は、アセンブルされたデバイス100の底部表面302で露出され、端子リード412と同一平面にある大きなコンタクト領域411を有する。リード413は、図4において分離されたままである。

#### 【0043】

金属領域311は、大量の熱を周囲に放散可能であり、プレート310に取り付けられたそのソースを有するパワーチップ410の動作中に、熱エネルギーが生成される。熱の

放散は、ヒートシンクが金属領域 311 に取り付けられると大幅に高められ得る。ヒートシンクの取り付けを容易にするために、スズ又はニッケルの層などのはんだ付け可能な冶金準備を金属領域 311 に提供することが有利である。

#### 【 0 0 4 4 】

図 4において、アセンブルされたチップを封入化合物内にパッケージングした後、リード 413 は依然として分離されているが、図 5、図 6、及び図 7 に示される例示の実施形態によって示されるように、これらは、様々な異なるチップのサイズ及び構成を備えたパッケージングされたパワートランジスタを標準化された占有面積に調整するために用いられ得る。図 5において全体として 500 で示すデバイスは、利用可能なリードフレームによって与えられる輪郭よりもかなり小さいサイズのチップ 510 を用いる。チップ 510 はコンタクトパッド領域 511 を有する。リードフレーム上にチップ 510 をアセンブルするのに適した小さいサイズの新しいリードフレームを開発するために時間及び努力を費やすのではなく、図 5 は、図 3 及び図 4 に記載されたものと同一の、容易に入手可能なりードフレーム上のチップ 510 のアセンブル方法を示す。図 2 及び図 4 に類似して、底部デバイス表面 502 が、封入のプロセス工程によってつくられ、封入材料 530、露出されたチップコンタクトパッド 511、並びにリード 512、512a、及び 513 は同一平面にある。10

#### 【 0 0 4 5 】

次のプロセス工程において、約  $10 \mu m \sim 20 \mu m$  の厚みの金属層が表面 502 上に堆積される。好ましい堆積方法は、銅シード層を用いて表面を被覆すること、その後、ニッケル及びスズ、又はスズのみを用いて、約  $10 \mu m \sim 20 \mu m$  の厚みの層をめっきすることを含む。代替の堆積方法がスパッタリングを含む。堆積された金属層は、絶縁化合物 530 の表面部分にわたる導電性のみならず、直接的な機械コンタクト応力（例えばテスト中、又はマルチプロービング中のポゴピン）及び熱機械応力に対する、露出されたチップパッド 511（例えばドレイン端子）の保護も提供する。20

#### 【 0 0 4 6 】

図 6 に示される次のプロセス工程において、601 で示す金属層は、標準 QFN 占有面積を模倣するために、例えばエッチングによって、パターニングされる。このパターニング工程により、金属層 601 は、リード 513 を覆うリード 613 にチップコンタクトパッド 511 を導電的に接続する。上記の例示において、小さな領域チップの露出されたパッド 511 は FET ドレイン端子であるため、ここでリード 613 は、標準化された占有面積を有するデバイスドレイン端子となり、カスタマイズされたデバイス占有面積に対処するために顧客が自らのアセンブリボードをレイアウトしなくてもよいという利点となる。30

#### 【 0 0 4 7 】

堆積された金属層の利点を用いる他の実施形態が、図 7 においてデバイスの底部透視図で示されている。全体として 700 で示すこの実施形態は、薄いパッケージ内の同期バックコンバータのビルディングブロック示す。明確にするため、図 7 においてパッケージング材料 760 は透明に示されている。第 1 の FET チップ 710 及び第 2 の FET チップ 720 が、リードフレームプレート 730 上にアセンブルされる。プレート 730 の厚みは 730a で表示され、第 1 の厚みと呼ばれる。プレート 730 は、封入化合物によって覆われた表面 733 を有する。デバイス 700 は、プレート側面に平行に位置付けられ、プレート 730 から間隔が開けられる、2つのリードフレームストリップ 740 及び 750 をさらに含む。ストリップ 740 はプレート表面 733 と同一平面にある表面 743 を有し、ストリップ 750 はプレート表面 733 と同一平面にある表面 753 を有する。表面 743 及び 753 はどちらも封入化合物で覆われている。ストリップ 740 及び 750 は、第 1 の厚み 730a より小さい、好ましくは同一の第 2 の厚み 740a を有する。40

#### 【 0 0 4 8 】

第 1 の FET チップ 710 及び第 2 の FET チップ 720 は、プレートが同期バックコンバータのスイッチノードとして動作するように、同一平面の表面 733、743、及び50

753上にアセンブルされる。したがって、好ましいアセンブリにおいて、チップ710は、プレート730に取り付けられたそのソースとストリップ740に取り付けられたそのゲートとを有し、チップ720は、プレート730に取り付けられたそのドレインとストリップ750に取り付けられたそのゲートとを有する。代替として、チップの位置決めは逆であっても良い。

#### 【0049】

好ましいアセンブリの結果として、図7は、チップ710のドレイン711が封入化合物から露出される一方、チップ710のゲートがリード712によってコンタクトされること、さらに、チップ720のソース721が封入化合物から露出され、チップ720のゲートがリード722によってコンタクトされることを示す。バックコンバータ700の効果的なヒートスプレッダとして機能する、リードフレームプレートに取り付けられるコンバータのスイッチノードを備えたデバイス700の頂部側は、図7には示していない。  
10

#### 【0050】

本発明の別の実施形態が、ボンディングワイヤ及びクリップの無い2層デバイスにおいてパワーFETチップをアセンブルするのに適した低コストリードフレームを製造するため、及び、リードフレームの露出された部分にヒートシンクを取り付けた後、厚みが0.5mm未満であり、20Aから35Aの電流を処理可能な、パワー電界効果トランジスタパッケージとしてアセンブリをパッケージングするための方法である。この方法をバッチプロセスとして実行することは費用効率が良い。図8～図12は、製造プロセスフローの或る工程を示す。  
20

#### 【0051】

この方法は、厚みが約0.15mm～0.25mmの金属のフラットシートを提供することによって開始される。シートはこれより薄くても又は厚くて良い。好ましい金属は、銅、アルミニウム、及び鉄ニッケル合金を含む。その後、図8に示されるように、シートからリードフレームが形成される。このリードフレームは、フラットプレート810と、ギャップ840によってプレートから間隔が開けられた同一平面のフラットストリップ820とを含む。スタンピング又はエッティング工程（いわゆるハーフエッティング）の後、プレート810は第1の厚み810aを有し、ストリップ820は第1の厚み810aより小さい第2の厚み820aを有する。図8に示すように、ハーフエッティングプロセスの後、ストリップ820の表面821は依然としてプレート810の表面811と同一平面にあるが、ストリップ820の表面822はプレート820の表面812に対してくぼんでいる。くぼみ量は、想像線828で示されている。  
30

#### 【0052】

この方法は、電界効果パワートランジスタチップに第3の厚みを提供することによって続行する。好ましくはチップ厚みは約0.10mm～0.20mmであるが、それよりも厚くても又は薄くても良い。FETチップは、一方のチップ側に第1及び第2のコンタクトパッドを有し、反対のチップ側に第3のコンタクトパッドを有する。次に、リードフレームにFETパッドを取り付けることが可能な材料が選択され、好ましくはこの材料は、はんだ、導電接着剤、z軸導体、カーボンチューブ、及びグラフェン（grapheme）材料を含むグループから選択される。好ましい材料ははんだペーストである。図9に示されるプロセス工程において、同じ取り付け材料の層が、リードフレームプレート（パッチ930及び931）及びリードフレームストリップ（パッチ930a及び932）の両方に付けられる。取り付け材料がはんだペーストの場合、好ましい塗付方法は低コストスクリーン印刷技法である。  
40

#### 【0053】

次に、図10において1010で示すFETチップは、第1のパッドがプレート810上のはんだ層930に取り付けられ、第2のパッドがストリップ820上のはんだ層930aに取り付けられるように、リードフレームに取り付けられる。したがって、チップ1010は、プレートとストリップとの間のギャップ840を橋絡する。第1のFETコンタクトパッドがソースパッドであり、第2のFETコンタクトパッドがゲートパッドであ  
50

る場合、プレート 810 は FET ソース用のコンタクトとなり、ストリップ 820 は FET ゲート用のコンタクトとなる。ソース及びゲートと反対のチップ側の FET ドレインパッドは、領域 1011 である。

#### 【0054】

図 11 に示される次のプロセス工程において、はんだパッチ 931 及び 932 への取り付けのためピース部品 1110 が提供される。ピース部品は、フラットリードフレームプレート及びストリップの同一平面上のはんだパッチへの取り付けのため、はんだパッチ 931 上には端子 1112、及びはんだパッチ 932 上には端子 1112a の、複数のリード(端子) 1112 及び 1112a を提供するように形成されている。端子をプレート形成と共に形成するのではなく、追加のピース部品としてフラットリードフレームプレートに付加する利点は、コスト及び製造時間を大幅に増加させることなく、顧客の希望を満たすために、すぐに端子の数、サイズ、及び位置をカスタマイズする機会である。更なる利点は、リードフレームと同じ金属(例えば銅)の端子 1110 をつくるか、又はそれらを異なる金属(例えばニッケル)にするという自由である。更なる利点は、はんだ付け性を高めるために、薄い金属層で端子 1112 及び 1112a の表面を選択的にめっきするというオプションであり、金属の例は、銀の層、又はニッケル、パラジウム、及び金を含む層のスタックを含む。端子の高さは、取り付け後、端子表面がチップ表面 1011(チップの第 3 のコンタクトパッド)と同一平面となるように、チップ 1010 の厚みによって決定される。端子 1112 間の接続金属 1111 は、パッケージングプロセスの最終シンギュレーション工程において、トリミング技法(ソーイングなど)によって除去される。

10

#### 【0055】

図 9 に示したように、同じ取り付け材料(例えばはんだ)がリードフレームプレート及びストリップに付けられる。ピース部品 1110 が整合され、はんだパッチ 931 及び 932 と接触させられた後、取り付けの最終工程はチップ及びピース部品に共通である。例えば、取り付け材料がはんだペーストである場合、はんだリフローに関する温度偏位は、パッチ 930、930a、931、及び 932 のはんだに共通である。チップの第 1 のパッド(ソース)及び第 2 のパッド(ゲート)は、端子 1112 及び 1112a の取り付けと同時に取り付けられる。その結果は図 12 に示される。したがって、第 3 のチップパッド(ドレイン) 1011 の表面並びに端子 1112 及び 1112a の表面は同一平面にあり、外部ボードへの取り付けに利用可能である。

20

#### 【0056】

次のプロセス工程において、図 12 のアセンブルされたデバイスは、図 2 に示したようなコヒーレントデバイスを形成するためにパッケージング化合物に封入される。好ましい封入方法は、電気的に絶縁しているエポキシベースの熱硬化性成形化合物を用いるトランスマスター成形技法である。封入プロセスは、FET チップ、リードフレーム、及び端子を、プレート(第 1 の)厚み及びチップ(第 3 の)厚みの合計にほぼ等しい厚みを有するパッケージに統合する。最終的に、図 12 の破線 1200 の方向に沿ったトリミング及びシンギュレーション工程が、図 2 に示したようなデバイス外形をつくる。封入プロセスが、リードフレームプレート 110 とリードフレームストリップ 120(図 2 及び図 1 を参照のこと)の間の厚みの差、並びにチップ 210 と端子 212 及び 212a の間の如何なるスペースも充填することが強調されるべきである。したがって、パッケージング化合物は、頂部デバイス表面から見るとリードフレームストリップを覆う。また、デバイスの底部側(図 2 における 102)上の封入化合物の表面は、第 3 のチップパッド(ドレイン、図 2 における 211、図 12 における 1011)及び端子(図 2 における 212 及び 212a、図 12 における 112 及び 112a)と同一平面にある。封入化合物の反対の表面(図 1 における 101)はプレート表面 111 と同一平面にある。

30

#### 【0057】

本発明は、電界効果トランジスタのみならず、他の適切なパワートランジスタにも適用される。また、パッケージングされたデバイスは、1つ、2つ、又はそれ以上の半導体チップを含み得る。複数のヒートシンクも含み得る。また、パワー FET チップは、一方の

40

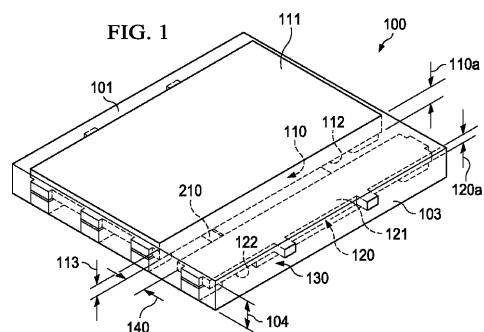
50

デバイス側にドレン端子及びゲート端子を有し、(リードフレームプレートに取り付けられる)反対側にソース端子を有するように構成され得、又は、一方のデバイス側にソース及びゲート端子を有し、(リードフレームプレートに取り付けられる)反対側にドレン端子を有するように構成され得る。

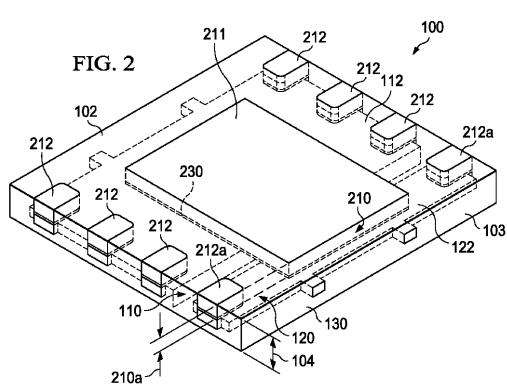
**【0058】**

当業者であれば、特許請求の範囲内で、説明された実施形態に対する追加の改変が成され得ること、及び、さらに多くの他の実施形態が可能であることを理解されよう。

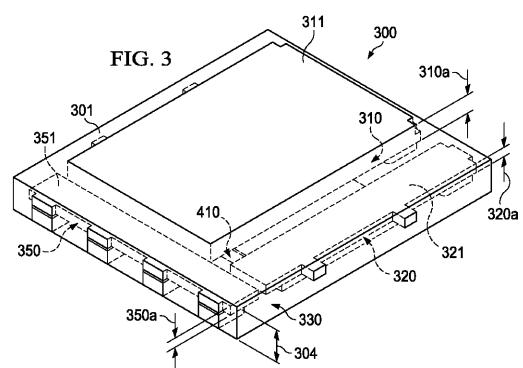
**【図1】**



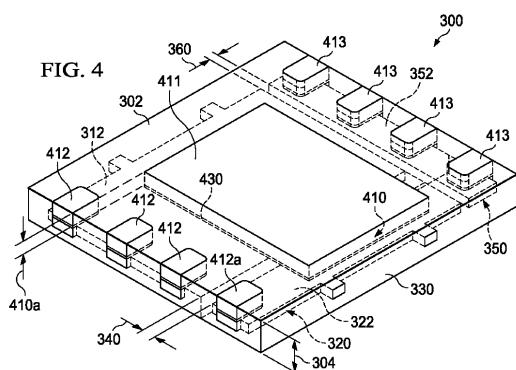
**【図2】**



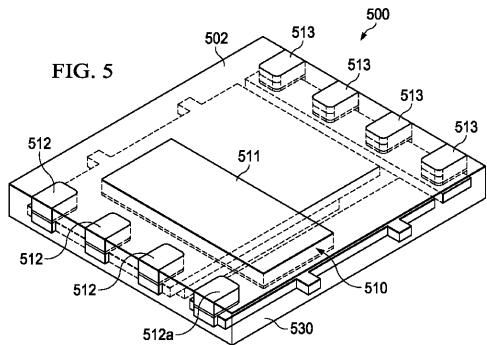
**【図3】**



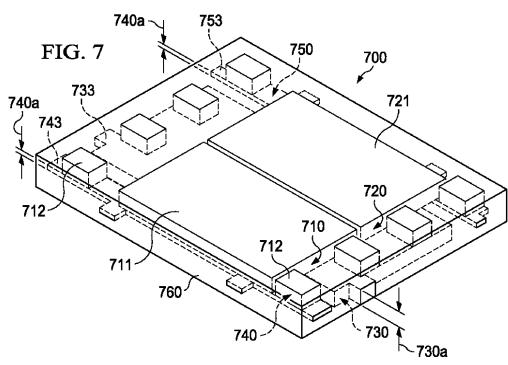
**【図4】**



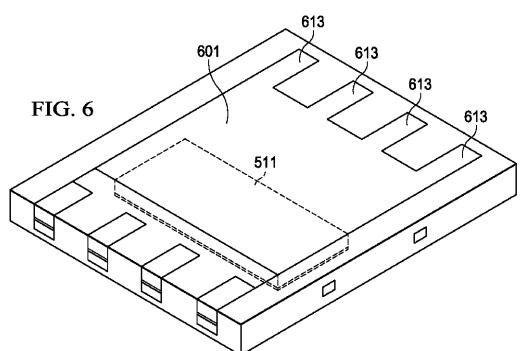
【図5】



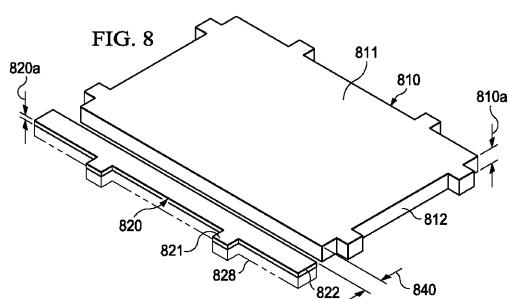
【図7】



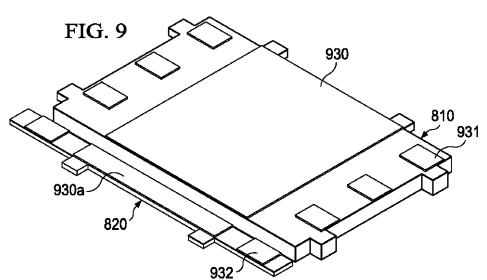
【図6】



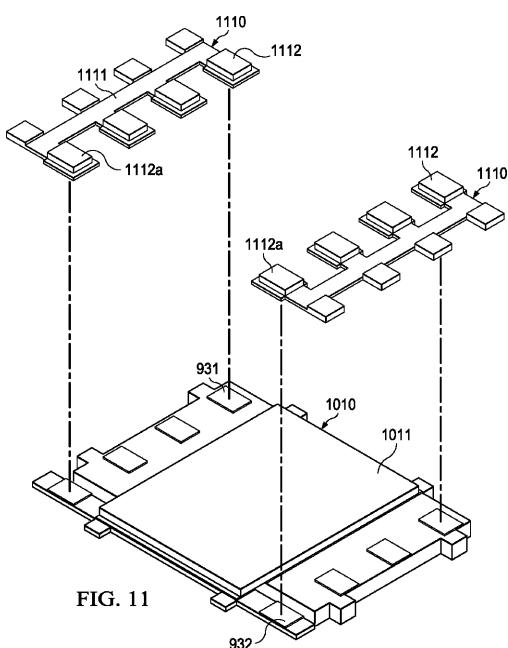
【図8】



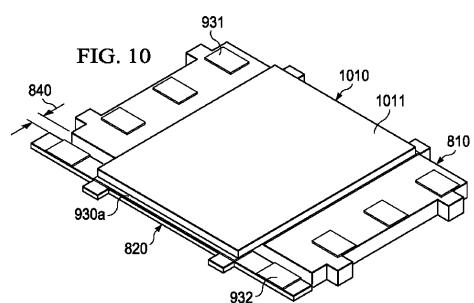
【図9】



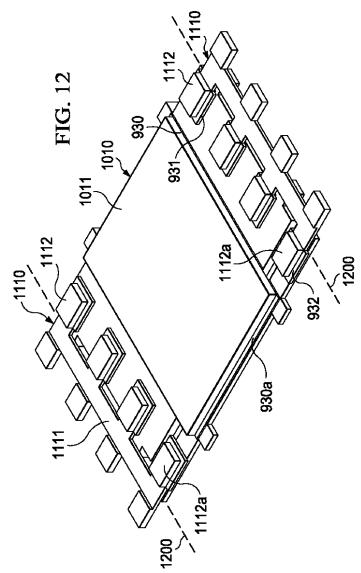
【図11】



【図10】



【図 1 2】



---

フロントページの続き

(72)発明者 ファン エイ エルボソメール  
アメリカ合衆国 18078 ペンシルベニア州 シュネックスビル, アローヘッド ドライブ  
5165

(72)発明者 オスバルド ジェイ ロペス  
アメリカ合衆国 08801 ニュージャージー州 アナンデール, グランディン テラス 1  
6

(72)発明者 ジョナサン エイ ノキル  
アメリカ合衆国 18015 ペンシルベニア州 ベスレヘム, ソーコンピュー ドライブ 1  
06

審査官 秋山 直人

(56)参考文献 米国特許出願公開第2010/0148346(US, A1)  
特開2004-273977(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/07  
H01L 23/50  
H01L 25/18