(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/239102 A1

(51) 国際特許分類:
G11C 16/04 (2006.01) *H01L 27/10* (2006.01)
G11C 11/401 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8242 (2006.01)

(21) 国際出願番号： PCT/JP2021/017858

(22) 国際出願日： 2021年5月11日(11.05.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃２３－０５ Singapore (SG).

(72) 発明者；および

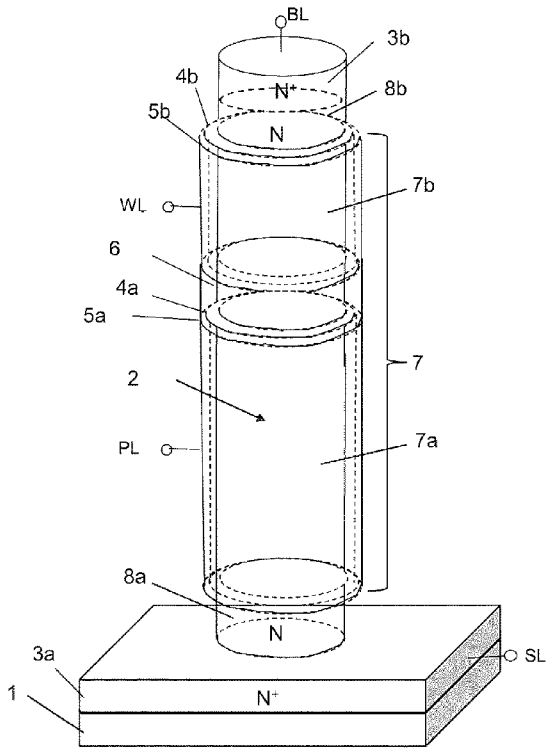
(71) 出願人（*US* についてのみ):原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 作井 康司(**SAKUI Koji**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人:田中 伸一郎，外(**TANAKA Shinichiro** et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称： 半導体素子を用いたメモリ装置



(57) **Abstract:** This memory device, on a substrate 1, is provided with: a N^+ layer 3a connected to a source line SL and a N^+ layer 3b connected to a bit line BL, the layers 3a, 3b being located at both ends of a Si pillar 2 standing in a vertical direction; a N layer 8a connected to the N^+ layer 3a; a N layer 8b connected to the N^+ layer 3b; a first gate insulating layer 4a that surrounds the Si pillar 2; a first gate conductor layer 5a that is connected to a plate line PL and that surrounds the first gate insulating layer 4a; and a second gate conductor layer 5b connected to a word line WL surrounding a gate insulating layer 4b that surrounds the Si pillar 2. Through control of the voltages applied to the source line SL, the plate line PL, the word line WL, and the bit line BL, the memory device performs a data retaining operation for retaining a hole group that is generated by an impact ion phenomenon or a gate-induced drain leakage current inside a channel region 7 of the Si pillar 2, and a data deleting operation for deleting the hole group from the channel region 7.

WO 2022/239102 A1

［続葉有］

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：基板１上に、垂直方向に立つＳｉ柱２の両端にあるソース線ＳＬに繋がるN^{+}層３ａと、ビット線ＢＬに繋がるN^{+}層３ｂと、N^{+}層３ａに繋がるＮ層８ａと、N^{+}層３ｂに繋がるＮ層８ｂと、Ｓｉ柱２を囲んだ第１のゲート絶縁層４ａと、第１のゲート絶縁層４ａを囲みプレート線ＰＬに繋がる第１のゲート導体層５ａと、Ｓｉ柱２を囲んだゲート絶縁層４ｂを囲んだワード線ＷＬに繋がる第２のゲート導体層５ｂがあり、ソース線ＳＬ、プレート線ＰＬ、ワード線ＷＬ、ビット線ＢＬに印加する電圧を制御して、Ｓｉ柱２のチャネル領域７の内部でインパクトイオン現象、またはゲート誘起ドレインリーク電流により発生した正孔群を保持するデータ保持動作と、そして、この正孔群を、チャネル領域７内から除去するデータ消去動作を行う。

明　細　書

発明の名称 ： 半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置。

背景技術

[0002] 近年、ＬＳＩ (Large Scale Integration)技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型ＭＯＳトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、ＳＧＴのチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。このＳＧＴを選択トランジスタとして用いて、キャパシタを接続したＤＲＡＭ (Dynamic Random Access Memory、例えば、非特許文献２を参照）、抵抗変化素子を接続したＰＣＭ (Phase Change Memory、例えば、非特許文献３を参照）、ＲＲＡＭ (Resistive Random Access Memory、例えば、非特許文献４を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるＭＲＡＭ (Magneto-resistive Random Access Memory、例えば、非特許文献５を参照）などの高集積化を行うことができる。また、キャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセル（非特許文献６を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、ＭＯＳトランジスタのみで構成可能な、ダイナミック フラッシュ メモリに関する。

[0004] 図７に、前述したキャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセルの書込み動作と、図８に、動作上の問題点と、図９に、読出し動作を示す（非特許文献７～１０を参照）。

[0005] 図７にＤＲＡＭメモリセルの書込み動作を示す。図７（ａ）は、“１”書込み状態を示している。ここで、メモリセルは、ＳＯＩ基板１０１に形成さ

れ、ソース線ＳＬが接続されるソースN+層１０３（以下、ドナー不純物を高濃度で含む半導体領域を「N+層」と称する。）、ビット線ＢＬが接続されるドレインN+層１０４、ワード線ＷＬが接続されるゲート導電層１０５、ＭＯＳトランジスタ１１０ａのフローティングボディ（Floating Body）１０２により構成され、キャパシタを有さず、ＭＯＳトランジスタ１１０ａが１個でＤＲＡＭのメモリセルが構成されている。なお、フローティングボディ１０２直下には、ＳＯＩ基板のＳｉO_2層１０１が接している。このＭＯＳトランジスタ１１０ａ、１個で構成されたメモリセルの“１”書込みを行う際には、ＭＯＳトランジスタ１１０ａを線形領域で動作させる。すなわち、ソースN+層１０３から延びる電子のチャネル１０７には、ピンチオフ点１０８があり、ビット線が接続しているドレインN+層１０４までには、到達していない。このようにドレインN+層１０４に接続されたビット線ＢＬとゲート導電層１０５に接続されたワード線ＷＬを共に高電圧にして、ゲート電圧をドレイン電圧の約１／２程度で、ＭＯＳトランジスタ１１０ａを動作させると、ドレインN+層１０４近傍のピンチオフ点１０８において、電界強度が最大となる。この結果、ソースN+層１０３からドレインN+層１０４に向かって流れる加速された電子は、Ｓｉの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される（インパクトイオン化現象）。発生した大部分の電子（図示せず）は、ドレインN+層１０４に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜１０９を飛び越えて、ゲート導電層１０５に到達する。そして、同時に発生した正孔１０６は、フローティングボディ１０２を充電する。この場合、発生した正孔は、フローティングボディ１０２がＰ型Ｓｉのため、多数キャリアの増分として、寄与する。フローティングボディ１０２は、生成された正孔１０６で満たされ、フローティングボディ１０２の電圧がソースN+層１０３よりもＶｂ以上に高くなると、さらに生成された正孔は、ソースN+層１０３に放電する。ここで、Ｖｂは、ソースN+層１０３とＰ層のフローティングボディ１０２との間のＰＮ接合のビルトイン電圧であり、約０．７Ｖである。図７（ｂ）には、生成された正孔

１０６でフローティングボディ１０２が飽和充電された様子を示している。

[0006] 次に、図７（ｃ）を用いて、メモリセル１１０の“０”書込み動作を説明する。共通な選択ワード線ＷＬに対して、ランダムに“１”書込みのメモリセル１１０ａと“０”書込みのメモリセル１１０ｂが存在する。図７（ｃ）では、“１”書込み状態から“０”書込み状態に書き換わる様子を示している。“０”書込み時には、ビット線ＢＬの電圧を負バイアスにして、ドレインN^+層１０４とＰ層のフローティングボディ１０２との間のＰＮ接合を順バイアスにする。この結果、フローティングボディ１０２に予め前サイクルで生成された正孔１０６は、ビット線ＢＬに接続されたドレインN^+層１０４に流れる。書込み動作が終了すると、生成された正孔１０６で満たされたメモリセル１１０ａ（図７（ｂ））と、生成された正孔が吐き出されたメモリセル１１０ｂ（図７（ｃ））の２つのメモリセルの状態が得られる。正孔１０６で満たされたメモリセル１１０ａのフローティングボディ１０２の電位は、生成された正孔がいないフローティングボディ１０２よりも高くなる。したがって、メモリセル１１０ａのしきい値電圧は、メモリセル１１０ｂのしきい値電圧よりも低くなる。その様子を図７（ｄ）に示す。

[0007] 次に、この１個のＭＯＳトランジスタで構成されたメモリセルの動作上の問題点を図８を用いて、説明する。図８（ａ）に示したように、フローティングボディ１０２の容量C_{FB}は、ワード線の接続されたゲートとフローティングボディ１０２間の容量C_{WL}と、ソース線の接続されたソースN^+層１０３とフローティングボディ１０２との間のＰＮ接合の接合容量C_{SL}と、ビット線の接続されたドレインN^+層１０３とフローティングボディ１０２との間のＰＮ接合の接合容量C_{BL}との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧V_{WL}が振幅すると、メモリセルの記憶ノード（接点）となるフローティングボディ１０２の電圧も、その影響を受ける。その様子を図８（ｂ）に示している。書込み時にワード線電圧V_{WL}が０ＶからV_{ProgWL}に上昇すると、フローティングボディ１０２の電圧

V_{FB}は、ワード線電圧が変化する前の初期状態の電圧V_{FB1}からV_{FB2}へのワード線との容量結合によって上昇する。その電圧変化量ΔV_{FB}は、

$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$
$$= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times V_{ProgWL} \quad (2)$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、βをカップリング率と呼ぶ。このようなメモリセルにおいて、C_{WL}の寄与率が大きく、例えば、C_{WL}：C_{BL}：C_{SL}＝８：１：１である。この場合、β＝０．８となる。ワード線が、例えば、書込み時の５Ｖから、書込み終了後に０Ｖになると、ワード線とフローティングボディ１０２との容量結合によって、フローティングボディ１０２が、５Ｖ×β＝４Ｖも振幅ノイズを受ける。このため、書込み時のフローティングボディ“１”電位と“０”電位との電位差マージンを十分に取れない問題点があった。

[0008] 図９に読出し動作を示す。図９（ａ）は、“１”書込み状態を、図９（ｂ）は、“０”書込み状態を示している。しかし、実際には、“１”書込みでフローティングボディ１０２にＶｂが書き込まれていても、書込み終了でワード線が０Ｖに戻ると、フローティングボディ１０２は、負バイアスに引き下げられる。“０”が書かれる際には、さらに深く負バイアスになってしまうため、図９（ｃ）に示すように、書込みの際に“１”と“０”との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本ＤＲＡＭメモリセルの大きい問題であった。加えて、このＤＲＡＭメモリセルを高密度化する課題がある。

先行技術文献

特許文献

[0009] 特許文献1：特開平２－１８８９６６号公報

特許文献2：特開平３－１７１７６８号公報

特許文献3：特許第３９５７７７４号公報

非特許文献

[0010] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3：H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4：T. Tsunoda, K .Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama : “Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5：W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6：M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat : “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T CT DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7：J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,” Electron Device Letters, Vol. 35, No.2, pp.17

9-181 (2012)

非特許文献8：T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9：T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10：E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE IEDM (2006).

非特許文献11：J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, May 2006.

非特許文献12：N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 2017.

非特許文献13：H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 (2014) 115021 (7pp).

非特許文献14：E. Yoshida, and T. Tanaka: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692-697,Apr. 2006.

発明の概要

発明が解決しようとする課題

[0011] ＳＧＴを用いたメモリ装置でキャパシタを無くした、１個のトランジス型のＤＲＡＭ（ゲインセル）では、ワード線とフローティング状態のＳＧＴのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接ＳＧＴボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした１トランジス型のＤＲＡＭ（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、ＤＲＡＭメモリセルを高密度化する必要がある。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明に係るメモリ装置は、

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の一端側の側面の一部、または全てを囲んだ第１のゲート絶縁層と、

前記第１のゲート絶縁層に繋がり、且つ前記半導体母体の他端側の側面の一部、または全てを囲んだ第２のゲート絶縁層と、

前記第１のゲート絶縁層を覆った第１のゲート導体層と、

前記第２のゲート絶縁層を覆った第２のゲート導体層と、

前記半導体母体が伸延する方向において、前記第１のゲート導体層の一端の外側にある第１の不純物層と、前記第２のゲート導体層の一端の外側にある第２の不純物層と、

前記第１の不純物層と前記第２の不純物層の、一方または両方と、前記半導体母体との間にあり、且つ前記第１の不純物層及び前記第２の不純物層と同じ導電型を有する第３の不純物層と、

前記第１の不純物層に接続した第１の配線導体層と、

前記第２の不純物層に接続した第２の配線導体層と、

前記第１のゲート導体層に接続した第３の配線導体層と、

前記第２のゲート導体層に接続した第４の配線導体層と、を有し、

前記第１の配線導体層と、前記２の配線導体層と、前記３の配線導体層と、前記４の配線導体層と、に印加する電圧を制御して、前記第１の不純物層と前記第２の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記第１の配線導体層と、前記第２の配線導体層と、前記第３の配線導体層と、前記第４の配線導体層とに印加する電圧を制御して、前記第１の不純物層と、前記第２の不純物層の一方もしくは両方から、残存している前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、

ことを特徴とする（第１発明）。

[0013] 上記の第１発明において、前記第３の不純物層の不純物濃度が、前記第１の不純物層と前記第２の不純物層の不純物濃度より低く、且つ前記半導体母体の不純物濃度より大きいことを特徴とする（第２発明）。

[0014] 上記の第１発明において、前記第１の不純物層に繋がる配線は、ソース線であり、前記第２の不純物層に繋がる配線はビット線であり、前記第１のゲート導体層に繋がる配線は、第１の駆動制御線であり、前記第２のゲート導体層に繋がる配線はワード線であり、前記ソース線と、前記ビット線と、前記第１の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行うことを特徴とする（第３発明）。

[0015] 上記の第２発明において、前記ビット線に接続する前記第２の不純物層に繋がる位置に前記第３の不純物層が形成されていることを特徴とする（第４

発明）。

[0016] 上記の第２発明において、前記ソース線に接続する前記第１の不純物層に繋がる位置に前記第３の不純物層が形成されていることを特徴とする（第５発明）。

[0017] 上記の第２発明において、前記ソース線に接続する前記第１の不純物層に繋がる位置と、前記ビット線に接続するに繋がる位置と、の両者に前記第３の不純物層が形成されていることを特徴とする（第６発明）。

[0018] 上記の第１発明において、前記第１のゲート導体層と前記半導体母体との間の第１のゲート容量は、前記第２のゲート導体層と前記半導体母体との間の第２のゲート容量よりも大きいことを特徴とする（第７発明）。

[0019] 上記の第１発明において、前記半導体母体が、前記基板に対し垂直方向に立ち、且つ、平面視において、前記第１の不純物層と、前記半導体母体に繋がる前記第３の不純物層とが、前記半導体母体の外側に広がっていることを特徴とする（第８発明）。

図面の簡単な説明

[0020] [図1]第１実施形態に係るＳＧＴを有するメモリ装置の構造図である。

[図2]第１実施形態に係るＳＧＴを有するメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第１実施形態に係るＳＧＴを有するメモリ装置の書込み動作メカニズムを説明するための図である。

[図4A]第１実施形態に係るＳＧＴを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第１実施形態に係るＳＧＴを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図5A]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5B]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5C]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5D]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5E]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5F]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5G]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図5H]第１実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図6]第２実施形態に係るＳＧＴを有するメモリ装置の製造方法を説明するための図である。

[図7]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの動作上の問題点を説明するための図である。

[図8]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの動作上の問題点を説明するための図である。

[図9]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0021] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミック フラッシュ メモリと呼ぶ）の構造、駆動方式、製造方法について、図面を参照しながら説明する。

[0022] （第１実施形態）

図１～図５を用いて、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの構造と動作メカニズムと製造方法とを説明する。図１を用いて、ダイナミック フラッシュ メモリセルの構造を説明する。そして、図２

を用いてデータ消去メカニズムを、図３を用いてデータ書き込みメカニズムを、図４を用いてデータ書き込みメカニズムを説明する。図５を用いて、ダイナミック フラッシュ メモリの製造方法を説明する。

[0023] 図１に、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの構造を示す。基板１（特許請求の範囲の「基板」の一例である）上にN+層３ａ（特許請求の範囲の「第１の不純物層」の一例である）がある。そして、N+層３ａ上に、アクセプタ不純物を含むＰ型又はｉ型（真性型）の導電型を有するシリコン半導体柱２（特許請求の範囲の「半導体母体」の一例である）（以下、シリコン半導体柱を「Ｓｉ柱」と称する。）がある。このＳｉ柱２の底部にＮ層８ａ（特許請求の範囲の「第３の不純物層」の一例である）、頂部にＮ層８ｂ（特許請求の範囲の「第３の不純物層」の一例である）がある。そして、Ｎ層８ｂの上にN+層３ｂ（特許請求の範囲の「第２の不純物層」の一例である）がある。Ｎ層８ａ、８ｂのドナー不純物濃度はN+層３ａ、３ｂよりも低い。Ｎ層８ａ、８ｂ間のＳｉ柱２の部分がチャネル領域７となる。このチャネル領域７を囲むように、下より第１のゲート絶縁層４ａ（特許請求の範囲の「第１のゲート絶縁層」の一例である）と、第２のゲート絶縁層４ｂ（特許請求の範囲の「第２のゲート絶縁層」の一例である）とがある。この第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂは、Ｎ層８ａ、８ｂに、それぞれ接するか、または近接している。この第１のゲート絶縁層４ａを囲んで第１のゲート導体層５ａ（特許請求の範囲の「第１のゲート導体層」の一例である）があり、第２のゲート絶縁層４ｂを囲んで、第２のゲート導体層５ｂ（特許請求の範囲の「第２のゲート導体層」の一例である）がある。そして、第１のゲート導体層５ａ、第２のゲート導体層５ｂは絶縁層６により分離されている。Ｎ層８ａ、８ｂ間のＳｉ柱２の部分であるチャネル領域７は、第１のゲート絶縁層４ａで囲まれた第１のチャネル領域７ａと、第２のゲート絶縁層４ｂで囲まれた第２のチャネル領域７ｂと、よりなる。これによりN+層３ａ、３ｂ、Ｎ層層８ａ、８ｂ、チャネル領域７、第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂ、第１のゲート導体層

５ａ、第２のゲート導体層５ｂからなるダイナミック フラッシュ メモリセルが形成される。そして、N^+層３ａはソース線ＳＬ（特許請求の範囲の「ソース線」の一例である）に、N^+層３ｂはビット線ＢＬ（特許請求の範囲の「ビット線」の一例である）に、第１のゲート導体層５ａはプレート線ＰＬ（特許請求の範囲の「第１の駆動制御線」の一例である）に、第２のゲート導体層５ｂはワード線ＷＬ（特許請求の範囲の「ワード線」の一例である）に、それぞれ接続している。Ｎ層８ａ、８ｂは、ダイナミック フラッシュ メモリが、ソース線ＳＬ、プレート線ＰＬ、ワード線ＷＬ、ビット線ＢＬに印加される電圧によって、不要な電子がソース線ＳＬに繋がるN^+層３ａと、ビット線ＢＬに繋がるN^+層３ｂよりチャネル領域７に流入することを抑圧している。プレート線ＰＬに接続している、第１のゲート導体層５ａのゲート容量は、ワード線ＷＬに接続している、第２のゲート導体層５ｂのゲート容量よりも、大きくなるような構造を有することが望ましい。メモリ装置では、上述の複数のダイナミック フラッシュ メモリセルが基板１上に２次元状に配置されている。

[0024] なお、図１では、プレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるように第１のゲート導体層５ａのゲート長を、第２のゲート導体層５ｂのゲート長よりも長くしている。しかし、その他にも、第１のゲート導体層５ａのゲート長を、第２のゲート導体層５ｂのゲート長よりも長くせずに、第１のゲート絶縁層４ａのゲート絶縁膜の膜厚を、第２のゲート絶縁層４ｂのゲート絶縁膜の膜厚よりも薄くしてもよい。また、第１のゲート絶縁層４ａの誘電率を、第２のゲート絶縁層４ｂの誘電率よりも高くしてもよい。また、ゲート導体層５ａ、５ｂの長さ、ゲート絶縁層４ａ、４ｂの膜厚、誘電率のいずれかを組み合わせて、第１のゲート導体層５ａのゲート容量が、第２のゲート導体層５ｂのゲート容量よりも、大きくしてもよい。

[0025] また、垂直方向において、Ｎ層８ａの上端位置は、第１のゲート導体層５

ａの下端位置より上方にあっても、また下方にあってもよい。同じく、Ｎ層８ｂの下端位置は、第２のゲート導体層５ｂの上端位置より上方にあっても、また下方にあってもよい。

[0026] また、第１のゲート導体層５ａは２つ以上に分割して、それぞれをプレート線の導体電極として、同期または非同期で動作させてもよい。同様に、第２のゲート導体層５ｂは２つ以上に分割して、それぞれをワード線の導体電極として、同期または非同期で動作させてもよい。これによっても、ダイナミック フラッシュ メモリ動作がなされる。

[0027] また、N^+層３ａ、３ｂ、Ｎ層８ａ、８ｂ、Ｐ型のＳｉ柱２のそれぞれの導電性の極性を逆にした構造においても、ダイナミック フラッシュ メモリ動作がなされる。この場合、Ｎ型のＳｉ柱では、多数キャリアは電子になる。従って、インパクトイオン化により生成された電子群がチャネル領域７に蓄えられて、“１”状態が設定される。

[0028] 図２に、消去動作メカニズムを説明する。Ｎ層８ａ、８ｂ間のチャネル領域７は、電気的に基板から分離され、フローティングボディとなっている。図２（ａ）に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群１１がチャネル領域７に蓄えられている状態を示す。そして。図２（ｂ）に示すように、消去動作時には、ビット線ＢＬの電圧を、負電圧V_{ERA}にする。ここで、V_{ERA}は、例えば、－３Ｖである。その結果、チャネル領域７の初期電位の値に関係なく、ソース線ＳＬが接続されているソースとなるN^+層３ａ、Ｎ層８ａとチャネル領域７のＰＮ接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域７に蓄えられていた、正孔群１１が、ソース部のN^+層３ａ、Ｎ層８ａに吸い込まれ、チャネル領域７の電位V_{FB}は、$V_{FB}=V_{ERA}+Vb$となる。ここで、ＶｂはＰＮ接合のビルトイン電圧であり、約０．７Ｖである。したがって、V_{ERA}＝－３Ｖの場合、チャネル領域７の電位は、－２．３Ｖになる。この値が、消去状態のチャネル領域７の電位状態となる。このため、フローティングボディのチャネル領域７の電位が負の電圧になると、ダイナミック フラッシ

ュ メモリセル９のＮチャネルＭＯＳトランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図２（ｃ）に示すように、このワード線ＷＬが接続された第２のゲート導体層５ｂのしきい値電圧は高くなる。このチャネル領域７の消去状態は論理記憶データ“０”となる。なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0029] 図３に、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの書込み動作を示す。図３（ａ）に示すように、ソース線ＳＬの接続されたN⁺層３ａに例えば０Ｖを入力し、ビット線ＢＬの接続されたN⁺層３ｂに例えば３Ｖを入力し、プレート線ＰＬの接続された第１のゲート導体層５ａに、例えば、２Ｖを入力し、ワード線ＷＬの接続された第２のゲート導体層５ｂに、例えば、５Ｖを入力する。その結果、図３（ａ）で示したように、プレート線ＰＬの接続された第１のゲート導体層５ａの内側の第１のチャネル領域７ａには、環状の反転層１２ａが形成され、第１のゲート導体層５ａを有する第１のＮチャネルＭＯＳトランジスタは線形領域で動作させる。この結果、プレート線ＰＬの接続された第１のゲート導体層５ａの内側の反転層１２ａには、ピンチオフ点１３が存在する。一方、ワード線ＷＬの接続された第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタは飽和領域で動作させる。この結果、ワード線ＷＬの接続された第２のゲート導体層５ｂの内側の第２のチャネル領域７ｂには、ピンチオフ点は存在せずに全面に反転層１２ｂが形成される。このワード線ＷＬの接続された第２のゲート導体層５ｂの内側に全面に形成された反転層１２ｂは、第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタの実質的なドレインとして働く。この結果、直列接続された第１のゲート導体層５ａを有する第１のＮチャネルＭＯＳトランジスタと、第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタとの間のチャネル領域７の第１の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。こ

の領域は、ワード線ＷＬの接続された第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線ＳＬの接続されたN+層３ａ、Ｎ層８ａからビット線ＢＬの接続されたN+層３ｂ、Ｎ層８ｂに向かって電子が流れる。加速された電子が格子Ｓｉ原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第１のゲート導体層５ａと第２のゲート導体層５ｂに流れるが、大半はビット線ＢＬの接続されたN+層３ｂに流れる。また、“１”書込みにおいて、ゲート誘起ドレインリーク（ＧＩＤＬ：Gate Induced Drain Leakage）電流を用いて電子・正孔対を発生させ、生成された正孔群でフローティングボディＦＢ内を満たしてもよい（非特許文献１４を参照）。なお、インパクトイオン化現象による電子・正孔対の生成は、Ｎ層８ａとチャネル領域７の境界、またはＮ層８ｂとチャネル領域７との境界でも行うことが出来る。

[0030] そして、図３（ｂ）に示すように、生成された正孔群１１は、チャネル領域７の多数キャリアであり、チャネル領域７を正バイアスに充電する。ソース線ＳＬの接続されたN+層３ａは、０Ｖであるため、チャネル領域７はソース線ＳＬの接続されたN+層３ａ、Ｎ層８ａとチャネル領域７との間のＰＮ接合のビルトイン電圧Ｖｂ（約０．７Ｖ）まで充電される。チャネル領域７が正バイアスに充電されると、第１のＮチャネルＭＯＳトランジスタと第２のＮチャネルＭＯＳトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図３（ｃ）で示すように、ワード線ＷＬの接続された第２のチャネル領域７ｂのＮチャネルＭＯＳトランジスタのしきい値電圧は、低くなる。このチャネル領域７の書込み状態を論理記憶データ“１”に割り当てる。

[0031] なお、書込み動作時に、上記の第１の境界領域に替えて、Ｎ層８ａと第１のチャネル半導体層７ａとの間の第２の境界領域、または、Ｎ層８ｂと第２のチャネル半導体層７ｂとの間の第３の境界領域で、インパクトイオン化現

象、またはＧＩＤＬ電流で、電子・正孔対を発生させ、発生した正孔群１１でチャネル領域７を充電しても良い。なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい。

[0032] 図４Ａ、図４Ｂを用いて、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの読出し動作を説明する。図４Ａ（ａ）～図４Ａ（ｃ）を用いて、ダイナミック フラッシュ メモリセルの読出し動作を説明する。図４Ａ（ａ）に示すように、チャネル領域７がビルトイン電圧Ｖｂ（約０．７Ｖ）まで充電されると、ＮチャネルＭＯＳトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“１”に割り当てる。図４Ａ（ｂ）に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“０”にある場合は、チャネル領域７のフローティング電圧V_{FB}はV_{ERA}＋Ｖｂとなっている。書込み動作によってランダムに書込み状態“１”が記憶される。この結果、ワード線ＷＬに対して、論理“０”と“１”の論理記憶データが作成される。図４Ａ（ｃ）に示すように、このワード線ＷＬに対する２つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0033] 図４Ｂ（ａ）～図４Ｂ（ｄ）を用いて、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの読出し動作時の、２つの第１のゲート導体層５ａと第２のゲート導体層５ｂのゲート容量の大小関係と、これに関係する動作を説明する。ワード線ＷＬの接続する第２のゲート導体層５ｂのゲート容量は、プレート線ＰＬの接続する第１のゲート導体層５ａのゲート容量よりも小さく設計することが望ましい。図４Ｂ（ａ）に示すように、プレート線ＰＬの接続する第１のゲート導体層５ａの垂直方向の長さを、ワード線ＷＬの接続する第２のゲート導体層５ｂの中心軸方向の長さより長くして、ワード線ＷＬの接続する第２のゲート導体層５ｂのゲート容量を、プレート線ＰＬの接続する第１のゲート導体層５ａのゲート容量よりも小さくする

。図４Ｂ（ｂ）に図４Ｂ（ａ）のダイナミック フラッシュ メモリの１セルの等価回路を示す。そして、図４Ｂ（ｃ）にダイナミック フラッシュ メモリの結合容量関係を示す。ここで、C_{WL}は第２のゲート導体層５ｂの容量であり、C_{PL}は第１のゲート導体層５ａの容量であり、C_{BL}はドレインとなるＮ層８ｂと第２のチャネル領域７ｂとの間のＰＮ接合の容量であり、C_{SL}はソースとなるＮ層８ａと第１のチャネル領域７ａとの間のＰＮ接合の容量である。図４Ｂ（ｄ）に示すように、ワード線ＷＬ電圧が振幅すると、その動作がチャネル領域７にノイズとして影響を与える。この時のチャネル領域７の電位変動ΔV_{FB}は、

$$\Delta V_{FB} = C_{WL}/(C_{PL}+C_{WL}+C_{BL}+C_{SL}) \times V_{ReadWL} \quad (1)$$

となる。ここで、V_{ReadWL}はワード線ＷＬの読出し時の振幅電位である。式（１）から明らかなようにチャネル領域７の全体の容量$C_{PL}+C_{WL}+C_{BL}+C_{SL}$に比べて、$C_{WL}$の寄与率を小さくすれば、$\Delta V_{FB}$は小さくなることが分かる。$C_{BL}+C_{SL}$はＰＮ接合の容量であり、大きくするためには、例えば、Ｓｉ柱２の直径を大きくする。しかしメモリセルの微細化に対しては望ましくない。これに対して、プレートＰＬ接続する第１のゲート導体層５ａの中心軸方向の長さを、ワード線ＷＬの接続する第１のゲート導体層５ｂの中心軸方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すことなしに、ΔV_{FB}を更に小さくしてもよい。なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、読み出し動作を行うための一例であり、読み出し動作ができる他の動作条件であってもよい。

[0034] 図５Ａ～図５Ｈを用いて、本実施形態のダイナミック フラッシュ メモリの製造方法を示す。各図において、（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿った断面図、（ｃ）は（ａ）のＹ－Ｙ’線に沿った断面図を示し、図５Ｆ、図５Ｇにおいて（ｄ）はＸ１－Ｘ１’線に沿った断面図を示す。なお、実際のメモリ装置では、４個よりも多くのダイナミック フラッシュ メモリセルが基板１０上に行列状に配置されている。

[0035] 図５Ａに示すように、基板２０上に、下からN^+層２１、Ｎ層２５Ａ、Ｓｉよりなる Ｐ層２２、Ｎ層２５Ｂ、N^+層２３を形成する。そして、平面視において円形状のマスク材料層２４ａ、２４ｂ、２４ｃ、２４ｄを形成する。なお、基板２０はＳＯＩ（Silicon On Insulator）、単層または複数層よりなるＳｉまたは他の半導体材料より形成してもよい。また、基板２０はＮ層、またはＰ層の単層、又は複数層よりなるウエル層であってもよい。なお、Ｎ層２５Ａ、２５Ｂのドナー不純物濃度は、N^+層２１、２３より低く、そして、Ｐ層のアクセプタ不純物濃度より高い。

[0036] 次に、図５Ｂに示すように、マスク材料層２４ａ～２４ｄをマスクにして、N^+層２３、Ｎ層２５Ｂ、Ｐ層２２、そして、Ｎ層２５Ａの上部をエッチングして、N^+層２１上に、Ｎ層２５ａ、Ｓｉ柱２２ａ、２２ｂ、２２ｃ、２２ｄ（図示せず）、Ｎ層２５ｂａ、２５ｂｂ、２５ｂｃ、２５ｂｄ（図示せず）、N^+層２３ａ、２３ｂ、２３ｃ、２３ｄ（図示せず）を形成する。なお、上記エッチングにおいて、Ｓｉ柱２２ａ～２２ｄの外周部の底部は、N^+層２１内にあってもよい。

[0037] 次に、５Ｃに示すように、Ｓｉ柱２２ａ～２２ｄの外周部のＮ層２５ａ上に、SiO_2層２６を形成する。そして、全体を覆ってゲート絶縁層HfO_2層２７を、例えばＡＬＤ（Atomic Layer Deposition）を用いて形成する。そして、全体にゲート導体層となるＴｉＮ層（図示せず）を覆って形成する。そして、ＣＭＰ（Chemical Mechanical Polishing）により、上面位置がマスク材料層２４ａ～２４ｄの上面になるように研磨する。そして、ＲＩＥ（Reactive Ion Etching）により、ＴｉＮ層を垂直方向における上面位置がＳｉ柱２２ａ～２２ｄの中間位置より上部付近になるようにエッチングして、ＴｉＮ層２８を形成する。なお、HfO_2層２７は、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、ＴｉＮ層２８はゲート導体層の機能を持つものであれば、単層、または複数層よりなる他の導体層を用いてもよい。

[0038] 次に、図５Ｄに示すように、SiO_2層３３を、ＴｉＮ層２８上に形成する

。

[0039] 次に、図５Ｅに示すように、SiO_2層３３より上部のHfO_2層２７をエッチングして、HfO_2層２７ａを形成する。そして、全体にHfO_2層２７ｂを形成する。そして、全体にＴｉＮ層（図示せず）をＣＶＤ法により被覆する。そして、ＴｉＮ層をＣＭＰ法により、上面位置がマスク材料層２４ａ～２４ｄの上面になるように研磨する。そして、上面位置がＮ層２５ｂａ～２５ｂｄの下端付近になるようにＲＩＥ法によりエッチングする。そして、Ｎ層２５ｂａ、２５ｂｂ、N^+層２３ａ、２３ｂ、マスク材料層２４ａ、２４ｂの側面を囲み、且つ繋がったＳｉＮ層３７ａを形成する。同様にＮ層２５ｂｃ、２５ｂｄ、N^+層２３ｃ、２３ｄ、マスク材料層２４ｃ、２４ｄの側面を囲み、且つ繋がったＳｉＮ層３７ｂを形成する。そして、ＳｉＮ層３７ａ、３７ｂをマスクにして、ＴｉＮ層をエッチングして、ＴｉＮ層３６ａ、３６ｂを形成する。ここで、Ｓｉ柱２２ａ、２２ｂを囲むHfO_2層２７ｂの外周線と、Ｘ－Ｘ’線との２つの交点の間の長さＬ１が、Ｙ－Ｙ’線でのＳｉＮ層３７ａ、３７ｂの幅Ｌ２の２倍より小さくし、且つＳｉ柱２２ａ、２２ｃを囲むHfO_2層２７ｂの外周線と、Ｙ－Ｙ’線との２つの交点の間の長さＬ３がＬ２の２倍より大きくする。これにより、ＳｉＮ層３７ａをＳｉ柱２２ａ、２２ｂ間で繋がり、且つＳｉＮ層３７ｂと離して形成することができる。同様に、ＳｉＮ層３７ｂをＳｉ柱２２ｃ、２２ｄ間で繋がり、且つＳｉＮ層３７ａと離して形成される。

[0040] 次に、図５Ｆに示すように、ＴｉＮ層３６ａ、３６ｂとＳｉＮ層３７ａ、３７ｂの側面間、及び周辺に、空孔４１ａａ、４１ａｂ、４１ａｃ、４１ｂａ、４１ｂｂ、４１ｂｃ、４１ｃａ、４１ｃｂ、４１ｃｃを含んだSiO_2層３９を形成する。なお、空孔４１ａａ、４１ａｂ、４１ａｃ、４１ｂａ、４１ｂｂ、４１ｂｃ、４１ｃａ、４１ｃｂ、４１ｃｃの上端位置は、図（ｄ）の点線で示すＴｉＮ層３６ａ、３６ｂの上端位置より低く形成する。

[0041] 次に、図５Ｇに示すように、マスク材料層２４ａ～２４ｄをエッチングして、コンタクトホール４０ａ、４０ｂ、４０ｃ、４０ｄを形成する。

[0042] 次に、図５Ｈに示すように、コンタクトホール４０ａ、４０ｃを介して、N^+層２３ａ、２３ｃに繋がったビット線ＢＬ１導体層４２ａと、コンタクトホール４０ｂ、４０ｄを介して、N^+層２３ｂ、２３ｄに繋がったビット線ＢＬ２導体層４２ｂと、を形成する。そして、ビット線ＢＬ１導体層４２ａ、ビット線ＢＬ２導体層４２ｂ間、及び両側に空孔４４ａ、４４ｂ、４４ｃを含んだSiO_2層４３を形成する。これにより、基板２０上にダイナミック フラッシュ メモリが形成される。ＴｉＮ層３６ａ、３６ｂはワード線導体層ＷＬ１、ＷＬ２となり、ＴｉＮ層２８はゲート導体層を兼ね備えたプレート線導体層ＰＬとなり、N^+層２１はソース不純物層を兼ね備えたソース線導体層ＳＬとなる。これにより、基板２０上にダイナミック フラッシュ メモリが形成される。

[0043] なお、本実施形態の説明で示した、本ダイナミック フラッシュ メモリ素子は、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生した正孔群１１がチャネル領域７に保持される条件を満たす構造であればよい。このためには、チャネル領域７は基板１と分離されたフローティングボディ構造であればよい。これより、例えばＳＧＴの１つであるＧＡＡ（Gate All Around ： 例えば非特許文献１１を参照）技術、Nanosheet技術(例えば、非特許文献１２を参照）を用いて、チャネル領域の半導体母体を基板１に対して水平に形成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、ＳＯＩ（Silicon On Insulator）を用いたデバイス構造（例えば、非特許文献７～１０を参照）であってもよい。このデバイス構造ではチャネル領域の底部がＳＯＩ基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティングボディ構造となる。このように、本実施形態が提供するダイナミック・フラッシュ・メモリ素子では、チャネル領域がフローティングボディ構造である条件を満足すればよい。また、Ｆｉｎトランジスタ（例えば非特許文献１３を参照）をＳＯＩ基板上に形成した構造であっても、チャネル領域がフローティングボディ構造

であれば、本ダイナミック フラッシュ メモリ動作が出来る。

[0044] なお、図１において、プレート線ＰＬの接続する第１のゲート導体層５ａの中心軸方向の長さを、ワード線ＷＬの接続する第１のゲート導体層５ｂの中心軸方向の長さより更に長くして、C_{PL}＞C_{WL}とした。しかし、プレート線ＰＬを付加することだけでも、ワード線WLのチャネル領域７に対する、容量結合のカップリング比（$C_{WL}/(C_{PL}+C_{WL}+C_{BL}+C_{SL})$）が小さくなる。その結果、フローティングボディのチャネル領域７の電位変動ΔV_{FB}は、小さくなる。

[0045] また、プレート線ＰＬの電圧$V_{ErasePL}$は、各動作モードに関わらず、例えば、２Ｖの固定電圧を印加しても良い。また、プレート線ＰＬの電圧$V_{ErasePL}$は、消去時のみ、例えば、０Ｖを印加しても良い。また、プレート線ＰＬの電圧$V_{ErasePL}$は、ダイナミック フラッシュ メモリ動作ができる条件を満たす電圧であれば、固定電圧、または時間的に変化する電圧を与えてもよい。

[0046] また、図５Ａ～図５Ｈでは、矩形状の垂直断面を有するＳｉ柱２２ａ～２２ｄを用いて説明したが、これら垂直断面形状は台形状であってもよい。また、ＨｆO_2層２７ａで囲まれた部分と、ＨｆO_2層２７ｂで囲まれた部分のＳｉ柱２２ａ～２２ｄの垂直断面のそれぞれが矩形状、台形状に異なっていてもよい。これらのことは、本発明に係るその他の実施形態においても同様である。

[0047] また、図１において、垂直方向において、絶縁層６で囲まれた部分のチャネル領域７では、第１のチャネル領域７ａ、第２のチャネル領域７ｂの電位分布が繋がって形成されている。これにより、第１のチャネル領域７ａ、第２のチャネル領域７ｂのチャネル領域７が、垂直方向において、絶縁層６で囲まれた領域で繋がっている。

[0048] また、図５Ｈに示すように、N^+層２１はソース線ＳＬの配線導体層を兼ねている。また、ソース線ＳＬとしてＳｉ柱２２ａ～２２ｄの底部のN^+層２１間に形成した例えばW層などの導体層を用いてもよい。また、Ｓｉ柱２２ａ～２２ｄが更に二次元状に多く形成した領域の外側のN^+層１１に、例えばW層などの金属、又は合金による導体層を形成してもよい。

[0049] 本実施形態は、下記の特徴を供する。

（特徴１）

本発明の第１実施形態に係るダイナミック フラッシュ メモリセルのプレート線ＰＬはダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線ＷＬの電圧が上下に振幅する。この際に、プレート線ＰＬは、ワード線ＷＬとチャネル領域７との間の容量結合比を低減させる役目を担う。この結果、ワード線ＷＬの電圧が上下に振幅する際の、チャネル領域７の電圧変化の影響を著しく抑えることができる。これにより、論理“０”と“１”を示すしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

[0050]（特徴２）

図１におけるＮ層８ａ、８ｂは、ダイナミック フラッシュ メモリが、ソース線ＳＬ、プレート線ＰＬ、ワード線ＷＬ、ビット線ＢＬに印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がワード線ＷＬに繋がるN^+層３ａと、ビット線ＢＬに繋がるN^+層３ｂとの片方、または両方よりチャネル領域７に流入することを抑圧している。これにより、ダイナミック フラッシュ メモリは安定した動作が出来、高性能化に繋がる。

[0051]（特徴３）

図５Ｈに示す、Ｎ層２５ａは、不要な電子がN^+層２１からＳｉ柱２２ａ～２２ｄ内に流入するのを抑圧する役割と、Ｓｉ柱２２ａ～２２ｄをチャネルとするＳＧＴトランジスタのソースまたはドレインの役割を行う。そして、N^+層２１は、ソースまたはドレインであるＮ層２５ａの低抵抗の接続電極の役割をも行う。図５Ｈに示すように、Ｎ層２５ａ、N^+層２１は、Ｓｉ柱２２ａ～２２ｄの下にあり、且つ基板２０上の全面にある。そして、N^+層２１はＳｉ柱２２ａ～２２ｄの外側の領域にある金属または合金導体層に繋がっている。N^+層２１が、基板２０上の全面にあることにより、Ｓｉ柱２２ａ～２２ｄ下のＮ層２５ａにより均一にソース線ＳＬ電圧を印加させることができ

る。これにより、ダイナミック フラッシュ メモリは安定した動作が出来、高性能化に繋がる。

[0052] （第２実施形態）

図６を用いて、第２実施形態のダイナミック フラッシュ メモリについて説明する。図６において、図１と同一又は類似の構成部分には同一の符号を付してある。

[0053] 図６に示すように、図１におけるＳｉ柱２の頂部のN+層３ｂとチャネル領域７の間には、図１におけるＮ層８ｂがない。他は、図１と同じである。

[0054] 本実施形態は、下記の特徴を供する。

（特徴１）

Ｎ層８ａは、第１実施形態と同様に、ダイナミック フラッシュ メモリが、ソース線ＳＬ、プレート線ＰＬ、ワード線ＷＬ、ビット線ＢＬに印加される電圧によって、または、周辺メモリセルとの容量カップリングノイズの影響を受けて、不要な電子がソース線ＳＬに繋がるN+層３ａよりチャネル領域７に流入することを抑圧している。そして、N+層３ｂとチャネル領域７の間に直列抵抗となる図１におけるＮ層８ｂがないことにより、ダイナミック フラッシュ メモリの高速化が図れる。このように、ダイナミック フラッシュ メモリは安定した動作が出来、且つ高性能化ができる。

（特徴２）

また、Ｎ層８ａをなくして、チャネル領域７とN+層３ｂの間に図１におけるＮ層８ｂを設けても、上記と同様な効果を得ることができる。このように、N+層３ａ、３ｂのどちらかに接して、Ｎ層８ａ、またはＮ層８ｂのいずれかを設けることにより、ダイナミック フラッシュ メモリは安定した動作が出来、且つ高性能化ができる。

[0055] （その他の実施形態）

なお、上記実施形態では、Ｓｉ柱２、２２ａ～２２ｄを形成したが、Ｓｉ以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0056] また、第１実施形態における、N^+層３ａ、３ｂ、２１、２３は、ドナー不純物を含んだＳｉ、または他の半導体材料層より形成されてもよい。また、N^+層３ａ、３ｂ、２１、２３は異なる半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法でN^+層を形成してもよい。また、Ｎ層２５ａ、２５ｂａ、２５ｂｂ、２５ｂｃ、２５ｂｄもドナー不純物を含んだＳｉ、または他の半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法でＮ層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0057] また、第１実施形態では、プレート線ＰＬと、このプレート線ＰＬに繋がるゲート導体層５ａとしてＴｉＮ層２８を用いた。これに対して、ＴｉＮ層２８に替えて、単層または複数の導体材料層を組み合わせて用いてもよい。同じく、ワード線ＷＬと、このワード線ＷＬに繋がるゲート導体層５ｂとしてＴｉＮ層３６ａ、３６ｂを用いた。これに対して、ＴｉＮ層２８、３６ａ、３６ｂに替えて、単層または複数の導体材料層を組み合わせて用いてもよい。また、ゲートＴｉＮ層は、その外側が、例えばＷなどの配線金属層に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0058] また、第１実施形態では、Ｓｉ柱２２ａ～２２ｄの中心軸方向から見た形状は、円形状であったが、円形、楕円、一方方向に長く伸びた形状などであってもよい。そして、ダイナミック フラッシュ メモリセル領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるＳｉ柱が混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。

[0059] また、図１では、矩形状の垂直断面を有するＳｉ柱２を用いて説明したが、これら垂直断面形状は台形状であってもよい。また、第１のゲート絶縁層４ａで囲まれた部分と第２のゲート絶縁層４ｂで囲まれた部分のＳｉ柱２の

垂直断面は、それぞれが矩形状、台形状などと異なっていてもよい。これらのことは、本発明に係るその他の実施形態においても同様である。

[0060] また、第１実施形態の説明では、消去動作時にソース線ＳＬを負バイアスにして、フローティングボディＦＢであるチャネル領域７内の正孔群を引き抜いていたが、ソース線ＳＬに代わり、ビット線ＢＬを負バイアスにして、あるいは、ソース線ＳＬとビット線ＢＬを負バイアスにして、消去動作を行ってもよい。または、他の電圧条件により、消去動作を行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0061] また、図５Ａ～５Ｈに示した工程では、Ｎ層２５ａ、２５ｂａ～２５ｂｄは、エピタキシャル成長法により形成した。これに対し、Ｎ層２５ａ、２５ｂａ～２５ｂｄをイオン注入法で形成してもよい。また、熱処理によりN^+層２１、２３ａ～２３ｄからドナー不純物を拡散させて、Ｎ層２５ａ、２５ｂａ～２５ｂｄを形成してもよい。

[0062] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0063] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のダイナミック フラッシュ メモリが得られる。

符号の説明

[0064] １、１０ 基板

２、２２ａ、２２ｂ、２２ｃ、２２ｄ Ｓｉ柱

３ａ、３ｂ、２１、２３、２３ａ、２３ｂ、２３ｃ、２３ｄ N^+層

２５Ａ、２５ａ、２５Ｂ、２５ｂａ、２５ｂｂ、２５ｃｂ、２５ｄｂ Ｎ層

４ａ 第１のゲート絶縁層

４ｂ　第２のゲート絶縁層

５ａ　第１のゲート導体層

５ｂ　第２のゲート導体層

６　絶縁層

７　チャネル領域

７ａ　第１のチャネル領域

７ｂ　第２のチャネル領域

ＳＬ　ソース線

ＰＬ　プレート線

ＷＬ、ＷＬ１、ＷＬ２　ワード線

ＢＬ、ＢＬ１、ＢＬ２　ビット線

２２　Ｐ層

２４ａ、２４ｂ、２４ｃ、２４ｄ　マスク材料層

２７、２７ａ、２７ｂ　HfO_2層

２８、３６ａ、３６ｂ　ＴｉＮ層

２６、３３、３９　SiO_2層

３７ａ、３７ｂ、　ＳｉＮ層

４０ａ、４０ｂ、４０ｃ、４０ｄ　コンタクトホール

４２ａ、４２ｂ　ビット線導体層

４１ａａ、４１ａｂ、４１ａｃ、４１ｂａ、４１ｂｂ、４１ｂｃ、４１ｃａ、４１ｃｂ、４１ｃｃ、４４ａ、４４ｂ、４４ｃ　空孔

請求の範囲

[請求項1] 基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の一端側の側面の一部、または全てを囲んだ第１のゲート絶縁層と、

前記第１のゲート絶縁層に繋がり、且つ前記半導体母体の他端側の側面の一部、または全てを囲んだ第２のゲート絶縁層と、

前記第１のゲート絶縁層を覆った第１のゲート導体層と、

前記第２のゲート絶縁層を覆った第２のゲート導体層と、

前記半導体母体が伸延する方向において、前記第１のゲート導体層の一端の外側にある第１の不純物層と、前記第２のゲート導体層の一端の外側にある第２の不純物層と、

前記第１の不純物層と前記第２の不純物層の、一方または両方と、前記半導体母体との間にあり、且つ前記第１の不純物層及び前記第２の不純物層と同じ導電型を有する第３の不純物層と、

前記第１の不純物層に接続した第１の配線導体層と、

前記第２の不純物層に接続した第２の配線導体層と、

前記第１のゲート導体層に接続した第３の配線導体層と、

前記第２のゲート導体層に接続した第４の配線導体層と、を有し、

前記第１の配線導体層と、前記２の配線導体層と、前記３の配線導体層と、前記４の配線導体層と、に印加する電圧を制御して、前記第１の不純物層と前記第２の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させる動作と、を行ってメモリ

書き込み動作を行い、

前記第１の配線導体層と、前記第２の配線導体層と、前記第３の配線導体層と、前記第４の配線導体層とに印加する電圧を制御して、前記第１の不純物層と、前記第２の不純物層の一方もしくは両方から、残存している前記半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、

ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2] 前記第３の不純物層の不純物濃度が、前記第１の不純物層と前記第２の不純物層の不純物濃度より低く、且つ前記半導体母体の不純物濃度より大きい、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記第１の不純物層に繋がる配線は、ソース線であり、前記第２の不純物層に繋がる配線はビット線であり、前記第１のゲート導体層に繋がる配線は、第１の駆動制御線であり、前記第２のゲート導体層に繋がる配線はワード線であり、

前記ソース線と、前記ビット線と、前記第１の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項4] 前記ビット線に接続する前記第２の不純物層に繋がる位置に前記第３の不純物層が形成されている、

ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。

[請求項5] 前記ソース線に接続する前記第１の不純物層に繋がる位置に前記第３の不純物層が形成されている、

ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置

。

[請求項6] 前記ソース線に接続する前記第１の不純物層に繋がる位置と、前記ビット線に接続するに繋がる位置と、の両者に前記第３の不純物層が形成されている、

ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。

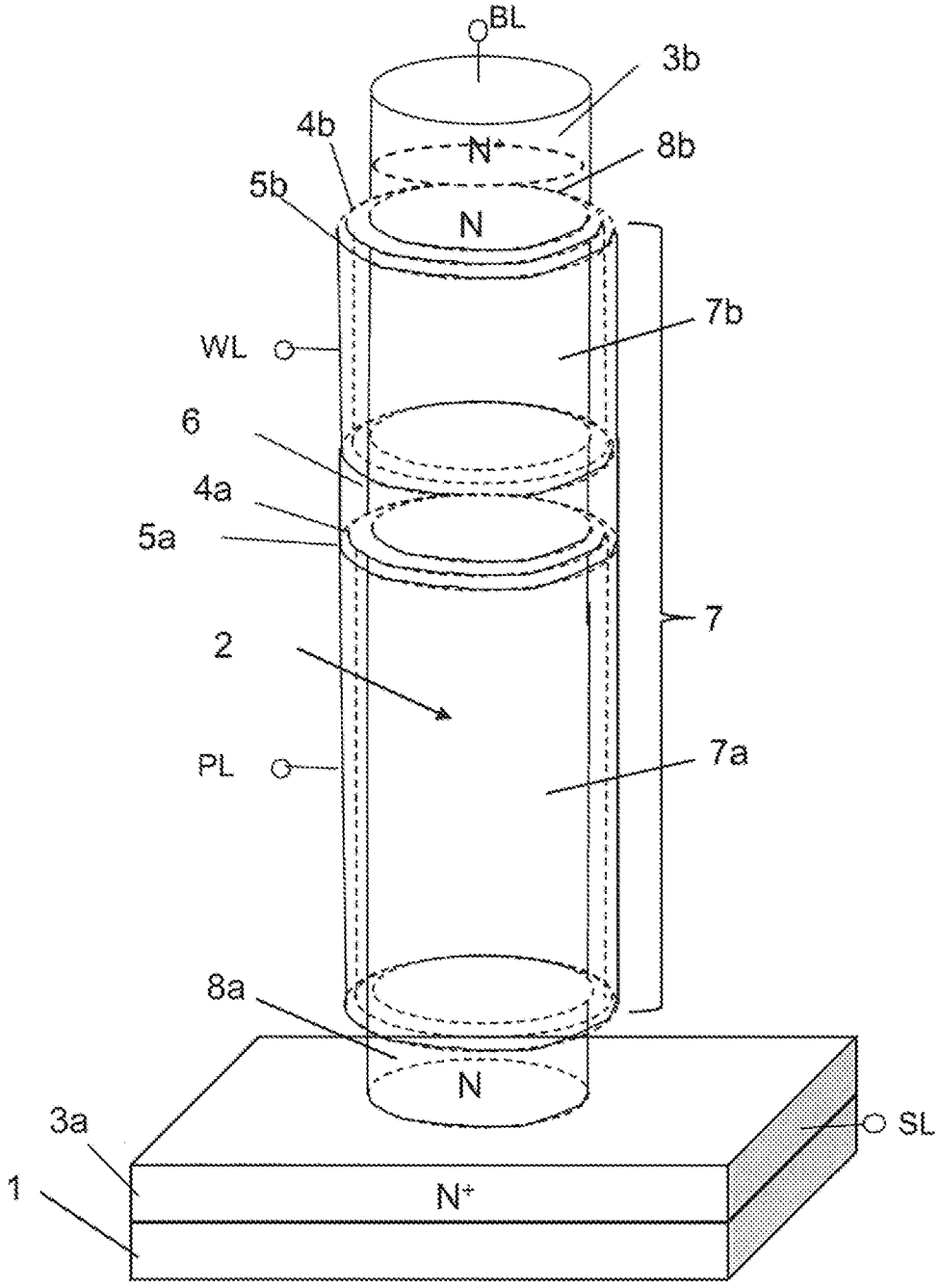
[請求項7] 前記第１のゲート導体層と前記半導体母体との間の第１のゲート容量は、前記第２のゲート導体層と前記半導体母体との間の第２のゲート容量よりも大きい、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

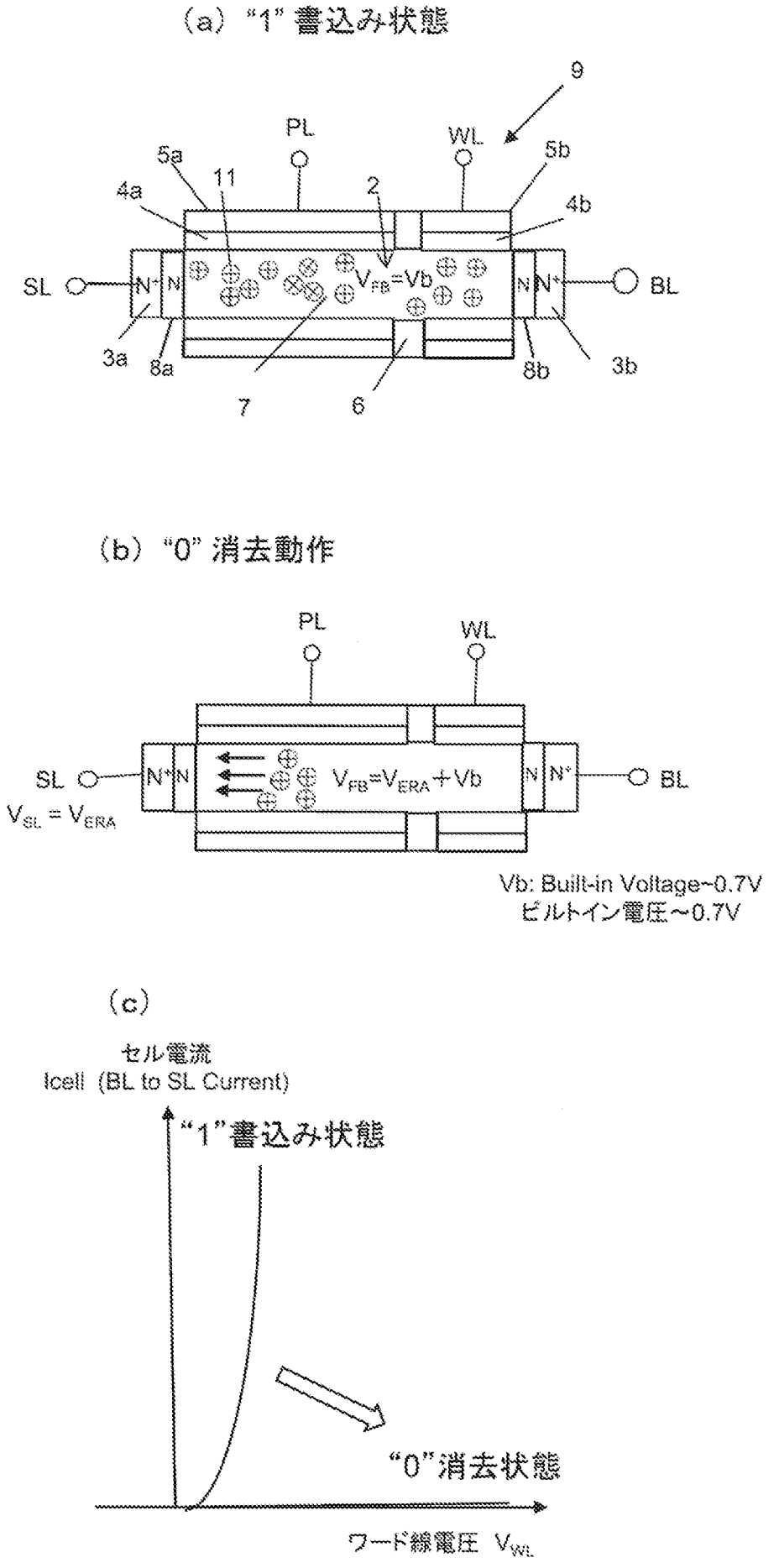
[請求項8] 前記半導体母体が、前記基板に対し垂直方向に立ち、且つ、平面視において、前記第１の不純物層と、前記半導体母体に繋がる前記第３の不純物層とが、前記半導体母体の外側に広がっている、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

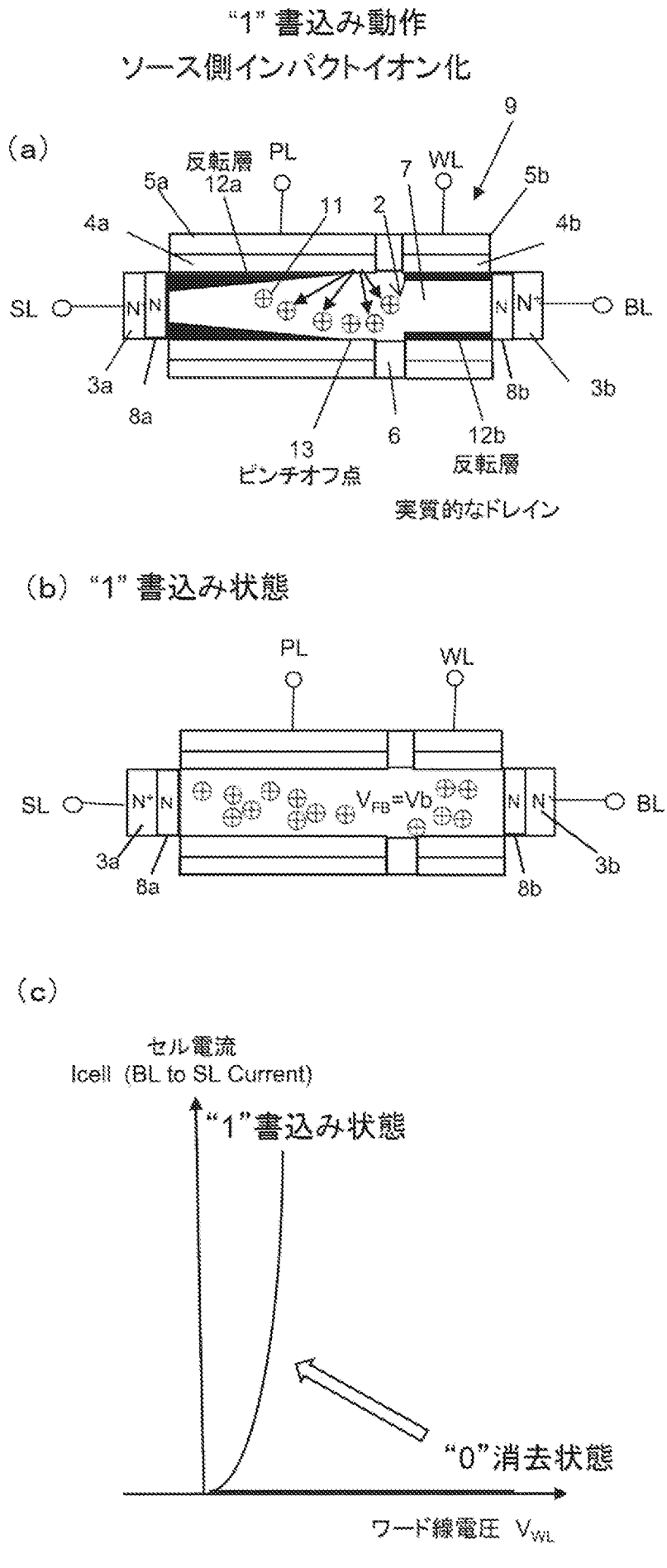
[図1]



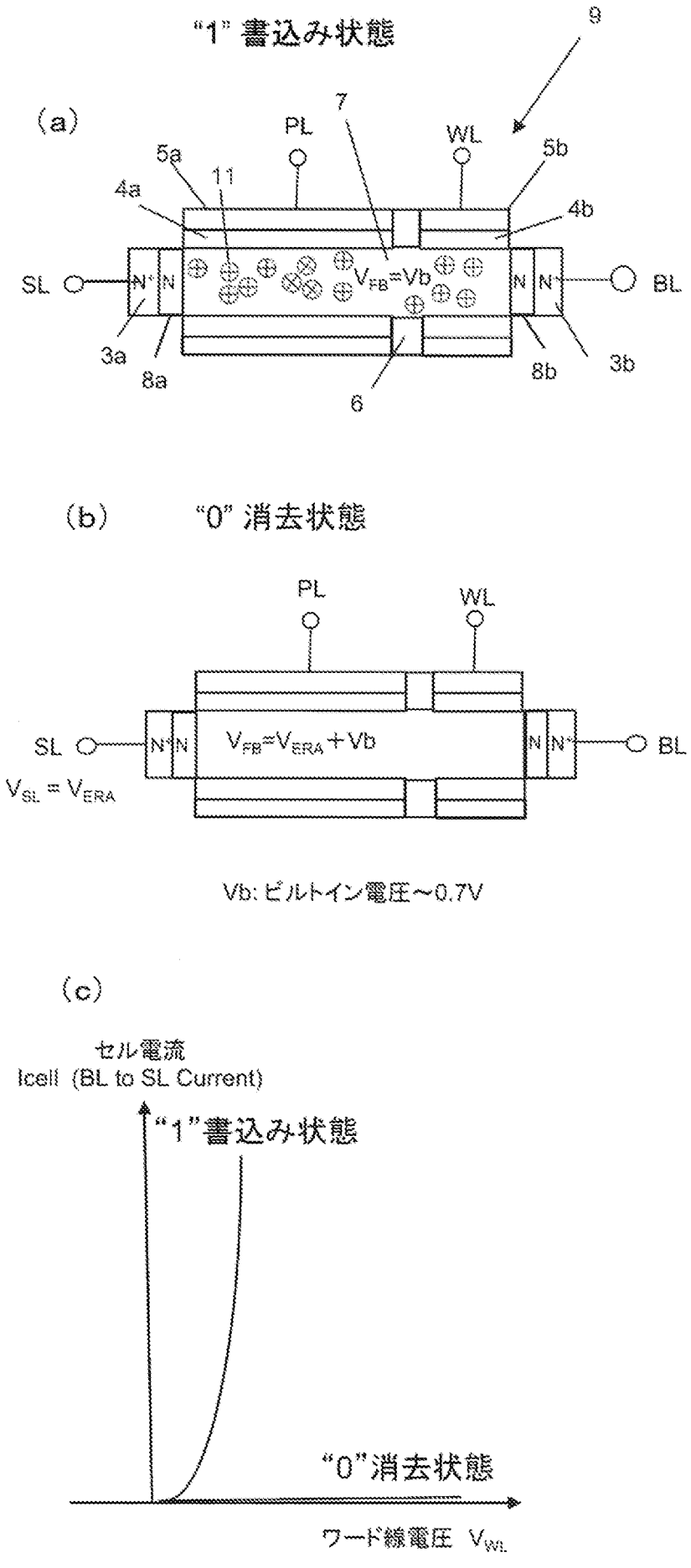
[図2]


(a) "1" 書込み状態
9
PL
WL
5a
11
2
5b
4a
4b
SL
N+
N
VFB=Vb
N
N+
BL
3a
8a
7
6
8b
3b
(b) "0" 消去動作
PL
WL
SL
N+
N
VFB=VERA+Vb
N
N+
BL
VSL = VERA
Vb: Built-in Voltage~0.7V
ビルトイン電圧~0.7V
(c)
セル電流
Icell (BL to SL Current)
"1"書込み状態
"0"消去状態
ワード線電圧 VWL

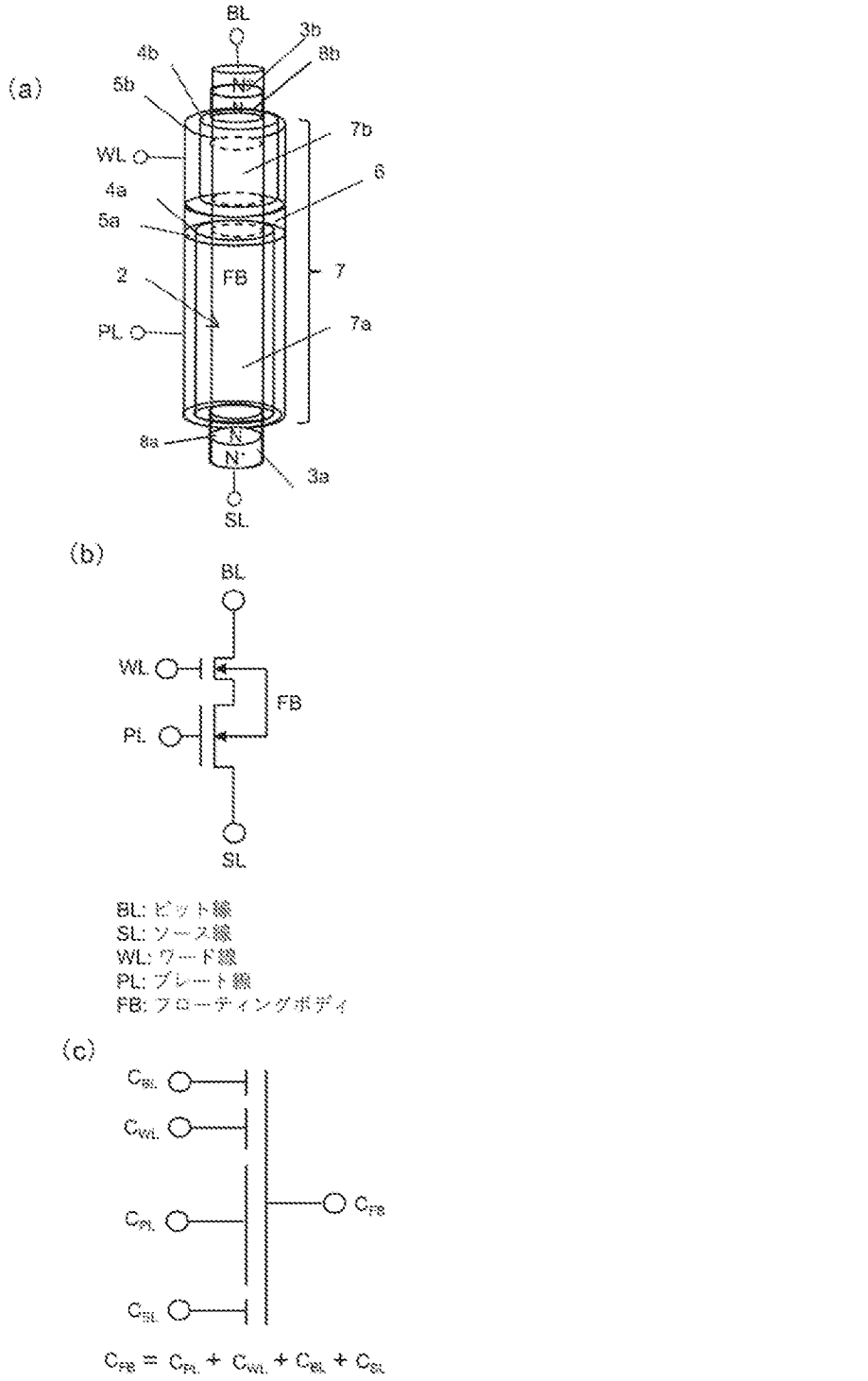
[図3]


"1" 書込み動作
ソース側インパクトイオン化
(a)
9
反転層
12a
PL
7
WL
5a
5b
11
2
4a
4b
SL
N+
N
N
N+
BL
3a
8a
8b
3b
13
ピンチオフ点
6
12b
反転層
実質的なドレイン
(b) "1" 書込み状態
PL
WL
SL
N+
N
VFB=Vb
N
N+
BL
3a
8a
8b
3b
(c)
セル電流
Icell (BL to SL Current)
"1"書込み状態
"0"消去状態
ワード線電圧 VWL

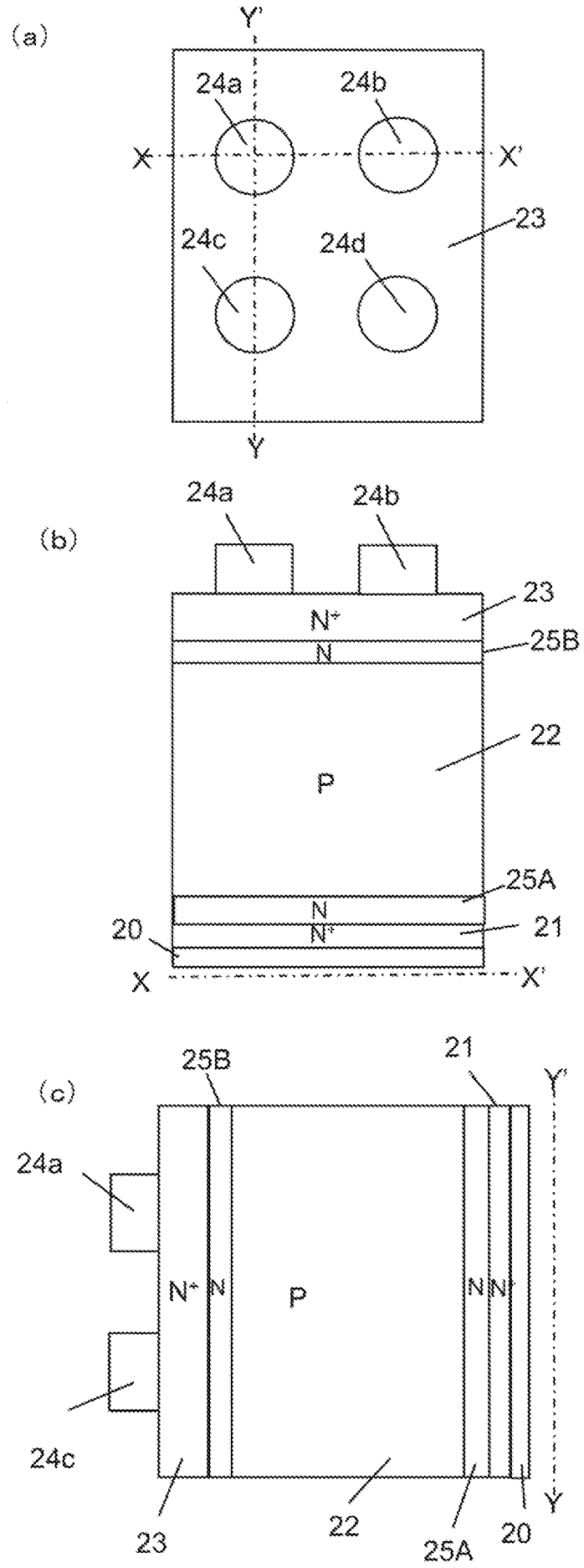
[図4A]


"1" 書込み状態
9
(a)
PL
7
WL
5a
11
5b
4a
4b
SL
N+
N
V_{FB}=Vb
N
N+
BL
3a
8a
6
8b
3b
(b)
"0" 消去状態
PL
WL
SL
N+
N
V_{FB}=V_{ERA}+Vb
N
N+
BL
V_{SL} = V_{ERA}
Vb: ビルトイン電圧～0.7V
(c)
セル電流
Icell (BL to SL Current)
"1"書込み状態
"0"消去状態
ワード線電圧 V_{WL}

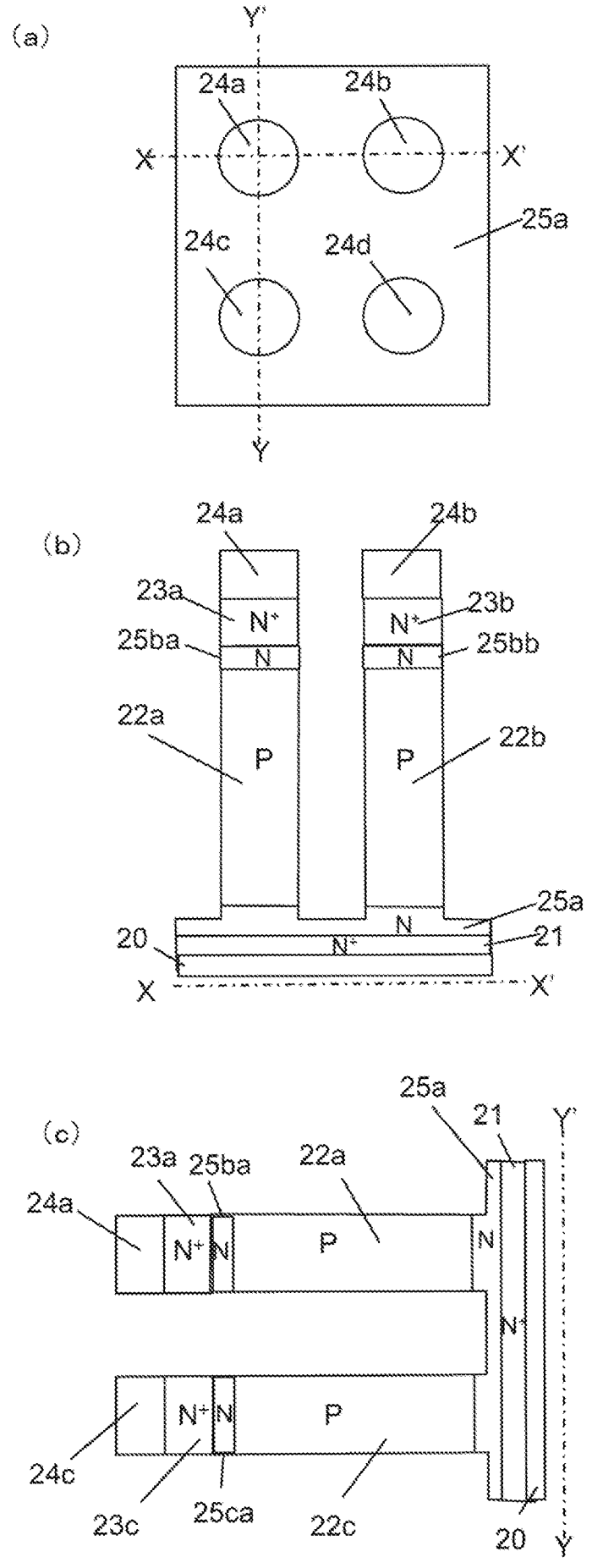
[図4B]


(a)
BL
3b
4b
8b
5b
7b
WL
6
4a
5a
2
FB
7
PL
7a
8a
3a
SL
(b)
BL
WL
FB
PL
SL
SL: ビット線
SL: ソース線
WL: ワード線
PL: プレート線
FB: フローティングボディ
(c)
C_{BL}
C_{WL}
C_{FB}
C_{PL}
C_{SL}
$C_{FB} = C_{PL} + C_{WL} + C_{BL} + C_{SL}$
(d)
V_{PL}
V_{ReadPL}
V_{ReadWL}
V_{WL}
0V
0V
V_{FB}
V_{FB1}
V_{FB2}
V_{FB1}
ΔV_{FB}
$\Delta V_{FB} = V_{FB2} - V_{FB1}$
$= \frac{C_{WL}}{C_{PL} + C_{WL} + C_{BL} + C_{SL}} \times V_{ReadWL}$ (1)

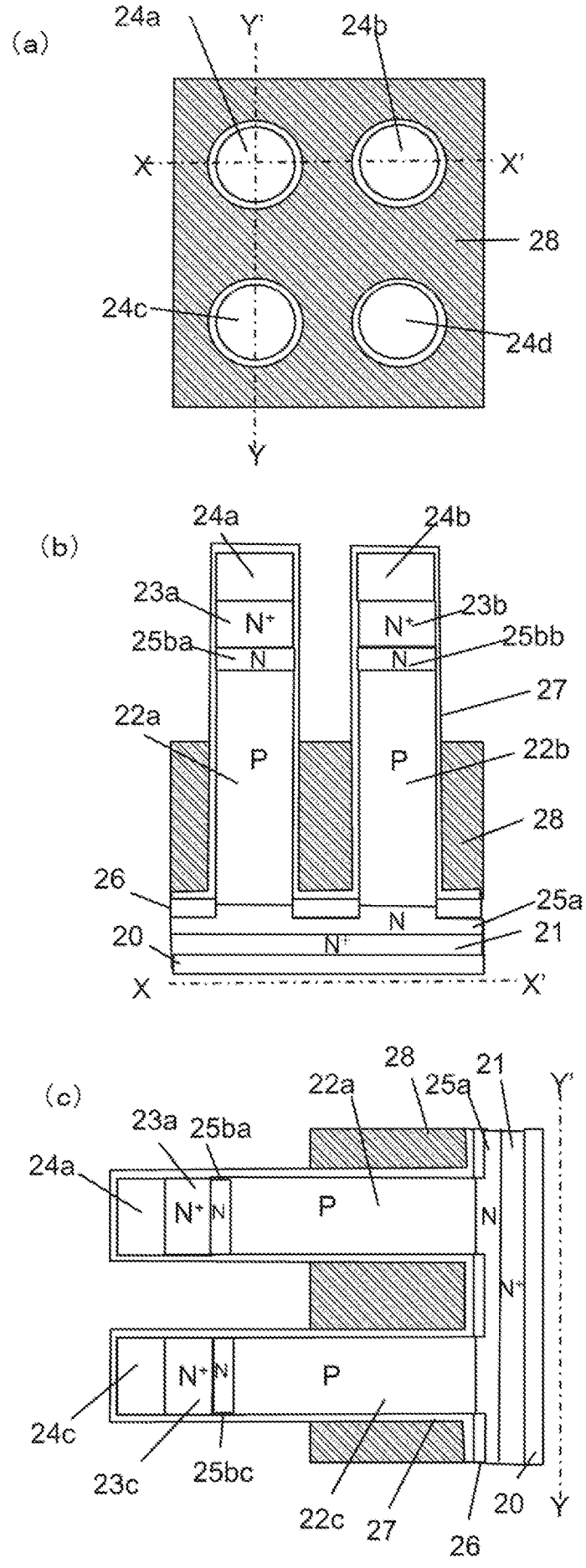
[図5A]


(a)
Y'
24a
24b
X
X'
23
24c
24d
Y
(b)
24a
24b
23
N+
N
25B
22
P
25A
N
N+
21
20
X
X'
(c)
25B
21
Y'
24a
N+
N
P
N
N+
24c
23
22
25A
20
Y

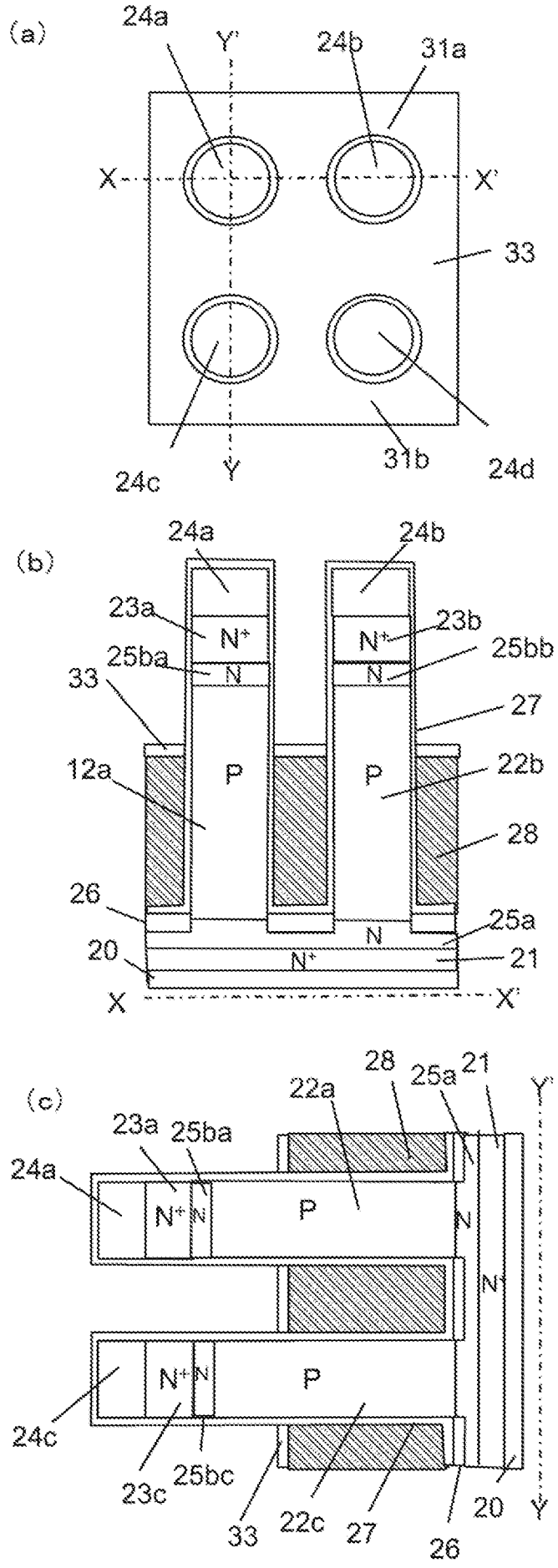
[図5B]


(a)
Y'
24a
24b
X
X'
25a
24c
24d
Y
(b)
24a
24b
23a
N+
23b
N+
25ba
N
N
25bb
22a
P
P
22b
25a
N
20
N+
21
X
X'
(c)
25a
21
Y'
23a
25ba
22a
24a
N+
N
P
N
N+
N+
N
P
24c
23c
25ca
22c
20
Y

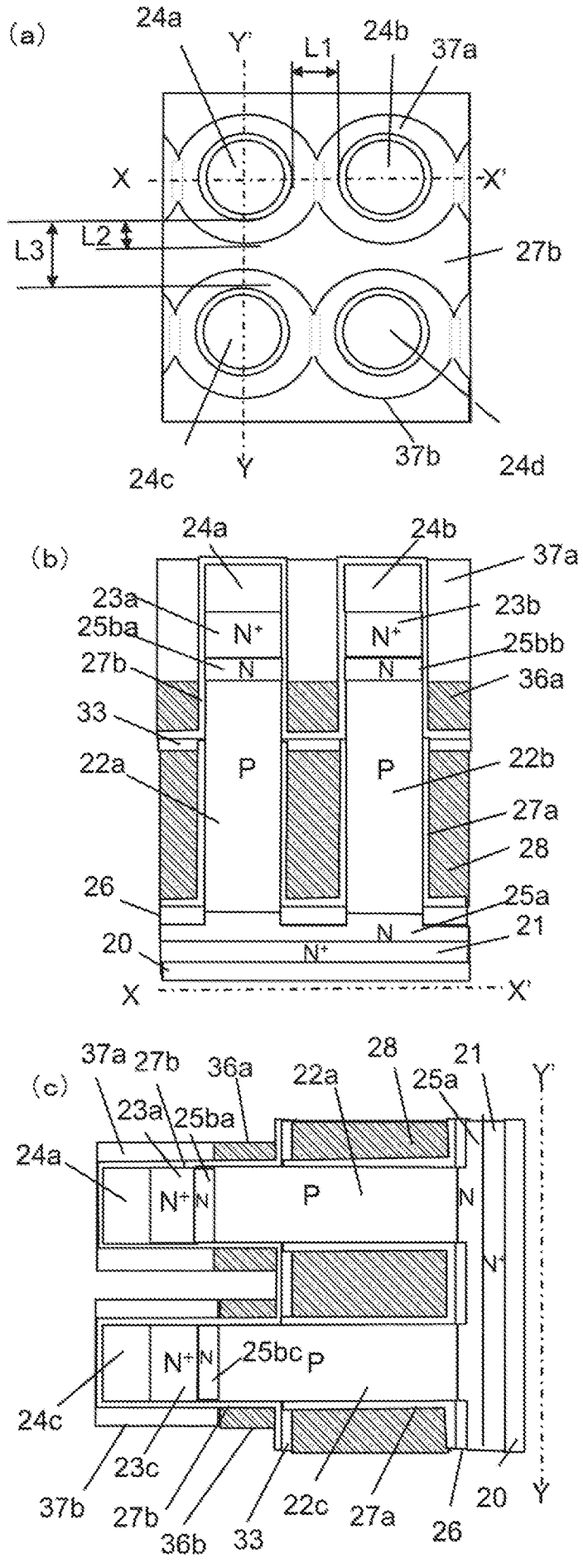
[図5C]


(a)
24a
Y'
24b
X
X'
28
24c
24d
Y
(b)
24a
24b
23a
N+
23b
N+
25ba
N
25bb
N
27
22a
P
P
22b
28
26
25a
N
20
N+
21
X
X'
(c)
28
21
Y'
22a
25a
23a
25ba
24a
N+
N
P
N
N+
N+
N
P
24c
23c
25bc
22c
27
26
20
Y

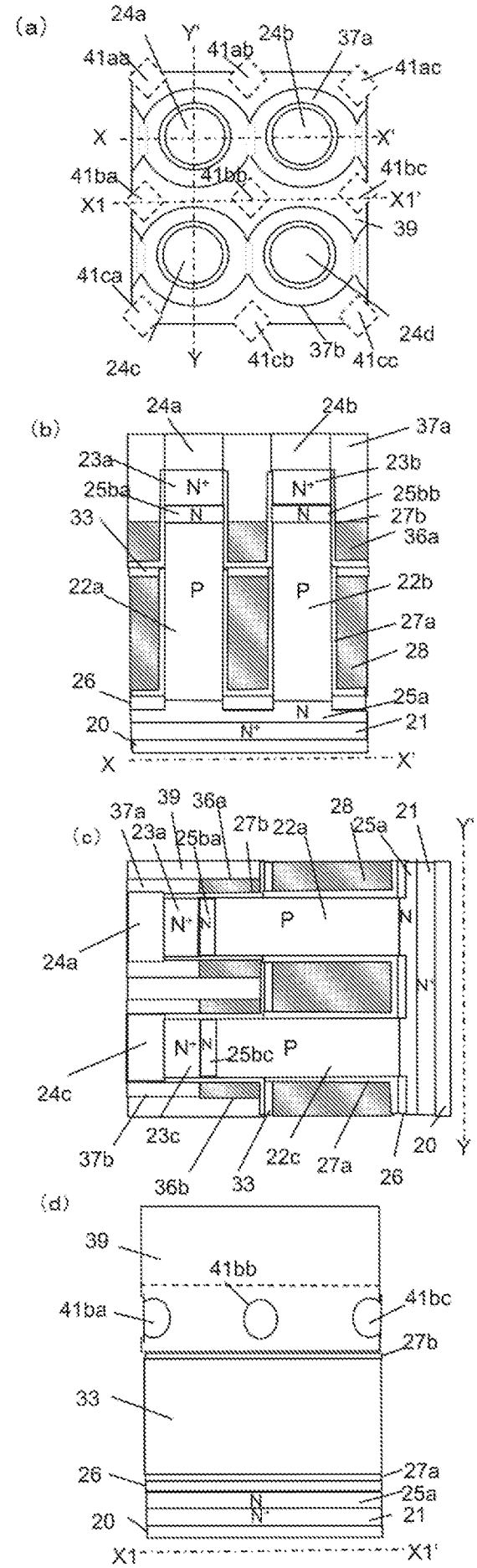
[図5D]


(a)
24a
Y'
24b
31a
X
X'
33
24c
Y
31b
24d
(b)
24a
24b
23a
N+
23b
N+
25ba
N
25bb
N
33
27
12a
P
P
22b
28
26
25a
N
20
N+
21
X
X'
(c)
28
25a
21
Y'
22a
23a
25ba
24a
N+
N
P
N
N
N+
P
24c
23c
25bc
33
22c
27
20
26
Y

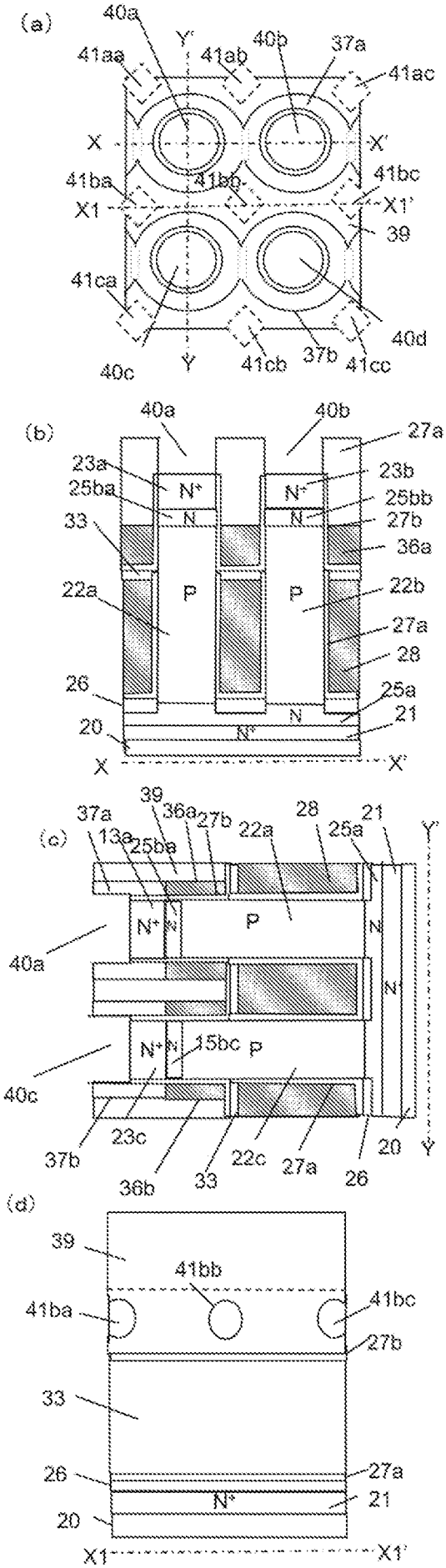
[図5E]


(a)
24a
Y'
L1
24b
37a
X
X'
L3
L2
27b
24c
Y
37b
24d
(b)
24a
24b
37a
23a
N+
23b
25ba
N
25bb
27b
36a
33
P
22a
22b
27a
28
26
25a
21
20
X
X'
(c)
37a
27b
36a
22a
28
21
Y'
23a
25ba
25a
24a
N+
N
P
25bc
24c
23c
37b
27b
36b
33
22c
27a
26
20
Y

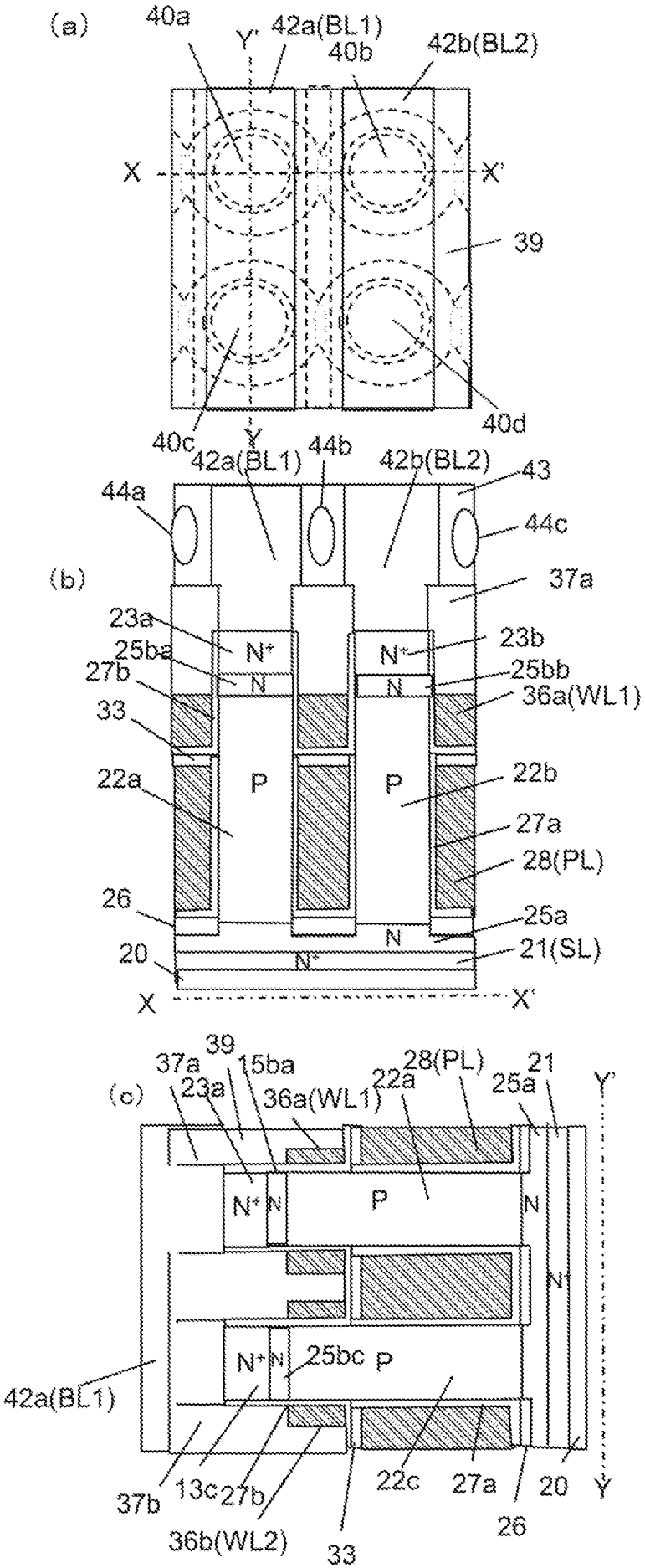
[図5F]


(a)
24a
Y'
41ab
24b
37a
41aa
41ac
X
X'
41ba
41bb
41bc
X1
X1'
39
41ca
24d
24c
Y
41cb
37b
41cc
(b)
24a
24b
37a
23a
23b
N+
N+
25ba
25bb
N
N
33
27b
36a
22a
P
P
22b
27a
28
26
25a
N
20
N+
21
X
X'
(c)
37a
39
36a
27b
22a
28
25a
21
Y'
23a
25ba
N+
N
P
N
24a
N
N+
N
25bc
P
24c
37b
23c
22c
27a
26
20
Y
36b
33
(d)
39
41bb
41ba
41bc
27b
33
26
27a
25a
N
20
N+
21
X1
X1'

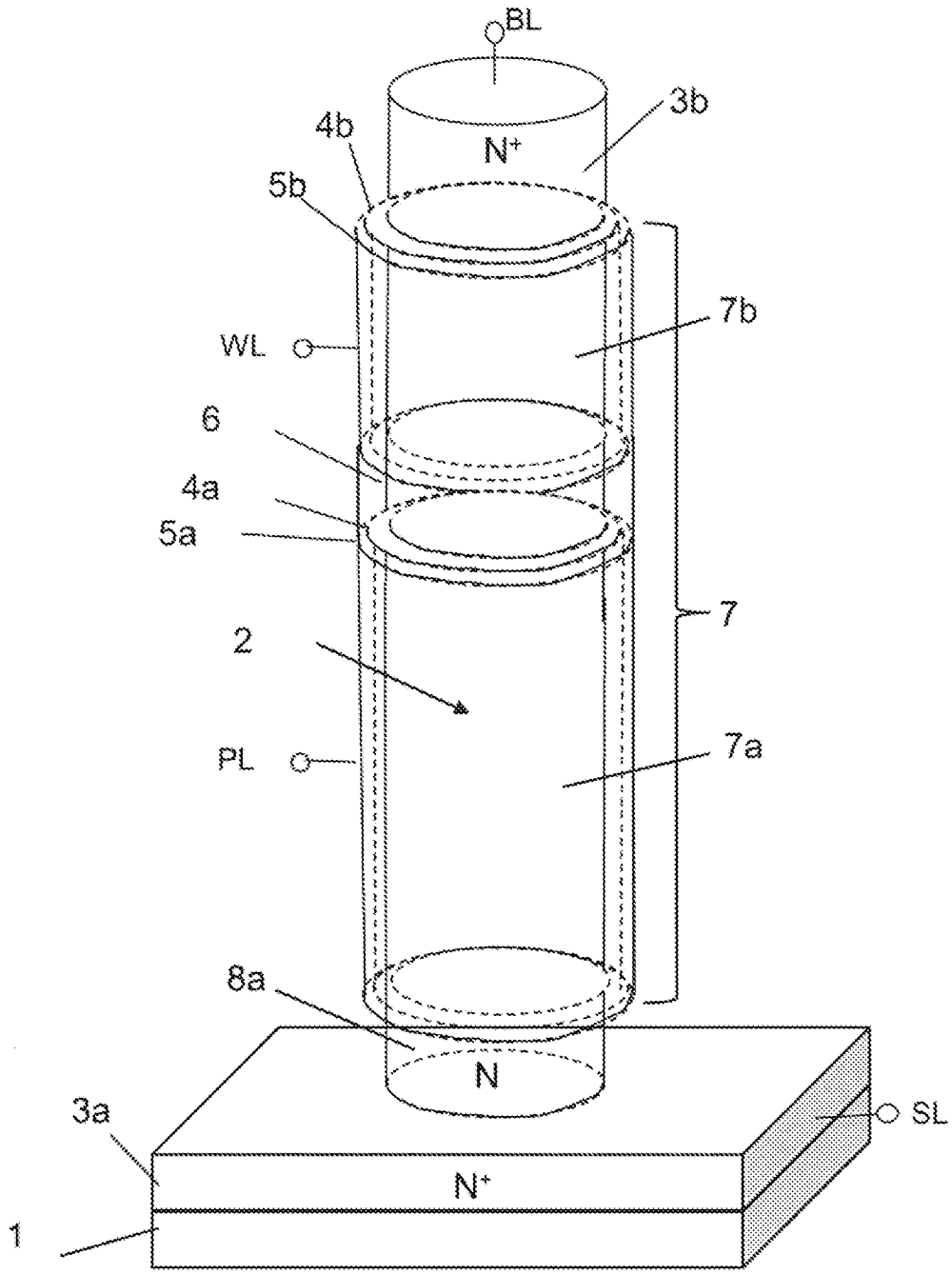
[図5G]


(a)
40a
Y'
40b
37a
41aa
41ab
41ac
X
X'
41ba
41bb
41bc
X1
X1'
39
41ca
40d
40c
Y
41cb
37b
41cc
(b)
40a
40b
27a
23a
N+
23b
25ba
25bb
33
27b
36a
22a
P
22b
27a
28
26
25a
21
20
N+
X
X'
(c)
39
37a
36a
27b
28
21
Y'
13a
25ba
22a
25a
N+
P
40a
15bc
40c
37b
23c
36b
33
22c
27a
26
20
Y
(d)
39
41bb
41ba
41bc
27b
33
26
27a
N+
21
20
X1
X1'

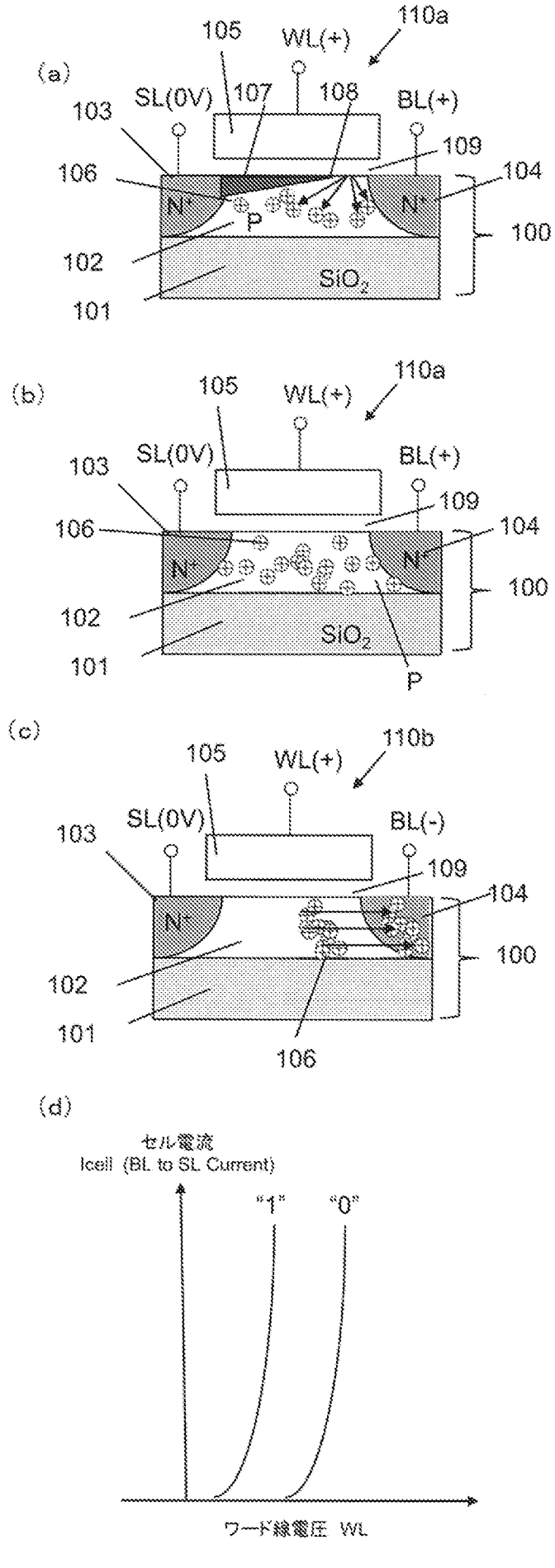
[図5H]


(a)
40a
Y'
42a(BL1)
40b
42b(BL2)
X
X'
39
40c
40d
Y
(b)
42a(BL1)
44b
42b(BL2)
43
44a
44c
37a
23a
N+
23b
25ba
25bb
27b
N
36a(WL1)
33
P
22a
22b
27a
28(PL)
26
25a
20
21(SL)
(c)
39
37a
15ba
23a
36a(WL1)
22a
28(PL)
25a
21
Y'
N+
25bc
42a(BL1)
37b
13c
27b
36b(WL2)
33
22c
27a
20
26

[図6]

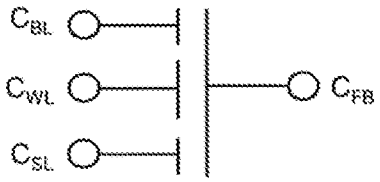


[図7]


(a)
105
WL(+)
110a
SL(0V)
107
108
BL(+)
103
109
106
104
N+
P
N+
100
102
SiO2
101
(b)
105
WL(+)
110a
SL(0V)
BL(+)
103
109
106
104
N+
N+
100
102
SiO2
101
P
(c)
105
WL(+)
110b
SL(0V)
BL(-)
103
109
104
N+
100
102
101
106
(d)
セル電流
Icell (BL to SL Current)
"1"
"0"
ワード線電圧 WL

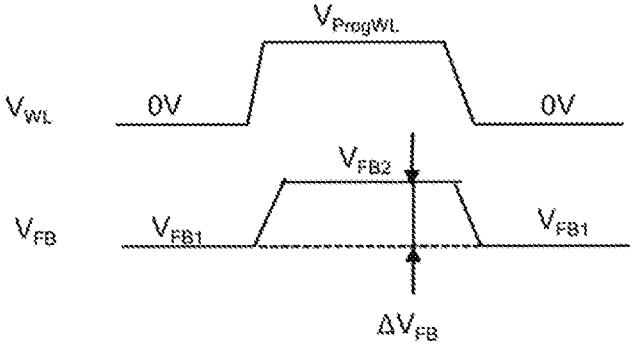
[図8]

(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(1)}$$

(b)

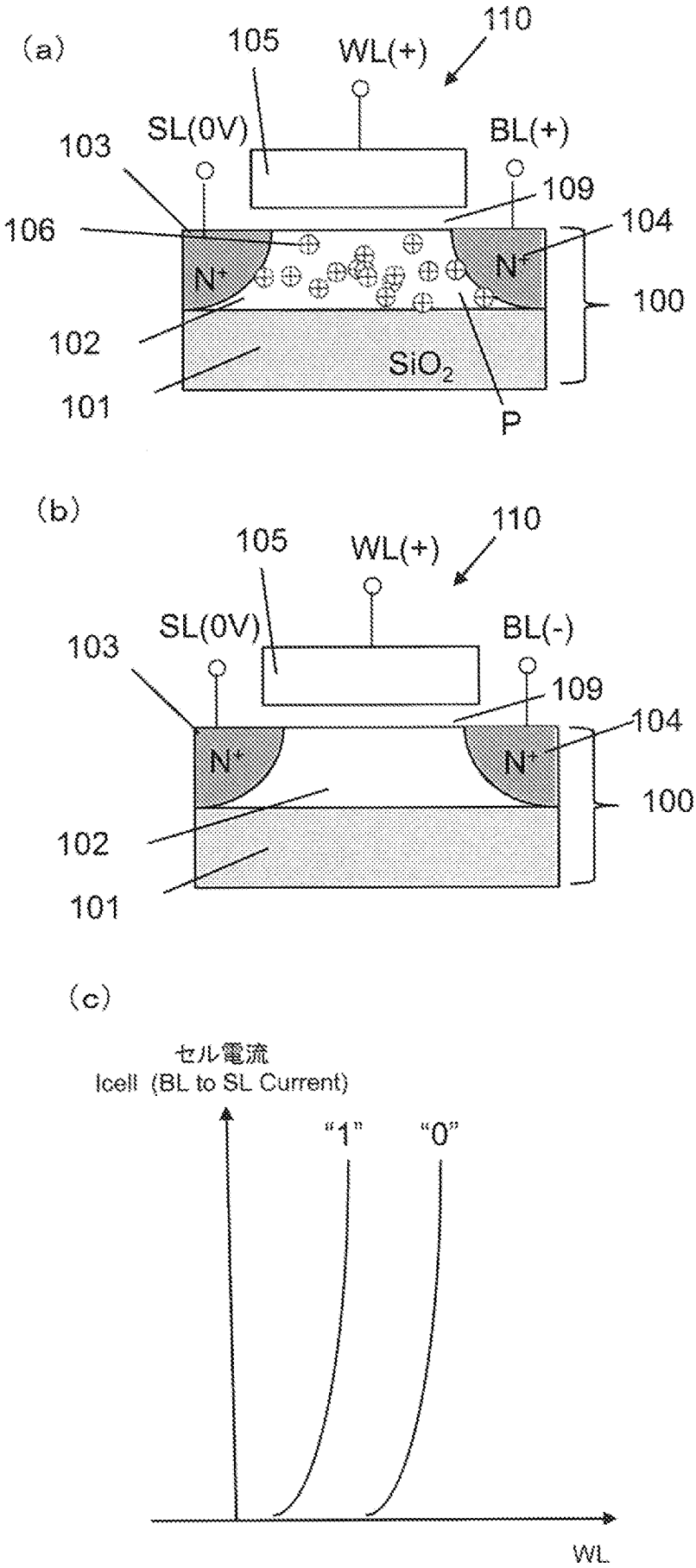


$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(2)}$$

$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(3)}$$

[図9]


(a)
105
WL(+)
110
SL(0V)
BL(+)
103
109
106
104
N+
N+
100
102
SiO2
101
P
(b)
105
WL(+)
110
SL(0V)
BL(-)
103
109
104
N+
N+
100
102
101
(c)
セル電流
Icell (BL to SL Current)
"1"
"0"
WL

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/017858

A. CLASSIFICATION OF SUBJECT MATTER
G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.0l)i
FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORP) 18 September 2008 (2008-09-18) paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-8
A	JP 2006-80280 A (TOSHIBA CORP) 23 March 2006 (2006-03-23) paragraphs [0028]-[0065], fig. 2-5	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 June 2021 (22.06.2021)	29 June 2021 (29.06.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/017858

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2008-218556 A	18 Sep. 2008	US 2008/0212366 A1 paragraphs [0042]-[0044], [0048], [0049], fig. 1, 5, 6 KR 10-2008-0080449 A	
JP 2006-80280 A	23 Mar. 2006	US 2006/0049444 A1 paragraphs [0158]-[0196], fig. 2-5	

国際調査報告

国際出願番号
PCT/JP2021/017858

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i
FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-218556 A (株式会社東芝) 18.09.2008 (2008-09-18) 段落[0026]-[0028],[0032],[0033], 図1,5,6	1-8
A	JP 2006-80280 A (株式会社東芝) 23.03.2006 (2006-03-23) 段落[0028]-[0065], 図2-5	1-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.06.2021	29.06.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5N 4226
電話番号 03-3581-1101 内線 3586

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/017858

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-218556 A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044],[0048],[0049], 図1,5,6 KR 10-2008-0080449 A	
JP 2006-80280 A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	