



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0001562  
(43) 공개일자 2018년01월04일

(51) 국제특허분류(Int. Cl.)  
H01L 21/02 (2006.01) H01L 21/324 (2017.01)  
H01L 21/425 (2006.01) H01L 27/12 (2006.01)  
H01L 29/66 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 21/02554 (2013.01)  
H01L 21/02565 (2013.01)  
(21) 출원번호 10-2017-7036496(분할)  
(22) 출원일자(국제) 2011년02월09일  
심사청구일자 2017년12월19일  
(62) 원출원 특허 10-2012-7025102  
원출원일자(국제) 2011년02월09일  
심사청구일자 2015년12월11일  
(85) 번역문제출일자 2017년12월19일  
(86) 국제출원번호 PCT/JP2011/053311  
(87) 국제공개번호 WO 2011/105268  
국제공개일자 2011년09월01일  
(30) 우선권주장  
JP-P-2010-043555 2010년02월26일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
야마자키 순페이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
오하라 히로키  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 9 항

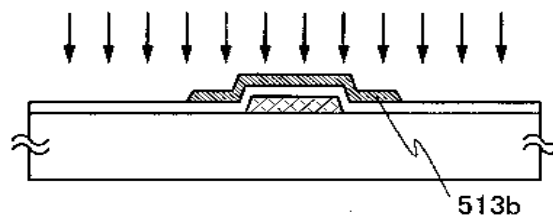
(54) 발명의 명칭 반도체 장치를 제작하기 위한 방법

(57) 요약

매우 신뢰성 있는 반도체 장치, 낮은 전력 소비를 가진 반도체 장치, 높은 생산성을 가진 반도체 장치, 및 이러한 반도체 장치를 제작하기 위한 방법을 제공하는 것이 목적이다. 산화물 반도체층에 남아있는 남겨진 불순물들이 산소 결손을 생성하지 않고 제거되며, 상기 산화물 반도체층은 매우 높은 순도를 갖도록 정제된다. 구체적으로, 상기 산소가 상기 산화물 반도체층에 첨가된 후, 열 처리가 상기 불순물들을 제거하기 위해 상기 산화물 반도체층 상에 수행된다. 산소를 첨가하기 위해, 높은 에너지를 가진 산소가 이온 주입법, 이온 도핑법 등에 의해 첨가되는 방법을 사용하는 것이 바람직하다.

대표도

[도 2b]



(52) CPC특허분류

*H01L 21/324* (2013.01)

*H01L 21/425* (2013.01)

*H01L 27/1225* (2013.01)

*H01L 29/66742* (2013.01)

*H01L 29/7869* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치를 제작하기 위한 방법에 있어서,

게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계로서, 상기 산화물 반도체층은 상기 게이트 전극과 중첩하는, 상기 산화물 반도체층 형성 단계;

상기 산화물 반도체층으로 산소 이온들을 도입하는 단계;

상기 산화물 반도체층에 산소 결함의 양을 줄이기 위하여 상기 산소 이온들을 도입한 후 상기 산화물 반도체층 상에 열 처리를 수행하는 단계로서, 상기 열 처리는 250℃ 이상 450℃ 이하로 수행되는, 상기 열 처리 수행 단계;

상기 열 처리를 수행한 후 상기 산화물 반도체층에 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위에 절연층을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

#### 청구항 2

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극의 각각은 상기 게이트 전극과 중첩하는, 반도체 장치 제작 방법.

#### 청구항 3

제 1 항에 있어서,

상기 절연층은 상기 산화물 반도체층과 접하고,

상기 절연층은 실리콘 및 산소를 포함하는, 반도체 장치 제작 방법.

#### 청구항 4

반도체 장치를 제작하기 위한 방법에 있어서,

트랜지스터 위에 절연층을 형성하는 단계;

상기 절연층 위에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층으로 산소 이온들을 도입하는 단계;

상기 산화물 반도체층에 산소 결함의 양을 줄이기 위하여 상기 산소 이온들을 도입한 후 상기 산화물 반도체층 상에 열 처리를 수행하는 단계;

상기 열 처리를 수행한 후 상기 산화물 반도체층 위에 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 위에 게이트 전극을 형성하는 단계로서, 상기 게이트 전극은 상기 산화물 반도체층과 중첩하는, 상기 게이트 전극 형성 단계를 포함하고,

상기 트랜지스터는 실리콘을 포함하는 반도체층을 포함하는, 반도체 장치 제작 방법.

#### 청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 산소 이온들은 이온 주입법 및 이온 도핑법 중 하나에 의하여 도입되는, 반도체 장치 제작 방법.

#### 청구항 6

제 1 항 또는 제 4 항에 있어서,

상기 산소 이온들은 상기 산화물 반도체층의 상면의 전체에 도입되는, 반도체 장치 제작 방법.

#### 청구항 7

제 1 항 또는 제 4 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨 및 아연 중 적어도 하나를 포함하는, 반도체 장치 제작 방법.

#### 청구항 8

제 1 항 또는 제 4 항에 있어서,

상기 산화물 반도체층은  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ , 및  $\text{ZnO}$ 를 포함하는 타겟을 사용한 스퍼터링법에 의해 형성되는, 반도체 장치 제작 방법.

#### 청구항 9

제 4 항에 있어서,

상기 열 처리는  $250^\circ\text{C}$  이상  $700^\circ\text{C}$  이하로 수행되는, 반도체 장치 제작 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 산화물 반도체를 포함한 반도체 장치를 제작하기 위한 방법에 관한 것이다. 본 명세서에서, 반도체 장치는 일반적으로 반도체 특성들을 이용함으로써 기능하는 소자 또는 장치를 나타낸다.

#### 배경 기술

[0002] 트랜지스터가 절연 표면을 가진 기판 위에 형성된 반도체층을 사용하여 형성되는 기술이 알려져 있다. 예를 들면, 트랜지스터가 실리콘계 반도체 재료를 포함한 박막을 사용한 유리 기판 위에 형성되고 액정 표시 장치 등에 응용되는 기술이 알려져 있다.

[0003] 액정 표시 장치를 위해 사용된 트랜지스터는 주로 비정질 실리콘 또는 다결정 실리콘과 같은 반도체 재료를 사용하여 형성된다. 비정질 실리콘을 사용하여 형성된 트랜지스터는 낮은 전계-효과 이동도를 갖지만, 그것은 보다 큰 유리 기판 위에 형성될 수 있다. 한편, 다결정 실리콘을 사용하여 형성된 트랜지스터는 높은 전계-효과 이동도를 갖지만; 그것은 레이저 어닐링과 같은 결정화 공정을 필요로 하며, 그것이 항상 보다 큰 유리 기판에 적절한 것은 아니다.

[0004] 산화물 반도체는 절연 표면을 가진 기판 위에 형성될 수 있고 트랜지스터를 형성하기 위해 사용되는 또 다른 재료로서 관심을 끌고 있다. 상기 산화물 반도체의 재료로서, 산화 아연 또는 구성요소로서 산화 아연을 포함한 재료가 알려져 있다.  $10^{18} / \text{cm}^3$  미만의 전자 캐리어 농도를 가진 비정질 산화물(산화물 반도체)을 사용하여 형성된 박막 트랜지스터들이 개시되고 있다(특허 문헌 1 내지 3을 참조).

[0005] [참조]

[0006] [특허 문헌 1] 일본 공개 특허 출원 번호 제2006-165527호

[0007] [특허 문헌 2] 일본 공개 특허 출원 번호 제2006-165528호

[0008] [특허 문헌 3] 일본 공개 특허 출원 번호 제2006-165529호

### 발명의 내용

## 해결하려는 과제

- [0009] 반도체 특성들을 이용하는 트랜지스터에서, 시간 열화에 의해 야기된 임계 전압에서의 변화는 작으며 오프-상태 전류는 작은 것이 바람직하다. 예를 들면, 그 임계 전압이 시간 열화로 인해 크게 변화하는 트랜지스터가 반도체 장치를 위해 사용될 때, 상기 반도체 장치의 신뢰성은 낮아진다. 또한, 오프 상태 전류가 큰 트랜지스터가 반도체 장치에 사용될 때, 반도체 장치의 전력 소비가 증가된다.
- [0010] 본 발명의 일 실시예의 목적은 매우 신뢰성 있는 반도체 장치를 제공하는 것이다. 또한, 상기 매우 신뢰성 있는 상기 반도체 장치를 제작하기 위한 방법을 제공하는 것이 목적이다.
- [0011] 또한, 낮은 전력 소비를 가진 반도체 장치를 제공하는 것이 목적이다. 또한, 낮은 전력 소비를 가진 상기 반도체 장치를 제작하기 위한 방법을 제공하는 것이 목적이다.
- [0012] 또한, 높은 양산성을 가진 반도체 장치를 제공하는 것이 목적이다. 또한, 높은 양산성을 가진 상기 반도체 장치를 제작하기 위한 방법을 제공하는 것이 목적이다.

## 과제의 해결 수단

- [0013] 상기 목적을 달성하기 위해, 본 발명자들 등은 산화물 반도체가 반도체층을 위해 사용되는 반도체 장치에서, 상기 산화물 반도체층에 포함된 불순물들의 농도 및 상기 산화물 반도체층에서의 산소 결손량은 임계 전압에서의 변화 및 오프-상태 전류에서의 증가에 영향을 준다는 사실에 관심을 집중하였다. 상기 불순물들의 예들은 수소 및 물과 같은 수소 원자를 포함한 물질이다.
- [0014] 상기 산화물 반도체에 포함된 상기 불순물들은 상기 산화물 반도체가 성막된 후 수행되는 제 1 열 처리에 의해 실질적으로 제거될 수 있다. 그러나, 상기 산화물 반도체에 포함된 금속에 강하게 결합되는 불순물들(수소 및 수산기와 같은)은 강한 결합력으로 인해 상기 반도체층에 잔류한다. 상기 불순물들이 잔류하는 상기 산화물 반도체가 상기 반도체층을 위해 사용될 때, 장기간의 사용 및 광 조사로 인해 상기 반도체 장치의 임계 전압에서의 변동, 오프-상태 전류에서의 증가 등과 같은 결함들이 발생된다.
- [0015] 또한, 상기 불순물들을 제거하는 단계를 통해, 상기 산화물 반도체의 주성분들 중 하나인 산소가 또한 제거되는 문제가 존재한다. 단지 소량의 산소가 제거될 때조차, 불순물 준위가 상기 산화물 반도체에 형성되며, 임계 전압에서의 변동, 오프-상태 전류에서의 증가 등과 같은 결함들이 발생된다.
- [0016] 그러므로, 상기 목적을 달성하기 위해, 상기 산화물 반도체층에 잔류하는 상기 불순물들은 산소 결손을 생성하지 않고 제거될 수 있으며 상기 산화물 반도체층은 매우 높은 순도를 갖도록 정제될 수 있다. 구체적으로, 산소가 상기 산화물 반도체층에 첨가된 후, 불순물들을 제거하기 위한 열 처리가 상기 산화물 반도체층 상에서 수행될 수 있다. 특히, 산소를 첨가하기 위해, 높은 에너지를 가진 산소가 이온 주입법, 이온 도핑법 등에 의해 첨가되는 방법을 사용하는 것이 바람직하다.
- [0017] 이온 주입법, 이온 도핑법 등에 의해 상기 산화물 반도체에 높은 에너지를 가진 산소를 첨가함으로써, 예를 들면, 상기 산화물 반도체에 포함된 금속 및 수소 간의 결합, 금속 및 수산기 간의 결합, 또는 금속에 결합된 수산기에서의 산소 및 수소 간의 결합이 절단될 수 있다. 또한, 금속으로부터 제거된 수산기 또는 수소는 첨가되는 상기 산소와 반응하며, 따라서 물이 생성된다. 그 후, 상기 산화물 반도체는 가열되며, 상기 반응에 의해 생성된 물은 제거될 수 있다.
- [0018] 첨가된 산소와의 반응에 의해 생성된 물이 가열에 의해 제거되는 방법은 상기 산화물 반도체에 포함된 금속에 강하게 결합된 수소 또는 수산기가 직접 제거되는 방법보다 쉽다. 또한, 상기 산화물 반도체층이 과잉 산소를 포함하도록 상기 열 처리 전에 산소가 상기 산화물 반도체층에 첨가되기 때문에, 다음 문제가 완화된다: 상기 산화물 반도체의 주성분들 중 하나인 산소가 열 처리에서 감소된다.
- [0019] 즉, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법은: 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층에 산소를 첨가하는 단계, 및 산소가 첨가되는 상기 산화물 반도체층 상에서 250℃ 이상 700℃ 이하로 열 처리를 수행하는 단계를 포함한다.
- [0020] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에 있어서: 절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층과 접하도록 상기 게이트 전극과 중첩하는 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층에 산소를

첨가하는 단계, 산소가 첨가되는 상기 산화물 반도체층 상에서 열 처리를 수행하는 단계, 상기 열 처리가 수행되는 상기 산화물 반도체층과 접하도록 그 단부들이 상기 게이트 전극과 중첩하는 소스 전극 및 드레인 전극을 형성하는 단계, 및 상기 산화물 반도체층의 채널 형성 영역과 중첩하고 상기 산화물 반도체층의 표면과 접하도록 제 1 절연층을 형성하는 단계를 포함한다.

[0021] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에서, 산화 실리콘층은 스퍼터링법에 의해 상기 산화물 반도체층의 채널 형성 영역과 중첩하고 상기 산화물 반도체층의 표면과 접하는 제 1 절연층으로서 형성된다.

[0022] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에서, 산화 실리콘층 및 상기 산화 실리콘층 위의 질화 실리콘층은 스퍼터링법에 의해 상기 산화물 반도체층의 채널 형성 영역과 중첩하고 상기 산화물 반도체층의 표면과 접하는 제 1 절연층으로서 형성된다.

[0023] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에 있어서: 절연 표면을 가진 기판 위에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극의 단부 및 상기 드레인 전극의 단부를 커버하는 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층에 산소를 첨가하는 단계, 산소가 첨가되는 상기 산화물 반도체층 상에서 열 처리를 수행하는 단계, 상기 열 처리가 수행되는 상기 산화물 반도체층과 접하도록 상기 소스 전극의 상기 단부 및 상기 드레인 전극의 상기 단부와 중첩하는 게이트 절연층을 형성하는 단계, 및 상기 게이트 절연층과 접하도록 상기 소스 전극의 상기 단부 및 상기 드레인 전극의 상기 단부와 중첩하는 게이트 전극을 형성하는 단계를 포함한다.

[0024] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에서, 산화 실리콘층이 스퍼터링법에 의해 상기 산화물 반도체층과 접하는 상기 게이트 절연층으로서 형성된다.

[0025] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에서, 산화 실리콘층 및 상기 산화 실리콘층 위의 질화 실리콘 층이 스퍼터링법에 의해 상기 산화물 반도체층과 접하는 상기 게이트 절연층으로서 형성된다.

[0026] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법은: 반도체 장치를 제작하기 위한 상기 방법에 의해, 제 1 트랜지스터 위에 형성된 절연막 위에, 제 2 트랜지스터를 형성하는 단계를 포함한다.

[0027] 또한, 본 발명의 일 실시예에 따르면, 반도체 장치를 제작하기 위한 방법에서, 산소가 이온 주입법 또는 이온 도핑법에 의해 첨가된다.

### 발명의 효과

[0028] 본 발명의 반도체 장치를 제작하기 위한 상기 방법에 따르면, 산화물 반도체층에 잔류하는 불순물들이 저감될 수 있다. 상기 잔류하는 불순물들이 저감되는 상기 산화물 반도체층을 포함한 반도체 장치에서, 임계 전압에서의 변동은 억제되며 상기 반도체 장치의 신뢰성은 높다.

[0029] 그러므로, 본 발명의 일 실시예에 따르면, 매우 신뢰성 있는 반도체 장치가 제공되며, 상기 매우 신뢰성 있는 반도체 장치를 제작하기 위한 방법이 제공될 수 있다.

[0030] 본 발명의 반도체 장치를 제작하기 위한 상기 방법에 따르면, 산화물 반도체층에 잔류하는 불순물들이 저감될 수 있다. 상기 잔류하는 불순물들이 저감되는 상기 산화물 반도체층을 포함하는 반도체 장치에서, 상기 오프-상태 전류는 감소되며, 상기 반도체 장치의 전력 소비는 낮다.

[0031] 그러므로, 본 발명의 일 실시예에 따르면, 낮은 전력 소비를 가진 반도체 장치가 제공될 수 있으며, 낮은 전력 소비를 가진 상기 반도체 장치를 제작하기 위한 방법에 제공될 수 있다.

[0032] 본 발명의 반도체 장치를 제작하기 위한 상기 방법에 따르면, 산화물 반도체층에 잔류하는 불순물들이 저감될 수 있다. 상기 잔류하는 불순물들이 저감되는 상기 산화물 반도체층을 포함한 반도체 장치에서, 반도체 특성들에서의 변동은 작으며, 상기 반도체 장치의 양산성은 높다.

[0033] 그러므로, 본 발명의 일 실시예에 따르면, 높은 양산성을 가진 반도체 장치가 제공될 수 있으며, 높은 양산성을 가진 상기 반도체 장치를 제작하기 위한 방법에 제공될 수 있다.

### 도면의 간단한 설명

- [0034] 도 1a 및 도 1b는 일 실시예에 따른 반도체 장치의 구조를 설명하는 도면들.  
 도 2a 내지 도 2e는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 3a 및 도 3b는 일 실시예에 따른 반도체 장치의 구조를 설명하는 도면들.  
 도 4a 내지 도 4e는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 5a 및 도 5b는 일 실시예에 따른 반도체 장치의 구조를 설명하는 도면들.  
 도 6a 내지 도 6d는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 7a 내지 도 7c는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 8a 내지 도 8d는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 9a 내지 도 9c는 일 실시예에 따른 반도체 장치를 제작하기 위한 방법을 설명하는 도면들.  
 도 10a 내지 도 10e는 일 예에 따른 샘플을 제작하기 위한 방법을 설명하는 도면들.  
 도 11은 일 예에 따라 샘플 상에서 2차 이온 질량 분석법을 수행하는 결과를 도시하는 그래프.  
 도 12는 일 예에 따라 샘플 상에서 2차 이온 질량 분석법을 수행하는 결과를 도시하는 그래프.  
 도 13a-1 내지 도 13b는 일 실시예에 따른 반도체 장치의 회로도들.  
 도 14a 및 도 14b는 일 실시예에 따른 반도체 장치의 회로도들.  
 도 15a 내지 도 15c는 일 실시예에 따른 반도체 장치의 회로도들.  
 도 16a 내지 도 16f는 각각 일 실시예에 따른 반도체 장치를 포함한 전자 기기들을 설명하는 도면들.  
 도 17은 일 예에 따라 샘플 상에서 저온 포토루미네선스 분광 측정법을 수행하는 결과를 도시하는 그래프.

### 발명을 실시하기 위한 구체적인 내용

- [0035] 실시예들 및 예들은 도면들을 참조하여 상세히 설명될 것이다. 본 발명은 다음 설명에 한정되지 않으며, 이 기술분야의 숙련자들에 의해 그 형태들 및 상세들이 본 발명의 취지 및 범위로부터 벗어나지 않고 다양하게 변경될 수 있다는 것이 이해될 것임을 주의하자. 그러므로, 본 발명은 다음 실시예들 및 예들에서의 설명에 한정되는 것으로서 해석되어서는 안 된다. 이하에 설명된 본 발명의 구조들에서, 동일한 부분들 또는 유사한 기능들을 가진 부분들은 도면들 전체에 걸쳐 동일한 참조 번호들로 표시되며, 이러한 부분들에 대한 설명은 반복되지 않는다.
- [0036] (실시예 1)
- [0037] 이 실시예에서, 보텀-게이트 트랜지스터를 제작하기 위한 방법이 도 1a와 도 1b 및 도 2a 내지 도 2e를 참조하여 설명될 것이다. 상기 방법에서, 산소가 산화물 반도체층에 첨가된 후, 불순물들을 제거하고 상기 산화물 반도체층을 고순도화하기 위해 상기 산화물 반도체층 상에서 열 처리가 수행된다.
- [0038] 도 1a 및 도 1b는 이 실시예에서 제작된 보텀-게이트형인 트랜지스터(550)의 구조를 도시한다. 도 1a는 상기 트랜지스터(550)의 상면도이며 도 1b는 상기 트랜지스터(550)의 단면도이다. 도 1b는 도 1a에서의 선(P1-P2)을 따르는 단면을 도시한다.
- [0039] 상기 트랜지스터(550)에서, 게이트 전극(511) 및 상기 게이트 전극(511)을 커버하는 게이트 절연층(502)이 절연 표면을 가진 기판(500) 위에 제공된다. 고순도화되고 상기 게이트 전극(511)과 중첩하는 산화물 반도체층(513c)이 상기 게이트 절연층(502) 위에 제공된다. 또한, 상기 산화물 반도체층(513c)과 접하여, 상기 게이트 전극(511)과 중첩하는 단부들을 갖고, 소스 전극 및 드레인 전극으로서 작용하는 제 1 전극(515a) 및 제 2 전극(515b)이 제공된다. 또한, 상기 산화물 반도체층(513c)과 접하고 그것과 중첩하는 절연층(507), 및 상기 트랜지스터(550)를 커버하는 보호 절연층(508)이 제공된다.
- [0040] 다음으로, 상기 기판(500) 위에 상기 트랜지스터(550)를 제작하기 위한 방법이 도 2a 내지 도 2e를 참조하여 설명될 것이다.
- [0041] 먼저, 도전막이 절연 표면을 가진 상기 기판(500) 위에 형성된 후, 상기 게이트 전극(511)을 포함하는 배선층이



제 1 포토리소그래피 단계에 의해 형성된다. 레지스트 마스크가 잉크젯법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.

[0042] 이 실시예에서, 절연 표면을 가진 상기 기판(500)으로서, 유리 기판이 사용된다.

[0043] 하지막(base film)으로서 작용하는 절연막이 상기 기판(500) 및 상기 게이트 전극(511) 사이에 제공될 수 있다. 상기 하지막은 상기 기판(500)으로부터 불순물 원소들(예로서, Li 또는 Na과 같은 알칼리 금속, Ca과 같은 알칼리 토금속 등)의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 산질화 실리콘막 등 중 하나 이상을 사용하는 단층 또는 적층 구조를 갖도록 형성될 수 있다.

[0044] 또한, 상기 게이트 전극(511)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 이들 재료들 중 임의의 것을 주성분으로서 포함하는 합금 재료를 사용한 단층 또는 적층 구조를 갖고 형성될 수 있다. 알루미늄 또는 구리가 나중 단계에서 수행된 열 처리의 온도를 견딜 수 있다면, 알루미늄 또는 구리는 상기 금속 재료로서 사용될 수 있다는 것을 주의하자. 알루미늄 또는 구리는 바람직하게는 내열성 문제 및 부식성 문제를 방지하기 위해 고용점 금속 재료(refractory metal material)와 조합된다. 상기 고용점 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 사용될 수 있다. 구리를 사용하는 경우에, Cu-Mg-Al 합금이 하지로서 작용하는 층 위에 제공되고 구리가 그 위에 제공되는 구조가 바람직하다. 상기 Cu-Mg-Al 합금의 제공은 산화막과 같은 하지 및 구리 사이에서의 밀착성을 강화하는 효과를 가진다.

[0045] 다음으로, 상기 게이트 절연층(502)이 상기 게이트 전극(511) 위에 형성된다. 상기 게이트 절연층(502)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 또한, 상기 게이트 절연층(502)은 산화 실리콘층, 질화 실리콘층, 산질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산질화 알루미늄층, 질화 산화 알루미늄층, 산화 하프늄층, 산화 탄탈층, 산화 갈륨층 등 중 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖고 형성될 수 있다.

[0046] 이 실시예에서 산화물 반도체로서, 불순물들을 제거함으로써 i-형 또는 실질적으로 i-형이 되는 산화물 반도체(고순도화된 산화물 반도체)가 사용된다. 이러한 고순도화된 산화물 반도체는 계면 준위 및 계면 전하에 매우 민감하며; 따라서 상기 산화물 반도체층 및 상기 게이트 절연층 사이의 계면이 중요하다. 이러한 이유로, 상기 고순도화된 산화물 반도체와 접하는 상기 게이트 절연층은 높은 품질을 가질 필요가 있다.

[0047] 예를 들면, 마이크로파들(예로서, 2.45 GHz의 주파수를 가진)을 사용한 고-밀도 플라즈마 CVD법이 바람직하게는 형성되는 절연층이 치밀할 수 있고 높은 내전압 및 고품질을 갖기 때문에 채택된다. 상기 고순도화된 산화물 반도체 및 상기 고-품질 게이트 절연층이 서로 밀착될 때, 상기 계면 준위 밀도는 양호한 계면 특성들을 획득하기 위해 감소될 수 있다.

[0048] 말할 필요도 없이, 스퍼터링법 또는 플라즈마 CVD법과 같은 또 다른 막 형성 방법이, 상기 방법이 상기 게이트 절연층으로서 양호한-품질의 절연층의 형성을 가능하게 하는 한 이용될 수 있다. 또한, 상기 게이트 절연층으로서의 막 품질 및 상기 산화물 반도체층과의 상기 계면의 특성이 상기 절연층의 형성 후 수행되는 열 처리에 의해 개선되는 절연층이 사용될 수 있다. 어떠한 경우에도, 임의의 절연층이, 상기 게이트 절연층으로서의 양호한 막 품질을 가질 뿐만 아니라 상기 절연층이 상기 산화물 반도체와의 계면 준위 밀도를 저감시킬 수 있고 양호한 계면을 형성할 수 있는 한 사용될 수 있다.

[0049] 상기 게이트 절연층(502)은 나중에 형성되는 산화물 반도체막과 접한다는 것을 주의하자. 수소가 상기 산화물 반도체막에 포함될 때, 상기 트랜지스터의 특성들이 악영향을 받으며; 그러므로, 상기 게이트 절연층(502)은 수소, 수산기, 및 수분을 포함하지 않는 것이 바람직하다. 상기 게이트 절연층(502) 및 상기 산화물 반도체막이 가능한 한 적게 수소, 수산기, 및 수분을 포함하기 위해, 수소 또는 수분과 같이, 상기 기판(500)상에 흡수된 불순물들은 상기 산화물 반도체막의 형성을 위한 사전 처리로서, 스퍼터링 장치의 예열실(preheating chamber)에서, 상기 게이트 전극(511)까지 그것을 포함한 층들이 형성되는 상기 기판(500) 또는 상기 게이트 절연층(502)까지 그것을 포함한 층들이 형성되는 상기 기판(500)을 예열함으로써 제거 및 소거되는 것이 바람직하다. 상기 예열을 위한 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 상기 예열실에 제공된 배기 수단으로서, 크라이오펌프가 바람직하다. 이러한 예열 처리는 생략될 수 있다는 것을 주의하자. 이러한 예열은 유사하게 상기 제 1 전극(515a) 및 상기 제 2 전극(515b)까지 이를 포함한 층들이 상기 절연층(507)의 형성 전에 형성되는 상기 기판(500) 상에서 수행될 수 있다.

[0050] 다음으로, 상기 게이트 절연층(502) 위에, 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하의 두께



를 가진 상기 산화물 반도체막이 형성된다. 상기 산화물 반도체막은 타겟으로서 산화물 반도체를 사용하여 스퍼터링법에 의해 형성된다. 게다가, 상기 산화물 반도체막은 회가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 회가스(예를 들면, 아르곤) 및 산소를 포함한 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다.

[0051] 상기 산화물 반도체막이 스퍼터링법에 의해 형성되기 전에, 상기 게이트 절연층(502)의 표면에 부착된 가루 물질들(또한 입자들 또는 먼지들로서 불리우는)이 바람직하게는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거된다는 것을 주의하자. 상기 역 스퍼터링은 표면을 변경하기 위해 RF 전원이 아르곤 분위기에서 기판 측으로의 전압의 인가를 위해 사용되며 플라즈마가 상기 기판 주변에 생성되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다는 것을 주의하자.

[0052] 상기 산화물 반도체막을 위해 사용된 상기 산화물 반도체로서, 다음의 산화물 반도체들이 사용될 수 있다: In-Sn-Ga-Zn-O계 산화물 반도체와 같은 4-원계 금속 산화물; In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체와 같은 3-원계 금속 산화물; In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, 또는 In-Ga-O계 산화물 반도체와 같은 2-원계 금속 산화물; In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등. 또한, 산화 실리콘이 상기 산화물 반도체막에 포함될 수 있다. 상기 산화물 반도체막으로의 결정화를 방해하는 산화 실리콘( $\text{SiO}_x$  ( $x>0$ ))의 첨가는 상기 제작 공정에서 열 처리가 상기 산화물 반도체막의 형성 후 수행될 때 상기 산화물 반도체막의 결정화를 억제할 수 있다. 상기 산화물 반도체막은 바람직하게는 비정질 상태에 있지만; 상기 산화물 반도체막은 부분적으로 결정화될 수 있다. 본 명세서에서, 예를 들면, In-Ga-Zn-O계 산화물 반도체는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물 막을 의미하며, 조성비에 대한 특별한 제한은 없다. 또한, 상기 산화물 반도체막은 In, Ga, 및 Zn 이외의 원소를 포함할 수 있으며, 화학식,  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ , 및  $m$ 은 자연수가 아니다)에 의해 표현된 재료의 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 동일 수 있다. 상기 산화물 반도체는 바람직하게는 In을 포함하며, 보다 바람직하게는 In 및 Ga를 포함한다. i-형(진성) 산화물 반도체층을 획득하기 위해, 탈수화 또는 탈수소화가 효과적이다. 이 실시예에서, 상기 산화물 반도체막은 스퍼터링법에 의해 In-Ga-Zn-O계 산화물 타겟을 사용하여 형성된다.

[0053] 스퍼터링법에 의해 상기 산화물 반도체막을 형성하기 위한 타겟으로서, 예를 들면,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$  [몰 비]의 조성비를 가진 산화물 타겟이 사용되며, In-Ga-Zn-O 막이 형성된다. 상기 재료 및 상기 타겟의 조성에 대한 제한 없이, 예를 들면,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$  [몰 비] 또는  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$  [몰 비]의 조성비를 가진 산화물 타겟이 사용될 수 있다.

[0054] In-Zn-O계 재료가 상기 산화물 반도체막을 위해 사용되는 경우에, 사용된 타겟의 조성비는 원자비(몰 비로  $\text{In}_2\text{O}_3:\text{ZnO} = 25:1$  내지 1:4)에서 In:Zn = 50:1 내지 1:2, 바람직하게는 원자비(몰 비로  $\text{In}_2\text{O}_3:\text{ZnO} = 2:1$  내지 10:1)에서 In:Zn = 1:1 내지 1:20, 보다 바람직하게는 원자비(몰 비로  $\text{In}_2\text{O}_3:\text{ZnO} = 3:4$  내지 15:2)에서 In:Zn = 1.5:1 내지 15:1이다. 예를 들면, In-Zn-O계 산화물 반도체의 형성을 위해 사용된 타겟은 In:Zn:O = 1:1:X(여기서,  $X>1$ , 바람직하게는  $X>1.5$ )의 원자비를 가진다.

[0055] 또한, 상기 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 가진 상기 산화물 타겟의 사용으로, 치밀한 산화물 반도체막이 형성될 수 있다. 게다가, 상기 타겟의 순도는 바람직하게는 99.99% 이상이며, 여기서 불순물들, 예를 들면, Li 또는 Na과 같은 알칼리 금속 및 Ca과 같은 알칼리 토금속이 특히 감소되는 것이 바람직하다.

[0056] 수소, 물, 수산기, 또는 수소화물과 같은 불순물들이 제거되는 고-순도 가스가 상기 산화물 반도체막을 형성하기 위해 사용된 스퍼터링 가스로서 사용된다. 예를 들면, 불순물들이 약 10 ppm 이하, 바람직하게는 1 ppm 이하의 농도까지 제거되는 고-순도 가스가 사용되는 것이 바람직하다. 구체적으로, 이슬점이  $-60^\circ\text{C}$  이하인 고-순도 가스가 바람직하다.

[0057] 상기 기판은 감소된 압력 하에서 성막실(deposition chamber)에 배치되며, 상기 기판 온도는  $100^\circ\text{C}$  이상  $600^\circ\text{C}$  이하, 바람직하게는  $200^\circ\text{C}$  이상  $400^\circ\text{C}$  이하로 설정된다. 상기 기판이 가열되는 상태에서 상기 산화물 반도체막을 형성함으로써, 상기 형성된 산화물 반도체막에 포함된 불순물들의 농도는 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 그 후, 수소 및 수분이 제거되는 스퍼터링 가스가 상기 성막실에서의 잔여 수분

및 외부로부터 상기 성막실에 들어온 수소 및 수분(리크로 인해 들어온 수소 및 수분)이 배기 펌프를 사용하여 제거되는 동안 도입되며, 상기 산화물 반도체막은 상기 타겟을 사용하여 상기 기판(500) 위에 형성된다. 상기 성막실로부터 잔여 수분을 제거하기 위해, 흡착형 진공 펌프(entrainment vacuum pump), 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 승화 펌프(titanium sublimation pump)가 사용되는 것이 바람직하다. 상기 배기 수단은 콜드 트랩을 구비한 터보 펌프일 수 있다. 상기 크라이오펌프를 갖고 배기되는 상기 성막실에서, 예를 들면, 수소 원자, 물(H<sub>2</sub>O)과 같이, 수소 원자를 포함한 화합물, (보다 바람직하게는, 또한 탄소 원자를 포함한 화합물) 등이 제거되며, 그에 의해 상기 성막실에 형성된 상기 산화물 반도체막에서의 불순물들의 농도는 저감될 수 있다.

[0058] 스퍼터링법을 위한 분위기는 희가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함한 혼합 분위기일 수 있다.

[0059] 상기 성막 조건들의 일 예로서, 상기 기판 및 상기 타겟 간의 거리는 100 mm이고, 압력은 0.6 Pa이고, 직류(DC) 전원의 전력은 0.5 kW이며, 상기 분위기는 산소 분위기(산소 유량 비율은 100%이다)이다. 성막시 생성된 가루 물질들(또한 입자들 또는 먼지들로서 불리는)이 감소될 수 있고 상기 막 두께가 균일할 수 있기 때문에 펄스 직류 전원이 바람직하다는 것을 주의하자. 게다가, 상기 스퍼터링 장치의 상기 처리실의 누설율(leakage rate)이  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$  이하로 설정될 때, 스퍼터링법에 의해 형성되는 상기 산화물 반도체막으로의 알칼리 금속 또는 수소화물과 같은 불순물들의 진입은 감소될 수 있다. 또한, 배기 시스템으로서 흡착형 진공 펌프의 사용으로, 상기 배기 시스템으로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소화물과 같은 불순물들의 역류가 감소될 수 있다. 바람직하게는 산화물 반도체층에 포함된 불순물들, 예를 들면, Li 또는 Na와 같은 알칼리 금속 및 Ca와 같은 알칼리 토금속이 감소된다는 것을 주의하자. 구체적으로, 상기 농도들이 SIMS를 사용하여 측정될 때, 상기 산화물 반도체층에 포함된 Li, Na, 및 K의 불순물 농도들은 각각  $5 \times 10^{15} \text{ cm}^{-3}$ , 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이다. 알칼리 금속 및 알칼리 토금속은 상기 산화물 반도체에 대한 악성 불순물들이며, 가능한 한 적게 포함된다. 알칼리 금속, 특히, Na은 산화물로 확산되며 상기 산화물 반도체와 접하는 절연막이 산화물일 때 Na<sup>+</sup>가 된다. 또한, Na은 금속 및 산소 간의 결합을 분단시키거나 또는 상기 산화물 반도체에서의 결합에 들어간다. 그 결과, 트랜지스터 특성들이 열화한다(예로서, 상기 트랜지스터는 노멀리-온되거나(부측(negative side)으로의 임계 전압의 시프트) 또는 이동도가 감소된다). 게다가, 이것은 또한 상기 특성들에서의 변동을 야기한다. 이러한 문제점은 상기 산화물 반도체에서의 상기 수소 농도가 매우 낮은 경우에 특히 중요하다. 그러므로, 알칼리 금속의 농도는 상기 산화물 반도체에서의 상기 수소 농도가  $5 \times 10^{19} \text{ cm}^{-3}$  이하, 특히  $5 \times 10^{18} \text{ cm}^{-3}$  이하인 경우에 상기 값으로 설정되도록 강하게 요구된다.

[0060] 다음으로, 상기 산화물 반도체막은 제 2 포토리소그래피 단계에 의해 섬형상 산화물 반도체층(513a)으로 처리된다. 상기 섬형상 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용은 감소될 수 있다.

[0061] 또한, 콘택트 홀(contact hole)이 상기 게이트 절연층(502)에 형성되는 경우에, 상기 콘택트 홀을 형성하는 단계가 상기 산화물 반도체막의 가공과 동시에 수행될 수 있다.

[0062] 여기에서 상기 산화물 반도체막의 에칭은 드라이 에칭, 웨트 에칭, 또는 드라이 에칭 및 웨트 에칭 둘 모두일 수 있다는 것을 주의하자. 상기 산화물 반도체막의 웨트 에칭을 위해 사용된 에칭액으로서, 예를 들면, 인산, 아세트산, 질산 등의 혼합액이 사용될 수 있다. 또한, IT007N(칸토 케미컬 코., 인크.(KANTO CHEMICAL CO., INC.))에 의해 제조)이 사용될 수 있다. 드라이 에칭을 위해 사용된 에칭 가스로서, 염소를 포함한 가스(염소(Cl<sub>2</sub>), 삼염화 붕소(BCl<sub>3</sub>), 사염화 규소(SiCl<sub>4</sub>), 또는 사염화탄소(CCl<sub>4</sub>)와 같은 염소계 가스)가 바람직하다. 또한, 불소를 포함한 가스(사불화탄소(CF<sub>4</sub>), 육불화유황(SF<sub>6</sub>), 삼불화질소(NF<sub>3</sub>), 또는 트리플로루메탄(CHF<sub>3</sub>)과 같은 불소계 가스), 취화 수소(HBr), 산소(O<sub>2</sub>), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들 중 임의의 것 등이 사용될 수 있다. 드라이 에칭 방법으로서, 평행 평판형 반응성 이온 에칭(RIE) 방법 또는 유도 결합 플라즈마(ICP) 에칭 방법이 사용될 수 있다. 상기 산화물 반도체막이 원하는 형상으로 에칭될 수 있도록 에칭 조건들(예로서, 코일-형상 전극에 인가된 전력의 양, 기판 측 상의 전극에 인가된 전력의 양, 및 기판 측 상의 전극 온도)이 적절하게 조정된다. 이 단계에서 상기 단면도는 도 2a에 도시된다는 것을 주의하자.

- [0063] 다음으로, 산소가 상기 산화물 반도체층(513a)에 첨가된다. 이온 주입법, 이온 도핑법 등에 의해, 높은 에너지를 가진 산소가 첨가된다.
- [0064] 이온 주입법에서, 소스 가스는 플라즈마로 만들어지며, 이 플라즈마에 포함된 이온종들은 추출되고 질량-분리되고, 미리 결정된 질량을 가진 이온종들이 가속되며, 피처리물이 이온 빔의 형태로 상기 가속된 이온종들을 갖고 조사된다. 이온 도핑법에서, 소스 가스는 플라즈마로 만들어지며, 이온종들은 미리 결정된 전계의 동작에 의해 이러한 플라즈마로부터 추출되고, 상기 추출된 이온종들은 질량 분리 없이 가속되며, 피처리물이 이온 빔의 형태로 상기 가속된 이온종들을 갖고 조사된다. 산소의 첨가는 질량 분리를 수반한 이온 주입법을 사용하여 수행될 때, 금속 원소와 같은 불순물이 산소와 함께, 상기 산화물 반도체막에 첨가되는 것으로부터 방지될 수 있다. 다른 한편으로, 이온 도핑법은 이온 주입법보다 큰 영역에 이온-빔 조사를 가능하게 하며, 그러므로, 산소의 첨가가 이온 도핑법을 사용하여 수행될 때, 택 타임(takt time)은 단축될 수 있다.
- [0065] 산소 가스가 사용되고 산소가 이온 주입법에 의해 첨가되는 경우에, 상기 가속 전압은 5 keV 이상 100 keV 이하로 설정될 것이며, 산소 이온들의 주입량은  $1 \times 10^{14}$  [이온/cm<sup>2</sup>] 이상  $5 \times 10^{17}$  [이온/cm<sup>2</sup>] 이하로 설정될 것이다.
- [0066] 이온 주입법, 이온 도핑법 등에 의해 높은 에너지를 가진 산소를 상기 산화물 반도체에 첨가함으로써, 예를 들면, 상기 산화물 반도체에 포함된 금속 및 수소 간의 결합, 금속 및 수산기 간의 결합, 또는 금속에 결합된 수산기에서의 산소 및 수소 간의 결합이 절단될 수 있다. 상기 산화물 반도체층(513a)은 상기 금속으로부터 제거된 불순물들을 포함하는 산화물 반도체층(513b)으로 변경된다. 도 2b는 이 단계에서의 단면도를 도시한다.
- [0067] 그 후, 상기 금속으로부터 제거된 상기 불순물들을 포함하는 상기 산화물 반도체층(513b)은 제 1 열 처리된다. 이러한 제 1 열 처리를 통해, 상기 금속으로부터 제거된 상기 불순물들은 상기 산화물 반도체층으로부터 제거될 수 있다. 예를 들면, 상기 금속으로부터 제거된 수소 또는 수산기와와 첨가된 산소의 반응에 의해 생성된 물이 제거될 수 있다. 생성된 물이 가열에 의해 제거되는 상기 방법은 상기 금속에 강하게 결합된 수소 또는 수산기가 직접 제거되는 방법보다 더 용이하다.
- [0068] 상기 제 1 열 처리는 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하, 또는 450℃ 이상 및 상기 기판의 변형점(strain point) 미만에서 수행된다. 예를 들면, 상기 제 1 열 처리는 500℃에서 3분 이상 6분 이하 동안 수행될 수 있다. 상기 열 처리를 위한 급속 열 어닐링(RTA)을 사용함으로써, 탈수화 또는 탈수소화가 단시간에 수행될 수 있으며; 그러므로, 상기 처리는 유리 기판의 변형점보다 높은 온도에서조차 수행될 수 있다. 제 4 세대 유리 기판 정도만큼 큰 기판들이 250℃ 이상 750℃ 이하의 온도에서 열 처리될 수 있는 반면, 제 6 세대 유리 기판 내지 제 10 세대 유리 기판까지의 정도만큼 큰 기판들이 바람직하게는 250℃ 이상 450℃ 이하의 온도에서 열 처리된다. 여기에서, 상기 기판은 열 처리 장치들 중 하나인 전기로에 놓여지고, 열 처리가 질소 분위기에서 600℃로 1시간 동안 상기 산화물 반도체층 상에서 수행되며, 그 후 서냉(slow cooling)이 대기로의 노출 없이 200℃ 이하의 온도에서 상기 산화물 반도체층 상에서 수행되어, 상기 산화물 반도체층으로의 물 및 수소의 진입이 방지되도록 한다. 따라서, 산화물 반도체층(513c)이 획득된다(도 2c 참조). 상기 산화물 반도체층이 200℃ 이하로 냉각될 때, 고온 산화물 반도체층이 대기에서의 물 또는 수분과 접하는 것으로부터 방지될 수 있다. 상기 고온 산화물 반도체층이 상기 대기에서의 물 또는 수분과 접할 때, 몇몇 경우들에서, 상기 산화물 반도체는 수소 원자를 포함한 불순물로 오염된다.
- [0069] 상기 열 처리 장치는 전기로에 한정되지 않으며, 저항 발열체와 같은 발열체로부터 열 복사 또는 열 도전에 의해 피처리물을 가열하기 위한 장치가 사용될 수 있다. 예를 들면, 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치와 같은 급속 열 어닐링(RTA) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광의 조사(전자기파)에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용한 열 처리를 위한 장치이다. 상기 고온 가스로서, 질소 또는 아르곤과 같은 희가스와 같이 열 처리에 의해 피처리물과 반응하지 않은 불활성 가스가 사용된다.
- [0070] 예를 들면, 상기 제 1 열 처리로서, 상기 기판이 650℃ 내지 700℃의 고온으로 가열되는 불활성 가스 안으로 놓여지고, 수 분 동안 가열된 후, 상기 고온으로 가열된 상기 불활성 가스로부터 꺼내어지는 GRTA가 수행될 수 있다.
- [0071] 상기 제 1 열 처리에서, 수분, 수소 등은 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스에 포함되지 않는 것이 바람직하다는 것을 주의하자. 상기 열 처리 장치로 도입되는 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하,

바람직하게는 0.1 ppm 이하이다)으로 설정되는 것이 바람직하다.

[0072] 또한, 상기 산화물 반도체층이 상기 제 1 열 처리에 의해 가열된 후, 고-순도 산소 가스, 고순도  $N_2O$  가스, 또는 조건조 공기(측정이 캐비티 링 다운 레이저 분광법(cavity ring down laser spectroscopy; CRDS) 시스템의 노점계의 사용으로 수행되는 경우에, 수분량이 20 ppm(이슬점으로서의 환산에 의해  $-55^\circ C$ ) 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하이다)가 동일한 노(furnace)로 도입될 수 있다. 상기 산소 가스 또는 상기  $N_2O$  가스는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 상기 열 처리 장치에 도입되는 상기 산소 가스 또는 상기  $N_2O$  가스의 순도는 6N 이상, 바람직하게는 7N 이상(즉, 상기 산소 가스 또는 상기  $N_2O$  가스의 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다. 상기 산소 가스 또는 상기  $N_2O$  가스의 효과에 의해, 상기 산화물 반도체의 주성분이고 탈수화 또는 탈수소화에 의해 불순물들을 제거하기 위한 단계와 동시에 감소되는 산소가 공급되며, 따라서 상기 산화물 반도체층은 고-순도 및 전기적으로 i-형(진성) 산화물 반도체층일 수 있다.

[0073] 또한, 상기 제 1 열 처리는 그것이 산소가 첨가된 후 수행되는 한 상기 섬형상 산화물 반도체층으로 가공되기 전에 상기 산화물 반도체막 상에서 수행될 수 있다. 상기 경우에, 상기 기판은 상기 제 1 열 처리 후 상기 열 처리 장치로부터 꺼내어지며, 그 후 포토리소그래피 단계가 수행된다.

[0074] 상기 제 1 열 처리는 상기 산화물 반도체층의 형성 후인 한 상기 타이밍 외에 다음 타이밍들 중 임의의 것에서 수행될 수 있다는 것을 주의하자: 상기 소스 전극 및 상기 드레인 전극이 상기 산화물 반도체층 위에 형성된 후, 및 상기 절연층이 상기 소스 전극 및 상기 드레인 전극 위에 형성된 후.

[0075] 또한, 상기 게이트 절연층(502)에 상기 콘택트 홀을 형성하는 경우에, 상기 단계는 상기 제 1 열 처리가 상기 산화물 반도체막 상에서 수행되기 전 또는 후에 수행될 수 있다. 상기 설명된 단계들을 통해, 상기 섬형상 산화물 반도체층에서의 수소의 농도는 저감될 수 있으며 상기 섬형상 산화물 반도체층은 고순도화될 수 있다. 따라서, 상기 산화물 반도체층은 안정화될 수 있다. 또한, 유리 기판의 변형점 이하의 온도에서의 열 처리는 캐리어 밀도가 매우 낮은 와이드 밴드갭을 가진 산화물 반도체막을 형성하는 것을 가능하게 한다. 그러므로, 상기 트랜지스터는 대형 기판을 사용하여 제작될 수 있으며, 따라서 양산성이 증가될 수 있다. 또한, 상기 수소 농도가 저감되고 상기 순도가 향상되는 상기 산화물 반도체막을 사용함으로써, 높은 내전압 및 매우 작은 오프-상태 전류를 가진 트랜지스터를 제작하는 것이 가능하다. 상기 열 처리는 그것이 상기 산화물 반도체층이 형성된 후 수행되는 한 언제든지 수행될 수 있다. 상기 산화물 반도체막이 가열되는 경우에, 상기 산화물 반도체막의 재료 또는 가열 조건들에 의존할지라도, 몇몇 경우들에서 판-형상 결정들이 상기 산화물 반도체막의 표면에 형성된다는 것을 주의하자. 상기 판-형상 결정들은 바람직하게는 상기 산화물 반도체막의 표면에 실질적으로 수직인 방향으로 c-축 배향된다.

[0076] 또한, 상기 산화물 반도체막으로서, 큰 두께를 가진 결정 영역들, 즉 상기 막의 표면에 수직으로 c-축 배향되는 결정 영역들을 가진 산화물 반도체막이 두 개의 단계들에 의한 막 형성 및 두 개의 단계들에 의한 열 처리를 수행함으로써 형성될 수 있으며, 이것은 산화물, 질화물, 금속 등과 같이 먼저 형성된 상기 산화물 반도체막이 접하는 하지 부재(base component)의 재료에 상관없이 형성될 수 있다. 예를 들면, 3 nm 이상 15 nm 이하의 두께를 가진 제 1 산화물 반도체막이 형성되고, 산소의 제 1 첨가가 수행되며, 결정화를 위한 제 1 열 처리가  $450^\circ C$  이상  $850^\circ C$  이하, 바람직하게는  $550^\circ C$  이상  $750^\circ C$  이하의 온도로 질소, 산소, 화가스, 또는 건조 공기 분위기에서 수행되며, 따라서 표면을 포함한 영역에서의 결정 영역(판-형 결정을 포함한)을 가진 제 1 산화물 반도체막이 형성된다. 그 후, 상기 제 1 산화물 반도체막보다 큰 두께를 가진 제 2 산화물 반도체막이 형성되고, 산소의 제 2 첨가가 수행되며, 결정화를 위한 제 2 열 처리가  $450^\circ C$  이상  $850^\circ C$  이하, 바람직하게는  $600^\circ C$  이상  $700^\circ C$  이하의 온도에서 수행되며, 따라서 결정 성장이 상기 결정 성장의 시드(seed)로서 상기 제 1 산화물 반도체막을 사용하여 위쪽으로 진행하며 전체 제 2 산화물 반도체막이 결정화된다. 이러한 방식으로, 큰 두께를 가진 결정 영역을 가진 상기 산화물 반도체층이 형성될 수 있다. 게다가, 상기 막의 표면에 수직으로 c-축 배향되는 결정 영역들을 가진 산화물 반도체막이 상기 산화물 반도체가 상기 산화물 반도체막이 형성될 때 c-축 배향되는 온도로 상기 기판이 가열되는 동안 막 형성을 수행함으로써 형성될 수 있다. 이러한 막 형성 방법을 갖고, 상기 공정은 단축될 수 있다. 상기 기판을 가열하기 위한 온도가 막 형성 장치에 의존하여 상이한 다른 막 형성 조건들에 따라 적절히 설정될 수 있으며; 예를 들면, 상기 막 형성이 스퍼터링 장치를 갖고 수행될 때, 상기 기판 온도는  $250^\circ C$  이상의 온도로 설정될 수 있다.

[0077] 다음으로, 제 1 및 제 2 전극들(상기 제 1 및 제 2 전극들과 동일한 층에 형성된 배선을 포함하여)을 형성하기



위한 도전막이 상기 게이트 절연층(502) 및 상기 산화물 반도체층(513c) 위에 형성된다. 상기 제 1 및 제 2 전극들을 형성하기 위한 상기 도전막을 위해, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소를 포함한 금속막, 이들 원소들 중 임의의 것을 성분으로서 포함하는 합금 막, 그 금속 질화물 막(질화 티타늄 막, 질화 몰리브덴 막, 또는 질화 텅스텐 막) 등이 사용될 수 있다. 또한, 내열성 문제 및 부식성 문제를 해결하기 위해, Al 또는 Cu와 같은 금속의 막이, 하측 또는 상측 중 하나 또는 둘 모두 상에, Ti, Mo, W, Cr, Ta, Nd, Sc, 또는 Y와 같은 고용점 금속(refractory metal)의 막, 또는 그 금속 질화물 막(질화 티타늄 막, 질화 몰리브덴 막, 또는 질화 텅스텐 막과 같은)을 가지는 구조가 사용될 수 있다. 상기 도전막은 단층 구조 또는 둘 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄 막의 단층 구조, 티타늄 막이 알루미늄 막 위에 적층되는 2-층 구조, 티타늄 막, 알루미늄 막, 및 티타늄 막이 이러한 순서로 적층되는 3-층 구조 등이 주어질 수 있다. 대안적으로, 상기 도전막은 도전성 금속 산화물을 사용하여 형성될 수 있다. 상기 도전성 금속 산화물로서, 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 및 산화 주석의 합금, 산화 인듐 및 산화 아연의 합금, 또는 실리콘 또는 산화 실리콘을 포함한 도전성 금속 산화물 재료가 사용될 수 있다. 상기 도전막이 형성된 후 열 처리가 수행되는 경우에, 상기 도전막은 바람직하게는 상기 열 처리를 견디기에 충분히 높은 내열성을 가진다는 것을 주의하자.

[0078] 레지스트 마스크가 제 3 포토리소그래피 단계를 통해 상기 도전막 위에 형성되며, 소스 전극 및 드레인 전극으로서 작용하는 상기 제 1 전극(515a) 및 상기 제 2 전극(515b)이 선택적 에칭에 의해 형성되고; 그 후 상기 레지스트 마스크가 제거된다(도 2d 참조).

[0079] 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 노광은 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 사용하여 수행될 수 있다. 나중에 형성될 상기 트랜지스터의 채널 길이(L)는 상기 산화물 반도체층(513c) 위에서 서로 인접하는 상기 제 1 전극의 하단부 및 상기 제 2 전극의 하단부 사이의 거리에 의존한다. 노광이 25 nm보다 짧은 채널 길이(L)의 경우에서 수행될 때, 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시 상기 노광은 수 나노미터들 내지 수십 나노미터들의 매우 짧은 파장을 가진 초자외선 광을 사용하여 수행될 수 있다. 초자외선 광을 사용한 상기 노광에서, 해상도는 높고 초점 심도는 크다. 이들 이유들로, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10 nm 이상 1000 nm 이하일 수 있으며, 상기 회로는 보다 고속으로 동작할 수 있다.

[0080] 포토리소그래피에서 포토마스크들의 수 및 단계들의 수를 감소시키기 위해, 에칭 단계는 광이 복수의 강도들을 갖도록 투과되는 노광 마스크인 다계조 마스크(multi-tone mask)를 갖고 형성된 레지스트 마스크의 사용으로 수행될 수 있다. 다계조 마스크를 갖고 형성된 레지스트 마스크는 복수의 두께들을 가진 형상을 갖고 또한 에칭에 의해 형상이 변경될 수 있으며; 그러므로, 상기 레지스트 마스크는 상이한 패턴들로 가공하기 위한 복수의 에칭 단계들에서 사용될 수 있다. 적어도 두 종류들의 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크를 사용함으로써 형성될 수 있다. 따라서, 노광 마스크들의 수는 감소될 수 있고 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있으며, 그에 의해 상기 공정의 간략화가 실현될 수 있다.

[0081] 상기 도전막이 에칭될 때 상기 산화물 반도체층(513c)을 에칭하고 분할하지 않도록 에칭 조건들이 최적화되는 것이 바람직하다는 것을 주의하자. 그러나, 단지 상기 도전막만이 에칭되고 상기 산화물 반도체층(513c)은 전혀 에칭되지 않는 에칭 조건들을 획득하는 것은 어렵다. 몇몇 경우들에서, 단지 상기 산화물 반도체층(513c)의 일부만이 상기 도전막이 에칭될 때 에칭되며, 그에 의해 상기 산화물 반도체층(513c)은 흠부(오목부)를 가진다.

[0082] 이 실시예에서, Ti 막이 상기 도전막으로서 사용되며 In-Ga-Zn-O계 산화물 반도체가 상기 산화물 반도체층(513c)으로서 사용된다. 이러한 조합에서, 암모니아과수(암모니아, 물, 및 과산화수소수의 혼합액)가 바람직하게는 에천트로서 사용된다. 에천트로서 암모니아과수의 사용에 의해, 상기 도전막이 선택적으로 에칭될 수 있다.

[0083] 다음으로, N<sub>2</sub>O, N<sub>2</sub>, 또는 Ar과 같은 가스를 사용한 플라즈마 처리에 의해, 상기 산화물 반도체층의 노출된 부분의 표면에 흡수된 물 등이 제거될 수 있다. 플라즈마 처리는 산소 및 아르곤의 혼합 가스를 사용하여 수행될 수 있다. 상기 플라즈마 처리가 수행되고, 그 후, 상기 산화물 반도체층의 일부와 접하는 보호 절연막으로서 작용하는 상기 절연층(507)이 대기로의 노출 없이 형성된다.

[0084] 상기 절연층(507)은 바람직하게는 수분 또는 수소와 같은 불순물들을 가능한 한 적게 포함하며, 단층 또는 적층된 복수의 절연막들의 절연막을 사용하여 형성될 수 있다. 또한, 상기 절연층(507)은 적절하게 스퍼터링 방법과 같이, 물 또는 수소와 같은 불순물이 상기 절연층(507)에 들어가지 않는 방법에 의해 적어도 1 nm의 두께로 형성될 수 있다. 수소가 상기 절연층(507)에 포함될 때, 상기 산화물 반도체층으로의 상기 수소의 진입 또는 상기

수소에 의한 상기 산화물 반도체층으로부터의 산소의 추출이 야기되며, 그에 의해 상기 산화물 반도체층의 백채널이 하부 저항을 갖도록(n-형 도전성을 갖도록) 하며, 따라서 기생 채널이 형성될 것이다. 그러므로, 수소를 가능한 한 적게 포함하는 상기 절연층(507)이 형성되도록 수소가 사용되지 않는 형성 방법이 이용되는 것이 중요하다. 예를 들면, 스퍼터링법에 의해 형성된 100 nm의 두께를 가진 산화 알루미늄 막이 스퍼터링법에 의해 형성된 200 nm의 두께를 가진 산화 갈륨막 위에 적층되는 구조를 가진 절연막이 형성될 수 있다. 상기 막 형성 동안 상기 기판 온도는 실온 이상 300℃ 이하일 것이다. 또한, 상기 절연막은 바람직하게는 화학량론적 비를 초과하는 많은 산소를 포함하고, 보다 바람직하게는 상기 화학량론적 비의 1배 이상 2배 미만의 산소를 포함한다. 따라서 상기 절연막이 파잉 산소를 포함할 때, 산소는 상기 섬형상 산화물 반도체막과의 계면에 공급되며; 따라서, 산소 결손이 감소될 수 있다.

[0085] 이 실시예에서, 산화 실리콘 막은 스퍼터링법에 의해 상기 절연층(507)으로서 200 nm의 두께로 형성된다. 막 형성시 상기 기판 온도는 실온 이상 300℃ 이하이며, 이 실시예에서는 100℃이다. 상기 산화 실리콘 막은 회가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 회가스 및 산소를 포함한 혼합 분위기에서 스퍼터링법에 의해 성막될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 상기 산화 실리콘 막은 산소를 포함한 분위기에서 실리콘 타겟을 사용하여 스퍼터링법에 의해 형성될 수 있다. 상기 산화물 반도체층과 접하여 형성되는 상기 절연층(507)으로서, 수분, 수소 이온, 또는 OH<sup>-</sup>와 같은 불순물들을 포함하지 않고 외부로부터 이들의 진입을 차단하는 무기 절연막이 사용된다. 통상적으로, 산화 실리콘 막, 산질화 실리콘 막, 산화 알루미늄 막, 산질화 알루미늄 막 등이 사용된다.

[0086] 상기 산화물 반도체막의 성막과 유사한 방식으로 상기 절연층(507)의 성막실(deposition chamber)로부터 잔여 수분을 제거하기 위해, 바람직하게는, 흡착형 진공 펌프(크라이오펌프와 같은)가 사용된다. 상기 절연층(507)이 크라이오펌프를 사용하여 배기된 상기 성막실에서 형성될 때, 상기 절연층(507)에서의 불순물 농도는 저감될 수 있다. 또한, 상기 절연층(507)의 상기 성막실로부터 상기 잔여 수분을 제거하기 위한 배기 수단으로서, 콜드 트랩을 구비한 터보 펌프가 사용될 수 있다.

[0087] 또한, 수소, 물, 수산기, 또는 수소화물과 같은 불순물들이 제거되는 고-순도 가스가 바람직하게는 상기 절연층(507)의 형성에 사용된 스퍼터링 가스로서 사용된다.

[0088] 상기 절연층(507)이 형성된 후, 제 2 열 처리(상기 산화물 반도체층의 막 형성 및 열 처리가 각각 2개의 단계들에 의해 수행되는 경우에서의 제 3 열 처리)가 수행될 수 있다. 상기 열 처리는 바람직하게는 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하의 온도에서 질소, 초-건조 공기, 또는 회가스(아르곤, 헬륨 등)의 분위기에서 수행된다. 상기 가스에서의 물의 함유량은 20 ppm 이하, 보다 바람직하게는 1 ppm 이하, 훨씬 더 바람직하게는 10 ppb 이하인 것이 바람직하다. 대안적으로, RTA 처리가 상기 제 1 열 처리에서처럼 단시간 동안 고온에서 수행될 수 있다. 산소를 포함한 상기 절연층(507)이 제공된 후 열 처리를 수행함으로써, 산소 결손이 상기 제 1 열 처리에 의해, 상기 섬형상 산화물 반도체층에 생성될 때조차, 산소는 상기 절연층(507)으로부터 상기 섬형상 산화물 반도체층에 공급된다. 상기 섬형상 산화물 반도체층에 산소를 공급함으로써, 공여체(donor)로서 작용하는 산소 결손이 상기 섬형상 산화물 반도체층에서 감소되고 상기 화학량론적 비가 만족될 수 있다. 그 결과, 상기 섬형상 산화물 반도체층은 실질적으로 i-형이 되도록 만들어질 수 있고 산소 결손으로 인한 상기 트랜지스터의 전기적 특성들에서의 변동은 감소될 수 있으며, 이것은 전기적 특성들에서의 향상을 초래한다. 이러한 제 2 열 처리의 타이밍은 그것이 상기 절연층(507)의 형성 후인 한 특별히 제한되지 않으며, 이러한 제 2 열 처리는 수지 막의 형성시 열 처리 또는 투광성 도전막의 저항의 감소를 위한 열 처리와 같은 또 다른 단계로도 결합함으로써 단계들의 수를 증가시키지 않고 수행될 수 있으며, 그에 의해 상기 섬형상 산화물 반도체층은 실질적으로 i-형이 되도록 만들어질 수 있다. 게다가, 상기 섬형상 산화물 반도체층에서의 공여체로서 작용하는 상기 산소 결손은 산소가 상기 산화물 반도체에 첨가되도록 상기 섬형상 산화물 반도체층이 산소 분위기에서 열 처리되게 함으로써 감소될 수 있다. 상기 열 처리는 예를 들면, 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만의 온도로 수행된다. 상기 산소 분위기에서 상기 열 처리를 위해 사용된 산소 가스는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 상기 열 처리 장치에 도입되는 상기 산소 가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%)(즉, 상기 산소의 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이다. 이 실시예에서, 상기 제 2 열 처리(200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하의 온도에서)는 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 상기 제 2 열 처리는 질소 분위기에서 250℃로 1시간 동안 수행된다. 상기 제 2 열 처리에서, 열은 상기 산화물 반도체층의 일부(상기 채널 형성 영역)가 상기 절연층(507)과 접하는 동안 인가된다. 상기 제 2 열 처리는 다음의 효과를 가진다. 상기 제 1 열 처리에 의해, 몇몇 경우들에서, 수소, 수분, 수산기, 또는 수소화물(또한, 수소 화합물로서



불리는)과 같은 불순물이 상기 산화물 반도체층으로부터 의도적으로 제거되는 반면, 상기 산화물 반도체의 주성분들 중 하나인 산소는 감소되며; 상기 제 2 열 처리를 갖고, 산소가 상기 제 1 열 처리된 상기 산화물 반도체층에 공급되기 때문에, 상기 산화물 반도체층은 전기적으로 i-형(진성)이 되도록 고순도화된다.

[0089] 상술된 바와 같이, 산소가 상기 산화물 반도체막에 첨가되고 상기 제 1 열 처리는 산소가 상기 산화물 반도체막에 첨가된 후 수행되며, 그에 의해 수소, 수분, 수산기, 또는 수소화물(또한 수소 화합물로서 불리는)과 같은 불순물들이 상기 산화물 반도체층으로부터 의도적으로 제거될 수 있다. 또한, 산소가 상기 산화물 반도체층이 과잉 산소를 포함하도록 상기 열 처리 전에 상기 산화물 반도체층에 첨가되기 때문에, 다음 문제가 완화된다: 상기 산화물 반도체의 주성분들 중 하나인 산소가 열 처리에서 감소된다. 따라서, 상기 산화물 반도체층은 전기적으로 i-형(진성) 또는 실질적으로 i-형 반도체가 되도록 고순도화된다. 상기 공정을 통해, 상기 트랜지스터(550)가 형성된다.

[0090] 많은 결함들을 가진 산화 실리콘층이 상기 절연층(507)으로서 사용될 때, 상기 산화 실리콘층의 형성 후 수행되는 열 처리를 갖고, 상기 산화물 반도체층에 포함된 수소, 수분, 수산기, 또는 수소화물과 같은 불순물들은 상기 산화물 반도체층에서의 불순물들이 추가로 감소될 수 있도록 상기 산화 실리콘층으로 확산될 수 있다. 또한, 과잉 산소를 포함한 산화 실리콘층이 상기 절연층(507)으로서 사용될 때, 상기 절연층(507)의 형성 후 수행되는 열 처리는 상기 절연층(507)에서의 산소를 상기 산화물 반도체층(513c)에 이동시키고, 상기 산화물 반도체층(513c)에서의 상기 산소 농도를 향상시키며 상기 산화물 반도체층(513c)을 고순도화하는데 영향을 미친다.

[0091] 상기 보호 절연층(508)은 상기 절연층(507) 위에 형성될 수 있다. 상기 보호 절연층(506)으로서, 예를 들면, 질화 실리콘 막이 RF 스퍼터링법에 의해 형성된다. RF 스퍼터링법은 높은 양산성을 가지기 때문에, 상기 보호 절연층의 막 형성 방법으로서 사용되는 것이 바람직하다. 상기 보호 절연층으로서, 질화 실리콘 막 또는 질화 알루미늄 막과 같이, 수분과 같은 불순물을 포함하지 않고 외부로부터 상기 불순물의 진입을 차단하는 무기 절연막이 사용된다. 이 실시예에서, 상기 보호 절연층(508)은 질화 실리콘 막을 사용하여 형성된다(도 2e 참조).

[0092] 이 실시예에서, 상기 보호 절연층(508)으로서, 질화 실리콘 막이 상기 절연층(507)까지 이를 포함하는 층들이 형성되는 상기 기판(500)을 100℃ 내지 400℃의 온도로 가열하고, 수소 및 수분이 제거되는 고-순도 질소를 포함한 스퍼터링 가스를 도입하며, 실리콘 반도체의 타겟을 사용함으로써 형성된다. 또한 이 경우에, 상기 보호 절연층(508)은 상기 절연층(507)의 것과 유사한 방식으로, 상기 처리실에서의 잔여 수분이 제거되는 동안 형성되는 것이 바람직하다.

[0093] 상기 보호 절연층의 형성 후, 열 처리가 또한 대기에서 100℃ 이상 200℃ 이하로 1시간 이상 30 시간 이하 동안 수행될 수 있다. 이러한 열 처리는 고정된 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음 변화가 반복적으로 다수 회 행해질 수 있다: 상기 가열 온도는 실온에서 100℃ 이상 200℃ 이하의 온도로 증가되며 그 후 실온으로 감소된다.

[0094] 이 실시예에 따라 형성되는 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터에서, 임계 전압에서의 변동은 작다. 그러므로, 이 실시예에 설명된 반도체 장치를 제작하기 위한 방법을 이용함으로써, 매우 신뢰성 있는 반도체 장치가 제공될 수 있다. 또한, 높은 양산성을 가진 반도체 장치가 제공될 수 있다.

[0095] 또한, 상기 오프-상태 전류가 감소될 수 있기 때문에, 낮은 전력 소비를 가진 반도체 장치가 제공될 수 있다.

[0096] 또한, 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터는 높은 전계-효과 이동도를 갖기 때문에, 고속 동작이 가능하다. 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터가 액정 표시 장치에서의 화소부에 사용될 때, 고-품질 이미지가 제공될 수 있다. 또한, 상기 고-순도화된 산화물 반도체층을 포함한 상기 트랜지스터를 사용함으로써, 구동 회로부 및 화소부가 하나의 기판 위에 형성될 수 있으며; 따라서, 상기 액정 표시 장치의 부품들의 수는 감소될 수 있다.

[0097] 이 실시예는 본 명세서에서의 다른 실시예들 중 임의의 것과 적절하게 조합될 수 있다.

[0098] (실시예 2)

[0099] 이 실시예에서, 탑-게이트 트랜지스터를 제작하기 위한 방법이 도 3a 및 도 3b와 도 4a 내지 도 4e를 참조하여 설명될 것이다. 상기 방법에서, 산화물 반도체층이 불순물들을 제거하기 위해 산소의 첨가 후 상기 산화물 반도체층 상에서 열 처리를 수행함으로써 고순도화되는 방법이 사용된다.

[0100] 도 3a 및 도 3b는 이 실시예에서 제작된 탑-게이트형인 트랜지스터(650)의 구조를 도시한다. 도 3a는 상기 트랜지스터(650)의 상면도이고 도 3b는 상기 트랜지스터(650)의 단면도이다. 도 3b는 도 3a에서의 선(Q1-Q2)을 따르

는 단면을 도시한다.

- [0101] 상기 트랜지스터(650)에서, 절연 표면을 가진 기판(600) 위에, 소스 전극 및 드레인 전극으로서 작용하는 제 1 전극(615a) 및 제 2 전극(615b)이 제공된다. 고순도화되고 상기 제 1 전극(615a) 및 상기 제 2 전극(615b)의 단부들을 커버하는 산화물 반도체층(613c), 및 상기 산화물 반도체층(613c)을 커버하는 게이트 절연층(602)이 제공된다. 또한, 상기 게이트 절연층(602)과 접하고 상기 제 1 전극(615a) 및 상기 제 2 전극(615b)의 단부들과 중첩하는 게이트 전극(611), 및 상기 게이트 전극(611)과 접하고 상기 트랜지스터(650)를 커버하는 보호 절연층(608)이 제공된다.
- [0102] 다음으로, 상기 기판(600) 위에 상기 트랜지스터(650)를 제작하기 위한 방법이 도 4a 내지 도 4e를 참조하여 설명될 것이다.
- [0103] 먼저, 제 1 및 제 2 전극들(상기 제 1 및 제 2 전극들과 동일한 층에 형성된 배선을 포함하여)을 형성하기 위한 도전막이 절연 표면을 가진 상기 기판(600) 위에 형성된다. 상기 제 1 및 제 2 전극들을 형성하기 위한 도전막을 위해, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소를 포함한 금속막, 상기 원소들 중 임의의 것을 성분으로서 포함하는 금속 질화물 막(질화 티타늄 막, 질화 몰리브덴 막, 또는 질화 텅스텐 막) 등이 사용될 수 있다. 또한, Al 또는 Cr과 같은 금속의 막이, 하층 및 상층 중 하나 또는 둘 모두 상에서, Ti, Mo, 또는 W와 같은 고용점 금속의 막, 또는 그 금속 질화물 막(질화 티타늄 막, 질화 몰리브덴 막, 또는 질화 텅스텐 막)을 가지는 구조가 사용될 수 있다. 상기 산화물 반도체층과 접하는 측 상에 티타늄을 포함하는 도전막이 특히 바람직하다.
- [0104] 레지스트 마스크가 제 1 포토리소그래피 단계를 통해 상기 도전막 위에 형성되고, 소스 전극 및 드레인 전극으로서 작용하는 상기 제 1 전극(615a) 및 상기 제 2 전극(615b)이 선택적 에칭에 의해 형성되며; 그 후, 상기 레지스트 마스크가 제거된다. 상기 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서 제작 비용이 감소될 수 있다.
- [0105] 이 실시예에서, 절연 표면을 가진 상기 기판(600)으로서, 유리 기판이 사용된다.
- [0106] 하지막으로서 작용하는 절연막이 상기 기판(600) 및 상기 제 1 및 제 2 전극들(615a, 615b) 사이에 제공될 수 있다. 상기 하지막은 상기 기판(600)으로부터 불순물 원소들의 확산을 방지하는 기능을 가지며, 질화 실리콘 막, 산화 실리콘 막, 질화 산화 실리콘 막, 산질화 실리콘 막 등 중 하나 이상을 사용한 단층 또는 적층 구조를 갖도록 형성될 수 있다.
- [0107] 그 후, 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하의 두께를 가진 산화물 반도체막이 소스 전극 및 드레인 전극으로서 작용하는 상기 제 1 전극(615a) 및 상기 제 2 전극(615b) 위에 형성된다.
- [0108] 상기 산화물 반도체막이 스퍼터링법에 의해 형성되기 전에, 상기 제 1 전극(615a)의 표면, 상기 제 2 전극(615b)의 표면, 및 상기 기판(600)의 노출된 부분의 절연 표면에 부착되는 가루 물질들(또한 입자들 또는 먼지들로서 불리는)이 바람직하게는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거된다.
- [0109] 이 실시예에 설명된 상기 산화물 반도체막은 실시예 1에 설명된 상기 산화물 반도체막의 것들과 유사한 재료, 방법, 및 조건들을 사용하여 형성될 수 있다. 구체적으로, 실시예 1에서의 것들과 유사한 상기 산화물 반도체막을 위해 사용된 산화물 반도체, 성막법, 타겟 조성, 타겟 충전율, 스퍼터링 가스의 순도, 성막시 기판 온도, 스퍼터링 장치의 배기 수단, 상기 스퍼터링 가스의 조성 등이 사용될 수 있다. 그러므로, 실시예 1은 상기 상세들을 위해 참조될 수 있다.
- [0110] 다음으로, 상기 산화물 반도체막은 제 2 포토리소그래피 단계를 통해 선행상 산화물 반도체층(613a)으로 가공된다. 상기 선행상 산화물 반도체층을 형성하기 위한 레지스트 마스크가 잉크젯법에 의해 형성될 수 있다. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0111] 상기 산화물 반도체막의 에칭은 드라이 에칭, 웨트 에칭, 또는 드라이 에칭 및 웨트 에칭 둘 모두일 수 있다는 것을 주의하자. 상기 산화물 반도체막의 웨트 에칭을 위해 사용된 에칭액으로서, 예를 들면, 인산, 아세트산, 및 질산의 혼합액 등이 사용될 수 있다. 또한, IT007N(칸토, 케미컬 코., 인크.에 의해 제조)이 사용될 수 있다. 이 단계에서 상기 단면도는 도 4a에 도시된다는 것을 주의하자.
- [0112] 다음으로, 산소가 상기 산화물 반도체층에 첨가된다. 이온 주입법, 이온 도핑법 등에 의해, 높은 에너지를 가진

산소가 첨가된다. 이온 주입법, 이온 도핑법 등에 의해 산화물 반도체에 높은 에너지를 가진 산소를 첨가함으로써, 예를 들면, 상기 산화물 반도체에 포함된 금속 및 수소 간의 결합, 금속 및 수산기 간의 결합, 또는 수소 및 금속에 결합된 수산기에서의 산소 간의 결합이 절단될 수 있다. 상기 산화물 반도체층(613a)은 상기 금속으로부터 제거된 불순물들을 포함하는 산화물 반도체층(613b)으로 변경된다. 도 4b가 이 단계에서의 단면도를 도시한다.

[0113] 그 후, 상기 금속으로부터 제거된 상기 불순물들을 포함하는 상기 산화물 반도체층(613b)이 제 1 열 처리된다. 이러한 제 1 열 처리를 통해, 상기 금속으로부터 제거된 상기 불순물들이 상기 산화물 반도체층으로부터 제거될 수 있다. 예를 들면, 상기 금속으로부터 제거된 수소 또는 수산기와 첨가된 산소의 반응에 의해 생성된 물이 제거될 수 있다. 생성된 물이 가열에 의해 제거되는 방법은 금속에 강하게 결합된 수소 또는 수산기가 직접 제거되는 방법보다 용이하다.

[0114] 상기 제 1 열 처리는 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하, 또는 450℃ 이상 및 상기 기판의 변형점 미만에서 수행된다. 여기에서, 상기 기판은 열 처리 장치들 중 하나인 전기로에 놓여지고, 상기 열 처리는 질소 분위기에서 600℃로 1시간 동안 상기 산화물 반도체층 상에서 수행되며, 그 후 물 및 수소가 상기 대기로 노출되지 않는 상기 산화물 반도체층을 가진 상기 산화물 반도체층에 들어가는 것으로부터 방지되며; 따라서, 산화물 반도체층(613c)이 획득된다(도 4c 참조).

[0115] 상기 열 처리 장치는 전기로에 한정되지 않으며, 실시예 1에 설명된 가열 수단, 가열 방법, 및 가열 조건들이 사용될 수 있다는 것을 주의하자. 구체적으로, 열 처리 장치, 가열 온도, 및 가열을 위해 사용된 가스의 종류, 순도 등이 실시예 1에서의 것들과 유사할 수 있다. 그러므로, 실시예 1은 상기 상세들을 위해 참조될 수 있다.

[0116] 또한, 상기 제 1 열 처리 장치는 그것이 산소가 첨가된 후 수행되는 한 상기 섹형상 산화물 반도체층으로 가공되기 전에 상기 산화물 반도체막 상에서 수행될 수 있다. 상기 경우에, 상기 기판은 상기 제 1 열 처리 후 상기 열 처리 장치로부터 꺼내어지며, 그 후 포토리소그래피 단계가 수행된다.

[0117] 상기 제 1 열 처리 장치는 그것이 상기 산화물 반도체층의 형성 후 수행되는 한 상기 타이밍 외에 다음의 타이밍들 중 임의의 것에서 수행될 수 있다는 것을 주의하자: 상기 게이트 절연층이 상기 산화물 반도체층 위에 형성된 후, 및 상기 게이트 전극이 상기 게이트 절연층 위에 형성된 후.

[0118] 또한, 상기 산화물 반도체층으로서, 큰 두께를 가진 결정 영역들(단결정 영역들), 즉 상기 막의 표면에 수직으로 c-축 배향되는 결정 영역들을 가진 산화물 반도체층이 2 단계들에 의한 막 형성 및 2 단계들에 의한 열 처리를 수행함으로써 형성될 수 있으며, 이것은 산화물, 질화물, 금속 등과 같이, 먼저 형성된 상기 산화물 반도체층이 접하는 하지 부재의 재료에 상관없이 형성될 수 있다. 실시예 1에 설명된 상기 막 형성 조건은 결정 영역을 포함한 상기 산화물 반도체층을 형성하기 위해 사용될 수 있다는 것을 주의하자. 그러므로, 실시예 1은 상기 상세들을 위해 참조될 수 있다.

[0119] 다음으로,  $N_2O$ ,  $N_2$ , 또는 Ar과 같은 가스를 사용한 플라즈마 처리에 의해, 상기 산화물 반도체층의 노출된 부분의 표면에 흡수된 물 등이 제거될 수 있다. 플라즈마 처리가 수행된 후, 상기 산화물 반도체층과 접하는 상기 게이트 절연층(602)이 상기 대기로 노출되지 않고 형성된다.

[0120] 이 실시예에서의 상기 산화물 반도체층으로서, 불순물들을 제거함으로써 i-형 또는 실질적으로 i-형이 되도록 만들어지는 산화물 반도체가 사용된다. 이러한 고순도화된 산화물 반도체는 계면 준위 및 계면 전하에 매우 민감하며; 따라서, 상기 산화물 반도체층과 상기 게이트 절연층 간의 계면은 중요하다. 그러므로, 상기 고순도화된 산화물 반도체층과 접하는 상기 게이트 절연층은 고품질을 가져야 한다.

[0121] 상기 게이트 절연층(602)은 적어도 1 nm의 두께를 가지며 적절하게 스퍼터링 방법과 같이, 물 또는 수소와 같은 불순물이 상기 게이트 절연층(602)에 들어가지 않는 방법에 의해 형성될 수 있다. 수소가 상기 게이트 절연층(602)에 포함될 때, 상기 산화물 반도체층으로서의 상기 수소의 진입 또는 상기 수소에 의한 상기 산화물 반도체층으로부터의 산소의 추출이 야기되며, 그에 의해 상기 산화물 반도체층의 백채널이 하부 저항을 갖게(n-형 도전성을 갖게) 하며, 따라서 기생 채널이 형성될 것이다. 그러므로, 수소를 가능한 한 적게 포함하는 상기 게이트 절연층(602)을 형성하도록 수소가 사용되지 않는 형성 방법이 이용되는 것이 중요하다.

[0122] 이 실시예에서, 상기 게이트 절연층(602)으로서, 산화 실리콘 막이 스퍼터링법에 의해 형성된다. 막 형성시 상기 기판 온도는 실온 이상 300℃ 이하일 수 있으며, 이 실시예에서는 100℃이다. 상기 산화 실리콘 막은 회가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 회가스 및 산소를 포함한 혼합 분위기에서 스퍼터링법에 의해

성막될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 상기 산화 실리콘 막은 산소를 포함한 분위기에서 실리콘 타겟을 사용하여 스퍼터링법에 의해 형성될 수 있다. 상기 산화물 반도체층과 접하여 형성되는 상기 게이트 절연층(602)으로서, 수분, 수소 이온, 또는  $\text{OH}^-$ 와 같은 불순물들을 포함하지 않고 외부로부터 이들의 진입을 차단하는 무기 절연막이 사용된다. 통상적으로, 산화 실리콘 막, 산질화 실리콘 막, 산화 알루미늄 막, 산질화 알루미늄 막 등이 사용된다.

[0123] 상기 산화물 반도체막의 성막과 유사한 방식으로 상기 게이트 절연층(602)의 성막실로부터 잔여 수분을 제거하기 위해, 바람직하게는, 흡착형 진공 펌프(크라이오펌프와 같은)가 사용된다. 상기 게이트 절연층(602)이 크라이오펌프를 사용하여 배기된 상기 성막실에서 형성될 때, 상기 게이트 절연층(602)에서의 불순물 농도는 저감될 수 있다. 또한, 상기 게이트 절연층(602)의 상기 성막실로부터 상기 잔여 수분을 제거하기 위한 배기 수단으로서, 콜드 트랩을 구비한 터보 펌프가 사용될 수 있다.

[0124] 또한, 수소, 물, 수산기, 또는 수소화물과 같은 불순물들이 제거되는 고-순도 가스가 바람직하게는 상기 게이트 절연층(602)의 형성에 사용된 스퍼터링 가스로서 사용된다. 이 단계에서의 단면도는 도 4d에 도시된다는 것을 주의하자.

[0125] 콘택트 홀이 상기 게이트 절연층(602)에 형성될 때, 상기 콘택트 홀은 제 3 포토리소그래피 단계에 의해 형성된다. 상기 콘택트 홀은 도 4d 및 도 4e에 도시되지 않는다는 것을 주의하자.

[0126] 그 후, 도전막이 상기 게이트 절연층(602) 위에 형성된 후, 상기 게이트 전극(611)을 포함한 배선 층이 제 4 포토리소그래피 단계에 의해 형성된다. 레지스트 마스크가 잉크젯법에 의해 형성될 수 있다는 것을 주의하자. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.

[0127] 상기 게이트 전극(611)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료 또는 이들 재료들 중 임의의 것을 주성분으로 포함하는 합금 재료를 사용한 단층 또는 적층 구조를 갖도록 형성될 수 있다.

[0128] 상기 보호 절연층(608)은 상기 게이트 전극(611) 위에 형성될 수 있다. 예를 들면, 질화 실리콘 막이 상기 보호 절연층(608)을 위해 RF 스퍼터링법에 의해 형성된다. RF 스퍼터링법이 높은 양산성을 가지기 때문에, 상기 보호 절연층의 막 형성 방법으로서 사용되는 것이 바람직하다. 상기 보호 절연층으로서, 질화 실리콘 막 또는 질화 알루미늄 막과 같이, 수분과 같은 불순물들을 포함하지 않고 외부로부터 상기 불순물의 진입을 차단하는 무기 절연막이 사용된다. 이 실시예에서, 상기 보호 절연층(608)은 질화 실리콘 막을 사용하여 형성된다. 도 4e는 이 단계에서의 단면도이다.

[0129] 이 실시예에서, 상기 보호 절연층(608)으로서, 질화 실리콘 막이 상기 게이트 전극(611)까지 이를 포함한 층들이 형성되는 상기 기판(600)을 100℃ 내지 400℃의 온도로 가열하고, 수소 및 수분이 제거되는 고-순도 질소를 포함한 스퍼터링 가스를 도입하며 실리콘 반도체의 타겟을 사용함으로써 형성된다. 또한 상기 경우에, 상기 게이트 절연층(602)의 것과 유사한 방식으로, 상기 보호 절연층(608)이 바람직하게는 상기 처리실에 남아있는 수분이 제거되는 동안 형성된다.

[0130] 상기 보호 절연층의 형성 후, 열 처리가 또한 대기에서 100℃ 이상 200℃ 이하의 온도에서 1시간 이상 30 시간 이하 동안 수행될 수 있다. 이러한 열 처리는 고정된 가열 온도에서 수행될 수 있다. 대안적으로, 상기 가열 온도에서의 다음 변화가 반복적으로 다수 회 행해질 수 있다: 상기 가열 온도는 실온에서 100℃ 이상 200℃ 이하의 온도로 증가되며 그 후 실온으로 감소된다.

[0131] 이 실시예에 따라 형성되는 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터에서, 임계 전압에서의 변동은 작다. 그러므로, 이 실시예에 설명된 반도체 장치를 제작하기 위한 방법을 이용함으로써, 매우 신뢰성 있는 반도체 장치 및 높은 양산성을 가진 반도체 장치가 제공될 수 있다.

[0132] 또한, 상기 오프-상태 전류가 감소될 수 있기 때문에, 낮은 전력 소비를 가진 반도체 장치가 제공될 수 있다.

[0133] 또한, 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터는 높은 전계-효과 이동도를 갖기 때문에, 고속 동작이 가능하다. 상기 고순도화된 산화물 반도체층을 포함한 상기 트랜지스터가 액정 표시 장치에서의 화소부에 사용될 때, 고품질 이미지가 제공될 수 있다. 또한, 상기 고-순도화된 산화물 반도체층을 포함한 상기 트랜지스터를 사용함으로써, 구동 회로부 및 화소부가 하나의 기판 위에 형성될 수 있으며; 따라서, 상기 액정 표시 장치의 부품들의 수가 감소될 수 있다.



- [0134] 이 실시예는 본 명세서에서의 다른 실시예들 중 임의의 것과 적절하게 조합될 수 있다.
- [0135] (실시예 3)
- [0136] 이 실시예에서, 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 제작 방법이 도 5a 및 도 5b, 도 6a 내지 도 6d, 도 7a 내지 도 7c, 도 8a 내지 도 8d, 및 도 9a 내지 도 9c를 참조하여 설명될 것이다. 이 실시예에 설명된 상기 반도체 장치는 메모리 장치로서 사용될 수 있다.
- [0137] 도 5a 및 도 5b는 이 실시예에 설명된 상기 반도체 장치의 구조를 도시한다. 도 5a는 상기 반도체 장치의 단면도이고 도 5b는 상기 반도체 장치의 상면도이다. 도 5a는 도 5b에서의 선(A1-A2) 및 선(B1-B2)를 따르는 단면에 상응한다는 것을 주의하자.
- [0138] 이 실시예에 설명된 상기 반도체 장치는 하부에 제 1 반도체 재료를 사용하여 형성된 트랜지스터(260), 상부에 제 2 반도체 재료를 사용하여 형성된 트랜지스터(262), 및 용량 소자(264)를 포함한다. 상기 트랜지스터(260)의 게이트 전극(210)은 상기 트랜지스터(262)의 제 1 전극(242a)에 직접 접속된다.
- [0139] 고 집적화가 상기 트랜지스터(262) 및 상기 트랜지스터(260)와 중첩하는 상기 용량 소자(264)를 제공함으로써 가능하다. 예를 들면, 최소 피처 크기가 F임을 고려해볼 때, 메모리 셀에 의해 점유된 영역은 배선 및 전극의 접속을 생각함으로써  $15 F^2$  내지  $25 F^2$ 일 수 있다.
- [0140] 상기 트랜지스터(260)에 포함된 제 1 반도체 재료 및 상기 트랜지스터(262)에 포함된 제 2 반도체 재료는 서로 상이한 재료들일 수 있다. 예를 들면, 상기 트랜지스터(260)가 고속으로 쉽게 동작될 수 있도록 단결정 반도체가 상기 제 1 반도체 재료로서 사용될 수 있으며, 상기 트랜지스터(262)의 오프-상태 전류가 충분히 감소될 수 있고 전하가 장시간 동안 보유될 수 있도록 산화물 반도체가 상기 제 2 반도체 재료로서 사용될 수 있다.
- [0141] 상기 제 1 반도체 재료 또는 상기 제 2 반도체 재료로서, 예를 들면, 산화물 반도체 또는 상기 산화물 반도체 이외의 반도체 재료가 사용될 수 있다. 상기 산화물 반도체 이외의 상기 반도체 재료로서, 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소 등이 사용될 수 있다. 게다가, 유기 반도체 재료 등이 사용될 수 있다.
- [0142] 이 실시예에서, 고속으로 동작할 수 있는 상기 트랜지스터(260)가 상기 제 1 반도체 재료로서 단결정 실리콘을 사용하여 형성되고, 그 오프-상태 전류가 작은 상기 트랜지스터(262)가 상기 제 2 반도체 재료로서 산화물 반도체를 사용하여 형성되는 경우가 설명될 것이다.
- [0143] 상기 트랜지스터(260)의 상기 게이트 전극(210) 및 상기 트랜지스터(262)의 상기 제 1 전극(242a)이 서로 접속되는 상기 반도체 장치가 메모리 장치를 위해 적절하다는 것을 주의하자. 상기 트랜지스터(262)가 오프 상태에서 배치될 때, 상기 트랜지스터(260)의 상기 게이트 전극(210)의 전위는 매우 긴 시간 동안 유지될 수 있다. 또한, 상기 용량 소자(264)를 제공함으로써, 상기 트랜지스터(260)의 상기 게이트 전극(210)에 제공된 전하가 쉽게 보유될 수 있고 보유되는 데이터가 쉽게 판독될 수 있다. 고속 동작이 가능한 반도체 재료를 포함한 상기 트랜지스터(260)를 사용함으로써, 데이터가 고속으로 판독될 수 있다.
- [0144] 이 실시예에 설명된 상기 반도체 장치에 포함된 상기 트랜지스터들이 둘 모두 n-채널 트랜지스터들인 경우에 대해 설명이 이루어졌지만, p-채널 트랜지스터들이 사용될 수 있다는 것은 말할 필요도 없다. 여기에 개시된 본 발명의 기술적 특징은 충분히 감소된 오프-상태 전류를 가진 산화물 반도체를 포함한 트랜지스터 및 충분히 고속 동작이 가능한 산화물 반도체 이외의 반도체 재료를 포함한 트랜지스터가 조합하여 제공된다는 것이며; 따라서, 상기 반도체 장치를 위해 사용된 재료 또는 상기 반도체 장치의 구조와 같이, 특정 조건들을 여기에 설명된 것들에 제한하는 것을 필요하지 않다.
- [0145] 상기 트랜지스터(260)는 상기 제 1 반도체 재료를 포함한 기판(200)에 제공된 채널 형성 영역(216), 및 그 사이에 상기 채널 형성 영역(216)이 끼워지는 불순물 영역들(220)을 포함한다. 또한, 상기 트랜지스터(260)는 상기 불순물 영역들(220)과 접하는 금속 화합물 영역들(224), 상기 채널 형성 영역(216) 위에 제공된 게이트 절연층(208), 및 상기 게이트 절연층(208) 위에 제공된 상기 게이트 전극(210)을 포함한다.
- [0146] 또한, 소자 분리 절연층(206)이 상기 트랜지스터(260)를 둘러싸도록 상기 기판(200) 상에 제공되며, 절연층(228) 및 절연층(230)이 상기 트랜지스터(260) 위에 제공된다. 비록 도시되지는 않았지만, 상기 트랜지스터(260)의 상기 금속 화합물 영역(224)의 일부는 소스 전극 또는 드레인 전극으로서 기능하는 전극을 통해 배선(256) 또는 또 다른 배선에 접속된다. 그 소스 전극 및 드레인 전극이 상기 도면에 도시되지 않는 트랜지스터가

또한 편리함을 위해 트랜지스터로서 참조될 수 있다는 것을 주의하자.

- [0147] 고집적화를 획득하기 위해, 바람직하게는, 상기 트랜지스터(260)는 도 5a 및 도 5b에 도시된 바와 같이 측벽 절연층을 갖지 않는다는 것을 주의하자. 다른 한편으로, 상기 트랜지스터(260)의 특성들이 강조되는 경우에, 측벽 절연층은 상기 게이트 전극(210)의 측면 상에 제공될 수 있으며, 상기 불순물 영역들(220)은 상기 불순물 영역들(220)의 것과 상이한 불순물 농도를 갖고 상기 측벽 절연층과 중첩하는 영역에 제공되는 불순물 영역을 포함할 수 있다.
- [0148] 이 실시예에서, 상기 제 1 반도체 재료를 포함한 상기 기판(200)으로서, 실리콘 등의 단결정 반도체 기판이 사용된다. 상기 실리콘 등의 단결정 반도체 기판이 사용될 때, 상기 반도체 장치의 판독 동작이 고속으로 수행될 수 있다.
- [0149] 상기 트랜지스터(262)는 제 2 반도체 재료로서 고순도화된 산화물 반도체층을 포함한다. 상기 트랜지스터(262)는 상기 절연층(230) 위에서 소스 전극 및 드레인 전극으로서 작용하는 제 1 전극(242a) 및 제 2 전극(242b), 및 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)에 전기적으로 접속된 산화물 반도체층(244)을 포함한다. 또한, 상기 트랜지스터(262)는 상기 산화물 반도체층(244)을 커버하는 게이트 절연층(246), 및 상기 게이트 절연층(246) 위에 있고 상기 산화물 반도체층(244)과 중첩하는 게이트 전극(248a)을 포함한다. 절연층(243a)이 상기 게이트 전극(248a)과 중첩하도록 상기 제 1 전극(242a) 및 상기 산화물 반도체층(244) 사이에 제공되며, 절연층(243b)이 상기 게이트 전극(248a)과 중첩하도록 상기 제 2 전극(242b) 및 상기 산화물 반도체층(244) 사이에 제공된다.
- [0150] 상기 절연층(243a) 및 상기 절연층(243b)을 갖고, 상기 소스 및 드레인 전극들과 상기 게이트 전극 사이에 생성된 용량은 감소된다. 그러나, 상기 절연층(243a) 및 상기 절연층(243b)이 제공되지 않는 구조를 이용하는 것이 또한 가능하다.
- [0151] 여기에서, 상기 산화물 반도체층(244)은 바람직하게는 수소와 같은 불순물들을 충분히 제거하거나 또는 산소를 충분히 공급함으로써 획득된 고순도화된 산화물 반도체층이다. 이 실시예에서, 다음 방법에 의해 고순도화되는 산화물 반도체층이 형성된다: 산소가 상기 산화물 반도체층에 첨가된 후, 불순물들을 제거하고 상기 산화물 반도체층을 고순도화하도록 열 처리가 수행된다. 이러한 방식으로, 고순도화된 산화물 반도체를 사용함으로써, 우수한 오프-상태 전류 특성들을 가진 상기 트랜지스터(262)가 획득될 수 있다. 실시예 2는 상기 산화물 반도체층(244)의 상세들을 위해 참조될 수 있다.
- [0152] 비록 섬 형상을 갖도록 가공되는 상기 산화물 반도체층(244)이 도 5a 및 도 5b에서의 상기 트랜지스터(262)에서의 미세화로 인해 소자들 사이에 생성된 리크 전류를 억제하기 위해 사용되지만, 섬 형상을 갖도록 가공되지 않는 상기 산화물 반도체층(244)을 포함한 구조가 이용될 수 있다. 상기 산화물 반도체층이 섬 형상을 갖도록 가공되지 않는 경우에, 상기 가공에서의 에칭으로 인해 상기 산화물 반도체층(244)의 오염이 방지될 수 있다.
- [0153] 도 5a 및 도 5b에 도시된 상기 반도체 장치에서, 상기 트랜지스터(260)의 상기 게이트 전극(210)의 상면은 상기 절연층(230)에 의해 커버되지 않으며 상기 트랜지스터(262)의 소스 전극 또는 드레인 전극으로서 작용하는 상기 제 1 전극(242a)에 직접 접속된다. 비록 상기 게이트 전극(210) 및 상기 제 1 전극(242a)이 부가적으로 제공되는 접촉을 위한 전극 및 개구를 사용하여 서로 접속될 수 있지만, 상기 게이트 전극(210) 및 상기 제 1 전극(242a)을 직접 접속함으로써, 접촉 영역이 감소될 수 있고 상기 반도체 장치가 고집적화될 수 있다.
- [0154] 예를 들면, 이 실시예의 상기 반도체 장치가 메모리 장치로서 사용될 때, 단위 면적당 저장 용량을 증가시키기 위해 고집적화가 중요하다. 또한, 접촉을 위한 개구 및 전극을 부가적으로 제공하기 위해 필요한 단계가 생략될 수 있기 때문에, 상기 반도체 장치의 제작 공정은 간단해질 수 있다.
- [0155] 도 5a 및 도 5b에서의 상기 용량 소자(264)는 소스 또는 드레인 전극으로서 기능하는 상기 제 1 전극(242a), 상기 산화물 반도체층(244), 상기 게이트 절연층(246), 및 전극(248b)을 포함한다. 즉, 상기 제 1 전극(242a)은 상기 용량 소자(264)의 일 전극으로서 기능하며, 상기 전극(248b)은 상기 용량 소자(264)의 다른 전극으로서 기능한다.
- [0156] 도 5a 및 도 5b에 도시된 상기 용량 소자(264)는 상기 제 1 전극(242a) 및 상기 전극(248b) 사이에 상기 산화물 반도체층(244) 및 상기 게이트 절연층(246)을 포함한다. 그러나, 상기 용량 소자(264)는 큰 용량을 갖도록 상기 게이트 절연층(246)만을 포함할 수 있다. 또한, 상기 절연층(243a)의 것과 유사한 방식으로 형성된 절연층이 제공되는 구조를 이용하는 것이 또한 가능하다. 또한, 용량 소자가 요구되지 않는다면, 상기 용량 소자(264)가



제공되지 않는 구조가 이용될 수 있다.

- [0157] 또한, 절연층(250)이 상기 트랜지스터(262) 및 상기 용량 소자(264) 위에 제공되며, 절연층(252)이 상기 절연층(250) 위에 제공된다. 전극(254)은 상기 게이트 절연층(246), 상기 절연층(250), 상기 절연층(252) 등에 형성된 개구에 제공된다. 배선(256)은 상기 절연층(252) 위에 제공되며, 상기 전극(254)을 통해 상기 제 2 전극(242b)에 전기적으로 접속된다. 상기 배선(256)은 상기 제 2 전극(242b)과 직접 접할 수 있다는 것을 주의하자.
- [0158] 또한, 상기 금속 화합물 영역(224)에 접속된 상기 전극(도시되지 않음)은 상기 제 2 전극(242b)에 접속될 수 있다. 이 경우에, 상기 금속 화합물 영역(224)에 접속된 전극이 상기 전극(254)과 중첩하도록 제공될 때, 상기 반도체 장치는 고집적화될 수 있다.
- [0159] <반도체 장치를 제작하기 위한 방법>
- [0160] 다음으로, 상기 반도체 장치를 제작하기 위한 방법의 일 예가 설명될 것이다. 먼저, 상기 하부에 상기 트랜지스터(260)를 제작하기 위한 방법이 도 6a 내지 도 6d 및 도 7a 내지 도 7c를 참조하여 설명될 것이며, 그 후 상기 상부에 상기 트랜지스터(262) 및 상기 용량 소자(264)를 제작하기 위한 방법이 도 8a 내지 도 8d 및 도 9a 내지 도 9c를 참조하여 설명될 것이다.
- [0161] <하부에 트랜지스터를 제작하기 위한 방법>
- [0162] 먼저, 반도체 재료를 포함한 상기 기판(200)이 준비된다(도 6a 참조). 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등이 반도체 재료를 포함한 상기 기판(200)으로서 사용될 수 있다. 여기에서, 단결정 실리콘 기판이 반도체 재료를 포함한 상기 기판(200)으로서 사용되는 경우의 일 예가 설명된다.
- [0163] 일반적으로, 용어 "SOI 기판"은 실리콘 반도체층이 절연 표면상에 제공되는 기판을 의미한다는 것을 주의하자. 본 명세서 등에서, 용어 "SOI 기판"은 또한 그것의 카테고리에 실리콘 이외의 재료를 사용하여 형성된 반도체층이 절연 표면상에 제공되는 기판을 포함한다. 즉, 상기 "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정되지 않는다. 상기 SOI 기판의 예들은 상기 반도체층과 상기 절연 기판 사이에 절연층을 갖고, 유리 기판과 같은 절연 기판 위에 반도체층을 갖는 기판을 포함한다.
- [0164] 실리콘 등의 단결정 반도체 기판은 바람직하게는 상기 트랜지스터(260)가 보다 고속으로 동작될 수 있기 때문에 반도체 재료를 포함한 상기 기판(200)으로서 사용된다.
- [0165] 상기 소자 분리 절연층을 형성하기 위한 마스크로서 작용하는 보호층(202)이 상기 기판(200) 위에 형성된다(도 6a 참조). 상기 보호층(202)으로서, 예를 들면, 산화 실리콘, 질화 실리콘, 산질화 실리콘 등을 사용하여 형성된 절연층이 사용될 수 있다. 이 단계 전 또는 후에, n-형 도전성을 부여하는 불순물 원소 또는 p-형 도전성을 부여하는 불순물 원소가 상기 트랜지스터의 임계 전압을 제어하기 위해 상기 기판(200)에 첨가될 수 있다는 것을 주의하자. 상기 반도체 재료가 실리콘일 때, 예를 들면, 인, 비소 등이 n-형 도전성을 부여하는 불순물 원소로서 사용될 수 있다. 또한, 예를 들면, 붕소, 알루미늄, 갈륨 등이 p-형 도전성을 부여하는 불순물 원소로서 사용될 수 있다.
- [0166] 다음으로, 상기 보호층(202)으로 커버되지 않는 영역에서(즉, 노출된 영역에서)의 상기 기판(200)의 일부는 마스크로서 상기 보호층(202)을 사용하여 에칭에 의해 제거된다. 이러한 에칭에 의해, 다른 반도체 영역들로부터 분리되는 반도체 영역(204)이 형성된다(도 6b 참조). 상기 에칭으로서, 바람직하게는 드라이 에칭이 수행되지만, 웨트 에칭이 수행될 수 있다. 에칭 가스 및 에칭액이 에칭된 재료에 의존하여 적절하게 선택될 수 있다.
- [0167] 그 후, 절연층이 상기 반도체 영역(204)을 커버하기 위해 형성되며 상기 반도체 영역(204)과 중첩하는 영역에서의 절연층이 선택적으로 제거되어, 상기 소자 분리 절연층(206)이 형성되도록 한다(도 6c 참조). 상기 절연층은 산화 실리콘, 질화 실리콘, 산질화 실리콘 등을 사용하여 형성된다. 상기 절연층을 제거하기 위한 방법으로서, 에칭 처리, 화학적 기계적 연마(CMP) 처리와 같은 연마 처리 등이 있다. 그것들 중 임의의 것이 이용될 수 있거나, 또는 그것들 중 둘 이상이 조합될 수 있다. 상기 반도체 영역(204)이 형성된 후 또는 상기 소자 분리 절연층(206)이 형성된 후, 상기 보호층(202)이 제거된다.
- [0168] 상기 소자 분리 절연층(206)의 형성 방법으로서, 절연층이 선택적으로 에칭되는 방법 이외에, 절연층이 산소의 도입 등에 의해 형성되는 방법이 사용될 수 있다.

- [0169] 다음으로, 절연층이 상기 반도체 영역(204)의 표면 위에 형성되며, 도전 재료를 포함한 층이 상기 절연층 위에 형성된다.
- [0170] 상기 절연층은 나중에 게이트 절연층이 되며 예를 들면, 상기 반도체 영역(204)의 표면에 열 처리(예로서, 열 산화 처리 또는 열 질화 처리)를 수행함으로써 형성될 수 있다. 상기 열 처리 대신에, 고-밀도 플라즈마 처리가 이용될 수 있다. 상기 고-밀도 플라즈마 처리는 예를 들면, He, Ar, Kr, 또는 Xe와 같은 희가스, 질소, 산화 질소, 암모니아, 질소, 수소 등 중 임의의 것의 혼합 가스를 사용하여 수행될 수 있다. 말할 필요도 없이, 상기 절연층은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 절연층은 바람직하게는 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$  ( $x>0$  및  $y>0$ )), 질소가 첨가되는 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$  ( $x>0$  및  $y>0$ )), 질소가 첨가되는 하프늄 알루미늄네이트( $\text{HfAl}_x\text{O}_y$  ( $x>0$  및  $y>0$ )) 등 중 하나 이상을 사용한 단층 또는 적층 구조를 가진다. 상기 절연층은 예를 들면 1 nm 이상 100 nm 이하, 바람직하게는 10 nm 이상 50 nm 이하의 두께를 가질 수 있다.
- [0171] 도전 재료를 포함한 층이 알루미늄, 구리, 티타늄, 탄탈, 또는 텅스텐과 같은 금속 재료를 사용하여 형성될 수 있다. 도전 재료를 포함한 상기 층은 다결정 실리콘과 같은 반도체 재료를 사용하여 형성될 수 있다. 도전 재료를 포함한 층을 형성하기 위한 방법에 대한 특별한 제한은 없으며, 증착법, CVD법, 스퍼터링법, 및 스핀 코팅법과 같은 다양한 막 형성 방법들 중 임의의 것이 이용될 수 있다. 이 실시예는 도전 재료를 포함한 층이 금속 재료를 사용하여 형성되는 경우의 일 예를 도시한다는 것을 주의하자.
- [0172] 그 후, 상기 절연층 및 상기 도전 재료를 포함한 층이 선택적으로 에칭되며, 그에 의해 상기 게이트 절연층(208) 및 상기 게이트 전극(210)을 형성한다(도 6c 참조).
- [0173] 다음으로, 인(P), 비소(As) 등이 상기 산화물 반도체 영역(204)에 첨가되어, 상기 채널 형성 영역(216) 및 상기 불순물 영역들(220)이 형성되도록 한다(도 6d 참조). 인 또는 비소가 여기에서 n-채널 트랜지스터를 형성하기 위해 첨가되며; 붕소(B) 또는 알루미늄(Al)과 같은 불순물 원소가 p-채널 트랜지스터를 형성하는 경우에 첨가될 수 있다는 것을 주의하자. 여기에서, 상기 첨가된 불순물 원소의 농도는 적절하게 설정될 수 있으며; 상기 농도는 바람직하게는 상기 반도체 소자의 크기가 극도로 감소될 때 증가된다.
- [0174] 측벽 절연층은 불순물 원소가 상이한 농도로 첨가되는 불순물 영역이 형성될 수 있도록 상기 게이트 전극(210)의 주변에 형성될 수 있다는 것을 주의하자.
- [0175] 다음으로, 금속층(222)이 상기 게이트 전극(210), 상기 불순물 영역들(220) 등을 커버하기 위해 형성된다(도 7a 참조). 진공 증착법, 스퍼터링법, 및 스핀 코팅법과 같은 다양한 막 형성 방법들 중 임의의 것이 상기 금속층(222)의 형성에 적용가능하다. 상기 금속층(222)은 바람직하게는 저-저항 금속 화합물이 되도록 상기 반도체 영역(204)에 포함된 반도체 재료와 반응하는 금속 재료를 사용하여 형성된다. 이러한 금속 재료의 예들은 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 및 백금을 포함한다.
- [0176] 다음으로, 열 처리가 수행되며, 그에 의해 상기 금속층(222)이 상기 반도체 재료와 반응한다. 따라서, 상기 불순물 영역들(220)과 접하는 상기 금속 화합물 영역들(224)이 형성된다(도 7a 참조). 상기 게이트 전극(210)이 다결정 실리콘 등을 사용하여 형성될 때, 금속 화합물 영역이 또한 상기 금속층(222)과 접하는 상기 게이트 전극(210)의 영역에 형성된다는 것을 주의하자.
- [0177] 상기 열 처리로서, 예를 들면, 플래시 램프를 가진 조사가 이용될 수 있다. 또 다른 열 처리 방법이 사용될 수 있다는 것은 말할 필요도 없지만, 매우 짧은 시간 동안 열 처리가 달성될 수 있는 방법이 바람직하게는 상기 금속 화합물의 형성에서의 화학적 반응의 제어가능성을 향상시키기 위해 사용된다. 상기 금속 화합물 영역들은 상기 금속 재료 및 상기 반도체 재료의 반응에 의해 형성되며 충분히 높은 도전성을 가진다는 것을 주의하자. 상기 금속 화합물 영역들의 형성은 상기 전기 저항을 충분히 감소시킬 수 있으며 소자 특성들을 향상시킬 수 있다. 상기 금속층(222)은 상기 금속 화합물 영역들(224)이 형성된 후 제거된다는 것을 주의하자.
- [0178] 그 후, 상기 절연층(228) 및 상기 절연층(230)은 상기 단계들에 형성된 구성요소들을 커버하기 위해 형성된다(도 7b 참조). 상기 절연층(228) 및 상기 절연층(230)은 산화 실리콘, 산질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 포함한 재료를 사용하여 형성될 수 있다. 특히, 상기 절연층(228) 및 상기 절연층(230)은 바람직하게는 낮은 유전율(로우-k(low-k)) 재료를 사용하여 형성되며, 그에 의해 전극들 또는 배선들의 중첩에 의해 야기된 용량이 충분히 감소될 수 있다. 이들 재료들을 포함한 다공성 절연층이 상기 절연층(228) 및 상기 절연층(230)을 위해 사용될 수 있다는 것을 주의하자. 상기 다공성 절연층은 치밀한 절연층과 비교하여 낮은 유

전율을 가지기 때문에, 전극들 또는 배선들로 인한 용량이 추가로 감소될 수 있다.

- [0179] 또한, 질화 산화 실리콘 또는 질화 실리콘과 같이, 대량의 질소를 포함한 무기 절연 재료를 포함한 층이 상기 절연층(228) 및 상기 절연층(230)에 포함될 수 있다. 따라서, 하부에서의 상기 트랜지스터(260)에 포함된 상기 재료에 포함된 물 또는 수소와 같은 불순물들이 나중에 형성되는 상기 상부에서의 상기 트랜지스터(262)의 상기 산화물 반도체층(244)에 들어가는 것으로부터 방지될 수 있다. 이 경우에, 나중 단계에서 단지 CMP 처리에 의해서만 대량의 질소를 포함한 무기 절연 재료를 포함한 상기 층을 제거하는 것은 어려우며; 그러므로 CMP 처리 및 에칭 처리가 바람직하게는 조합하여 수행된다는 것을 주의하자.
- [0180] 예를 들면, 산질화 실리콘 및 산화 실리콘이 각각 상기 절연층(228) 및 상기 절연층(230)을 위해 사용될 수 있다. 단지 산질화 실리콘 또는 산화 실리콘과 같이, 대량의 산소를 포함한 무기 절연 재료만이 이러한 방식으로 상기 절연층(228) 및 상기 절연층(230)을 위해 사용될 때, CMP 처리가 나중 단계에서 상기 절연층(228) 및 상기 절연층(230) 상에서 쉽게 수행될 수 있다.
- [0181] 상기 절연층(228) 및 상기 절연층(230)의 적층 구조가 이 실시예에서 사용되지만; 여기에 개시된 본 발명의 일 실시예는 이 예에 한정되지 않는다는 것을 주의하자. 단층 구조 또는 3 이상의 층들을 포함한 적층 구조가 사용될 수 있다. 예를 들면, 다음 구조가 이용될 수 있다: 산질화 실리콘 및 산화 실리콘이 각각 상기 절연층(228) 및 상기 절연층(230)을 위해 사용되며, 질화 산화 실리콘 막이 상기 절연층(228)과 상기 절연층(230) 사이에 형성된다.
- [0182] 그 후, 상기 트랜지스터(262)의 형성 전 처리로서, CMP 처리가 상기 절연층(228) 및 상기 절연층(230) 상에서 수행되며, 따라서 상기 절연층(228) 및 상기 절연층(230)의 표면들은 평탄화되고 상기 게이트 전극(210)의 상면은 노출된다(도 7c 참조).
- [0183] 상기 CMP 처리는 한 번 또는 복수 회 수행될 수 있다. 상기 CMP 처리가 복수 회 수행될 때, 제 1 연마는 바람직하게는 낮은 연마율을 가진 최종 연마에 앞서 높은 연마율을 갖고 수행된다. 이러한 방식으로 상이한 연마율들을 가진 연마를 조합함으로써, 상기 절연층(228) 및 상기 절연층(230)의 표면들의 평탄성은 추가로 향상될 수 있다.
- [0184] 또한, 상기 절연층(228) 및 상기 절연층(230)의 적층 구조가 대량의 질소를 포함한 무기 절연 재료를 포함할 때, 단지 상기 CMP 처리에 의해서만 대량의 질소를 포함한 무기 절연 재료를 제거하는 것은 어렵기 때문에, CMP 처리 및 에칭 처리가 바람직하게는 조합하여 수행된다. 대량의 질소를 포함한 무기 절연 재료를 위한 상기 에칭 처리로서, 드라이 에칭 또는 웨트 에칭이 사용될 수 있다. 소자들의 미세화를 고려할 때, 바람직하게는 드라이 에칭이 사용된다. 또한, 에칭 조건들(에칭 가스, 에칭액, 에칭 시간, 온도 등)은 상기 절연층들의 에칭율들이 서로 동일하며 상기 게이트 전극(210)에 대하여 높은 에칭 선택도가 획득될 수 있도록 적절히 설정되는 것이 바람직하다. 또한, 드라이 에칭을 위한 에칭 가스로서, 예를 들면, 불소를 포함한 가스(트리플로루메탄( $\text{CHF}_3$ )과 같은), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 불소를 포함한 가스 등이 사용될 수 있다.
- [0185] 또한, 상기 게이트 전극(210)의 상면이 상기 절연층(230)으로부터 노출될 때, 상기 게이트 전극(210)의 상면 및 상기 절연층(230)의 표면은 바람직하게는 동일한 면에 있다.
- [0186] 상기 단계들의 각각 전 또는 후에, 전극, 배선, 반도체층, 또는 절연층을 형성하기 위한 단계가 추가로 제공될 수 있다는 것을 주의하자. 예를 들면, 상기 금속 화합물 영역(224)의 일부에 접속되고 상기 트랜지스터(260)의 소스 또는 드레인 전극으로서 기능하는 전극이 형성될 수 있다. 또한, 상기 배선이 절연층 및 도전층을 적층함으로써 획득되는 다층 구조를 가질 때, 고집적화된 반도체 장치가 달성될 수 있다.
- [0187] <상부에 트랜지스터를 제작하기 위한 방법>
- [0188] 그 후, 도전층이 상기 게이트 전극(210), 상기 절연층(228), 상기 절연층(230) 등 위에 형성되며, 상기 도전층이 선택적으로 에칭되어, 소스 및 드레인 전극들로서 기능하는 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)이 형성되도록 한다(도 8a 참조). 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)은 실시예 2에 설명된 소스 및 드레인 전극들로서 기능하는 상기 전극들의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다. 그러므로, 실시예 2는 상기 상세들을 위해 참조될 수 있다.
- [0189] 여기에서, 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)은 테이퍼링된 단부들을 갖도록 에칭된다. 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)의 상기 테이퍼링된 단부들을 갖고, 나중에 형성될 상기 산화물 반도체층은 상기 단부들을 쉽게 커버할 수 있으며 절단(disconnection)이 방지될 수 있다. 또한, 이후 형성될 게이트 절연

층의 커버리지가 개선될 수 있고 접속 해제가 방지될 수 있다.

- [0190] 여기에서, 테이퍼 각은, 예를 들면  $30^\circ$  이상  $60^\circ$  이하이다. 상기 테이퍼 각은 상기 층이 단면(기판의 표면에 수직인 평면)에 수직인 방향으로부터 관찰되는 경우에 테이퍼링된 형상(예로서, 상기 제 1 전극(242a))을 가진 층의 측면 및 저면에 의해 형성된 경사각임을 주의하자.
- [0191] 상기 상부에서의 상기 트랜지스터의 상기 채널 길이(L)는 상기 제 1 전극(242a)의 하단부와 상기 제 2 전극(242b)의 하단부 사이의 거리에 의해 결정된다. 25 nm보다 짧은 채널 길이(L)를 가진 트랜지스터가 형성되는 경우에 사용되는 마스크를 사용하기 위한 노광에서, 그 파장이 수 나노미터들 내지 수십 나노미터들만큼 짧은 초자외선 광을 사용하는 것이 바람직하다는 것을 주의하자. 초자외선 광에 의한 상기 노광에서, 상기 해상도는 높고 상기 초점 심도는 크다. 이들 이유들로, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10 nm 이상 1000 nm(1 $\mu$ m) 이하일 수 있으며, 상기 회로는 보다 고속으로 동작할 수 있다. 게다가, 미세화가 상기 반도체 장치의 낮은 전력 소비를 이끌 수 있다.
- [0192] 여기에서, 상기 트랜지스터(262)의 상기 제 1 전극(242a) 및 상기 트랜지스터(260)의 상기 게이트 전극(210)은 서로 직접 접속된다(도 8a 참조).
- [0193] 그 후, 상기 절연층(243a) 및 상기 절연층(243b)이 각각 상기 제 1 전극(242a) 및 상기 제 2 전극(242b) 위에 형성된다(도 8b 참조). 상기 절연층(243a) 및 상기 절연층(243b)은 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)을 커버하는 절연층이 형성되는 방식으로 형성될 수 있으며, 그 후 상기 절연층이 선택적으로 에칭된다. 또한, 상기 절연층(243a) 및 상기 절연층(243b)은 나중에 형성될 상기 게이트 전극의 일부와 중첩하도록 형성된다. 이러한 절연층을 제공함으로써, 상기 게이트 전극 및 상기 소스 또는 드레인 전극 사이의 용량이 감소될 수 있다.
- [0194] 상기 절연층(243a) 및 상기 절연층(243b)은 산화 실리콘, 산질화 실리콘, 질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 사용하여 형성될 수 있다. 특히, 상기 절연층(243a) 및 상기 절연층(243b)은 낮은 유전율(로우-k) 재료를 사용하여 형성되는 것이 바람직하는데, 이는 상기 게이트 전극과 상기 소스 또는 드레인 전극 사이의 용량이 충분히 감소될 수 있기 때문이다. 이들 재료들 중 임의의 것을 포함한 다공성 절연층은 상기 절연층(243a) 및 상기 절연층(243b)을 위해 사용될 수 있다는 것을 주의하자. 상기 다공성 절연층은 치밀한 절연층과 비교하여 낮은 유전율을 가지기 때문에, 상기 게이트 전극과 상기 소스 또는 드레인 전극 간의 용량이 추가로 감소될 수 있다.
- [0195] 상기 게이트 전극 및 상기 소스 또는 드레인 전극 간의 용량에서의 감소를 고려할 때, 바람직하게는 상기 절연층(243a) 및 상기 절연층(243b)이 형성되지만, 상기 절연층(243a) 및 상기 절연층(243b)이 없는 구조가 이용될 수 있다는 것을 주의하자.
- [0196] 다음으로, 산화물 반도체층이 상기 제 1 전극(242a) 및 상기 제 2 전극(242b)을 커버하도록 형성되며, 그 후 상기 산화물 반도체층이 선택적으로 에칭되어, 상기 산화물 반도체층(244)이 형성되도록 한다(도 8c 참조). 상기 산화물 반도체층(244)은 실시예 2에 설명된 상기 산화물 반도체층의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다. 그러므로, 실시예 2는 상기 상세들을 위해 참조될 수 있다.
- [0197] 실시예 2에 설명된 바와 같이, 상기 산화물 반도체층이 스퍼터링법에 의해 형성되기 전에, 상기 산화물 반도체층이 형성되는 표면(예로서, 상기 절연층(230)의 표면)에 부착된 물질이 바람직하게는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거된다는 것을 주의하자.
- [0198] 산소가 상기 산화물 반도체층에 첨가되며, 그 후, 열 처리(제 1 열 처리)가 수행된다. 상기 산소 첨가 처리 및 상기 열 처리(상기 제 1 열 처리)를 위해, 실시예 2에 설명된 상기 장치 및 상기 방법이 이용될 수 있다. 그러므로, 실시예 2가 상기 상세들을 위해 참조될 수 있다.
- [0199] 상기 산화물 반도체층에 산소를 첨가하고 상기 열 처리(상기 제 1 열 처리)를 수행함으로써, 상기 산화물 반도체층에서의 잔여 불순물들이 감소되고, 그에 의해 i-형(진성) 또는 실질적으로 i-형 산화물 반도체층이 형성될 수 있다. 상기 잔여 불순물들이 감소되는 상기 i-형(진성) 또는 실질적으로 i-형 산화물 반도체층을 포함한 상기 트랜지스터에서, 임계 전압에서의 변동이 억제될 수 있고 상기 오프-상태 전류가 감소될 수 있으며, 즉 우수한 특성들이 달성될 수 있다.
- [0200] 상기 산화물 반도체층은 상기 열 처리(상기 제 1 열 처리) 전 또는 후에 에칭될 수 있다. 소자들의 미세화를 고려할 때, 바람직하게는 드라이 에칭이 사용되지만; 웨트 에칭이 사용될 수 있다. 에칭 가스 및 에칭액이 에칭된



재료에 의존하여 적절하게 선택될 수 있다. 하나의 소자에서 리크 전류가 문제를 야기하지 않는 경우에, 상기 산화물 반도체층은 섬 형상을 갖도록 가공되지 않고 사용될 수 있다는 것을 주의하자.

- [0201] 다음으로, 상기 산화물 반도체층(244)과 접하는 상기 게이트 절연층(246)이 형성되며, 그 후 상기 게이트 전극(248a) 및 상기 전극(248b)이 상기 게이트 절연층(246) 위에, 각각 상기 산화물 반도체층(244) 및 상기 제 1 전극(242a)과 중첩하는 영역들에 형성된다(도 8d 참조). 상기 게이트 절연층(246)은 실시예 2에 설명된 상기 게이트 절연층의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다.
- [0202] 상기 게이트 절연층(246)이 형성된 후, 제 2 열 처리가 바람직하게는 불활성 가스 분위기 또는 산소 분위기에서 수행된다. 상기 제 2 열 처리는 실시예 2에서의 것과 유사한 방식으로 수행될 수 있다. 상기 제 2 열 처리는 상기 트랜지스터의 전기적 특성들에서의 변동을 감소시킬 수 있다. 게다가, 상기 게이트 절연층(246)이 산소를 포함하는 경우에, 산소가 상기 산화물 반도체층(244)에서의 산소 결손을 보상하기 위해 상기 산화물 반도체층(244)에 공급되며, 그에 의해 i-형(진성) 또는 실질적으로 i-형 산화물 반도체층이 형성될 수 있다.
- [0203] 상기 제 2 열 처리는 상기 게이트 절연층(246)이 형성된 후 이 실시예에서 수행되지만, 상기 제 2 열 처리의 타이밍은 그것에 한정되지 않는다는 것을 주의하자. 예를 들면, 상기 제 2 열 처리는 상기 게이트 전극이 형성된 후 수행될 수 있다. 대안적으로, 상기 제 2 열 처리는 또한 상기 제 1 열 처리로서 작용할 수 있다.
- [0204] 상술된 바와 같이, 산소의 첨가 후 상기 제 1 열 처리 및 상기 제 2 열 처리 중 적어도 하나를 수행함으로써, 상기 산화물 반도체층(244)은 그것의 주성분이 아닌 불순물을 가능한 한 많이 포함하지 않도록 고순도화될 수 있다.
- [0205] 상기 게이트 전극(248a)은 실시예 2에 설명된 상기 게이트 전극(611)의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다. 또한, 상기 전극(248b)은 상기 게이트 전극(248a)의 형성과 동시에, 상기 도전층을 선택적으로 에칭함으로써 형성될 수 있다. 실시예 2는 상기 상세들을 위해 참조될 수 있다.
- [0206] 다음으로, 상기 절연층(250) 및 상기 절연층(252)은 상기 게이트 절연층(246), 상기 게이트 전극(248a), 및 상기 전극(248b) 위에 형성된다(도 9a 참조). 상기 절연층(250) 및 상기 절연층(252)은 실시예 1에 설명된 상기 절연층(507) 및 상기 보호 절연층(508)과 유사한 재료들 및 방법들을 사용하여 형성될 수 있다. 그러므로, 실시예 1이 상기 상세들을 위해 참조될 수 있다.
- [0207] 다음으로, 상기 제 2 전극(242b)에 도달한 개구가 상기 게이트 절연층(246), 상기 절연층(250), 및 상기 절연층(252)에 형성된다(도 9b 참조). 상기 개구는 마스크 등의 사용으로 선택적 에칭에 의해 형성된다.
- [0208] 그 후, 상기 전극(254)이 상기 개구에 형성되며, 상기 전극(254)과 접하는 상기 배선(256)이 상기 절연층(252) 위에 형성된다(도 9c 참조).
- [0209] 예를 들면, 상기 전극(254)은 다음 방식으로 형성될 수 있다: 도전층이 PVD 법, CVD법 등에 의해 상기 개구를 포함한 영역에 형성되며, 그 후, 상기 도전층은 에칭 처리 또는 CMP와 같은 방법에 의해 부분적으로 제거된다.
- [0210] 보다 구체적으로, 상기 개구를 포함하는 영역에서 얇은 티타늄 막이 PVD 법에 의해 형성되고 얇은 질화 티타늄 막이 CVD법에 의해 형성되며, 그 후 텅스텐 막이 상기 개구에 내장되도록 형성되는 방법을 이용하는 것이 가능하다. 여기에서, PVD 법에 의해 형성된 상기 티타늄 막은 하부 전극 등(예로서, 여기에서 상기 제 2 전극(242b))과의 접촉 저항을 감소시키기 위해, 상기 전극이 형성되는 표면 위에 산화막(예로서, 자연 산화막)을 감소시키는 기능을 가진다. 상기 티타늄 막의 형성 후 형성된 상기 질화 티타늄 막은 상기 도전 재료의 확산을 방지하는 배리어 기능을 가진다. 구리막이 티타늄, 질화 티타늄 등의 배리어 막의 형성 후 도금 방법에 의해 형성될 수 있다.
- [0211] 상기 전극(254)이 상기 도전층의 일부를 제거함으로써 형성되는 경우에, 그 표면은 평탄해지도록 가공되는 것이 바람직하다. 예를 들면, 상기 얇은 티타늄 막 및 상기 얇은 질화 티타늄 막이 상기 개구를 포함한 영역에 형성되고 그 후 상기 텅스텐 막이 상기 개구에 내장되도록 형성될 때, 나중의 CMP 처리에 의해, 과잉 텅스텐, 티타늄, 질화 티타늄 등이 제거될 수 있으며 상기 표면의 평탄성은 개선될 수 있다. 양호한 전극, 배선, 절연층, 반도체층 등이 상기 전극(254)을 포함한 상기 표면의 평탄화에서의 이러한 개선에 의해 나중 단계들에서 형성될 수 있다.
- [0212] 상기 배선(256)은 실시예 2에 설명된 상기 게이트 전극(611)을 포함한 상기 배선의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다. 그러므로, 실시예 2가 상기 상세들을 위해 참조될 수 있다.

- [0213] 상기 단계들을 통해, 상기 고순도화된 산화물 반도체층(244)을 포함한 상기 트랜지스터(262) 및 상기 용량 소자(264)가 완성된다(도 9c 참조).
- [0214] 상기 고순도화되고 진성의 산화물 반도체층(244)의 사용으로, 상기 트랜지스터의 상기 오프-상태 전류는 충분히 감소될 수 있다. 이러한 트랜지스터의 사용으로, 저장된 데이터가 매우 긴 시간 동안 보유될 수 있는 반도체 장치가 제공될 수 있다.
- [0215] 이 실시예에 설명된 상기 방법에 따르면, 상기 반도체 장치가 제공될 수 있으며, 이것은 상기 하부에서의 산화물 반도체 이외의 다른 반도체 재료를 포함한 상기 트랜지스터 및 상기 상부에서의 산화물 반도체를 포함한 상기 트랜지스터를 포함한다.
- [0216] 상기 게이트 전극(210) 및 상기 제 1 전극(242a)이 서로 직접 접촉될 때, 접촉 면적이 감소될 수 있기 때문에 상기 반도체 장치의 보다 높은 집적화가 달성될 수 있다. 따라서, 메모리 장치로서 사용될 수 있는 상기 반도체 장치의 단위 면적당 저장 용량은 증가될 수 있다.
- [0217] 이 실시예에 설명된 상기 구조들, 방법들 등은 다른 실시예들에 설명된 상기 구조들, 방법들 등 중 임의의 것과 적절하게 조합될 수 있다.
- [0218] (실시예 4)
- [0219] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예에 따른 반도체 장치의 응용 예들이 도 13a-1 내지 도 13b를 참조하여 설명될 것이다. 여기에서, 메모리 장치의 일 예가 설명될 것이다. 몇몇 회로도들에서, "OS"는 상기 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위해 트랜지스터 옆에 기록된다.
- [0220] 도 13a-1에 도시된 반도체 장치에서, 제 1 배선(제 1 라인)은 트랜지스터(700)의 소스 전극에 전기적으로 접속되며, 제 2 배선(제 2 라인)은 상기 트랜지스터(700)의 드레인 전극에 전기적으로 접속된다. 상기 트랜지스터(700)의 게이트 전극 및 트랜지스터(710)의 소스 전극 및 드레인 전극 중 하나는 용량 소자(720)의 하나의 전극에 전기적으로 접속된다. 제 5 배선(제 5 라인)은 상기 용량 소자(720)의 다른 전극에 전기적으로 접속된다. 제 3 배선(제 3 라인)은 상기 트랜지스터(710)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속되며, 제 4 배선(제 4 라인)은 상기 트랜지스터(710)의 게이트 전극에 전기적으로 접속된다.
- [0221] 여기에서, 산화물 반도체를 포함한 트랜지스터가 상기 트랜지스터(710)로서 사용된다. 이 실시예에서, 예를 들면, 상기 실시예에 설명된 상기 트랜지스터(262)가 산화물 반도체를 포함한 상기 트랜지스터로서 사용될 수 있다. 상기 산화물 반도체를 포함한 트랜지스터는 상당히 작은 오프-상태 전류의 특성을 가진다. 그러므로, 상기 트랜지스터(710)가 오프 상태로 배치될 때, 상기 트랜지스터(700)의 상기 게이트 전극의 전위는 매우 긴 시간 동안 보유될 수 있다. 상기 용량 소자(720)를 제공함으로써, 상기 트랜지스터(700)의 상기 게이트 전극에 공급된 전하가 쉽게 유지될 수 있으며 저장된 데이터가 쉽게 판독될 수 있다. 이 실시예에서, 예를 들면, 상기 실시예에 설명된 상기 용량 소자(264)가 상기 용량 소자(720)로서 사용될 수 있다.
- [0222] 또한, 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터가 상기 트랜지스터(700)를 위해 사용된다. 산화물 반도체 이외의 다른 상기 반도체 재료로서, 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소 등이 사용될 수 있으며, 바람직하게는 단결정 반도체가 사용된다는 것을 주의하자. 게다가, 유기 반도체 재료 등이 사용될 수 있다. 이러한 반도체 재료를 포함한 트랜지스터는 쉽게 고속으로 동작할 수 있다. 이 실시예에서, 예를 들면, 상기 실시예에 설명된 상기 트랜지스터(260)는 산화물 반도체 이외의 다른 반도체 재료를 포함한 상기 트랜지스터로서 사용될 수 있다.
- [0223] 대안적으로, 도 13b에 도시된 바와 같이 상기 용량 소자(720)가 없는 구조가 이용될 수 있다.
- [0224] 도 13a-1에 도시된 상기 반도체 장치는 상기 트랜지스터(700)의 상기 게이트 전극의 상기 전위가 보유될 수 있는 특성을 이용하며, 그에 의해 데이터의 기록, 유지, 및 판독이 이하에 설명된 바와 같이 가능하다.
- [0225] 먼저, 데이터의 기록 및 보유가 설명될 것이다. 먼저, 상기 제 4 배선의 전위는 상기 트랜지스터(710)가 턴 온되는 전위로 설정되며, 따라서 상기 트랜지스터(710)는 턴 온된다. 따라서, 상기 제 3 배선의 전위는 상기 트랜지스터(700)의 상기 게이트 전극 및 상기 용량 소자(720)에 공급된다. 즉, 미리 결정된 전하가 상기 트랜지스터(700)의 상기 게이트 전극에 공급된다(기록). 여기에서, 상이한 전위들을 공급하기 위한 두 종류들의 전하(이후, 저 전위를 공급하기 위한 전하는 전하( $Q_L$ )로서 불리고 고 전위를 공급하기 위한 전하는 전하( $Q_H$ )로서 불린다) 중 하나가 상기 트랜지스터(700)의 상기 게이트 전극에 공급된다. 상이한 전위들을 공급하기 위한 3 이



상의 종류들의 전하가 저장 용량을 향상시키기 위해 사용될 수 있다는 것을 주의하자. 그 후, 상기 제 4 배선의 전위는 상기 트랜지스터(710)가 턴 오프되는 전위로 설정되며, 따라서 상기 트랜지스터(710)는 턴 오프된다. 따라서, 상기 트랜지스터(700)의 상기 게이트 전극에 공급된 전하가 보유된다(보유).

[0226] 상기 트랜지스터(710)의 상기 오프-상태 전류가 매우 작기 때문에, 상기 트랜지스터(700)의 상기 게이트 전극의 전하는 장시간 동안 보유된다.

[0227] 다음으로, 데이터의 판독이 설명될 것이다. 미리 결정된 전위(일정한 전위)가 상기 제 1 배선에 공급되는 동안 상기 제 5 배선에 적절한 전위(판독 전위)를 공급함으로써, 상기 제 2 배선의 전위는 상기 트랜지스터(700)의 상기 게이트 전극에 보유된 전하의 양에 의존하여 변화한다. 이것은 일반적으로, 상기 트랜지스터(700)가 n-채널 트랜지스터일 때,  $Q_H$ 가 상기 트랜지스터(700)의 상기 게이트 전극에 공급되는 경우에서의 피상 임계 전압( $V_{th,H}$ )은  $Q_L$ 이 상기 트랜지스터(700)의 상기 게이트 전극에 공급되는 경우에서의 피상 임계 전압( $V_{th,L}$ )보다 낮기 때문이다. 여기에서, 피상 임계 전압은 상기 제 5 배선의 전위를 나타내며, 이것은 상기 트랜지스터(700)를 턴 온하도록 요구된다. 따라서, 상기 제 5 배선의 전위가  $V_{th,H}$  및  $V_{th,L}$  사이의 중간인 전위( $V_0$ )로 설정될 때, 상기 트랜지스터(700)의 상기 게이트 전극에 공급된 전하가 결정될 수 있다. 예를 들면,  $Q_H$ 가 기록시 공급되는 경우에, 상기 제 5 배선의 전위가  $V_0(>V_{th,H})$ 로 설정될 때, 상기 트랜지스터(700)는 턴 온된다.  $Q_L$ 이 기록시 공급되는 경우에, 상기 제 5 배선의 전위가  $V_0(<V_{th,L})$ 로 설정될 때조차, 상기 트랜지스터(700)는 오프 상태인 채로 있다. 그러므로, 보유된 상기 데이터는 상기 제 2 배선의 전위를 이용함으로써 판독될 수 있다.

[0228] 메모리 셀들이 배열되는 경우에, 단지 원하는 메모리 셀들의 데이터만을 판독하는 것이 필요하다는 것을 주의하자. 따라서, 미리 결정된 메모리 셀들의 데이터가 판독될 수 있고 다른 메모리 셀들의 데이터가 판독될 수 없도록, 상기 메모리 셀들의 상기 트랜지스터들(700)이 병렬로 서로 접속되는 경우에, 상기 트랜지스터(700)가 상기 게이트 전극의 상태에 상관없이 턴 오프되는 전위, 즉,  $V_{th,H}$ 보다 낮은 전위가 그 데이터가 판독되지 않는 상기 메모리 셀들의 상기 제 5 배선에 공급될 수 있다. 또한, 상기 메모리 셀들의 상기 트랜지스터들(700)이 직렬로 서로 접속되는 경우에, 상기 트랜지스터(700)가 상기 게이트 전극의 상태에 상관없이 턴 온되는 전위, 즉  $V_{th,L}$ 보다 높은 전위가 데이터가 판독되지 않는 상기 메모리 셀들의 상기 제 5 배선들에 공급될 수 있다.

[0229] 그 후, 데이터의 재기록이 설명될 것이다. 데이터의 재기록은 상기 데이터의 기록 및 보유의 것과 유사한 방식으로 수행된다. 즉, 상기 제 4 배선의 전위는 상기 트랜지스터(710)가 턴 온되는 전위로 설정되며, 따라서 상기 트랜지스터(710)는 턴 온된다. 따라서, 상기 제 3 배선의 전위(새로운 데이터와 관련된 전위)는 상기 트랜지스터(700)의 상기 게이트 전극 및 상기 용량 소자(720)에 공급된다. 그 후, 상기 제 4 배선의 전위는 상기 트랜지스터(710)가 턴 오프되는 전위로 설정되며, 상기 트랜지스터(710)는 턴 오프된다. 따라서, 새로운 데이터와 관련된 전하가 상기 트랜지스터(700)의 상기 게이트 전극에 보유된다.

[0230] 여기에 개시된 본 발명에 따른 상기 반도체 장치에서, 데이터는 상술된 바와 같이 데이터의 또 다른 기록에 의해 직접 재기록될 수 있다. 그러므로, 플래시 메모리 등에 요구되는, 높은 전압을 사용한 플로팅 게이트로부터의 전하의 추출은 필요하지 않으며, 따라서 소거 동작에 기인하는 동작 속도의 저하가 억제될 수 있다. 달리 말하면, 상기 반도체 장치의 고속 동작이 실현될 수 있다.

[0231] 상기 트랜지스터(710)의 상기 소스 전극 또는 상기 드레인 전극은 상기 트랜지스터(700)의 상기 게이트 전극에 전기적으로 접속되며, 그에 의해 불휘발성 메모리 소자를 위해 사용된 플로팅 게이트 트랜지스터의 플로팅 게이트의 것과 유사한 효과가 달성될 수 있다는 것을 주의하자. 그러므로, 상기 트랜지스터(710)의 상기 소스 전극 또는 상기 드레인 전극이 상기 트랜지스터(700)의 상기 게이트 전극에 전기적으로 접속되는 도면에서의 부분은 몇몇 경우들에서 플로팅 게이트부(FG)로 불린다. 상기 트랜지스터(710)가 오프일 때, 상기 플로팅 게이트부(FG)는 절연체에 내장되는 것으로서 간주될 수 있으며, 따라서 전하가 상기 플로팅 게이트부(FG)에 유지된다. 산화물 반도체를 포함한 상기 트랜지스터(710)의 상기 오프-상태 전류의 양은 실리콘 반도체 등을 포함한 트랜지스터의 상기 오프-상태 전류의 양의 십만분의 1 이하이며; 따라서, 상기 트랜지스터(710)의 리크 전류로 인한 상기 플로팅 게이트부(FG)에 축적된 전하의 손실은 무시해도 될 정도이다. 즉, 산화물 반도체를 포함한 상기 트랜지스터(710)의 사용으로, 전력이 공급되지 않을 때조차 데이터를 유지할 수 있는 불휘발성 메모리 장치가 실현될 수 있다.

[0232] 예를 들면, 실온에서 상기 트랜지스터(710)의 오프-상태 전류가 10 zA(1zA(zeptoampere))는  $1 \times 10^{-21}$  A이다) 이하

이고 상기 용량 소자(720)의 용량 값이 대략  $10^4$  초들 동안 보유될 수 있다. 상기 보유 시간은 트랜지스터 특성들 및 상기 용량 값에 의존한다는 것은 말할 필요도 없다.

[0233] 또한, 이 경우에, 종래의 플로팅 게이트 트랜지스터에서 지적되는, 게이트 절연막(터널 절연막)의 열화의 문제가 존재하지 않는다. 즉, 종래에 문제로서 간주되어 온 플로팅 게이트로의 전자의 주입으로 인한 게이트 절연막의 열화가 해결될 수 있다. 이것은 원칙적으로 기록의 횟수들에 대한 제한이 없음을 의미한다. 더욱이, 종래의 플로팅 게이트 트랜지스터에서의 기록 또는 소거를 위해 요구된 높은 전압은 필요하지 않다.

[0234] 도 13a-1에서 상기 반도체 장치에서의 상기 트랜지스터들과 같은 구성요소들은 도 13a-2에 도시된 바와 같이 저항 소자(resistor) 및 용량 소자를 포함하는 것으로서 간주될 수 있다. 즉, 도 13a-2에서, 상기 트랜지스터(700) 및 상기 용량 소자(720)는 각각 저항 소자 및 용량 소자를 포함하는 것으로서 간주될 수 있다. R1 및 C1은 저항 값 및 상기 용량 소자(720)의 용량 값을 나타낸다. 상기 저항 값(R1)은 상기 용량 소자(720)에 포함된 절연층의 저항 값에 상응한다. 또한, R2 및 C2는 상기 트랜지스터(700)의 상기 저항 값 및 상기 용량 값을 나타낸다. 상기 저항 값(R2)은 상기 트랜지스터(700)가 온일 때 게이트 절연층의 상기 저항 값에 상응한다. 상기 용량 값(C2)은 소위 게이트 용량(게이트 전극 및 상기 소스 전극과 상기 드레인 전극의 각각 사이에 형성된 용량 및 상기 게이트 전극 및 채널 형성 영역 사이에 형성된 용량)의 용량 값에 상응한다.

[0235] 상기 트랜지스터(710)가 오프일 때 상기 소스 전극 및 상기 드레인 전극 사이의 상기 저항 값(또한 실효 저항으로서 불리)은 ROS로 표시된다. R1 및 R2가 상기 트랜지스터(710)의 게이트 리크 전류가 충분히 작은 조건 하에서  $R1 \geq ROS$  및  $R2 \geq ROS$ 를 만족할 때, 전하를 유지하기 위한 기간(또한 데이터 유지 기간으로서 불리)은 주로 상기 트랜지스터(710)의 상기 오프-상태 전류에 의해 결정된다.

[0236] 다른 한편으로, 상기 조건이 만족되지 않을 때, 상기 트랜지스터(710)의 상기 오프-상태 전류가 충분히 작을 때조차 충분한 보유 기간을 보장하는 것은 어렵다. 이것은 상기 트랜지스터(710)의 상기 오프-상태 전류 이외의 리크 전류(예로서, 상기 소스 전극 및 상기 게이트 전극 사이에 생성된 리크 전류)가 크기 때문이다. 따라서, 이 실시예에 개시된 상기 반도체 장치는 바람직하게는 상기 관계들을 만족한다고 말할 수 있다.

[0237] 한편, C1 및 C2는  $C1 \geq C2$ 의 관계를 만족하는 것이 바람직하다. 이것은 C1이 클 때, 상기 제 5 배선의 전위가 상기 제 5 배선에 의해 상기 플로팅 게이트부(FG)의 전위를 제어할 때 상기 플로팅 게이트부(FG)에 충분히 공급될 수 있고, 상기 제 5 배선에 공급된 전위들(예로서, 판독 전위 및 비-판독 전위) 간의 차가 감소될 수 있기 때문이다.

[0238] 상기 관계들이 만족될 때, 보다 바람직한 반도체 장치가 실현될 수 있다. R1 및 R2는 상기 용량 소자(720)의 상기 절연층 및 상기 트랜지스터(700)의 상기 게이트 절연층에 의해 제어된다는 것을 주의하자. C1 및 C2에도 동일하게 적용된다. 그러므로, 상기 게이트 절연층의 재료, 두께 등은 바람직하게는 상기 관계들을 만족시키기 위해 적절하게 설정된다.

[0239] 이 실시예에 설명된 상기 반도체 장치에서, 상기 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트 트랜지스터의 플로팅 게이트의 것과 유사한 작용을 하지만, 이 실시예의 상기 플로팅 게이트부(FG)는 본질적으로 상기 플래시 메모리 등의 상기 플로팅 게이트의 것과 상이한 특징을 가진다. 플래시 메모리의 경우에, 제어 게이트에 인가된 전압이 높기 때문에, 높은 전압의 전위가 인접한 셀의 플로팅 게이트에 영향을 미치는 것을 방지하기 위해 셀들 사이에 적절한 거리를 유지하는 것이 필요하다. 이것은 상기 반도체 장치의 고 집적화를 위한 저해 요인들 중 하나이다. 상기 요인은 터널링 전류가 고 전계를 인가함으로써 흐르는 플래시 메모리의 근본적 원리에 기인한다.

[0240] 또한, 플래시 메모리의 상기 원리로 인해, 절연막이 열화하고 따라서 재기록 횟수들에 대한 한계(대략  $10^4$  내지  $10^5$  회)와 같은 또 다른 문제가 발생한다.

[0241] 여기에 개시된 본 발명에 따른 반도체 장치는 산화물 반도체를 포함한 트랜지스터의 스위칭에 의해 동작되며 상술된 터널링 전류에 의한 전하 주입의 원리를 사용하지 않는다. 즉, 전하 주입을 위한 높은 전계가 플래시 메모리와 달리 필요하지 않다. 따라서, 인접한 셀 상에서 제어 게이트로부터의 높은 전계의 영향을 고려하는 것이 필요하지 않으며, 이것은 고 집적화를 용이하게 한다.

[0242] 또한, 터널링 전류에 의한 전하 주입은 이용되지 않으며, 이것은 메모리 셀의 열화에 대한 원인들이 존재하지 않는다는 것을 의미한다. 달리 말하면, 여기에 개시된 본 발명에 따른 상기 반도체 장치는 플래시 메모리의 것

들보다 높은 내구성 및 신뢰성을 가진다.

- [0243] 또한, 여기에 개시된 본 발명에 따른 상기 반도체 장치는 높은 전계가 불필요하고 큰 주변 회로(승압 회로와 같은)가 불필요하다는 점에서 플래시 메모리에 비해 이점들을 가진다.
- [0244] 상기 용량 소자(720)에 포함된 상기 절연층의 상대적인 유전율( $\epsilon_{r1}$ )이 상기 트랜지스터(700)에 포함된 상기 게이트 절연층의 상대적인 유전율( $\epsilon_{r2}$ )과 상이한 경우에,  $2 \cdot S2 \geq S1$ (바람직하게는,  $S2 \geq S1$ )을 만족하면서  $C1 \geq C2$ 를 만족시키는 것은 용이하며, 여기서  $S1$ 은 상기 용량 소자(720)에 포함된 상기 절연층의 면적이고  $S2$ 는 상기 트랜지스터(700)에서의 게이트 용량의 생성을 야기하는 상기 게이트 절연층의 면적이다. 달리 말하면,  $C1 \geq C2$ 는 상기 용량 소자(720)에 포함된 상기 절연층의 면적이 작아지는 동안 쉽게 만족될 수 있다. 구체적으로, 예를 들면, 적층이  $\epsilon_{r1}$ 이 10 이상, 바람직하게는 15 이상으로 설정될 수 있도록 산화 하프늄과 같은 하이-k 재료로 형성된 막 또는 산화 하프늄과 같은 하이-k 재료로 형성된 막 및 산화물 반도체로 형성된 막의 적층이 상기 용량 소자(720)에 포함된 상기 절연층을 위해 사용되며,  $\epsilon_{r2}$ 가 3 내지 4로 설정될 수 있도록 산화 실리콘이 게이트 용량의 생성을 야기하는 상기 게이트 절연층을 위해 사용된다.
- [0245] 이러한 구조들의 조합은 여기에 개시된 본 발명에 따른 상기 반도체 장치의 보다 높은 집적화를 가능하게 한다.
- [0246] 전자들이 다수 캐리어들인 n 채널형 트랜지스터가 상기 설명에서 사용되지만, 정공들이 다수 캐리어들인 p 채널형 트랜지스터가 n 채널형 트랜지스터 대신 사용될 수 있다는 것은 말할 필요도 없다는 것을 주의하자.
- [0247] 상술된 바와 같이, 여기에 개시된 본 발명의 일 실시예에 따른 상기 반도체 장치는 오프 상태에서의 소스 및 드레인 사이의 리크 전류(오프-상태 전류)가 작은 기록 트랜지스터, 상기 기록 트랜지스터의 것과 상이한 반도체 재료로 형성된 판독 레지스터, 및 용량 소자를 포함한 불휘발성 메모리 셀을 가진다.
- [0248] 상기 기록 트랜지스터의 상기 오프-상태 전류는 주위 온도(예로서, 25°C)에서  $100 \text{ zA}(1 \times 10^{-19} \text{ A})$  이하, 바람직하게는  $10 \text{ zA}(1 \times 10^{-20} \text{ A})$  이하, 보다 바람직하게는  $1 \text{ zA}(1 \times 10^{-21} \text{ A})$  이하이다. 일반적인 실리콘 반도체를 사용하는 경우에, 상술된바와 같이 작은 오프-상태 전류를 달성하는 것은 어렵다. 그러나, 적절한 조건 하에서 산화물 반도체를 가공함으로써 획득된 트랜지스터에서, 작은 오프-상태 전류가 달성될 수 있다. 그러므로, 산화물 반도체를 포함한 트랜지스터는 바람직하게는 상기 기록 트랜지스터로서 사용된다.
- [0249] 또한, 산화물 반도체를 포함한 트랜지스터가 작은 임계값 이하의 스윙(S 값)을 가지며, 따라서 상기 스위칭 속도는 이동도가 비교적 낮을지라도 충분히 높을 수 있다. 그러므로, 상기 기록 트랜지스터로서 상기 트랜지스터를 사용함으로써, 상기 플로팅 게이트부(FG)에 공급된 기록 펄스의 상승은 매우 가파를 수 있다. 또한, 상기 오프-상태 전류가 작기 때문에, 상기 플로팅 게이트부(FG)에 유지된 전하의 양은 감소될 수 있다. 즉, 상기 기록 트랜지스터로서 산화물 반도체를 포함한 상기 트랜지스터를 사용함으로써, 데이터의 재기록이 고속으로 수행될 수 있다.
- [0250] 상기 판독 트랜지스터에 관해, 오프-상태 전류에 대한 특별한 제한은 없지만, 판독률을 증가시키기 위해 고속으로 동작하는 트랜지스터를 사용하는 것이 바람직하다. 예를 들면, 1 나초 이하의 스위칭 속도를 가진 트랜지스터가 상기 판독 트랜지스터로서 사용되는 것이 바람직하다.
- [0251] 이러한 방식으로, 산화물 반도체를 포함한 트랜지스터가 상기 기록 트랜지스터로서 사용되고, 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터가 상기 기록 트랜지스터로서 사용될 때, 메모리 장치로서 사용될 수 있는, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 반도체 장치가 획득될 수 있다.
- [0252] 이 실시예에 설명된 상기 구조들, 방법들 등은 다른 실시예들에 설명된 상기 구조들, 방법들 등 중 임의의 것과 적절하게 조합될 수 있다.
- [0253] (실시예 5)
- [0254] 이 실시예에서, 여기에 개시된 본 발명의 일 실시예에 따른 반도체 장치의 응용 예들이 도 14a 및 도 14b 및 도 15a 내지 도 15c를 참조하여 설명될 것이다.
- [0255] 도 14a 및 도 14b는 각각 도 13a-1에 도시된 복수의 상기 반도체 장치들(이하, 또한 메모리 셀들(750)로서 불리는데)을 포함한 반도체 장치의 회로도이다. 도 14a는 상기 메모리 셀들(750)이 직렬로 접속되는 소위 NAND 반도체 장치의 회로도이고 도 14b는 상기 메모리 셀들(750)이 병렬로 접속되는 소위 NOR 반도체 장치의 회로도이다.
- [0256] 도 14a에서의 상기 반도체 장치는 소스선(SL), 비트선(BL), 제 1 신호선(S1), 복수의 제 2 신호선들(S2), 복수

의 워드선들(WL), 및 복수의 상기 메모리 셀들(750)을 포함한다. 도 14a에서, 하나의 소스선(SL) 및 하나의 비트선(BL)이 제공되지만, 이 실시예는 이에 한정되지 않는다. 복수의 소스선들(SL) 및 복수의 비트선들(BL)이 제공될 수 있다.

[0257] 상기 메모리 셀들(750)의 각각에서, 트랜지스터(700)의 게이트 전극, 트랜지스터(710)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(720)의 하나의 전극이 서로 전기적으로 접속된다. 상기 제 1 신호선(S1) 및 상기 트랜지스터(710)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나가 서로 전기적으로 접속되며, 상기 제 2 신호선(S2) 및 상기 트랜지스터(710)의 게이트 전극이 서로 전기적으로 접속된다. 상기 워드선(WL) 및 상기 용량 소자(720)의 다른 전극이 서로 전기적으로 접속된다.

[0258] 또한, 상기 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 소스 전극 및 인접한 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 드레인 전극은 서로 전기적으로 접속된다. 상기 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 상기 드레인 전극 및 상기 인접한 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 상기 소스 전극은 서로 전기적으로 접속된다. 단들 중 하나에 제공되는, 직렬로 연결된 상기 복수의 메모리 셀들 중 상기 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 상기 드레인 전극은 상기 비트선에 전기적으로 접속된다는 것을 주의하자. 또한, 다른 단에 제공되는, 직렬로 접속된 상기 복수의 메모리 셀들 중 상기 메모리 셀(750)에 포함된 상기 트랜지스터(700)의 상기 소스 전극은 상기 소스선에 전기적으로 접속된다.

[0259] 도 14a에서의 상기 반도체 장치에서, 기록 동작 및 판독 동작은 각각의 행에서 수행된다. 상기 기록 동작은 다음과 같이 수행된다. 상기 트랜지스터(710)가 턴 온되는 전위는 기록이 수행되는 행의 상기 제 2 신호선(S2)에 공급되며, 그에 의해 기록이 수행되는 상기 행의 상기 트랜지스터(710)는 턴 온된다. 따라서, 상기 제 1 신호선(S1)의 전위는 특정 행에서 상기 트랜지스터(700)의 상기 게이트 전극에 공급되며, 따라서 미리 결정된 전하가 상기 트랜지스터(700)의 상기 게이트 전극에 공급된다. 따라서, 데이터는 상기 특정 행의 상기 메모리 셀에 기록될 수 있다.

[0260] 또한, 상기 판독 동작이 다음과 같이 수행된다. 먼저, 그것의 상기 게이트 전극에 공급된 전하에 상관없이 상기 트랜지스터(700)가 턴 온되는 전위가 판독이 수행될 행이 아닌 다른 행들의 워드선들(WL)에 공급되며, 따라서, 판독이 수행될 상기 행이 아닌 다른 행들의 상기 트랜지스터(700)가 턴 온된다. 그 후, 상기 트랜지스터(700)의 온 상태 또는 오프 상태가 상기 트랜지스터(700)의 상기 게이트 전극에서의 전하에 의존하여 결정되는 전위(판독 전위)가 판독이 수행될 상기 행의 워드선(WL)에 공급된다. 그 후, 일정한 전위가 상기 소스선(SL)에 공급되며, 따라서 상기 비트선(BL)에 접속된 판독 회로(도시되지 않음)가 동작되도록 한다. 여기에서, 상기 소스선(SL) 및 상기 비트선(BL) 사이의 상기 복수의 트랜지스터들(700)은 판독이 수행될 상기 행의 상기 트랜지스터(700)를 제외하고 턴 온되며; 그러므로, 상기 소스선(SL) 및 상기 비트선(BL) 간의 컨덕턴스(conductance)가 판독이 수행될 상기 행의 상기 트랜지스터(700)의 상태(온 상태 또는 오프 상태)에 의해 결정된다. 상기 트랜지스터의 컨덕턴스가 판독이 수행될 상기 행의 상기 트랜지스터(700)의 상기 게이트 전극에서의 전하에 의존하여 변하기 때문에, 상기 비트선(BL)의 전위가 또한 그에 따라 변한다. 상기 판독 회로를 갖고 상기 비트선(BL)의 전위를 판독함으로써, 데이터가 상기 특정 행의 메모리 셀로부터 판독될 수 있다.

[0261] 도 14b에서의 상기 반도체 장치는 복수의 소스선들(SL), 복수의 비트선들(BL), 복수의 제 1 신호선들(S1), 복수의 제 2 신호선들(S2), 복수의 워드선들(WL), 및 복수의 메모리 셀들(750)을 포함한다. 트랜지스터(700)의 게이트 전극, 트랜지스터(710)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(720)의 하나의 전극이 서로 전기적으로 접속된다. 상기 소스선(SL) 및 상기 트랜지스터(700)의 상기 소스 전극은 서로 전기적으로 접속된다. 상기 비트선(BL) 및 상기 트랜지스터(700)의 상기 드레인 전극은 서로 전기적으로 접속된다. 상기 제 1 신호선(S1) 및 상기 트랜지스터(710)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나가 서로 전기적으로 접속되며, 상기 제 2 신호선(S2) 및 상기 트랜지스터(710)의 게이트 전극이 서로 전기적으로 접속된다. 상기 워드선(WL) 및 상기 용량 소자(720)의 다른 전극이 서로 전기적으로 접속된다.

[0262] 도 14b에서의 상기 반도체 장치에서, 기록 동작 및 판독 동작이 각각의 행에서 수행된다. 상기 기록 동작은 도 14a에서의 상기 반도체 장치의 것과 유사한 방식으로 수행된다. 상기 판독 동작은 다음과 같이 수행된다. 먼저, 그 게이트 전극에 공급된 전하에 상관없이 상기 트랜지스터(700)가 턴 오프되는 전위가 판독이 수행될 상기 행이 아닌 다른 행들의 워드선들(WL)에 공급되며, 따라서 판독이 수행될 상기 행이 아닌 다른 행들의 상기 트랜지스터들(700)이 턴 오프된다. 그 후, 상기 트랜지스터(700)의 상기 게이트 전극에서의 전하에 의존하여 상기 트랜지스터(700)의 온 상태 또는 오프 상태가 결정되는 전위(판독 전위)가 판독이 수행될 상기 행의 상기 워드선(WL)에 공급된다. 그 후, 일정한 전위가 상기 비트선(BL)에 접속된 판독 회로(도시되지 않음)가 동작되도록 상



기 소스선(SL)에 공급된다. 여기에서, 상기 소스선(SL) 및 상기 비트선(BL) 간의 컨덕턴스는 판독이 수행될 상기 행의 상기 트랜지스터(700)의 상태(온 상태 또는 오프 상태)에 의해 결정된다. 즉, 상기 비트선(BL)의 전위는 판독이 수행될 상기 행의 상기 트랜지스터(700)의 상기 게이트 전극에서의 전하에 의존한다. 상기 판독 회로를 갖고 상기 비트선(BL)의 전위를 판독함으로써, 데이터가 특정 행의 메모리 셀로부터 판독될 수 있다.

[0263] 상기 메모리 셀들(750)의 각각에 저장될 수 있는 데이터의 양은 상기 설명에서 1 비트이지만, 이 실시예의 상기 메모리 장치의 구조는 이에 한정되지 않는다. 상기 메모리 셀들(750)의 각각에 유지되는 데이터의 양은 상기 트랜지스터(700)의 상기 게이트 전극에 공급될 3 이상의 종류들의 전위들을 준비함으로써 증가될 수 있다. 예를 들면, 4 종류들의 전위들이 상기 트랜지스터(700)의 상기 게이트 전극에 공급되는 경우에, 2 비트들의 데이터가 상기 메모리 셀들의 각각에 보유될 수 있다.

[0264] 다음으로, 도 14a 및 도 14b에서의 상기 반도체 장치들을 위해 사용될 수 있는 상기 판독 회로의 예들이 도 15a 내지 도 15c를 참조하여 설명될 것이다.

[0265] 도 15a는 개략적인 상기 판독 회로를 도시한다. 상기 판독 회로는 트랜지스터 및 감지 증폭기 회로를 포함한다.

[0266] 데이터를 판독할 때, 단자(A)는 데이터가 판독되는 메모리 셀이 접속되는 비트선에 접속된다. 또한, 바이어스 전위(Vbias)가 상기 단자(A)의 전위가 제어되도록 상기 트랜지스터의 게이트 전극에 인가된다.

[0267] 상기 메모리 셀(750)의 저항은 저장될 데이터에 의존하여 변화한다. 구체적으로, 상기 선택된 메모리 셀(750)의 상기 트랜지스터(700)가 온일 때, 상기 메모리 셀(750)은 낮은 저항을 가지는 반면, 상기 선택된 메모리 셀(750)의 상기 트랜지스터(700)가 오프일 때, 상기 메모리 셀(750)은 높은 저항을 가진다.

[0268] 상기 메모리 셀이 높은 저항을 가질 때, 상기 단자(A)의 전위는 기준 전위(Vref)보다 높으며, 상기 감지 증폭기 회로는 상기 단자(A)의 전위에 대응하는 전위를 출력한다. 다른 한편으로, 상기 메모리 셀이 낮은 저항을 가질 때, 상기 단자(A)의 전위는 기준 전위(Vref)보다 낮으며 상기 감지 증폭기 회로는 상기 단자(A)의 전위에 대응하는 전위를 출력한다.

[0269] 따라서, 상기 판독 회로를 사용함으로써, 데이터가 상기 메모리 셀로부터 판독될 수 있다. 이 실시예의 상기 판독 회로는 예들 중 하나임을 주의하자. 또 다른 회로가 사용될 수 있다. 상기 판독 회로는 프리차지 회로(precharge circuit)를 더 포함할 수 있다. 상기 기준 전위(Vref) 대신에, 기준 비트선이 상기 감지 증폭기 회로에 접속될 수 있다.

[0270] 도 15b는 상기 감지 증폭기 회로의 일 예인 차동 감지 증폭기를 도시한다. 상기 차동 감지 증폭기는 입력 단자(Vin(+)) 및 입력 단자(Vin(-)), 및 출력 단자(Vout)를 가지며, Vin(+) 및 Vin(-) 간의 차를 증폭시킨다. Vin(+)>Vin(-)일 때, Vout은 대략 높은 출력이며, Vin(+)<Vin(-)일 때 대략 낮은 출력이다. 상기 차동 감지 증폭기가 상기 판독 회로를 위해 사용되는 경우에, Vin(+) 및 Vin(-) 중 하나는 상기 입력 단자(A)에 접속되며, 상기 기준 전위(Vref)는 Vin(+) 및 Vin(-) 중 다른 하나에 공급된다.

[0271] 도 15c는 상기 감지 증폭기 회로의 일 예가 래치 감지 증폭기를 도시한다. 상기 래치 감지 증폭기는 입력/출력 단자들(V1, V2) 및 제어 신호들(Sp, Sn)의 입력 단자들을 가진다. 먼저, 상기 제어 신호들(Sp, Sn)은 각각 높고 낮게 설정되며, 전원 전위(Vdd)가 차단된다. 그 후, 비교될 전위들이 V1 및 V2로 공급된다. 그 후, 상기 신호들(Sp, Sn)은 각각 높고 낮게 설정되며, 전원 전위(Vdd)가 공급된다. 비교될 상기 전위들(V1in, V2in)이 V1in>V2in의 관계를 만족한다면, 상기 V1의 출력은 높고 상기 V2의 출력은 낮은 반면, 상기 전위들이 V1in<V2in의 관계를 만족한다면, V1의 출력은 낮고 V2의 출력은 높다. 이러한 관계들을 이용함으로써, V1in 및 V2in 사이의 차이가 증폭될 수 있다. 상기 래치 감지 증폭기가 상기 판독 회로를 위해 사용되는 경우에, V1 및 V2 중 하나가 스위치를 통해 상기 단자(A) 및 상기 출력 단자에 접속되며, 상기 기준 전위(Vref)는 V1 및 V2 중 다른 하나에 공급된다.

[0272] 이 실시예에 설명된 상기 방법들, 상기 구조들 등은 다른 실시예들에 설명된 상기 방법들, 상기 구조들 등 중 임의의 것과 적절하게 조합될 수 있다.

[0273] (실시예 6)

[0274] 이 실시예에서, 상기 실시예들 중 임의의 것에 설명된 상기 반도체 장치가 적용되는 전자 기기의 예들이 도 16a 내지 도 16f를 참조하여 설명될 것이다. 이 실시예에서, 상기 실시예들 중 임의의 것에 설명된 상기 반도체 장치가 적용되는 상기 전자 기기의 예들은 컴퓨터, 휴대 전화기(또한 휴대 전화 또는 휴대 전화 장치로서 불림), 휴대 정보 단말(휴대용 게임기, 오디오 재생 장치 등을 포함), 디지털 카메라 또는 디지털 비디오 카메라와 같

은 카메라, 전자 페이퍼, 및 텔레비전 장치(또한 텔레비전 또는 텔레비전 수신기로서 볼림)를 포함한다.

- [0275] 도 16a는 하우징(housing)(601), 하우징(605), 표시부(603), 키보드(604) 등을 포함하는 랩탑 퍼스널 컴퓨터를 도시한다. 상기 하우징(601) 및 상기 하우징(605) 중 적어도 하나에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 구비한 상기 실시예의 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 랩탑 퍼스널 컴퓨터가 획득될 수 있다.
- [0276] 도 16b는 표시부(613), 외부 인터페이스(615), 조작 버튼들(614) 등을 구비한 본체(610)를 포함하는 휴대 정보 단말(PDA)을 도시한다. 또한, 상기 휴대 정보 단말 등을 제어하는 스타일러스(612)가 제공된다. 상기 본체(610)에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 갖춘 상기 실시예의 상기 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 유지하고 고속으로 데이터를 판독할 수 있는 휴대 정보 단말이 획득될 수 있다.
- [0277] 도 16c는 전자 페이퍼 및 두 개의 하우징들, 하우징(621) 및 하우징(623)을 포함하는 전자 서적 판독기(620)를 도시한다. 상기 하우징(621) 및 상기 하우징(623)은 각각 표시부(625) 및 표시부(627)를 갖춘다. 상기 하우징(621)은 축부(hinge)(637)에 의해 상기 하우징(623)과 조합되며, 따라서 상기 전자 서적 판독기(620)는 축으로서 상기 축부(637)를 사용하여 개폐될 수 있다. 상기 하우징(621)은 전원 버튼(631), 조작 키들(633), 스피커(635) 등을 갖춘다. 상기 하우징(621) 및 상기 하우징(633) 중 적어도 하나에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 갖춘 상기 실시예의 상기 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 전자 서적 판독기가 획득될 수 있다.
- [0278] 도 16d는 두 개의 하우징들, 하우징(640) 및 하우징(641)을 포함하는 휴대 전화를 도시한다. 그것들이 도 16d에 도시된 바와 같이 개발되는 상태에서 상기 하우징(640) 및 상기 하우징(641)은 슬라이딩에 의해 하나가 다른 하나 위에 겹쳐지는 상태로 시프트할 수 있다. 그러므로, 상기 휴대 전화의 크기는 감소될 수 있으며, 이것은 상기 휴대 전화를 가지고 다니기에 적합하게 한다. 상기 하우징(641)은 표시 패널(642), 스피커(643), 마이크로폰(644), 포인팅 디바이스(646), 카메라 렌즈(647), 외부 연결 단자(648) 등을 포함한다. 상기 하우징(640)은 상기 휴대 전화를 충전하기 위한 태양 전지 셀(649), 외부 메모리 슬롯(651) 등을 포함한다. 상기 표시 패널(642)은 터치 패널 기능을 갖춘다. 이미지들로서 표시된 복수의 조작 키들(645)은 도 16d에서 점선들로 표시된다. 또한, 안테나가 상기 하우징(641)에 통합된다. 상기 하우징(640) 및 상기 하우징(641) 중 적어도 하나에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 갖춘 상기 실시예의 상기 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 휴대 전화가 획득될 수 있다.
- [0279] 도 16e는 본체(661), 표시부(667), 접안부(663), 조작 스위치(664), 표시부(665), 배터리(666) 등을 포함하는 디지털 카메라를 도시한다. 상기 본체(661)에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 갖춘 상기 실시예의 상기 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 디지털 카메라가 획득될 수 있다.
- [0280] 도 16f는 하우징(671), 표시부(673), 지시대(675) 등을 포함하는 텔레비전 장치(670)를 도시한다. 상기 텔레비전 장치(670)는 상기 하우징(671)의 스위치 또는 원격 제어기(680)를 갖고 조작될 수 있다. 상기 하우징(671) 및 상기 원격 제어기(680) 중 적어도 하나에서, 산화물 반도체를 포함한 트랜지스터 및 산화물 반도체 이외의 다른 반도체 재료를 포함한 트랜지스터의 조합을 갖춘 상기 실시예의 상기 반도체 장치가 제공된다. 그러므로, 장시간 동안 데이터를 보유하고 고속으로 데이터를 판독할 수 있는 텔레비전 장치가 획득될 수 있다.
- [0281] 상술된 바와 같이, 이 실시예에 설명된 상기 전자 기기는 상기 실시예들 중 임의의 것에 따라 상기 반도체 장치를 포함한다. 그러므로, 소형, 고속 동작, 및 저 전력 소비의 특성들을 가진 전자 기기가 실현될 수 있다.
- [0282] [예 1]
- [0283] 이 예에서, 산화물 반도체층이 매우 높은 순도를 갖도록 정제되는 방법이 2차 이온 질량 분석법에 의해 획득된 분석 결과들에 따라 설명될 것이다. 상기 방법에서, 높은 에너지를 가진 산소가 이온 주입법에 의해 상기 산화물 반도체층에 첨가되며 그 후 열 처리가 상기 산화물 반도체층 상에서 수행된다.
- [0284] 이 예에서 제작되는 고순도화된 산화물 반도체층을 제작하기 위한 방법이 도 10a 내지 도 10e를 참조하여 설명



될 것이다.

[0285] <샘플 1의 제작 방법>

[0286] 샘플 1은 고순도화되기 전의 산화물 반도체층(413a)을 포함한다. 샘플 1을 제작하기 위한 방법이 이하에 설명된다.

[0287] 기판(400)으로서, 0.7 mm의 두께를 가진 유리가 사용된다. 상기 기판(400) 위에, 100 nm의 두께를 가진 산질화 실리콘( $\text{SiO}_x\text{N}_y$ ,  $x>y$ )의 막이 플라즈마 CVD법에 의해 절연막(401)으로서 형성된다(도 10a 참조).

[0288] 그 후, 200 nm의 두께를 가진 상기 산화물 반도체층(413a)이 스퍼터링법에 의해 In-Ga-Zn-O계 산화물 타겟을 사용하여 상기 절연막(401) 위에 형성된다. 상기 타겟으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물 타겟이 사용된다. 상기 산화물 타겟에 포함된 조성비는 In:Ga:Zn = 1:1:0.5 [원자비]이고, 상기 산화물 타겟의 충전율은 95% 이상 100% 이하이다.

[0289] 상기 산화물 반도체층(413a)은 배기 수단으로서 크라이오펌프를 갖춘 성막실에 형성된다. 상기 성막 조건들은 다음과 같다: 상기 기판 및 상기 타겟 간의 거리는 60 mm이고, 상기 압력은 0.4 Pa이고, 직류(DC) 전원의 전력은 0.5 kW이며, 30 sccm의 유량을 가진 아르곤 가스 및 15 sccm의 유량을 가진 산소 가스가 성막 가스로서 상기 성막실에 공급된다.

[0290] 상기 방법에 따르면, 상기 산화물 반도체층(413a)이 상기 기판(400) 위에 있는 상기 절연막(401) 위에 제공되는 샘플 1이 형성된다(도 10b 참조).

[0291] <샘플 2의 제작 방법>

[0292] 샘플 2는 산소가 첨가되는 산화물 반도체층(413b)을 포함한다. 샘플 2를 제작하기 위한 방법이 이하에 설명된다.

[0293] 산소 이온들은 이온 주입 장치의 사용으로, 샘플 1의 것과 유사한 방법에 의해 형성되는 상기 산화물 반도체층(413a)에 주입되며, 그에 의해 산소가 첨가되는 상기 산화물 반도체층(413b)이 형성된다. 산소 이온들의 주입량은  $1 \times 10^{16}$  [이온/ $\text{cm}^2$ ]로 설정되고, 상기 가속 에너지는 50 keV로 설정되며, 상기 샘플에 대하여 주입각은  $7^\circ$ 로 설정된다(도 10c 참조). 이 예에서, 질량 수가 18( $^{18}\text{O}$  이온들)인 산소의 이온들이 주입되지만, 상기 질량수는 18에 한정되지 않는다. 상기 산화물 반도체층에서 질량 수가 18( $^{18}\text{O}$  이온들)인 산소의 이온들의 분포는 2차 이온 질량 분석법(SIMS)을 사용하여 측정될 수 있다.

[0294] <샘플 3의 제작 방법>

[0295] 샘플 3은 산소의 첨가 후 열 처리를 수행함으로써 획득된 산화물 반도체층(413c)을 포함한다. 샘플 3을 제작하기 위한 방법이 이하에 설명된다.

[0296] 산소가 첨가되는 샘플 2의 것과 유사한 방법에 의해 형성된 상기 산화물 반도체층(413b)은 질소 분위기에서 600  $^\circ\text{C}$ 로 60분 동안 가열되며, 그에 의해 산소의 첨가 후 열 처리를 수행함으로써 획득된 상기 산화물 반도체층(413c)이 형성된다(도 10d 참조).

[0297] <비교 샘플 1의 제작 방법>

[0298] 비교 샘플 1은 샘플 1로의 산소의 첨가 없이 열 처리를 수행함으로써 획득된 산화물 반도체층을 포함한다. 비교 샘플 1을 제작하기 위한 방법이 이하에 설명된다.

[0299] 고순도화되기 전 상기 산화물 반도체층(413a)은 질소 분위기에서 600  $^\circ\text{C}$ 로 60분 동안 가열되며, 그에 의해 단지 열 처리만을 수행함으로써 획득된 산화물 반도체층(413d)이 형성된다(도 10e 참조).

[0300] <2차 이온 질량 분석법에 의한 분석 결과 1>

[0301] 샘플 1 내지 샘플 3 및 비교 샘플 1의 각각에서 상기 산화물 반도체층에서의 수소 농도는 2차 이온 질량 분석법에 의해 측정된다. 도 11은 상기 측정 결과들을 도시한다. 도 11에서, 수직 축은 수소 농도를 나타내며, 수평 축은 표면으로부터의 깊이(막 두께)를 나타낸다.

[0302] 2차 이온 질량 분석법에 의한 상기 측정 결과들은 유효 범위를 가진다는 것을 주의하자. 2차 이온 질량 분석법의 측정 결과들의 유효 범위는 측정 조건들, 샘플들의 제작 조건들 등에 의존한다. 이 예에서, 상기 산화물 반

도체층에서의 상기 수소 농도의 측정을 위한 하한은 약  $2 \times 10^{18}$  [이온/cm<sup>3</sup>]이다.

[0303] 도 11에 도시된 결과들에 관하여, 상기 산화물 반도체층의 표면(상기 표면으로부터 0 nm 이상 10 nm 미만의 깊이까지의 영역)에서 및 상기 산화물 반도체층 및 상기 절연막(401) 사이의 계면(165 nm 이상의 깊이로부터 185 nm 미만의 깊이까지의 영역)에서, 정확한 값들이 산출되는 것은 어렵다. 그러므로, 이 예의 경우에서, 2차 이온 질량 분석법의 측정 결과들의 유효 범위는 10 nm 이상의 깊이로부터 165 nm 미만의 깊이까지의 영역으로 설정된다.

[0304] 샘플 1 내지 샘플 3 및 비교 샘플 1에서의 상기 산화물 반도체층들에서의 상기 수소 농도를 측정하는 결과들이 표 1에 도시된다.

[0305] [표 1]

샘플 명칭	수소 농도 [atoms/cm <sup>3</sup> ]
샘플 1	$3 \times 10^{19}$
샘플 2	$3 \times 10^{19}$
샘플 3	측정 하한 이하
비교 샘플 1	$6 \times 10^{18}$

[0306]

[0307] 샘플 1의 상기 산화물 반도체층에서의 상기 수소 농도는 약  $3 \times 10^{19}$  [이온/cm<sup>3</sup>]이다. 샘플 1에서의 상기 산화물 반도체층에 산소를 첨가함으로써 획득되는 샘플 2의 상기 산화물 반도체층에서의 상기 수소 농도는 약  $3 \times 10^{19}$  [이온/cm<sup>3</sup>]이다. 샘플 2 상에서 열 처리를 수행함으로써 획득되는 샘플 3의 상기 산화물 반도체층에서의 상기 수소 농도는 측정을 위한 하한 이하인 약  $1 \times 10^{18}$  [이온/cm<sup>3</sup>] 이하이다. 샘플 1 상에서 열 처리를 수행함으로써 획득되는 비교 샘플 1의 상기 산화물 반도체층에서의 상기 수소 농도는 약  $6 \times 10^{18}$  [이온/cm<sup>3</sup>]이다.

[0308] 이 예는 샘플 3에서의 상기 수소 농도가 비교 샘플 1에서의 것보다 낮다는 것을 도시한다.

[0309] 상기 결과들에 따르면, 산소가 상기 산화물 반도체층에 첨가되고 상기 산화물 반도체층이 열 처리되는 방법이 상기 산화물 반도체층이 단지 열 처리되는 방법과 비교하여 상기 산화물 반도체층에서의 수소 농도를 저감시키는데 보다 효과적이다.

[0310] 이 예에 설명된 상기 방법을 사용함으로써, 산소가 상기 산화물 반도체층에 첨가되고 그 후 상기 산화물 반도체층은 상기 산화물 반도체층에 남아있는 불순물들을 제거하기 위해 열 처리되며, 그에 의해 상기 산화물 반도체층은 매우 높은 순도를 갖도록 순도화될 수 있다.

[0311] <2차 이온 질량 분석법에 의한 분석 결과 2>

[0312] 샘플 2 내지 샘플 4에서의 상기 산화물 반도체층들에서 질량수가 16인 산소 및 질량수가 18인 산소의 농도들이 2차 이온 질량 분석법에 의해 측정된다.

[0313] <샘플 4의 제작 방법>

[0314] 샘플 4는 산소의 첨가 후 열 처리를 수행함으로써 획득된 산화물 반도체층을 포함한다. 샘플 4를 제작하기 위한 방법이 이하에 설명된다.

[0315] 산소가 첨가되는 산화물 반도체층은 샘플 2의 것과 유사한 방법에 의해 형성되며 질소 분위기에서 650℃로 60분 동안 가열되고, 그에 의해 산소의 첨가 후 열 처리를 수행함으로써 획득된 상기 산화물 반도체층이 형성된다.

[0316] 상기 결과들이 도 12에 도시된다. 도 12에서, 수직 축은 상기 산화물 반도체층들에서의 산소 농도의 지표인 산소 이온들로부터 기인한 이차 이온 강도를 나타낸다. 상기 수평 축은 표면으로부터의 깊이(막 두께)를 나타낸다. 질량 수가 16인 산소는 In-Ga-Zn-O계 산화물 반도체층의 주성분이며 그것의 이차 이온 강도는 샘플 2 내지 샘플 4의 상기 산화물 반도체층들에서 강하다.

[0317] 질량 수가 18인 검출된 산소의 대부분은 이온 주입 장치에 의해 주입된 산소 이온들로부터 도출된다. 샘플 2에

서, 상기 산화물 반도체층에 주입된 상기 산소 이온들은 약 50 nm의 깊이에서 피크를 가진다. 600℃에서 가열을 수행함으로써 획득된 샘플 3에서, 질량 수가 18인 산소가 광범위하게 분포된다. 또한, 650℃에서 가열을 수행함으로써 획득된 샘플 4에서, 질량수가 18인 산소가 보다 광범위하게 분포된다. 이들 결과들은 상기 주입된 산소 이온들이 가열에 의해 상기 산화물 반도체층에 확산됨을 도시한다.

[0318] 또한, 상기 주입된 산소 이온들이 가열에 의해 상기 산화물 반도체층 전체에 걸쳐 확산되고 그것의 농도가 평균화되기 때문에, 상기 주입된 산소 이온들은 상기 산화물 반도체층에 안정되게 존재하며 상기 산화물 반도체층의 표면으로부터 방출되는 것이 어렵다는 것이 발견되었다.

[0319] 그러므로, 이온 주입 장치 등의 사용으로 상기 산화물 반도체층에 첨가된 산소가 상기 산화물 반도체층에 생성된 산소 결손을 보상할 수 있다는 것이 확인되었다.

[0320] [예 2]

[0321] 이 예에서, 산화물 반도체층이 매우 높은 순도를 갖기 위해 정제되는 방법이 설명될 것이다. 구체적으로, 높은 에너지를 가진 산소가 이온 주입법에 의해 상기 산화물 반도체층에 첨가되며, 그 후 상기 산화물 반도체층은 매우 높은 순도를 갖도록 정제되기 위해 열 처리된다. 그 결과들은 저온 포토루미네선스 분광 측정(low-temperature photoluminescence spectroscopy)에 의해 획득된 결과들에 따라 설명될 것이다.

[0322] <샘플 5의 제작 방법>

[0323] 이 예에 설명된 샘플 5는 석영 기판 위에 산화물 반도체층을 포함한다. 또한, 산소가 이온 주입 장치의 사용으로 상기 산화물 반도체층에 첨가되며, 또한 상기 산화물 반도체층이 열 처리된다. 샘플 5를 제작하기 위한 방법이 이하에 상세히 설명된다.

[0324] 100 nm의 두께를 가진 산화물 반도체층은 스퍼터링법에 의해 0.7 mm의 두께를 가진 석영 기판 위에 형성된다. 타겟으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물 타겟이 사용된다. 상기 산화물 타겟에 포함된 금속들의 조성비는 In:Ga:Zn = 1:1:1 [원자비]이며, 상기 산화물 타겟의 상기 충전율은 95% 이상 100% 이하이다.

[0325] 상기 산화물 반도체층은 다음 조건들 하에 형성된다: 상기 기판 및 상기 타겟 간의 거리는 60 mm이고, 상기 압력은 0.4 Pa이며, 직류(DC) 전원의 전력은 0.5 kW이다. 또한, 30 sccm의 유량을 가진 아르곤 가스 및 15 sccm의 유량을 가진 산소 가스가 배기 수단으로서 크라이오펌프를 갖춘 성막실에 성막 가스로서 공급된다.

[0326] 그 후, 산소 이온들이 상기 이온 주입 장치의 사용으로 상기 산화물 반도체층에 주입된다. 산소 이온들의 주입량은  $1 \times 10^{16}$  [이온/cm<sup>2</sup>]로 설정되고, 상기 가속 에너지는 50 keV로 설정되며, 상기 샘플에 대하여 주입각은 7°로 설정된다. 이 예에서, 질량수가 18(<sup>18</sup>O 이온들)인 산소의 이온들이 주입되지만, 상기 질량수는 18에 한정되지 않는다.

[0327] 상기 산소 이온들이 주입되는 상기 산화물 반도체층은 열 처리된다. 상기 열 처리는 수직로의 사용으로 질소 분위기에서 650℃로 1시간 동안 수행된다. 앞서 말한 단계들을 통해, 샘플 5가 제작된다.

[0328] <비교 샘플 2의 제작 방법>

[0329] 비교 샘플 2는 석영 기판 위에 산화물 반도체층을 포함하며, 이것은 단지 열 처리를 수행함으로써 획득된다. 비교 샘플 2를 제작하기 위한 방법이 이하에 설명된다.

[0330] 먼저, 100 nm의 두께를 가진 산화물 반도체층이 샘플 5의 것과 유사한 방식으로 스퍼터링법에 의해 0.7 mm의 두께를 가진 석영 기판 위에 형성된다.

[0331] 그 후, 열 처리가 산소 이온들의 주입 없이 수행된다. 열 처리는 수직로의 사용으로 질소 가스 분위기에서 650℃로 1시간 동안 수행된다. 앞서 말한 단계들을 통해, 비교 샘플 2가 제작된다.

[0332] <저온 포토루미네선스 분광 측정의 결과>

[0333] 저온 포토루미네선스 분광 측정이 샘플 5 및 비교 샘플 2의 각각의 3개의 영역들 상에서 수행된다. 10 K의 온도로 헬륨 가스에 배치된 샘플은 여기 광으로서 325 nm의 파장을 가진 광(He-Cd 레이저 광)을 갖고 조사되며, 그 후 포토루미네선스가 측정된다. 분광이 비교 샘플 2 또는 샘플 5로부터 방출된 광 상에서 수행되며, 그것의 강도는 광의 파장을 에너지로 변환함으로써 획득된 값을 사용하여 플로팅된다(plotted). 도 17은 각각의 샘플의 3

개의 영역들 상에서 측정을 수행하는 결과를 도시한다.

- [0334] 약 1.8 eV의 에너지를 가진 발광이 샘플 5 및 비교 샘플 2로부터 획득된다. 샘플 5의 발광 강도는 비교 샘플 2의 것보다 낮다. 3.1 eV 근처의 완만한 피크는 상기 석영 기관으로부터 도출된 발광 피크이며 상기 산화물 반도체층으로부터의 발광이 아님이 확인되었다. 약 1.8 eV의 에너지를 가진 발광은 상기 산화물 반도체에서의 산소 결손으로 인해 형성된 트랩 준위로부터의 발광임을 주의하자. 즉, 샘플 5의 산소 결손으로 인한 트랩 준위로부터의 발광은 비교 샘플 2의 것보다 약하다.
- [0335] 따라서, 샘플 5의 산소 결손으로 인한 트랩 준위들의 수가 비교 샘플 2의 것보다 작다는 것이 확인되었다. 즉, 이온 주입 장치의 사용으로 산소가 첨가되고 열 처리되는 상기 산화물 반도체층에서, 산소 결손은 상기 이온 주입 장치를 사용하여 산소의 첨가 없이 열 처리되는 상기 산화물 반도체층과 비교하여 감소될 수 있다는 것이 확인되었다.
- [0336] 본 출원은 전체 내용들이 참조로서 여기에 통합되는, 2010년 2월 26일에 일본 특허청에 출원된 일본 특허 출원 번호 제2010-043555호에 기초한다.

### 부호의 설명

- [0337] 104: 반도체 영역      130: 절연층
- 148a: 게이트 전극      150, 152: 절연층
- 200: 기관      202: 보호층
- 204: 반도체 영역      206: 소자 분리 절연층
- 208: 게이트 절연층      210: 게이트 전극
- 216: 채널 형성 영역      220: 불순물 영역
- 222: 금속층      224: 금속 화합물 영역
- 228, 230: 절연층      242a, 242b: 전극
- 243a, 243b: 절연층      244: 산화물 반도체층
- 246: 게이트 절연층      248a: 게이트 전극
- 248b: 전극      250, 252: 절연층
- 254: 전극      256: 배선
- 260, 262: 트랜지스터      264: 용량 소자
- 400: 기관      401: 절연막
- 413a, 413b, 413c, 413d: 산화물 반도체층 500: 기관
- 502: 게이트 절연층      507: 절연층
- 508: 보호 절연층      511: 게이트 전극
- 513a, 513b, 513c: 산화물 반도체층 515a, 515b: 전극
- 550: 트랜지스터      600: 기관
- 601: 하우징      602: 게이트 절연층
- 605: 하우징      603: 표시부
- 604: 키보드      608: 보호 절연층
- 610: 본체      611: 게이트 전극
- 612: 스타일러스      613: 표시부
- 613a, 613b, 613c: 산화물 반도체층 614: 조작 버튼

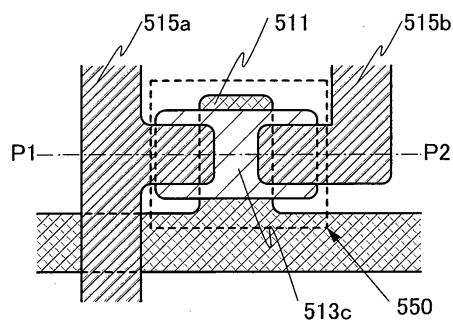


615: 외부 인터페이스    615a, 615b: 전극  
 620: 전자 서적 판독기    621, 623: 하우징  
 625, 627: 표시부    631: 전원 버튼  
 633: 조작 키    635: 스피커  
 637: 측부    640, 641: 하우징  
 642: 표시 패널    643: 스피커  
 644: 마이크로폰    645: 조작 키  
 646: 포인팅 디바이스    647: 카메라 렌즈  
 648: 외부 연결 단자    649: 태양 전지 셀  
 650: 트랜지스터    651: 외부 메모리 슬롯  
 661: 본체    663: 접안부  
 664: 조작 스위치    665: 표시부  
 666: 배터리    667: 표시부  
 670: 텔레비전 장치    671: 하우징  
 673: 표시부    675: 지지대  
 680: 원격 제어기    700, 710: 트랜지스터  
 720: 용량 소자    750: 메모리 셀

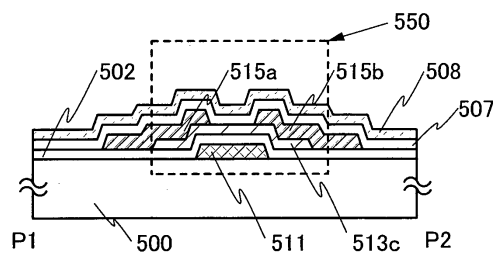
## 도면

### 도면1

(a)

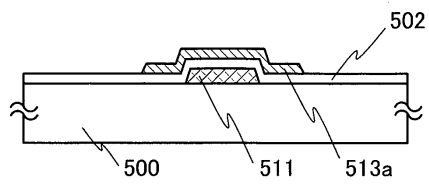


(b)

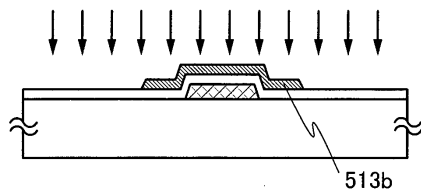


도면2

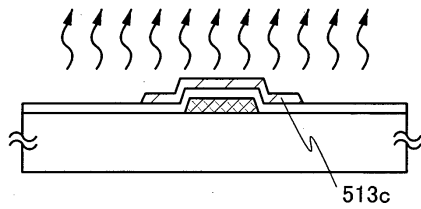
(a)



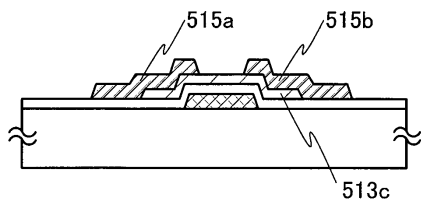
(b)



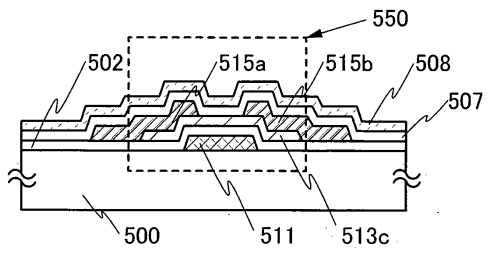
(c)



(d)

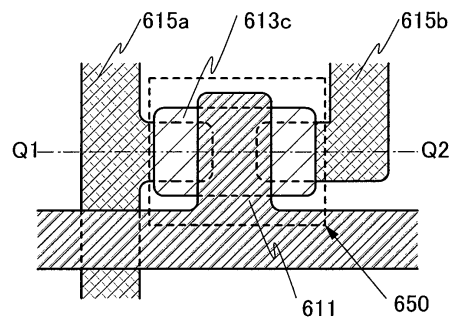


(e)

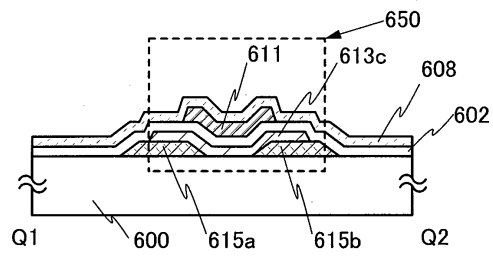


도면3

(a)

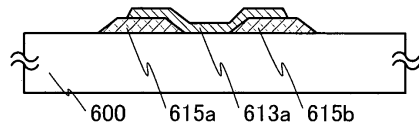


(b)

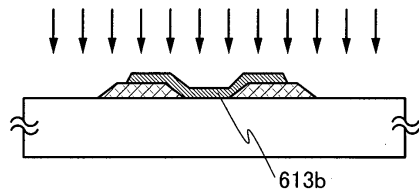


도면4

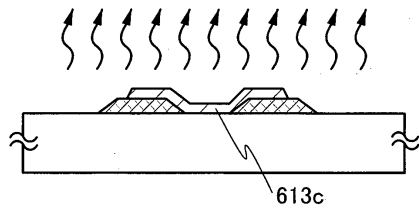
(a)



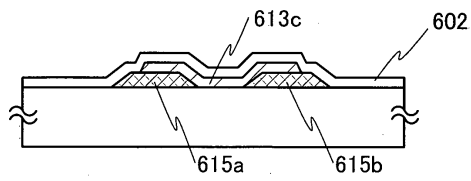
(b)



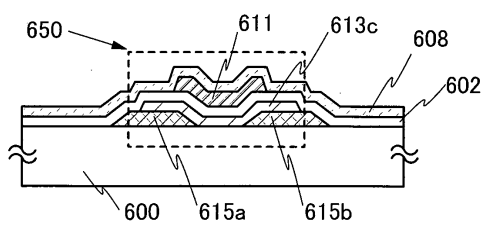
(c)



(d)



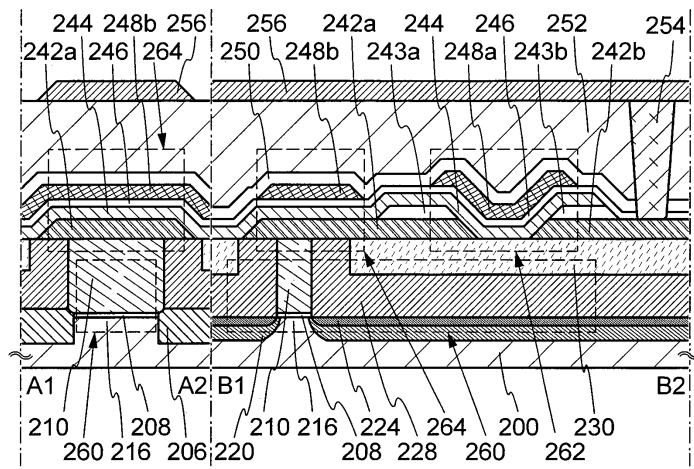
(e)



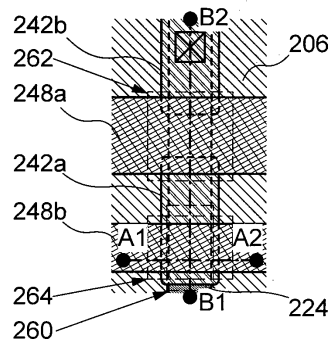


도면5

(a)

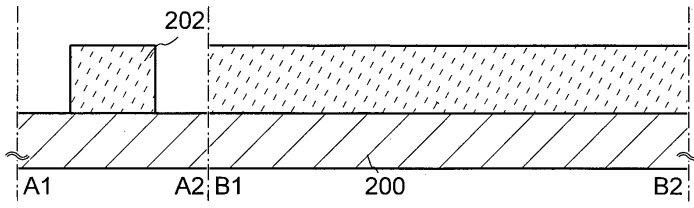


(b)

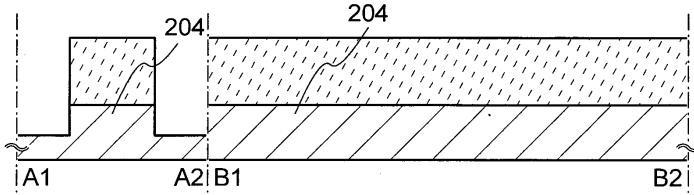


도면6

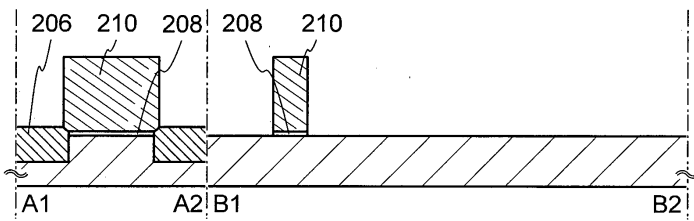
(a)



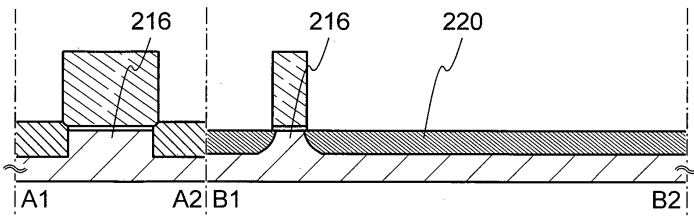
(b)



(c)

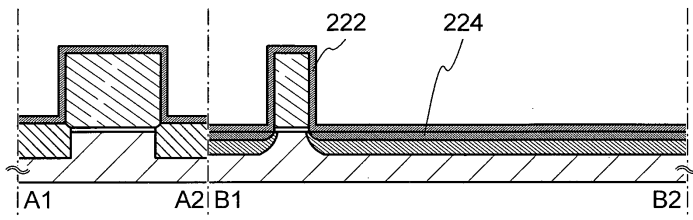


(d)

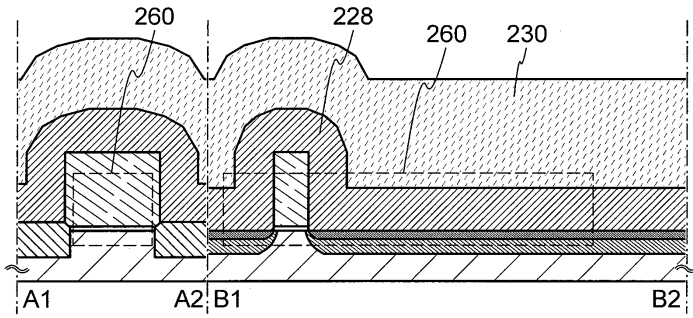


도면7

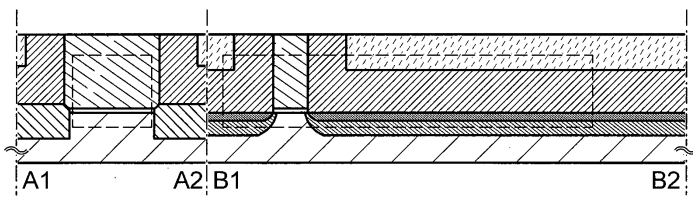
(a)



(b)

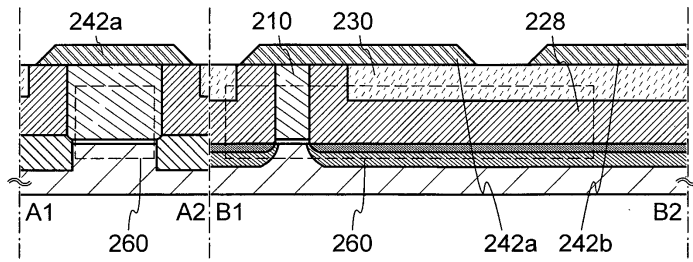


(c)

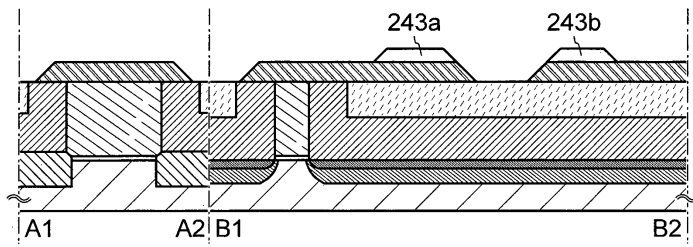


도면8

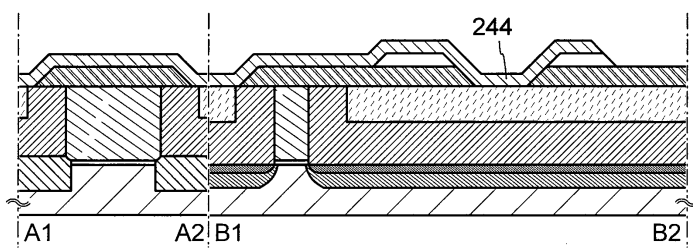
(a)



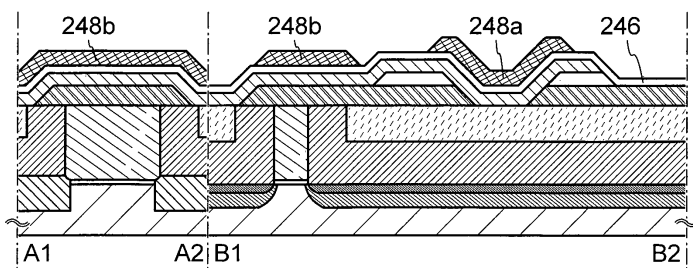
(b)



(c)



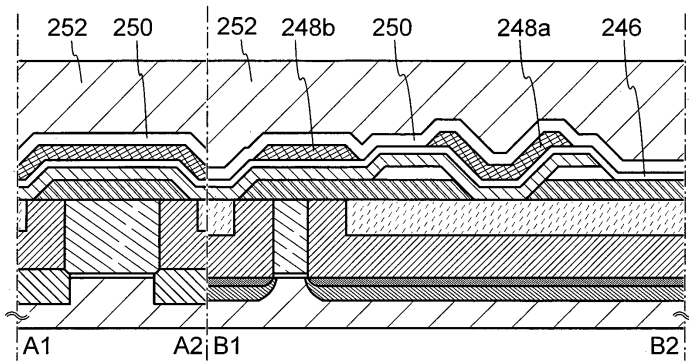
(d)



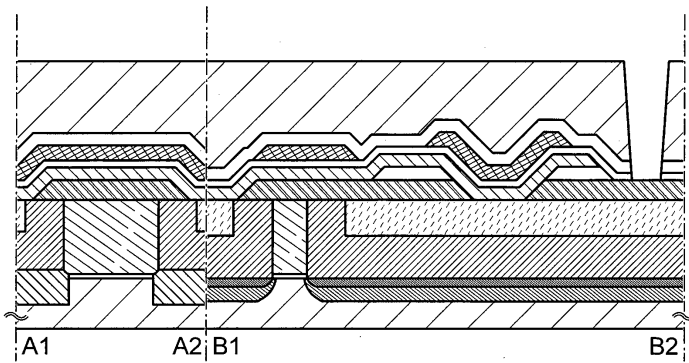


도면9

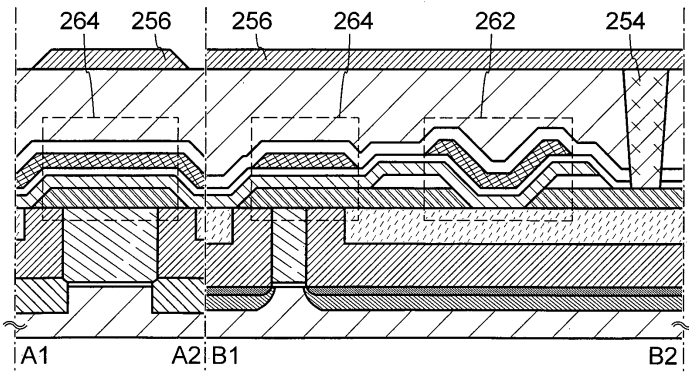
(a)



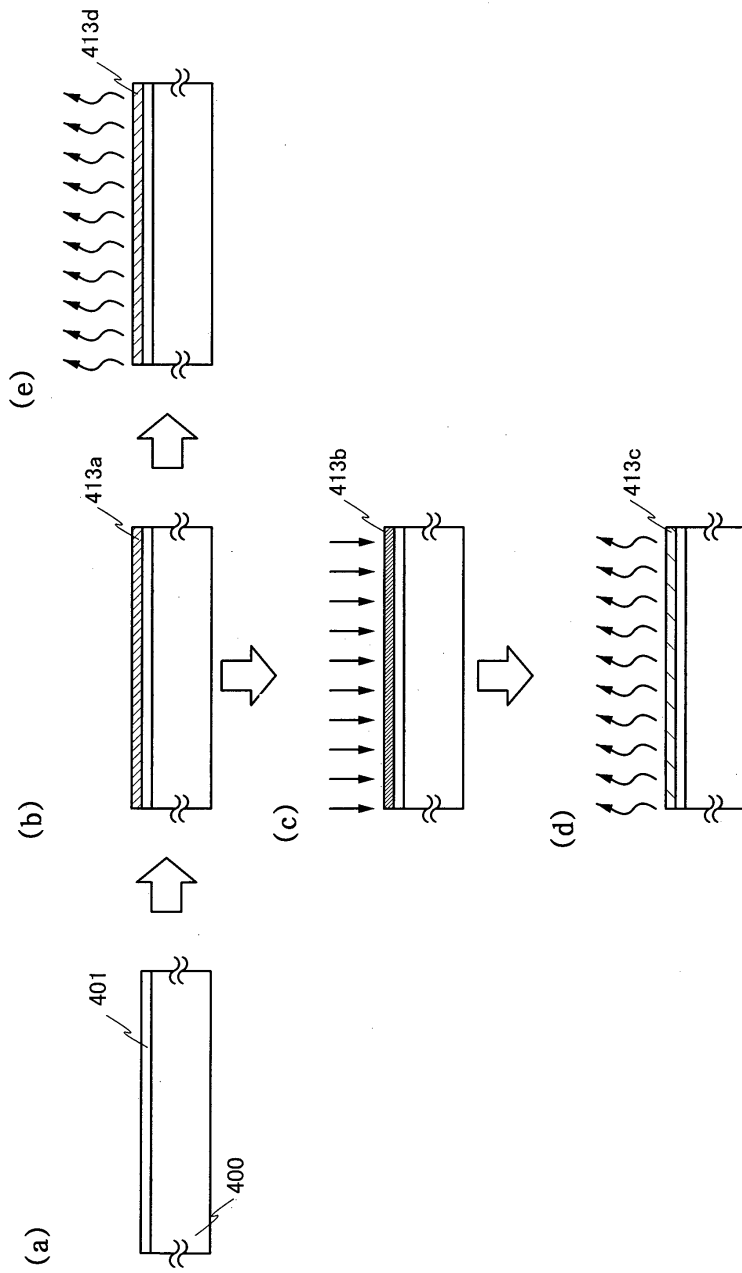
(b)



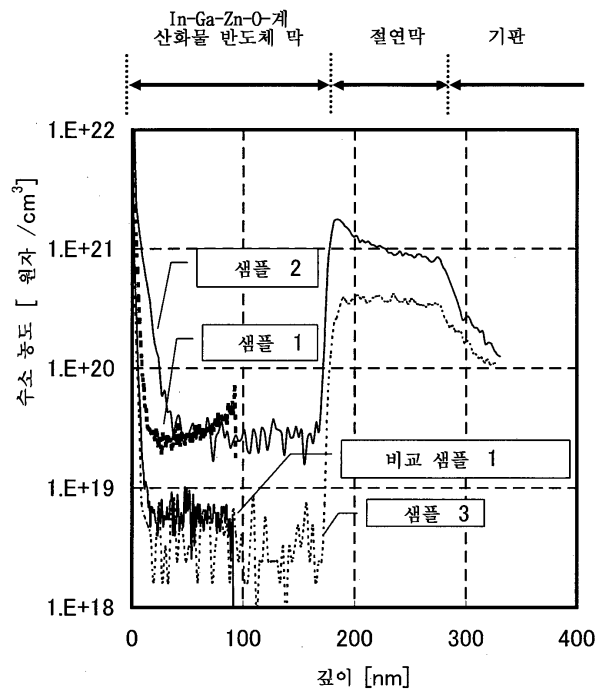
(c)



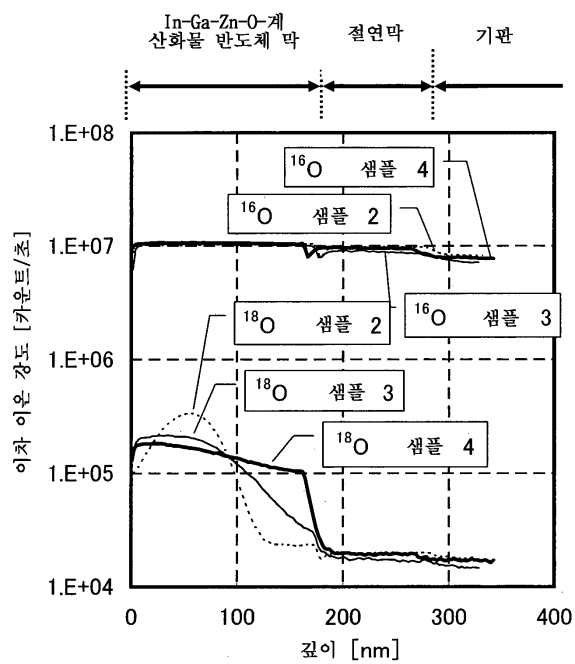
도면10



도면11

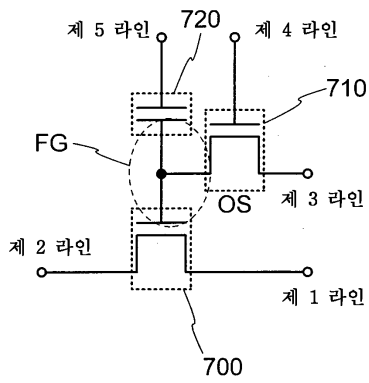


도면12

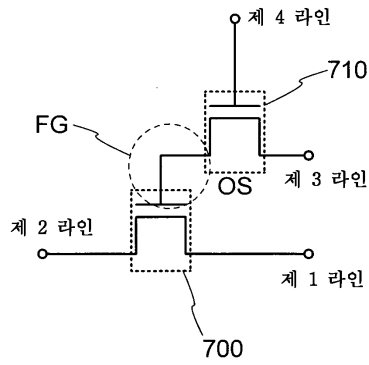


도면13

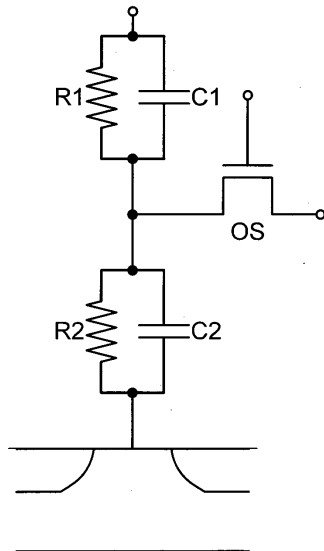
(a1)



(b)



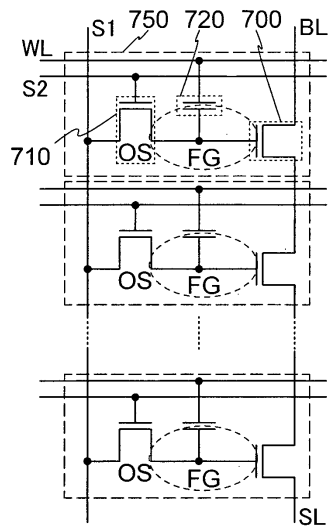
(a2)



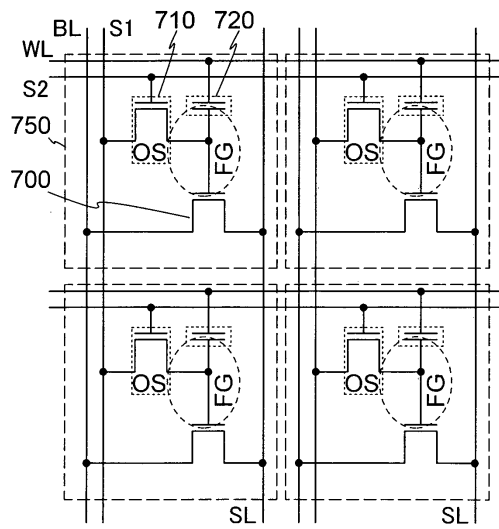


도면14

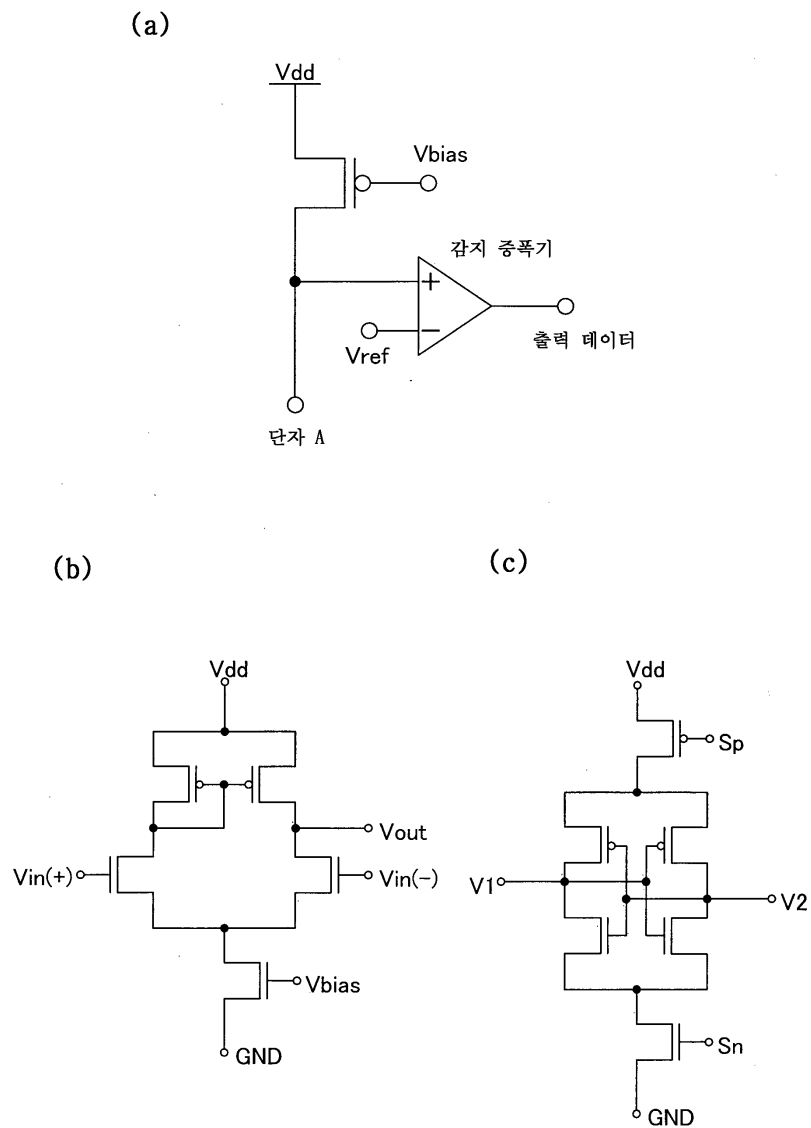
(a)



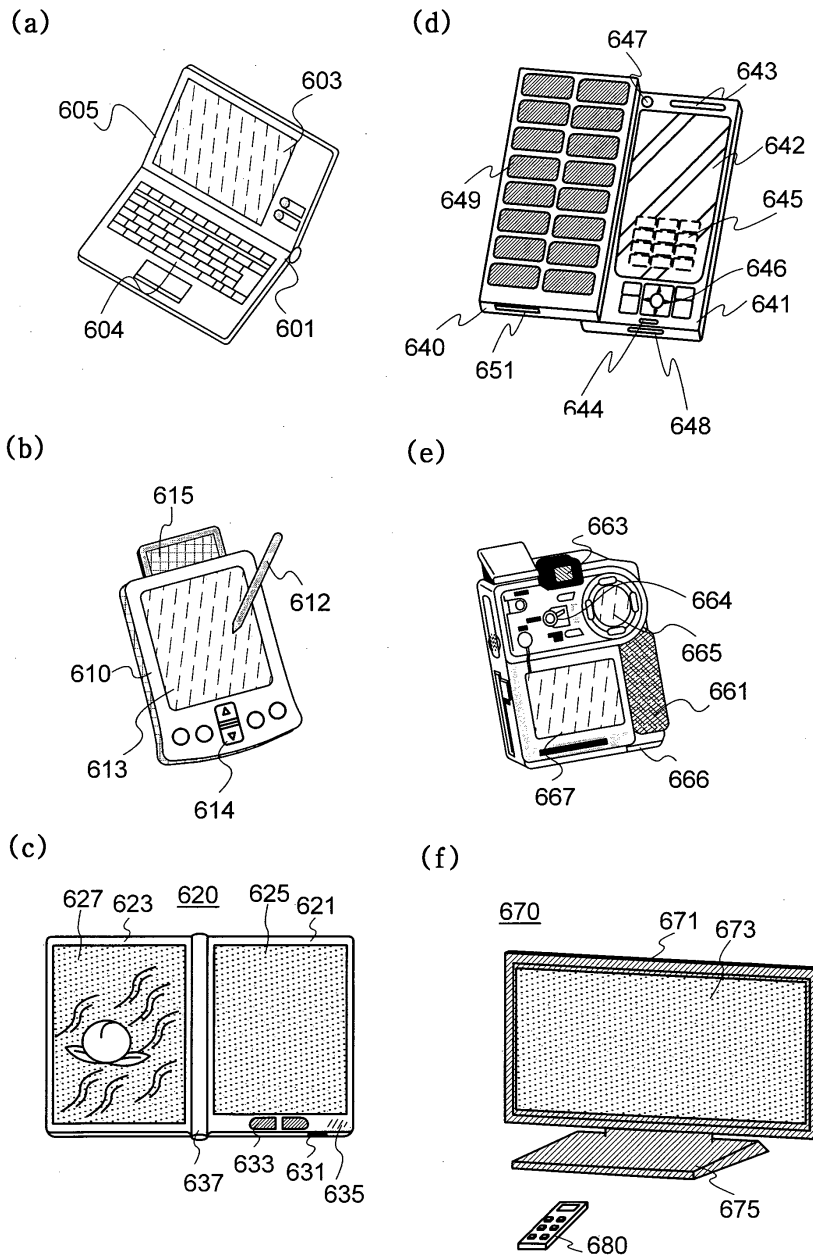
(b)



도면15



도면16



도면17

