(19) Deutsches Patent- und Markenamt

(10) **DE 11 2022 004 777 T5** 2024.09.05

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/080093**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 004 777.1**
(86) PCT-Aktenzeichen: **PCT/JP2022/040505**
(86) PCT-Anmeldetag: **28.10.2022**
(87) PCT-Veröffentlichungstag: **11.05.2023**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **05.09.2024**

(51) Int Cl.: ***H01L 23/28*** (2006.01)
H01L 23/24 (2006.01)
H01L 23/485 (2006.01)
H01L 23/488 (2006.01)

(30) Unionspriorität:
2021-181324 **05.11.2021** **JP**

(71) Anmelder:
ROHM CO., LTD., Kyoto, JP

(74) Vertreter:
WITTE, WELLER & PARTNER Patentanwälte mbB, 70173 Stuttgart, DE

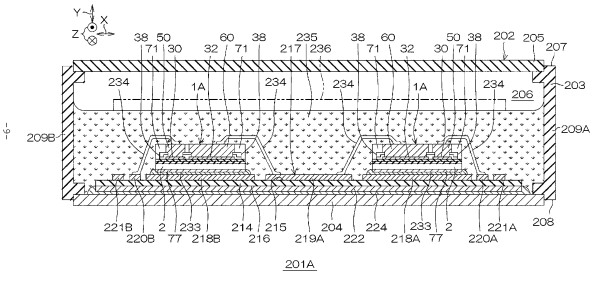
(72) Erfinder:
Nakano, Yuki, Kyoto, JP

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERMODUL**

(57) Zusammenfassung: Halbleitermodul miteinem Gehäuse, das einen Gehäuseraum aufweist, einer Halbleitervorrichtung, die in dem Gehäuseraum angeordnet ist und die einen Chip aufweist, der eine Hauptoberfläche, eine auf der Hauptoberfläche angeordnete Hauptoberflächenelektrode, eine auf der Hauptoberflächenelektrode angeordnete Anschlusselektrode und einen Dichtungsisolator aufweist, der einen Umfang der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt, und einem isolierenden gelartigen Füllmittel, das so in den Gehäuseraum gefüllt wird, dass es den Dichtungsisolator berührt, und das die Halbleitervorrichtung in dem Gehäuseraum abdichtet.



201A

Beschreibung

Technisches Gebiet

[0001] Diese Anmeldung beansprucht den Vorteil der Priorität aus der japanischen Patentanmeldung Nr. 2021-181324, eingereicht am 5. November 2021, und der gesamte Inhalt dieser Anmeldung wird durch Bezugnahme hierin aufgenommen. Die vorliegende Offenbarung bezieht sich auf ein Halbleitermodul.

Stand der Technik

[0002] Patentliteratur 1 offenbart eine Halbleitervorrichtung, die ein Halbleitersubstrat, eine Elektrode und einen Schutzfilm einschließt. Die Elektrode ist auf dem Halbleitersubstrat ausgebildet. Der Schutzfilm weist eine laminierte Struktur auf, die einen anorganischen Schutzfilm und einen organischen Schutzfilm einschließt und die Elektrode bedeckt.

Liste der Entgegenhaltungen

Patentliteratur

[0003] Patentliteratur 1: US-Patentanmeldung Veröffentlichung Nr. 2019/0080976

Kurzdarstellung der Erfindung

Technisches Problem

[0004] Eine Ausführungsform stellt ein Halbleitermodul bereit, das die Zuverlässigkeit verbessern kann.

Lösung des Problems

[0005] Eine Ausführungsform stellt ein Halbleitermodul bereit, das einschließt: ein Gehäuse, das einen Gehäuseraum aufweist, eine Halbleitervorrichtung, die in dem Gehäuseraum angeordnet ist und die einen Chip aufweist, der eine Hauptoberfläche, eine auf der Hauptoberfläche angeordnete Hauptoberflächenelektrode, eine auf der Hauptoberflächenelektrode angeordnete Anschlusselektrode und einen Dichtungsisolator aufweist, der einen Umfang der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt, und ein isolierendes gelartiges Füllmittel, das so in den Gehäuseraum gefüllt ist, dass es den Dichtungsisolator berührt, und das die Halbleitervorrichtung in dem Gehäuseraum abdichtet.

[0006] Die vorgenannten und noch weitere Aufgaben, Merkmale und Wirkungen der vorliegenden Erfindung werden anhand der folgenden Beschreibung von Ausführungsformen unter Bezugnahme auf die begleitenden Zeichnungen erklärt.

Kurze Beschreibung der Zeichnungen

[**Fig.** 1] **Fig.** 1 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer ersten Ausführungsform.

[**Fig.** 2] **Fig.** 2 ist eine Querschnittsansicht entlang der in **Fig.** 1 gezeigten Linie II-II.

[**Fig.** 3] **Fig.** 3 ist eine vergrößerte Draufsicht, die einen Hauptteil eines inneren Abschnitts eines Chips zeigt.

[**Fig.** 4] **Fig.** 4 ist eine Querschnittsansicht entlang der in **Fig.** 3 gezeigten Linie IV-IV.

[**Fig.** 5] **Fig.** 5 ist eine vergrößerte Querschnittsansicht, die einen Umfangsabschnitt des Chips zeigt.

[**Fig.** 6] **Fig.** 6 ist eine Draufsicht, die ein Layoutbeispiel für eine Gate-Elektrode und eine Source-Elektrode zeigt.

[**Fig.** 7] **Fig.** 7 ist eine Draufsicht, die ein Layoutbeispiel für einen oberen Isolierfilm zeigt.

[**Fig.** 8] **Fig.** 8 ist eine Draufsicht, die ein Halbleitermodul gemäß einem ersten Ausführungs- bzw. Modusbeispiel zeigt, in dem die in **Fig.** 1 gezeigte Halbleitervorrichtung montiert ist.

[**Fig.** 9] **Fig.** 9 ist eine Querschnittsansicht, die das in **Fig.** 8 gezeigte Halbleitermodul zeigt.

[**Fig.** 10] **Fig.** 10 ist ein Schaltbild, das das in **Fig.** 8 gezeigte Halbleitermodul zeigt.

[**Fig.** 11] **Fig.** 11 ist eine Draufsicht, die ein Halbleitermodul gemäß einem zweiten Modusbeispiel zeigt, in dem die in **Fig.** 1 gezeigte Halbleitervorrichtung montiert ist.

[**Fig.** 12] **Fig.** 12 ist ein Schaltbild, das das in **Fig.** 11 gezeigte Halbleitermodul zeigt.

[**Fig.** 13] **Fig.** 13 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer zweiten Ausführungsform zeigt.

[**Fig.** 14] **Fig.** 14 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer dritten Ausführungsform zeigt.

[**Fig.** 15] **Fig.** 15 ist eine Querschnittsansicht entlang der in **Fig.** 14 gezeigten Linie XV-XV.

[**Fig.** 16] **Fig.** 16 ist ein Schaltbild, das eine elektrische Konfiguration der in **Fig.** 14 gezeigten Halbleitervorrichtung zeigt.

[**Fig.** 17] **Fig.** 17 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer vierten Ausführungsform zeigt.

[**Fig.** 18] **Fig.** 18 ist eine Querschnittsansicht entlang der in **Fig.** 17 gezeigten Linie XVIII-XVIII.

[**Fig.** 19] **Fig.** 19 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer fünften Ausführungsform zeigt.

[**Fig.** 20] **Fig.** 20 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer sechsten Ausführungsform zeigt.

[**Fig.** 21] **Fig.** 21 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer siebten Ausführungsform zeigt.

[**Fig.** 22] **Fig.** 22 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer achten Ausführungsform zeigt.

[**Fig.** 23] **Fig.** 23 ist eine Querschnittsansicht entlang der in **Fig.** 22 gezeigten Linie XXIII-XXIII.

[**Fig.** 24] **Fig.** 24 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Chips zeigt, das auf jede der Ausführungsformen anwendbar ist.

[**Fig.** 25] **Fig.** 25 ist eine Querschnittsansicht, die ein modifiziertes Beispiel eines Dichtungsisolators zeigt, das auf jede der Ausführungsformen anwendbar ist.

Beschreibung von Ausführungsformen

[0007] Nachfolgend werden Ausführungsformen unter Bezugnahme auf die beigefügten Zeichnungen ausführlich beschrieben. Bei den beigefügten Zeichnungen handelt es sich um schematische Ansichten ohne genaue Bebilderung, deren Maßstäbe und dergleichen nicht immer übereinstimmen. Darüber hinaus werden entsprechenden Strukturen in den beigefügten Zeichnungen identische Bezugszeichen zugewiesen, und doppelte Beschreibungen davon werden weggelassen oder vereinfacht. Für die Strukturen, deren Beschreibung weggelassen oder vereinfacht wurde, gilt die Beschreibung, die vor der Weglassung oder Vereinfachung angegeben wurde.

[0008] **Fig.** 1 ist eine Draufsicht einer Halbleitervorrichtung 1A gemäß einer ersten Ausführungsform. **Fig.** 2 ist eine Querschnittsansicht entlang der in **Fig.** 1 gezeigten Linie II-II. **Fig.** 3 ist eine vergrößerte Draufsicht, die einen Hauptteil eines inneren Abschnitts eines Chips 2 zeigt. **Fig.** 4 ist eine Querschnittsansicht entlang der in **Fig.** 3 gezeigten Linie IV-IV. **Fig.** 5 ist eine vergrößerte Querschnittsansicht, die einen Umfangsabschnitt des Chips 2 zeigt. **Fig.** 6 ist eine Draufsicht, die Layoutbeispiele für eine Gate-Elektrode 30 und eine Source-Elektrode 32 zeigt. **Fig.** 7 ist eine Draufsicht, die ein Layoutbeispiel für einen oberen Isolierfilm 38 zeigt.

[0009] Unter Bezugnahme auf **Fig.** 1 bis **Fig.** 7 schließt die Halbleitervorrichtung 1A in dieser Ausführungsform einen Chip 2 ein, der einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt und der in einer hexaedrischen Form (insbesondere in Form eines rechteckigen Parallelepipeds) ausgebildet ist. Das heißt, die Halbleitervorrichtung 1A ist eine „Halbleitervorrichtung mit breiter Bandlücke“. Der Chip 2 kann als „Halbleiterchip“ oder „Halbleiterchip mit breiter Bandlücke“ bezeichnet werden. Der Halbleiter mit breiter Bandlücke ist ein Halbleiter, der eine Bandlücke aufweist, die die Bandlücke eines Si (Siliziums) übersteigt. Beispiele für Halbleiter mit breiter Bandlücke sind GaN (Galliumnitrid), SiC (Siliziumkarbid) und C (Diamant).

[0010] Der Chip 2 ist ein „SiC-Chip“, der einen SiC-Einkristall aus einem hexagonalen Kristall als Beispiel für den Halbleiter mit breiter Bandlücke einschließt. Das heißt, die Halbleitervorrichtung 1A ist eine „SiC-Halbleitervorrichtung“. Der SiC-Einkristall des hexagonalen Kristalls weist mehrere Polytypen auf, darunter 2H (hexagonal)-SiC-Einkristall, 4H-SiC-Einkristall, 6H-SiC-Einkristall und dergleichen. In dieser Ausführungsform soll ein Beispiel gegeben werden, in dem der Chip 2 den 4H-SiC-Einkristall einschließt, was jedoch die Wahl anderer Polytypen nicht ausschließt.

[0011] Der Chip 2 weist eine erste Hauptoberfläche 3 auf einer Seite, eine zweite Hauptoberfläche 4 auf der anderen Seite und eine erste bis vierte Seitenoberfläche 5A bis 5D auf, die die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 verbinden. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 sind in Draufsicht aus ihrer Normalenrichtung Z (im Folgenden einfach als „Draufsicht“ bezeichnet) jeweils viereckig geformt. Die normale Richtung Z ist auch eine Richtung der Dicke des Chips 2. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 werden vorzugsweise jeweils durch eine c-Ebene des SiC-Einkristalls ausgebildet.

[0012] In diesem Fall wird die erste Hauptoberfläche 3 vorzugsweise durch eine Siliziumoberfläche des SiC-Einkristalls ausgebildet und die zweite Hauptoberfläche 4 wird vorzugsweise durch eine Kohlenstoffoberfläche des SiC-Einkristalls ausgebildet. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 können jeweils einen Abweichungswinkel („off angle“) aufweisen, der in Bezug auf die c-Ebene um einen vorgegebenen Winkel in eine vorgegebene Abweichungsrichtung geneigt ist. Die Abweichungsrichtung ist vorzugsweise eine a-Achsenrichtung ([11-20]-Richtung) des SiC-Einkristalls. Der Abweichungswinkel kann größer als 0° und nicht größer als 10° sein. Der Abweichungswinkel ist vorzugsweise nicht größer als 5°. Die zweite Hauptoberfläche 4 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein oder kann aus einer glatten Oberfläche ohne Schleifspuren zusammengesetzt sein.

[0013] Die erste Seitenoberfläche 5A und die zweite Seitenoberfläche 5B erstrecken sich in einer ersten Richtung X entlang der ersten Hauptoberfläche 3 und liegen in einer zweiten Richtung Y einander gegenüber, die die erste Richtung X schneidet (insbesondere orthogonal zu ihr ist). Die dritte Seitenoberfläche 5C und die vierte Seitenoberfläche 5D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber. Die erste Richtung X kann eine m-Achsenrichtung ([1-100]-Richtung) des SiC-Einkristalls sein, und die zweite Richtung Y kann die a-Achsenrichtung des SiC-Einkristalls sein. Selbstverständlich kann die erste Richtung X die a-Achsenrichtung des SiC-Einkristalls sein, und die zweite Richtung Y kann die m-Achsenrichtung des SiC-Einkristalls sein. Die erste bis vierte Seitenoberfläche 5A bis 5D können jeweils aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut bzw. zusammengesetzt sein oder können jeweils aus einer glatten Oberfläche ohne Schleifspuren zusammengesetzt sein.

[0014] Der Chip 2 weist eine Dicke von nicht weniger als 5 µm und nicht mehr als 250 µm in Bezug auf die Normalenrichtung Z auf. Die Dicke des Chips 2 kann ggf. nicht mehr als 100 µm betragen. Die Dicke des Chips 2 beträgt vorzugsweise nicht mehr als 50 µm. Besonders bevorzugt beträgt die Dicke des Chips 2 nicht mehr als 40 µm. Die erste bis vierte Seitenoberfläche 5A bis 5D können in Draufsicht jeweils eine Länge von nicht weniger als 0,5 mm und nicht mehr als 10 mm aufweisen.

[0015] Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D betragen vorzugsweise nicht weniger als 1 mm. Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D betragen besonders bevorzugt nicht weniger als 2 mm. Das heißt, der Chip 2 weist vorzugsweise eine planare Fläche von nicht weniger als 1 mm^2 (vorzugsweise nicht weniger als 2 mm^2) auf und weist vorzugsweise eine Dicke von nicht mehr als 100 µm (vorzugsweise nicht mehr als 50 µm) auf. Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D sind in dieser Ausführungsform auf einen Bereich von nicht weniger als 4 mm und nicht mehr als 6 mm festgelegt.

[0016] Die Halbleitervorrichtung 1A schließt einen ersten Halbleiterbereich 6 vom n-Typ (erster Leitfähigkeitstyp) ein, der in einem Bereich (Oberflächenschichtabschnitt) auf der Seite der ersten Hauptoberfläche 3 innerhalb des Chips 2 ausgebildet ist. Der erste Halbleiterbereich 6 ist in einer geschichteten Form ausgebildet, die sich entlang der ersten Hauptoberfläche 3 erstreckt, und ist von der ersten Hauptoberfläche 3 und der ersten bis vierten Seitenoberfläche 5A bis 5D freiliegend. Der erste Halbleiterbereich 6 ist in dieser Ausführungsform aus einer Epitaxialschicht (insbesondere einer SiC-Epitaxialschicht) zusammengesetzt. Der erste Halbleiterbereich 6 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 50 µm in Bezug auf die Normalenrichtung Z aufweisen. Die Dicke des ersten Halbleiterbereichs 6 beträgt vorzugsweise nicht weniger als 3 µm und nicht mehr als 30 µm. Die Dicke des ersten Halbleiterbereichs 6 beträgt insbesondere vorzugsweise nicht weniger als 5 µm und nicht mehr als 25 µm.

[0017] Die Halbleitervorrichtung 1A schließt einen zweiten Halbleiterbereich 7 vom n-Typ ein, der in einem Bereich (Oberflächenschichtabschnitt) auf der Seite der zweiten Hauptoberfläche 4 innerhalb des Chips 2 ausgebildet ist. Der zweite Halbleiterbereich 7 ist in einer geschichteten Form ausgebildet, die sich entlang der zweiten Hauptoberfläche 4 erstreckt, und ist von der zweiten Hauptoberfläche 4 und der ersten bis vierten Seitenoberfläche 5A bis 5D freiliegend. Der zweite Halbleiterbereich 7 weist eine höhere n-Typ-Verunreinigungskonzentration als der erste Halbleiterbereich 6 auf und ist elektrisch mit dem ersten Halbleiterbereich 6 verbunden. Der zweite Halbleiterbereich 7 ist in dieser Ausführungsform aus einem Halbleitersubstrat (insbesondere einem SiC-Halbleitersubstrat) zusammengesetzt. Das heißt, der Chip 2 weist eine laminierte Struktur auf, die das Halbleitersubstrat und die Epitaxialschicht einschließt.

[0018] Der zweite Halbleiterbereich 7 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 200 µm in Bezug auf die Normalenrichtung Z aufweisen. Die Dicke des zweiten Halbleiterbereichs 7 beträgt vorzugsweise nicht weniger als 5 µm und nicht mehr als 50 µm. Die Dicke des zweiten Halbleiterbereichs 7 beträgt insbesondere vorzugsweise nicht weniger als 5 µm und nicht mehr als 20 µm. Im Hinblick auf einen möglichen Fehler, der im ersten Halbleiterbereich 6 auftritt, beträgt die Dicke des zweiten Halbleiterbereichs 7 vorzugsweise nicht weniger als 10 µm. Die Dicke des zweiten Halbleiterbereichs 7 ist am meisten bevorzugt geringer als die Dicke des ersten Halbleiterbereichs 6. Entsprechend der relativ geringen Dicke des zweiten Halbleiterbereichs 7 kann ein Widerstandswert (beispielsweise ein Einschaltwiderstand) aufgrund des zweiten Halbleiterbereichs 7 verringert werden. Selbstverständlich kann die Dicke des zweiten Halbleiterbereichs 7 die Dicke des ersten Halbleiterbereichs 6 überschreiten.

[0019] Die Halbleitervorrichtung 1A schließt eine aktive Oberfläche 8 (aktive Oberfläche), eine Außenoberfläche 9 (Außenoberfläche) und erste bis vierte Verbindungsoberflächen 10A bis 10D (Verbindungsoberfläche), die in der ersten Hauptoberfläche 3 ausgebildet sind, ein. Die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D definieren einen Mesa-Abschnitt 11 (Plateau) in der ersten Haupt-

oberfläche 3. Die aktive Oberfläche 8 kann als „erster Oberflächenabschnitt“ bezeichnet werden, die Außenoberfläche 9 kann als „zweiter Oberflächenabschnitt“ bezeichnet werden und die erste bis vierte Verbindungsoberfläche 10A bis 10D können als „Verbindungsoberflächenabschnitte“ bezeichnet werden. Die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D (das heißt, der Mesa-Abschnitt 11) können als Komponenten des Chips 2 (der ersten Hauptoberfläche 3) betrachtet werden.

[0020] Die aktive Oberfläche 8 ist in einem Abstand nach innen von einer Umfangskante bzw. einem Umfangsrand der ersten Hauptoberfläche 3 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet. Die aktive Oberfläche 8 weist eine flache Oberfläche auf, die sich in der ersten Richtung X und der zweiten Richtung Y erstreckt. Die aktive Oberfläche 8 ist in dieser Ausführungsform in einer Draufsicht viereckig geformt, wobei vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0021] Die Außenoberfläche 9 ist außerhalb der aktiven Oberfläche 8 positioniert und ist in Richtung der Dickenrichtung des Chips 2 (der Seite der zweiten Hauptoberfläche 4) von der aktiven Oberfläche 8 vertieft bzw. gegenüber der aktiven Oberfläche 8 zurückversetzt. Insbesondere ist die Außenoberfläche 9 mit einer Tiefe vertieft, die geringer ist als die Dicke des ersten Halbleiterbereichs 6, um den ersten Halbleiterbereich 6 freizulegen. Die Außenoberfläche 9 erstreckt sich bandförmig entlang der aktiven Oberfläche 8 und ist in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Die Außenoberfläche 9 weist eine flache Oberfläche auf, die sich in der ersten Richtung X und der zweiten Richtung Y erstreckt und im Wesentlichen parallel zu der aktiven Oberfläche 8 ausgebildet ist. Die Außenoberfläche 9 ist mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend.

[0022] Die erste bis vierte Verbindungsoberfläche 10A bis 10D erstrecken sich in Normalenrichtung Z und verbinden die aktive Oberfläche 8 und die Außenoberfläche 9. Die erste Verbindungsoberfläche 10A ist auf der Seite der ersten Seitenoberfläche 5A positioniert, die zweite Verbindungsoberfläche 10B ist auf der Seite der zweiten Seitenoberfläche 5B positioniert, die dritte Verbindungsoberfläche 10C ist auf der Seite der dritten Seitenoberfläche 5C positioniert und die vierte Verbindungsoberfläche 10D ist auf der Seite der vierten Seitenoberfläche 5D positioniert. Die erste Verbindungsoberfläche 10A und die zweite Verbindungsoberfläche 10B erstrecken sich in der ersten Richtung X und liegen in der zweiten Richtung Y einander gegenüber. Die dritte Verbindungsoberfläche 10C und die vierte Verbindungsoberfläche 10D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber.

[0023] Die erste bis vierte Verbindungsoberfläche 10A bis 10D können sich im Wesentlichen vertikal zwischen der aktiven Oberfläche 8 und der Außenoberfläche 9 erstrecken, sodass der Mesa-Abschnitt 11 in Form einer viereckigen Säule definiert wird. Die erste bis vierte Verbindungsoberfläche 10A bis 10D können von der aktiven Oberfläche 8 zu der Außenoberfläche 9 nach unten geneigt sein, sodass der Mesa-Abschnitt 11 in Form einer viereckigen Pyramide definiert wird. Somit schließt die Halbleitervorrichtung 1A den Mesa-Abschnitt 11 ein, der im ersten Halbleiterbereich 6 an der ersten Hauptoberfläche 3 ausgebildet ist. Der Mesa-Abschnitt 11 ist nur in dem ersten Halbleiterbereich 6 ausgebildet und ist nicht in dem zweiten Halbleiterbereich 7 ausgebildet.

[0024] Die Halbleitervorrichtung 1A schließt eine MISFET-Struktur (Metal-Insulator-Semiconductor-Field-Effect-Transistor-Struktur) 12 ein, die in der aktiven Oberfläche 8 (der ersten Hauptoberfläche 3) ausgebildet ist. In **Fig.** 2 ist die MISFET-Struktur 12 vereinfacht durch eine gestrichelte Linie dargestellt. Nachfolgend wird unter Bezugnahme auf **Fig.** 3 und **Fig.** 4 eine spezifische Struktur der MISFET-Struktur 12 beschrieben.

[0025] Die MISFET-Struktur 12 schließt einen Körperbereich 13 vom p-Typ (zweiter Leitfähigkeitstyp) ein, der in einem Oberflächenschichtabschnitt der aktiven Oberfläche 8 ausgebildet ist. Der Körperbereich 13 ist in einem Abstand zur Seite der aktiven Oberfläche 8 von einem Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der Körperbereich 13 ist in einer geschichteten Form ausgebildet, die sich entlang der aktiven Oberfläche 8 erstreckt. Der Körperbereich 13 kann von Teilen der ersten bis vierten Verbindungsoberfläche 10A bis 10D freiliegen.

[0026] Die MISFET-Struktur 12 schließt einen Source-Bereich 14 vom n-Typ ein, der in einem Oberflächenschichtabschnitt des Körperbereichs 13 ausgebildet ist. Der Source-Bereich 14 weist eine höhere n-Typ-Verunreinigungskonzentration auf als die erste Halbleiterregion 6. Der Source-Bereich 14 ist in einem Abstand zur Seite der aktiven Oberfläche 8 von einem Bodenabschnitt des Körperbereichs 13 ausgebildet. Der Source-Bereich 14 ist in einer geschichteten Form ausgebildet, die sich entlang der aktiven Oberfläche 8 erstreckt. Der Source-Bereich 14 kann von einem gesamten Bereich der aktiven Oberfläche 8 freiliegen. Der Source-Bereich 14 kann von Teilen der ersten bis vierten Verbindungsoberflächen 10A bis 10D freiliegen. Der Source-Bereich 14 bildet einen Kanal innerhalb des Körperbereichs 13 zwischen dem ersten Halbleiterbereich 6 und dem Source-Bereich 14 aus.

[0027] Die MISFET-Struktur 12 schließt eine Vielzahl von Gate-Strukturen 15 ein, die in der aktiven Oberfläche 8 ausgebildet sind. Die Vielzahl von Gate-Strukturen 15 sind in Abständen in der ersten Richtung X angeordnet und jeweils in einer Bandform ausgebildet, die sich in Draufsicht in der zweiten Richtung Y erstreckt. Die Vielzahl von Gate-Strukturen 15 durchdringen den Körperbereich 13 und den Source-Bereich 14 so, dass sie den ersten Halbleiterbereich 6 erreichen. Die Vielzahl von Gate-Strukturen 15 steuern eine Umkehrung und eine Nichtumkehrung des Kanals im Körperbereich 13.

[0028] Jede der Gate-Strukturen 15 schließt in dieser Ausführungsform einen Gate-Graben 15a, einen Gate-Isolierfilm 15b und eine eingebettete Gate-Elektrode 15c ein. Der Gate-Graben 15a ist in der aktiven Oberfläche 8 ausgebildet und definiert eine Wandoberfläche der Gatestruktur 15. Der Gate-Isolierfilm 15b bedeckt die Wandoberfläche des Gate-Grabens 15a. Die eingebettete Gate-Elektrode 15c ist in den Gate-Graben 15a eingebettet, wobei der Gate-Isolierfilm 15b dazwischen angeordnet ist, und ist dem Kanal über den Gate-Isolierfilm 15b hinweg zugewandt.

[0029] Die MISFET-Struktur 12 schließt eine Vielzahl von Source-Strukturen 16 ein, die in der aktiven Oberfläche 8 ausgebildet sind. Die Vielzahl von Source-Strukturen 16 sind jeweils in einem Bereich zwischen einem Paar benachbarter Gate-Strukturen 15 in der aktiven Oberfläche 8 angeordnet. Die Vielzahl von Source-Strukturen 16 sind jeweils in einer Bandform ausgebildet, die sich in Draufsicht in der zweiten Richtung Y erstreckt. Die Vielzahl von Source-Strukturen 16 durchdringen den Körperbereich 13 und den Source-Bereich 14 so, dass sie den ersten Halbleiterbereich 6 erreichen. Die Vielzahl von Source-Strukturen 16 weisen Tiefen auf, die die Tiefen der Gate-Strukturen 15 überschreiten. Insbesondere weisen die Vielzahl von Source-Strukturen 16 Tiefen auf, die im Wesentlichen der Tiefe der Außenoberfläche 9 entsprechen.

[0030] Jede der Source-Strukturen 16 schließt einen Source-Graben 16a, einen Source-Isolierfilm 16b und eine eingebettete Source-Elektrode 16c ein. Der Source-Graben 16a ist in der aktiven Oberfläche 8 ausgebildet und definiert eine Wandoberfläche der Source-Struktur 16. Der Source-Isolierfilm 16b bedeckt die Wandoberfläche des Source-Grabens 16a. Die eingebettete Source-Elektrode 16c ist in den Source-Graben 16a eingebettet, wobei der Source-Isolierfilm 16b dazwischen angeordnet ist.

[0031] Die MISFET-Struktur 12 schließt eine Vielzahl von Kontaktbereichen 17 vom p-Typ ein, die jeweils in einem Bereich entlang der Source-Struktur 16 innerhalb des Chips 2 ausgebildet sind. Die Vielzahl von Kontaktbereichen 17 weisen eine höhere p-Typ-Verunreinigungskonzentration auf als der Körperbereich 13. Jeder der Kontaktbereiche 17 bedeckt die Seitenwand und die Bodenwand jeder der Source-Strukturen und ist elektrisch mit dem Körperbereich 13 verbunden.

[0032] Die MISFET-Struktur 12 schließt eine Vielzahl von Wannenbereichen 18 vom p-Typ ein, die jeweils in einem Bereich entlang der Source-Struktur 16 innerhalb des Chips 2 ausgebildet sind. Jeder der Wannenbereiche 18 kann eine p-Typ-Verunreinigungskonzentration aufweisen, die höher ist als die des Körperbereichs 13 und niedriger als die der Kontaktbereiche 17. Jeder der Wannenbereiche 18 bedeckt die entsprechende Source-Struktur 16 mit dem dazwischen angeordneten entsprechenden Kontaktbereich 17. Jeder der Wannenbereiche 18 bedeckt die Seitenwand und die Bodenwand der entsprechenden Source-Struktur 16 und ist elektrisch mit dem Körperbereich 13 und den Kontaktbereichen 17 verbunden.

[0033] Unter Bezugnahme auf **Fig.** 5 schließt die Halbleitervorrichtung 1A einen äußeren Kontaktbereich 19 vom p-Typ ein, der in einem Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Der äußere Kontaktbereich 19 weist eine höhere p-Typ-Verunreinigungskonzentration auf als der Körperbereich 13. Der äußere Kontaktbereich 19 ist in Abständen von einer Umfangskante der aktiven Oberfläche 8 und einer Umfangskante der Außenoberfläche 9 ausgebildet und weist eine Bandform auf, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt.

[0034] Der äußere Kontaktbereich 19 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Der äußere Kontaktbereich 19 ist in einem Abstand zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der äußere Kontaktbereich 19 ist in Bezug auf die Bodenwände der Vielzahl von Gate-Strukturen 15 (der Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert.

[0035] Die Halbleitervorrichtung 1A schließt einen äußeren Wannenbereich 20 vom p-Typ ein, der im Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Der äußere Wannenbereich 20 weist eine geringere p-Typ-Verunreinigungskonzentration auf als der äußere Kontaktbereich 19. Die p-Typ-Verunreinigungskonzentration des äußeren Wannenbereichs 20 ist vorzugsweise im Wesentlichen gleich der p-Typ-Verunreinigungskonzentration der Wannenbereiche 18. Der äußere Wannenbereich 20 ist in einem Bereich zwischen der Umfangskante der aktiven Oberfläche 8 und dem äußeren Kontaktbe-

reich 19 ausgebildet und weist eine Bandform auf, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt.

[0036] Der äußere Wannenbereich 20 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Der äußere Wannenbereich 20 ist in einem Abstand zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der äußere Wannenbereich 20 kann tiefer ausgebildet sein als der äußere Kontaktbereich 19. Der äußere Wannenbereich 20 ist in Bezug auf die Vielzahl von Gate-Strukturen 15 (die Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert.

[0037] Der äußere Wannenbereich 20 ist elektrisch mit dem äußeren Kontaktbereich 19 verbunden. Der äußere Wannenbereich 20 erstreckt sich in dieser Ausführungsform von der Seite des äußeren Kontaktbereichs 19 in Richtung der Seite der ersten bis vierten Verbindungsoberfläche 10A bis 10D und bedeckt die erste bis vierte Verbindungsoberfläche 10A bis 10D. Der äußere Wannenbereich 20 ist im Oberflächenschichtabschnitt der aktiven Oberfläche 8 elektrisch mit dem Körperbereich 13 verbunden.

[0038] Die Halbleitervorrichtung 1A schließt mindestens einen (vorzugsweise nicht weniger als 2 und nicht mehr als 20) Feldbereich 21 vom p-Typ ein, der in einem Bereich zwischen der Umfangskante der Außenoberfläche 9 und dem äußeren Kontaktbereich 19 im Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Die Halbleitervorrichtung 1A schließt in dieser Ausführungsform fünf Feldbereiche 21 ein. Die Vielzahl von Feldbereichen 21 entspannt ein elektrisches Feld im Inneren des Chips 2 an der Außenoberfläche 9. Anzahl, Breite, Tiefe, p-Typ-Verunreinigungskonzentration usw. des Feldbereichs 21 sind beliebig, und es können je nach dem zu entspannenden elektrischen Feld verschiedene Werte angenommen werden.

[0039] Die Vielzahl von Feldbereichen 21 sind in Abständen von der Seite des äußeren Kontaktbereichs 19 zur Seite der Umfangskante der Außenoberfläche 9 angeordnet. Die Vielzahl von Feldbereichen 21 sind jeweils in einer Bandform ausgebildet, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt. Die Vielzahl von Feldbereichen 21 sind in dieser Ausführungsform in Draufsicht jeweils ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Somit sind die Vielzahl von Feldbereichen 21 jeweils als FLR-Bereich (Field-Limiting-RingBereich) ausgebildet.

[0040] Die Vielzahl von Feldbereichen 21 sind in Abständen zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Die Vielzahl von Feldbereichen 21 sind in Bezug auf die Bodenwände der Vielzahl von Gate-Strukturen 15 (der Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert. Die Vielzahl von Feldbereichen 21 können tiefer ausgebildet sein als der äußere Kontaktbereich 19. Der innerste Feldbereich 21 kann mit dem äußeren Kontaktbereich 19 verbunden sein.

[0041] Die Halbleitervorrichtung 1A schließt einen Hauptoberflächen-Isolierfilm 25 ein, der die erste Hauptoberfläche 3 bedeckt. Der Hauptoberflächen-Isolierfilm 25 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Der Hauptoberflächen-Isolierfilm 25 weist in dieser Ausführungsform eine einschichtige Struktur auf, die aus dem Siliziumoxidfilm zusammengesetzt ist. Der Hauptoberflächen-Isolierfilm 25 schließt insbesondere vorzugsweise den Siliziumoxidfilm ein, die aus einem Oxid des Chips 2 zusammengesetzt ist.

[0042] Der Hauptoberflächen-Isolierfilm 25 bedeckt die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D. Der Hauptoberflächen-Isolierfilm 25 bedeckt die aktive Oberfläche 8 derart, dass er mit dem Gate-Isolierfilm 15b und dem Source-Isolierfilm 16b durchgehend ist und die eingebettete Gate-Elektrode 15c und die eingebettete Source-Elektrode 16c freilegt. Der Hauptoberflächen-Isolierfilm 25 bedeckt die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D derart, dass er den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21 bedeckt.

[0043] Der Hauptoberflächen-Isolierfilm 25 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend sein. In diesem Fall kann eine Außenwand des Hauptoberflächen-Isolierfilms 25 aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Außenwand des Hauptoberflächen-Isolierfilms 25 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche ausbilden. Selbstverständlich kann die Außenwand des Hauptoberflächen-Isolierfilms 25 in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 ausgebildet sein und kann den ersten Halbleiterbereich 6 von einem Umfangskantenabschnitt der Außenoberfläche 9 freilegen.

[0044] Die Halbleitervorrichtung 1A schließt eine Seitenwandstruktur 26 ein, die auf dem Hauptoberflächen-Isolierfilm 25 derart ausgebildet ist, dass sie mindestens eine der ersten bis vierten Verbindungsoberfläche 10A bis 10D an der Außenoberfläche 9 bedeckt. Die Seitenwandstruktur 26 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere

viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Die Seitenwandstruktur 26 kann einen Abschnitt aufweisen, der sich mit der aktiven Oberfläche 8 überlappt. Die Seitenwandstruktur 26 kann einen anorganischen Isolator oder ein Polysilizium einschließen. Die Seitenwandstruktur 26 kann eine Seitenwandverdrahtung sein, die elektrisch mit der Vielzahl von Source-Strukturen 16 verbunden ist.

[0045] Die Halbleitervorrichtung 1A schließt einen Zwischenschicht-Isolierfilm 27 ein, der auf dem Hauptoberflächen-Isolierfilm 25 ausgebildet ist. Der Zwischenschicht-Isolierfilm 27 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Der Zwischenschicht-Isolierfilm 27 weist in dieser Ausführungsform eine einschichtige Struktur auf, die aus dem Siliziumoxidfilm zusammengesetzt ist.

[0046] Der Zwischenschicht-Isolierfilm 27 bedeckt die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D, wobei der Hauptoberflächen-Isolierfilm 25 dazwischen angeordnet ist. Insbesondere bedeckt der Zwischenschicht-Isolierfilm 27 die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D über die Seitenwandstruktur 26 hinweg. Der Zwischenschicht-Isolierfilm 27 bedeckt die MISFET-Struktur 12 auf der Seite der aktiven Oberfläche 8 und bedeckt den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21 auf der Seite der äußeren Oberfläche 9.

[0047] Der Zwischenschicht-Isolierfilm 27 ist in dieser Ausführungsform mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend. Eine Außenwand des Zwischenschicht-Isolierfilms 27 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Außenwand des Zwischenschicht-Isolierfilms 27 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche ausbilden. Selbstverständlich kann die Außenwand des Zwischenschicht-Isolierfilms 27 in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 ausgebildet sein und kann den ersten Halbleiterbereich 6 von dem Umfangskantenabschnitt der Außenoberfläche 9 freilegen.

[0048] Die Halbleitervorrichtung 1A schließt eine Gate-Elektrode 30 ein, die auf der ersten Hauptoberfläche 3 (dem Zwischenschicht-Isolierfilm 27) angeordnet ist. Die Gate-Elektrode 30 kann als „Gate-Hauptoberflächenelektrode“ bezeichnet werden. Die Gate-Elektrode 30 ist an einem inneren Abschnitt der ersten Hauptoberfläche 3 in einem Abstand von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die Gate-Elektrode 30 ist in dieser Ausführungsform auf der aktiven Oberfläche 8 angeordnet. Insbesondere ist die Gate-Elektrode 30 in einem Bereich benachbart zu einem zentralen Abschnitt der dritten Verbindungsoberfläche 10C (der dritten Seitenoberfläche 5C) am Umfangskantenabschnitt der aktiven Oberfläche 8 angeordnet. Die Gate-Elektrode 30 ist in dieser Ausführungsform in Draufsicht viereckig geformt. Selbstverständlich kann die Gate-Elektrode 30 in Draufsicht auch als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0049] Die Gate-Elektrode 30 weist vorzugsweise eine planare Fläche bzw. einen planaren Flächeninhalt von nicht mehr als 25 % der ersten Hauptoberfläche 3 auf. Die planare Fläche der Gate-Elektrode 30 kann ggf. nicht mehr als 10 % der ersten Hauptoberfläche 3 betragen. Die Gate-Elektrode 30 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 µm aufweisen. Die Gate-Elektrode 30 kann mindestens einen von einem Ti-Film, einem TiN-Film, einem W-Film, einem Al-Film, einem Cu-Film, einem Al-Legierungsfilm, einem Cu-Legierungsfilm und einem leitfähigen Polysiliziumfilm einschließen.

[0050] Die Gate-Elektrode 30 kann mindestens eines von einem reinen Cu-Film (einem Cu-Film mit einer Reinheit von nicht weniger als 99 %), einem reinen Al-Film (einem Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen. Die untere Gate-Leiterschicht 31 weist in dieser Ausführungsform eine laminierte Struktur auf, die den Ti-Film und den Al-Legierungsfilm (in dieser Ausführungsform den AlSiCu-Legierungsfilm) einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind.

[0051] Die Halbleitervorrichtung 1A schließt eine Source-Elektrode 32 ein, die auf der ersten Hauptoberfläche 3 (dem Zwischenschicht-Isolierfilm 27) in einem Abstand von der Gate-Elektrode 30 angeordnet ist. Die Source-Elektrode 32 kann als „Source-Hauptoberflächenelektrode“ bezeichnet werden. Die Source-Elektrode 32 ist an einem inneren Abschnitt der ersten Hauptoberfläche 3 in einem Abstand von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die Source-Elektrode 32 ist in dieser Ausführungsform auf der aktiven Oberfläche 8 angeordnet. Die Source-Elektrode 32 weist in dieser Ausführungsform einen Körperelektrodenabschnitt 33 und mindestens einen (in dieser Ausführungsform eine Vielzahl von) Drawer-Elektrodenabschnitt(en) 34A, 34B auf.

[0052] Der Körperelektrodenabschnitt 33 ist in einem Bereich auf der Seite der vierten Seitenoberfläche 5D (der vierten Verbindungsoberfläche 10D)

in einem Abstand von der Gate-Elektrode 30 angeordnet und ist in Draufsicht in der ersten Richtung X der Gate-Elektrode 30 zugewandt. Der Körperelektrodenabschnitt 33 ist in dieser Ausführungsform in Draufsicht in einer polygonalen Form (insbesondere viereckigen Form) ausgebildet, bei der in Draufsicht vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0053] Die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B schließen einen ersten Drawer-Elektrodenabschnitt 34A auf einer Seite (der Seite der ersten Seitenoberfläche 5A) und einen zweiten Drawer-Elektrodenabschnitt 34B auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B) ein. Der erste Drawer-Elektrodenabschnitt 34A ist aus dem Körperelektrodenabschnitt 33 auf einen Bereich herausgeführt, der sich auf einer Seite (der Seite der ersten Seitenoberfläche 5A) der zweiten Richtung Y in Bezug auf die Gate-Elektrode 30 befindet, und ist in Draufsicht in der zweiten Richtung Y der Gate-Elektrode 30 zugewandt.

[0054] Der zweite Drawer-Elektrodenabschnitt 34B ist aus dem Körperelektrodenabschnitt 33 auf einen Bereich herausgeführt, der sich auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B) der zweiten Richtung Y in Bezug auf die Gate-Elektrode 30 befindet, und ist in Draufsicht in der zweiten Richtung Y der Gate-Elektrode 30 zugewandt. Das heißt, die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B schließen die Gate-Elektrode 30 in Draufsicht von beiden Seiten der zweiten Richtung Y her ein.

[0055] Die Source-Elektrode 32 (der Körperelektrodenabschnitt 33 und die Drawer-Elektrodenabschnitte 34A, 34B) durchdringt den Zwischenschicht-Isolierfilm 27 und den Hauptoberflächen-Isolierfilm 25 und ist elektrisch mit der Vielzahl von Source-Strukturen 16, dem Source-Bereich 14 und der Vielzahl von Wannenbereichen 18 verbunden. Selbstverständlich muss die Source-Elektrode 32 nicht die Drawer-Elektrodenabschnitte 34A, 34B aufweisen und kann nur aus dem Körperelektrodenabschnitt 33 zusammengesetzt sein.

[0056] Die Source-Elektrode 32 weist eine planare Fläche auf, die die planare Fläche der Gate-Elektrode 30 übersteigt. Die planare Fläche der Source-Elektrode 32 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der Source-Elektrode 32 nicht weniger als 75 % der ersten Hauptoberfläche 3. Die Source-Elektrode 32 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 µm aufweisen. Die Source-Elektrode 32 kann mindestens eines von einem Ti-Film, einem TiN-Film, einem W-Film, einem Al-Film, einem Cu-Film, einem Al-Legierungsfilm, einem Cu-Legierungsfilm und einem leitfähigen Polysiliziumfilm einschließen.

[0057] Die Source-Elektrode 32 kann mindestens eines von einem reinen Cu-Film (einem Cu-Film mit einer Reinheit von nicht weniger als 99 %), einem reinen Al-Film (einem Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen. Die Source-Elektrode 32 weist in dieser Ausführungsform eine laminierte Struktur auf, die den Ti-Film und den Al-Legierungsfilm (in dieser Ausführungsform AlSiCu-Legierungsfilm) einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Die Source-Elektrode 32 weist vorzugsweise das gleiche leitfähige Material wie die Gate-Elektrode 30 auf.

[0058] Die Halbleitervorrichtung 1A schließt mindestens eine (in dieser Ausführungsform eine Vielzahl von) Gate-Verdrahtung(en) 36A, 36B ein, die von der Gate-Elektrode 30 auf die erste Hauptoberfläche 3 (den Zwischenschicht-Isolierfilm 27) herausgeführt sind. Die Vielzahl von Gate-Verdrahtungen 36A, 36B schließen vorzugsweise dasselbe leitfähige Material wie die Gate-Elektrode 30 ein. Die Vielzahl von Gate-Verdrahtungen 36A, 36B bedecken in dieser Ausführungsform die aktive Oberfläche 8 und bedecken nicht die Außenoberfläche 9. Die Vielzahl von Gate-Verdrahtungen 36A, 36B sind in einen Bereich zwischen der Umfangskante der aktiven Oberfläche 8 und der Source-Elektrode 32 herausgeführt und erstrecken sich in Draufsicht jeweils bandförmig entlang der Source-Elektrode 32.

[0059] Insbesondere schließen die Vielzahl von Gate-Verdrahtungen 36A, 36B eine erste Gate-Verdrahtung 36A und eine zweite Gate-Verdrahtung 36B ein. Die erste Gate-Verdrahtung 36A ist in Draufsicht von der Gate-Elektrode 30 in einen Bereich auf der Seite der ersten Seitenoberfläche 5A herausgeführt. Die erste Gate-Verdrahtung 36A schließt einen Abschnitt ein, der sich bandförmig in der zweiten Richtung Y entlang der dritten Seitenoberfläche 5C erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der ersten Seitenoberfläche 5A erstreckt. Die zweite Gate-Verdrahtung 36B ist in Draufsicht von der Gate-Elektrode 30 in einen Bereich auf der Seite der zweiten Seitenoberfläche 5B herausgeführt. Die zweite Gate-Verdrahtung 36B schließt einen Abschnitt ein, der sich bandförmig in der zweiten Richtung Y entlang der dritten Seitenoberfläche 5C erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der zweiten Seitenoberfläche 5B erstreckt.

[0060] Die Vielzahl von Gate-Verdrahtungen 36A, 36B schneiden (insbesondere schneiden senkrecht) beide Endabschnitte der Vielzahl von Gate-Strukturen 15 am Umfangskantenabschnitt der aktiven

Oberfläche 8 (der ersten Hauptoberfläche 3). Die Vielzahl von Gate-Verdrahtungen 36A, 36B durchdringen den Zwischenschicht-Isolierfilm 27 und sind elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Vielzahl von Gate-Verdrahtungen 36A, 36B können direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder kann über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0061] Die Halbleitervorrichtung 1A schließt eine Source-Verdrahtung 37 ein, die von der Source-Elektrode 32 auf die erste Hauptoberfläche 3 (den Zwischenschicht-Isolierfilm 27) herausgeführt ist. Die Source-Verdrahtung 37 schließt vorzugsweise dasselbe leitfähige Material wie die Source-Elektrode 32 ein. Die Source-Verdrahtung 37 ist bandförmig ausgebildet und erstreckt sich entlang der Umfangskante der aktiven Oberfläche 8 in einem Bereich, der weiter auf der Seite der Außenoberfläche 9 liegt als die Vielzahl von Gate-Verdrahtungen 36A, 36B. Die Source-Verdrahtung 37 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die Gate-Elektrode 30, die Source-Elektrode 32 und die Vielzahl von Gate-Verdrahtungen 36A, 36B herum ausgebildet.

[0062] Die Source-Verdrahtung 37 bedeckt die Seitenwandstruktur 26, wobei der Zwischenschicht-Isolierfilm 27 dazwischen angeordnet ist, und ist von der Seite der aktiven Oberfläche 8 zu der Seite der Außenoberfläche 9 herausgeführt. Die Source-Verdrahtung 37 bedeckt vorzugsweise einen gesamten Bereich der Seitenwandstruktur 26 über einen gesamten Umfang. Die Source-Verdrahtung 37 durchdringt den Zwischenschicht-Isolierfilm 27 und den Hauptoberflächen-Isolierfilm 25 auf der Seite der Außenoberfläche 9 und weist einen Abschnitt auf, der mit der Außenoberfläche 9 (insbesondere dem äußeren Kontaktbereich 19) verbunden ist. Die Source-Verdrahtung 37 kann den Zwischenschicht-Isolierfilm 27 durchdringen und kann elektrisch mit der Seitenwandstruktur 26 verbunden sein.

[0063] Die Halbleitervorrichtung 1A schließt einen oberen Isolierfilm 38 ein, der selektiv die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B und die Source-Verdrahtung 37 bedeckt. Der obere Isolierfilm 38 weist eine Gate-Öffnung 39 auf, die einen inneren Abschnitt der Gate-Elektrode 30 freilegt, und bedeckt einen Umfangskantenabschnitt der Gate-Elektrode 30 über einen gesamten Umfang. Die Gate-Öffnung 39 ist in dieser Ausführungsform in Draufsicht viereckig ausgebildet.

[0064] Der obere Isolierfilm 38 weist eine Source-Öffnung 40 auf, die einen inneren Abschnitt der Source-Elektrode 32 freigibt, und bedeckt einen Umfangskantenabschnitt der Source-Elektrode 32 über den gesamten Umfang. Die Source-Öffnung 40 ist in dieser Ausführungsform in Draufsicht polygonal entlang der Source-Elektrode 32 ausgebildet. Der obere Isolierfilm 38 bedeckt ganze Bereiche der Vielzahl von Gate-Verdrahtungen 36A, 36B und einen ganzen Bereich der Source-Verdrahtung 37.

[0065] Der obere Isolierfilm 38 bedeckt die Seitenwandstruktur 26, wobei der Zwischenschicht-Isolierfilm 27 dazwischen angeordnet ist, und ist von der Seite der aktiven Oberfläche 8 zur Seite der Außenoberfläche 9 herausgeführt. Der obere Isolierfilm 38 ist in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet und bedeckt den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21. Der obere Isolierfilm 38 definiert mit der Umfangskante der Außenoberfläche 9 eine Zerteilstraße 41.

[0066] Die Zerteilstraße 41 ist in einer Bandform ausgebildet, die sich in Draufsicht entlang der Umfangskante der Außenoberfläche 9 (der ersten bis vierten Seitenoberfläche 5A bis 5D) erstreckt. Die Zerteilstraße 41 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um den inneren Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) herum ausgebildet. In dieser Ausführungsform legt die Zerteilstraße 41 den Zwischenschicht-Isolierfilm 27 frei.

[0067] Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 und der Zwischenschicht-Isolierfilm 27 die Außenoberfläche 9 freilegen, die Zerteilstraße 41 die Außenoberfläche 9 freilegen. Die zweite Zerteilstraße 41 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 200 µm aufweisen. Die Breite der Zerteilstraße 41 ist eine Breite in einer Richtung orthogonal zu einer Erstreckungsrichtung der Zerteilstraße 41. Die Breite der Zerteilstraße 41 beträgt vorzugsweise nicht weniger als 5 µm und nicht mehr als 50 µm.

[0068] Der obere Isolierfilm 38 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32 übersteigt. Die Dicke des oberen Isolierfilms 38 ist vorzugsweise geringer als die Dicke des Chips 2. Die Dicke des oberen Isolierfilms 38 kann nicht weniger als 3 µm und nicht mehr als 35 µm betragen. Die Dicke des oberen Isolierfilms 38 beträgt vorzugsweise nicht mehr als 25 µm.

[0069] Der obere Isolierfilm 38 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen anorganischen Isolierfilm 42 und einen organischen Isolierfilm 43 einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Der

obere Isolierfilm 38 kann mindestens eines von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 einschließen und muss nicht notwendigerweise gleichzeitig den anorganischen Isolierfilm 42 und den organischen Isolierfilm 43 einschließen. Der anorganische Isolierfilm 42 bedeckt selektiv die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B und die Source-Verdrahtung 37 und definiert einen Teil der Gate-Öffnung 39, einen Teil der Source-Öffnung 40 und einen Teil der Zerteilstraße 41.

[0070] Der anorganische Isolierfilm 42 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Vorzugsweise schließt der anorganische Isolierfilm 42 ein Isoliermaterial ein, das sich von dem des Zwischenschicht-Isolierfilms 27 unterscheidet. Der anorganische Isolierfilm 42 schließt vorzugsweise den Siliziumnitridfilm ein. Vorzugsweise weist der anorganische Isolierfilm 42 eine Dicke auf, die geringer ist als die Dicke des Zwischenschicht-Isolierfilms 27. Die Dicke des anorganischen Isolierfilms 42 kann nicht weniger als 0,1 µm und nicht mehr als 5 µm betragen.

[0071] Der organische Isolierfilm 43 bedeckt selektiv den anorganischen Isolierfilm 42 und definiert einen Teil der Gate-Öffnung 39, einen Teil der Source-Öffnung 40 und einen Teil der Zerteilstraße 41. Insbesondere legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Gate-Öffnung 39 teilweise frei. Außerdem legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Source-Öffnung 40 teilweise frei. Außerdem legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Zerteilstraße 41 teilweise frei.

[0072] Selbstverständlich kann der organische Isolierfilm 43 den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Gate-Öffnung 39 freiliegt. Der organische Isolierfilm 43 kann den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Source-Öffnung 40 freiliegt. Der organische Isolierfilm 43 kann den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Zerteilstraße 41 freiliegt. In diesen Fällen kann der organische Isolierfilm 43 einen gesamten Bereich des anorganischen Isolierfilms 42 bedecken.

[0073] Der organische Isolierfilm 43 ist vorzugsweise aus einem anderen Harzfilm als einem duroplastischen Harz zusammengesetzt. Der organische Isolierfilm 43 kann aus einem transluzentem oder einem transparenten Harz zusammengesetzt sein. Der organische Isolierfilm 43 kann aus einem lichtempfindlichen Harzfilm vom Negativtyp oder einem lichtempfindlichen Harzfilm vom Positivtyp zusammengesetzt sein. Der organische Isolierfilm 43 ist vorzugsweise aus einem Polyimidfilm, einem Polyamidfilm oder einem Polybenzoxazolfilm zusammengesetzt. Der organische Isolierfilm 43 schließt in dieser Ausführungsform den Polybenzoxazolfilm ein.

[0074] Der organische Isolierfilm 43 weist vorzugsweise eine Dicke auf, die die Dicke des anorganischen Isolierfilms 42 übersteigt. Die Dicke des organischen Isolierfilms 43 übersteigt vorzugsweise die Dicke des Zwischenschicht-Isolierfilms 27. Besonders bevorzugt übersteigt die Dicke des organischen Isolierfilms 43 die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32. Die Dicke des organischen Isolierfilms 43 kann nicht weniger als 3 µm und nicht mehr als 30 µm betragen. Die Dicke des organischen Isolierfilms 43 beträgt vorzugsweise nicht mehr als 20 µm.

[0075] Die Halbleitervorrichtung 1A schließt eine Gate-Anschlusselektrode 50 ein, die auf der Gate-Elektrode 30 angeordnet ist. Die Gate-Anschlusselektrode 50 ist säulenförmig auf einem Abschnitt der Gate-Elektrode 30 errichtet, der von der Gate-Öffnung 39 freiliegt. Die Gate-Anschlusselektrode 50 weist in Draufsicht eine kleinere Fläche als die Fläche der Gate-Elektrode 30 auf und ist am inneren Abschnitt der Gate-Elektrode 30 in einem Abstand von der Umfangskante der Gate-Elektrode 30 angeordnet.

[0076] Die Gate-Anschlusselektrode 50 weist eine Gate-Anschlussoberfläche 51 und eine Gate-Anschlussseitenwand 52 auf. Die Gate-Anschlussoberfläche 51 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die Gate-Anschlussoberfläche 51 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Gate-Anschlussseitenwand 52 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0077] Das heißt, die Gate-Anschlusselektrode 50 weist einen Abschnitt auf, der mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Gate-Anschlussseitenwand 52 erstreckt sich im Wesentlichen vertikal zu der Normalenrichtung Z. Dabei schließt „im Wesentlichen vertikal“ einen Modus ein, der sich in der Laminatrichtung erstreckt und dabei gekrümmt (mäanderförmig) ist. Die Gate-Anschlussseitenwand 52 schließt einen Abschnitt ein, der der Gate-Elektrode 30 zugewandt ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Gate-Anschlussseitenwand 52 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0078] Die Gate-Anschlusselektrode 50 weist einen ersten Vorsprungsabschnitt 53 auf, der an einem unteren Endabschnitt der Gate-Anschlussseitenwand 52 nach außen hervorsteht. Der erste Vorsprungsabschnitt 53 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Gate-Anschlussseitenwand 52. Der erste Vorsprungsabschnitt 53 erstreckt sich entlang einer Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht ausgehend von der Gate-Anschlussseitenwand 52 in Richtung des Spitzenabschnitts allmählich abnimmt. Der erste Vorsprungsabschnitt 53 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann die Gate-Anschlusselektrode 50 auch ohne den ersten Vorsprungsabschnitt 53 ausgebildet sein.

[0079] Die Gate-Anschlusselektrode 50 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 übersteigt. Die Dicke der Gate-Anschlusselektrode 50 wird durch einen Abstand zwischen der Gate-Elektrode 30 und der Gate-Anschlussoberfläche 51 definiert. Besonders bevorzugt übersteigt die Dicke der Gate-Anschlusselektrode 50 die Dicke des oberen Isolierfilms 38. Die Dicke der Gate-Anschlusselektrode 50 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke der Gate-Anschlusselektrode 50 geringer sein als die Dicke des Chips 2. Die Dicke der Gate-Anschlusselektrode 50 kann nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke der Gate-Anschlusselektrode 50 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke der Gate-Anschlusselektrode 50 nicht weniger als 80 µm und nicht mehr als 200 µm.

[0080] Eine planare Fläche der Gate-Anschlusselektrode 50 ist entsprechend der planaren Fläche der ersten Hauptoberfläche 3 einzustellen. Die planare Fläche der Gate-Anschlusselektrode 50 wird durch eine planare Fläche der Gate-Anschlussoberfläche 51 definiert. Die planare Fläche der Gate-Anschlusselektrode 50 beträgt vorzugsweise nicht mehr als 25 % der ersten Hauptoberfläche 3. Die planare Fläche der Gate-Anschlusselektrode 50 kann nicht mehr als 10 % der ersten Hauptoberfläche 3 betragen.

[0081] Wenn die erste Hauptoberfläche 3 die planare Fläche von nicht weniger als 1 mm^2 aufweist, kann die planare Fläche der Gate-Anschlusselektrode 50 nicht weniger als 0,4 mm^2 betragen. Die Gate-Anschlusselektrode 50 kann eine polygonale Form (beispielsweise eine rechteckige Form) aufweisen, die eine planare Fläche von nicht weniger als 0,4 mm × 0,7 mm aufweist. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform als polygonale Form (viereckige Form mit vier in einer rechteckigen Form ausgeschnittenen Ecken) ausgebildet, bei der in Draufsicht vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann die Gate-Anschlusselektrode 50 in Draufsicht als eine viereckige Form, eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0082] Die Gate-Anschlusselektrode 50 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Gate-Leiterfilm 55 und einen zweiten Gate-Leiterfilm 56 einschließt, die in dieser Reihenfolge von der Seite der Gate-Elektrode 30 aus laminiert sind. Der erste Gate-Leiterfilm 55 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Gate-Leiterfilm 55 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der erste Gate-Leiterfilm 55 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind.

[0083] Der erste Gate-Leiterfilm 55 weist eine Dicke auf, die geringer ist als die Dicke der Gate-Elektrode 30. Der erste Gate-Leiterfilm 55 bedeckt die Gate-Elektrode 30 in Form eines Films innerhalb der Gate-Öffnung 39 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Gate-Leiterfilm 55 bildet einen Teil des ersten Vorsprungsabschnitts 53 aus. Der erste Gate-Leiterfilm 55 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0084] Der zweite Gate-Leiterfilm 56 bildet einen Körper der Gate-Anschlusselektrode 50 aus. Der zweite Gate-Leiterfilm 56 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Gate-Leiterfilm 56 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Gate-Leiterfilm 56 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Gate-Leiterfilms 56 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Gate-Leiterfilms 56 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0085] Der zweite Gate-Leiterfilm 56 bedeckt die Gate-Elektrode 30, wobei der erste Gate-Leiterfilm 55 dazwischen angeordnet ist, innerhalb der Gate-Öffnung 39 und ist auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Gate-Leiterfilm 55 dazwischen angeordnet ist. Der zweite Gate-Leiterfilm 56 bildet einen Teil des ersten Vorsprungsabschnitts 53 aus. Das heißt, der erste Vorsprungsab-

schnitt 53 weist eine laminierte Struktur auf, die den ersten Gate-Leiterfilm 55 und den zweiten Gate-Leiterfilm 56 einschließt. Der zweite Gate-Leiterfilm 56 weist eine Dicke auf, die die Dicke des ersten Gate-Leiterfilms 55 im ersten Vorsprungsabschnitt 53 übersteigt.

[0086] Die Halbleitervorrichtung 1A schließt eine Source-Anschlusselektrode 60 ein, die auf der Source-Elektrode 32 angeordnet ist. Die Source-Anschlusselektrode 60 ist säulenförmig auf einem Abschnitt der Source-Elektrode 32 errichtet, der von der Source-Öffnung 40 freiliegt. Die Source-Anschlusselektrode 60 kann in Draufsicht eine kleinere Fläche als die Fläche der Source-Elektrode 32 aufweisen und kann an einem inneren Abschnitt der Source-Elektrode 32 in einem Abstand von der Umfangskante der Source-Elektrode 32 angeordnet sein.

[0087] Die Source-Anschlusselektrode 60 ist in dieser Ausführungsform auf dem Körperelektrodenabschnitt 33 der Source-Elektrode 32 angeordnet und ist nicht auf den Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 angeordnet. Dadurch wird eine gegenüberliegende Fläche zwischen der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 verringert. Eine derartige Struktur verringert wirksam das Risiko eines Kurzschlusses zwischen der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60, wenn ein leitfähiger Klebstoff wie Lötmittel und Metallpasten an der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 kleben sollen. Selbstverständlich können leitfähige Bondingbauteile, wie Leiterplatten und leitende Drähte (z. B. Bondingdrähte), mit der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 verbunden werden. In diesem Fall kann ein Risiko eines Kurzschlusses zwischen dem leitfähigen Bondingbauteil auf der Seite der Gate-Anschlusselektrode 50 und dem leitfähigen Bondingbauteil auf der Seite der Source-Anschlusselektrode 60 verringert werden.

[0088] Die Source-Anschlusselektrode 60 weist eine Source-Anschlussoberfläche 61 und eine Source-Anschlussseitenwand 62 auf. Die Source-Anschlussoberfläche 61 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die Source-Anschlussfläche 61 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Source-Anschlussseitenwand 62 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0089] Das heißt, die Source-Anschlusselektrode 60 weist einen Abschnitt auf, der mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Source-Anschlussseitenwand 62 erstreckt sich im Wesentlichen vertikal zur Normalenrichtung Z. Dabei schließt „im Wesentlichen vertikal“ einen Modus ein, der sich in der Laminatrichtung erstreckt und dabei gekrümmt (mäanderförmig) ist. Die Source-Anschlussseitenwand 62 schließt einen Abschnitt ein, der der Source-Elektrode 32 zugewandt ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Source-Anschlussseitenwand 62 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0090] Die Source-Anschlusselektrode 60 weist einen zweiten Vorsprungsabschnitt 63 auf, der an einem unteren Endabschnitt der Source-Anschlussseitenwand 62 nach außen hervorsteht. Der zweite Vorsprungsabschnitt 63 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Source-Anschlussseitenwand 62. Der zweite Vorsprungsabschnitt 63 erstreckt sich entlang der Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht von der Source-Anschlussseitenwand 62 in Richtung des Spitzenabschnitts allmählich abnimmt. Der zweite Vorsprungsabschnitt 63 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann die Source-Anschlusselektrode 60 auch ohne den zweiten Vorsprungsabschnitt 63 ausgebildet sein.

[0091] Die Source-Anschlusselektrode 60 weist vorzugsweise eine Dicke auf, die die Dicke der Source-Elektrode 32 übersteigt. Die Dicke der Source-Anschlusselektrode 60 wird durch einen Abstand zwischen der Source-Elektrode 32 und der Source-Anschlussoberfläche 61 definiert. Besonders bevorzugt übersteigt die Dicke der Source-Anschlusselektrode 60 die Dicke des oberen Isolierfilms 38. Die Dicke der Source-Anschlusselektrode 60 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0092] Selbstverständlich kann die Dicke der Source-Anschlusselektrode 60 geringer sein als die Dicke des Chips 2. Die Dicke der Source-Anschlusselektrode 60 kann nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke der Source-Anschlusselektrode 60 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke der Source-Anschlusselektrode 60 nicht weniger als 80 µm und nicht mehr als 200 µm. Die Dicke der Source-Anschlusselektrode 60 ist im Wesentlichen gleich der Dicke der Gate-Anschlusselektrode 50.

[0093] Eine planare Fläche der Source-Anschlusselektrode 60 ist entsprechend der planaren Fläche der ersten Hauptoberfläche 3 einzustellen. Die planare Fläche der Source-Anschlusselektrode 60 wird

durch eine planare Fläche der Source-Anschlussoberfläche 61 definiert. Vorzugsweise übersteigt die planare Fläche der Source-Anschlusselektrode 60 die planare Fläche der Source-Anschlussoberfläche 50. Die planare Fläche der Source-Anschlusselektrode 60 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der Source-Anschlusselektrode 60 nicht weniger als 75 % der ersten Hauptoberfläche 3.

[0094] In einem Fall, in dem die erste Hauptoberfläche 3 eine planare Fläche von nicht weniger als 1 mm^2 aufweist, beträgt die planare Fläche der Source-Anschlusselektrode 60 vorzugsweise nicht weniger als 0,8 mm^2. In diesem Fall beträgt die planare Fläche jeder Source-Anschlusselektrode 60 besonders bevorzugt nicht weniger als 1 mm^2. Die Gate-Anschlusselektrode 60 kann eine polygonale Form aufweisen, die eine planare Fläche von nicht weniger als 1 mm × 1,4 mm aufweist. Die Source-Anschlusselektrode 60 ist in dieser Ausführungsform als viereckige Form ausgebildet, bei der in der Draufsicht vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann die Source-Anschlusselektrode 60 in Draufsicht auch als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0095] Die Source-Anschlusselektrode 60 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Source-Leiterfilm 67 und einen zweiten Source-Leiterfilm 68 einschließt, die in dieser Reihenfolge von der Seite der Source-Elektrode 32 aus laminiert sind. Der erste Source-Leiterfilm 67 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Source-Leiterfilm 67 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der erste Source-Leiterfilm 67 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film in beliebiger Reihenfolge einschließt. Der erste Source-Leiterfilm 67 ist vorzugsweise aus dem gleichen leitfähigen Material wie der erste Gate-Leiterfilm 55 zusammengesetzt.

[0096] Der erste Source-Leiterfilm 67 weist eine Dicke auf, die geringer ist als die Dicke der Source-Elektrode 32. Der erste Source-Leiterfilm 67 bedeckt die Source-Elektrode 32 in Form eines Films innerhalb der Source-Öffnung 40 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Source-Leiterfilm 67 bildet einen Teil des zweiten Vorsprungsabschnitts 63 aus. Die Dicke des ersten Source-Leiterfilms 67 ist im Wesentlichen gleich der Dicke des ersten Gate-Leiterfilms 55. Der erste Source-Leiterfilm 67 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0097] Der zweite Source-Leiterfilm 68 bildet einen Körper der Source-Anschlusselektrode 60 aus. Der zweite Source-Leiterfilm 68 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Source-Leiterfilm 68 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Source-Leiterfilm 68 ist vorzugsweise aus dem gleichen leitfähigen Material wie der zweite Gate-Leiterfilm 56 zusammengesetzt.

[0098] Der zweite Source-Leiterfilm 68 weist vorzugsweise eine Dicke auf, die die Dicke der Source-Elektrode 32 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Source-Leiterfilms 68 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Source-Leiterfilms 68 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Die Dicke des zweiten Source-Leiterfilms 68 ist im Wesentlichen gleich der Dicke des zweiten Gate-Leiterfilms 56.

[0099] Der zweite Source-Leiterfilm 68 bedeckt die Source-Elektrode 32, wobei der erste Source-Leiterfilm 67 dazwischen angeordnet ist, innerhalb der Source-Öffnung 40 und ist auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Source-Leiterfilm 67 dazwischen angeordnet ist. Der zweite Source-Leiterfilm 68 bildet einen Teil des zweiten Vorsprungsabschnitts 63 aus. Das heißt, der zweite Vorsprungsabschnitt 63 weist eine laminierte Struktur auf, die den ersten Source-Leiterfilm 67 und den zweiten Source-Leiterfilm 68 einschließt. Der zweite Source-Leiterfilm 68 weist vorzugsweise eine Dicke auf, die die Dicke des ersten Source-Leiterfilms 67 in dem zweiten Vorsprungsabschnitt 63 übersteigt.

[0100] Die Halbleitervorrichtung 1A schließt einen Dichtungs- bzw. Versiegelungsisolator 71 ein, der die erste Hauptoberfläche 3 bedeckt. Der Dichtungsisolator 71 bedeckt einen Umfang der Gate-Anschlusselektrode 50 und einen Umfang der Source-Anschlusselektrode 60 so, dass ein Teil der Gate-Anschlusselektrode 50 und ein Teil der Source-Anschlusselektrode 60 auf der ersten Hauptoberfläche 3 freiliegen. Insbesondere bedeckt der Dichtungsisolator 71 die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D so, dass die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 freiliegen.

[0101] Der Dichtungsisolator 71 legt die Gate-Anschlussoberfläche 51 und die Source-Anschlussoberfläche 61 frei und bedeckt die Gate-Anschlussseitenwand 52 und die Source-Anschlussseitenwand 62. In dieser Ausführungsform bedeckt der Dichtungsisolator 71 den ersten Vorsprungsabschnitt 53

der Gate-Anschlusselektrode 50 und ist dem oberen Isolierfilm 38 zugewandt, wobei der erste Vorsprungsabschnitt 53 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall der Gate-Anschlusselektrode 50. Außerdem bedeckt in dieser Ausführungsform der Dichtungsisolator 71 den zweiten Vorsprungsabschnitt 63 der Source-Anschlusselektrode 60 und ist dem oberen Isolierfilm 38 zugewandt, wobei der zweite Vorsprungsabschnitt 63 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall der Source-Anschlusselektrode 60.

[0102] Der Dichtungsisolator 71 bedeckt die Zerteilstraße 41 am Umfangskantenabschnitt der Außenoberfläche 9. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Zwischenschicht-Isolierfilm 27 an der Zerteilstraße 41 direkt. Selbstverständlich kann der Dichtungsisolator 71, wenn der Chip 2 (die Außenoberfläche 9) oder der Hauptoberflächen-Isolierfilm 25 von der Zerteilstraße 41 freiliegt, den Chip 2 oder den Hauptoberflächen-Isolierfilm 25 an der Zerteilstraße 41 direkt bedecken.

[0103] Der Dichtungsisolator 71 weist eine isolierende Hauptoberfläche 72 und eine isolierende Seitenwand 73 auf. Die isolierende Hauptoberfläche 72 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die isolierende Hauptoberfläche 72 bildet mit der Gate-Anschlussoberfläche 51 und der Source-Anschlussoberfläche 61 eine einzige flache Oberfläche aus. Die isolierende Hauptoberfläche 72 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. In diesem Fall bildet die isolierende Hauptoberfläche 72 vorzugsweise eine einzige geschliffene Oberfläche mit der Gate-Anschlussoberfläche 51 und der Source-Anschlussoberfläche 61 aus.

[0104] Die isolierende Seitenwand 73 erstreckt sich von einer Umfangskante der isolierenden Hauptoberfläche 72 in Richtung des Chips 2 und bildet mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige flache Oberfläche aus. Die isolierende Seitenwand 73 ist im Wesentlichen senkrecht zu der isolierenden Hauptoberfläche 72 ausgebildet. Der Winkel, den die isolierende Seitenwand 73 mit der isolierenden Hauptoberfläche 72 ausbildet, kann nicht weniger als 88° und nicht mehr als 92° betragen. Die isolierende Seitenwand 73 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die isolierende Seitenwand 73 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche ausbilden.

[0105] Der Dichtungsisolator 71 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32 übersteigt. Besonders bevorzugt übersteigt die Dicke des Dichtungsisolators 71 die Dicke des oberen Isolierfilms 38. Die Dicke des Dichtungsisolators 71 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke des Dichtungsisolators 71 geringer sein als die Dicke des Chips 2. Die Dicke des Dichtungsisolators 71 kann nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke des Dichtungsisolators 71 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke des Dichtungsisolators 71 nicht weniger als 80 µm und nicht mehr als 200 µm. Die Dicke des Dichtungsisolators 71 ist im Wesentlichen gleich der Dicke der Gate-Anschlusselektrode 50 und der Dicke der Source-Anschlusselektrode 60.

[0106] Der Dichtungsisolator 71 schließt ein Matrixharz, eine Vielzahl von Füllstoffen und eine Vielzahl von flexiblen Partikeln (flexibles Mittel) ein. Der Dichtungsisolator 71 ist so konfiguriert, dass eine mechanische Festigkeit durch das Matrixharz, die Vielzahl von Füllstoffen und die Vielzahl von flexiblen Partikeln eingestellt wird. Der Dichtungsisolator 71 kann mindestens das Matrixharz einschließen, und das Vorhandensein oder Fehlen der Füllstoffe und der flexiblen Partikel ist optional.

[0107] Der Dichtungsisolator 71 kann ein färbendes Material wie etwa Ruß einschließen, welches das Matrixharz färbt. Das Matrixharz ist vorzugsweise aus einem duroplastischen Harz zusammengesetzt. Das Matrixharz kann als Beispiel für das duroplastische Harz mindestens eines von einem ein Epoxidharz, einem Phenolharz und einem Polyimidharz einschließen. Das Matrixharz schließt in dieser Ausführungsform das Epoxidharz ein.

[0108] Die Vielzahl von Füllstoffen werden dem Matrixharz hinzugefügt und sind aus einem oder beiden von kugelförmigen Objekten, die jeweils aus einem Isolator zusammengesetzt sind, und unbestimmten Objekten, die jeweils aus einem Isolator zusammengesetzt sind, aufgebaut. Das unbestimmte Objekt weist eine zufällige Form auf, die keine Kugelform ist, beispielsweise eine Kornform, eine Stückform oder eine Fragmentform. Das unbestimmte Objekt kann eine Kante haben. Gemäß einem Gesichtspunkt des Unterbindens einer Beschädigung durch einen Füllstoffangriff sind in dieser Ausführungsform die Vielzahl von Füllstoffen jeweils aus dem kugelförmigen Objekt aufgebaut.

[0109] Die Vielzahl von Füllstoffen können mindestens eines von Keramik, Oxiden und Nitriden einschließen. Die Vielzahl von Füllstoffen sind in dieser Ausführungsform jeweils aus Siliziumoxidpartikeln (Siliziumpartikeln) zusammengesetzt. Die Vielzahl von Füllstoffen können jeweils eine Partikelgröße von nicht weniger als 1 nm und nicht mehr als 100 µm aufweisen. Die Partikelgrößen der Vielzahl von

Füllstoffen betragen vorzugsweise nicht mehr als 50 µm.

[0110] Der Dichtungsisolator 71 schließt vorzugsweise die Vielzahl von Füllstoffen mit unterschiedlichen Partikelgrößen ein. Die Vielzahl von Füllstoffen kann eine Vielzahl von Füllstoffen kleiner Größe, eine Vielzahl von Füllstoffen mittlerer Größe und eine Vielzahl von Füllstoffen großer Größe einschließen. Die Vielzahl von Füllstoffen werden dem Matrixharz vorzugsweise in einer Menge (Dichte) zugesetzt, die in dieser Reihenfolge der Füllstoffe kleiner Größe, der Füllstoffe mittlerer Größe und der Füllstoffe großer Größe ist.

[0111] Die Füllstoffe kleiner Größe können eine Dicke aufweisen, die geringer ist als die Dicke der Source-Elektrode 32 (der Gate-Elektrode 30). Die Partikelgrößen der Füllstoffe kleiner Größe können ggf. nicht weniger als 1 nm und nicht mehr als 1 µm betragen. Die Füllstoffe mittlerer Größe können eine Dicke aufweisen, die die Dicke der Source-Elektrode 32 übersteigt und nicht größer als die Dicke des oberen Isolierfilms 38 ist. Die Partikelgrößen der Füllstoffe mittlerer Größe können nicht weniger als 1 µm und nicht mehr als 20 µm betragen.

[0112] Die Füllstoffe großer Größe können eine Dicke aufweisen, die die Dicke des oberen Isolierfilms 38 übersteigt. Die Vielzahl von Füllstoffen können mindestens einen Füllstoff großer Größe einschließen, der eine beliebige von der Dicke des ersten Halbleiterbereichs 6 (der Epitaxialschicht), der Dicke des zweiten Halbleiterbereichs 7 (des Substrats) und der Dicke des Chips 2 übersteigt. Die Partikelgrößen der Füllstoffe großer Größe können nicht weniger als 20 µm und nicht mehr als 100 µm betragen. Die Partikelgrößen der Füllstoffe großer Größe betragen vorzugsweise nicht mehr als 50 µm.

[0113] Eine durchschnittliche Partikelgröße der Vielzahl von Füllstoffen kann nicht weniger als 1 µm und nicht mehr als 10 µm betragen. Die durchschnittliche Partikelgröße der Vielzahl von Füllstoffen beträgt vorzugsweise nicht weniger als 4 µm und nicht mehr als 8 µm. Selbstverständlich muss die Vielzahl von Füllstoffen nicht notwendigerweise alle von den Füllstoffen kleiner Größe, den Füllstoffen mittlerer Größe und den Füllstoffen großer Größe gleichzeitig einschließen und kann auch aus einem oder beiden von den Füllstoffen kleiner Größe und den Füllstoffen mittlerer Größe zusammengesetzt sein. Beispielsweise kann in diesem Fall eine maximale Partikelgröße der Vielzahl von Füllstoffen (der Füllstoffe mittlerer Größe) ggf. nicht mehr als 10 µm betragen.

[0114] Der Dichtungsisolator 71 kann eine Vielzahl von Füllstofffragmenten jeweils mit gebrochener Partikelform in einem Oberflächenschichtabschnitt der isolierenden Hauptoberfläche 72 und in einem Oberflächenschichtabschnitt der isolierenden Seitenwand 73 einschließen. Die Vielzahl von Füllstofffragmenten können jeweils aus einem beliebigen von einem Teil der Füllstoffe kleiner Größe, einem Teil der Füllstoffe mittlerer Größe oder einem Teil der Füllstoffe großer Größe ausgebildet sein.

[0115] Die Vielzahl von Füllstofffragmenten, die auf der Seite der isolierenden Hauptoberfläche 72 positioniert sind, weisen jeweils einen gebrochenen Abschnitt auf, der entlang der isolierenden Hauptoberfläche 72 so ausgebildet ist, dass er zur isolierenden Hauptoberfläche 72 hin ausgerichtet ist. Die Vielzahl von Füllstofffragmenten, die auf der Seite der isolierenden Seitenwand 73 positioniert sind, weisen jeweils einen gebrochenen Abschnitt auf, der entlang der isolierenden Seitenwand 73 so ausgebildet ist, dass er zur isolierenden Seitenwand 73 hin ausgerichtet ist. Die gebrochenen Abschnitte der Vielzahl von Füllstofffragmenten können von der isolierenden Hauptoberfläche 72 und der isolierenden Seitenwand 73 freiliegen oder können teilweise oder vollständig mit dem Matrixharz bedeckt sein. Die Vielzahl von Füllstofffragmenten beeinflussen die Strukturen auf der Seite des Chips 2 nicht, da sich die Vielzahl von Füllstofffragmenten in den Oberflächenschichtabschnitten der isolierenden Hauptoberfläche 72 und der isolierenden Seitenwand 73 befinden.

[0116] Die Vielzahl von flexiblen Partikeln werden dem Matrixharz hinzugefügt. Die Vielzahl von flexiblen Partikeln können mindestens eines von flexiblen Partikeln auf Silikonbasis, flexiblen Partikeln auf Acrylbasis und flexiblen Partikeln auf Butadienbasis einschließen. Der Dichtungsisolator 71 schließt vorzugsweise die flexiblen Partikel auf Silikonbasis ein. Die Vielzahl von flexiblen Partikeln weist vorzugsweise eine durchschnittliche Partikelgröße auf, die geringer ist als die durchschnittliche Partikelgröße der Vielzahl von Füllstoffen. Die durchschnittliche Partikelgröße der Vielzahl von flexiblen Partikeln beträgt vorzugsweise nicht weniger als 1 nm und nicht mehr als 1 µm. Eine maximale Partikelgröße der Vielzahl von flexiblen Partikeln beträgt vorzugsweise nicht mehr als 1 µm.

[0117] Die Vielzahl von flexiblen Partikeln werden dem Matrixharz so hinzugefügt, dass ein Verhältnis einer gesamten Querschnittsfläche zu einer Einheitsquerschnittsfläche nicht weniger als 0,1 % und nicht mehr als 10 % beträgt. Mit anderen Worten werden die Vielzahl von flexiblen Partikeln dem Matrixharz in einem Gehalt im Bereich von nicht weniger als 0,1 Gewichtsprozent und nicht mehr als 10 Gewichtsprozent hinzugefügt. Die durchschnittliche Partikelgröße und der Gehalt der Vielzahl von flexiblen Partikeln sind entsprechend einem Elastizitätsmodul einzustellen, der dem Dichtungsisolator 71 zum Zeitpunkt der Herstellung und/oder nach der Herstellung verlie-

hen werden soll. Beispielsweise ist es dadurch, dass die Vielzahl von flexiblen Partikeln eine durchschnittliche Partikelgröße im Submikrometerbereich (= nicht mehr als 1 µm) aufweist, möglich, zu einem niedrigen Elastizitätsmodul und einer geringen Aushärtungsschrumpfung des Dichtungsisolators 71 beizutragen.

[0118] Die Halbleitervorrichtung 1A schließt eine Drain-Elektrode 77 (zweite Hauptoberflächenelektrode) ein, die die zweite Hauptoberfläche 4 bedeckt. Die Drain-Elektrode 77 ist elektrisch mit der zweiten Hauptoberfläche 4 verbunden. Die Drain-Elektrode 77 bildet einen ohmschen Kontakt mit dem zweiten Halbleiterbereich 7 aus, der von der zweiten Hauptoberfläche 4 freiliegt. Die Drain-Elektrode 77 kann einen gesamten Bereich der zweiten Hauptoberfläche 4 bedecken, sodass sie mit der Umfangskante des Chips 2 (der ersten bis vierten Seitenoberfläche 5A bis 5D) durchgehend ist.

[0119] Die Drain-Elektrode 77 kann die zweite Hauptoberfläche 4 in einem Abstand von der Umfangskante des Chips 2 bedecken. Die Drain-Elektrode 77 ist so konfiguriert, dass zwischen der Source-Anschlusselektrode 60 und der Drain-Elektrode 77 eine Drain-Source-Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist. Das heißt, der Chip 2 ist so ausgebildet, dass zwischen der ersten Hauptoberfläche 3 und der zweiten Hauptoberfläche 4 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist.

[0120] Wie vorstehend beschrieben, schließt die Halbleitervorrichtung 1A den Chip 2, die Gate-Elektrode 30 (die Source-Elektrode 32: die Hauptoberflächenelektrode), die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) und den Dichtungsisolator 71 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die Gate-Elektrode 30 (die Source-Elektrode 32) ist auf der ersten Hauptoberfläche 3 angeordnet. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) ist auf der Gate-Elektrode 30 (der Source-Elektrode 32) angeordnet. Der Dichtungsisolator 71 bedeckt den Umfang der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) auf der ersten Hauptoberfläche 3 so, dass die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60 freiliegt).

[0121] Gemäß dieser Struktur kann ein abzudichtendes Objekt mit dem Dichtungsisolator 71 vor einer äußeren Kraft und Feuchtigkeit (Nässe) geschützt werden. Das heißt, das abzudichtende Objekt kann vor einer Beschädigung (einschließlich Ablösen) durch die äußere Kraft und einer Verschlechterung (einschließlich Korrosion) durch die Feuchtigkeit geschützt werden. Dadurch können Formfehler und Schwankungen der elektrischen Eigenschaften unterbunden werden. Als Ergebnis ist es möglich, die Halbleitervorrichtung 1A bereitzustellen, die eine verbesserte Zuverlässigkeit aufweisen kann.

[0122] Die Halbleitervorrichtung 1A schließt vorzugsweise den oberen Isolierfilm 38 ein, der die Gate-Elektrode 30 (die Source-Elektrode 32) teilweise bedeckt. Gemäß dieser Struktur kann ein abzudeckendes Objekt mit dem oberen Isolierfilm 38 vor äußeren Kräften und Feuchtigkeit geschützt werden. Das heißt, dass gemäß dieser Struktur das abzudichtende Objekt sowohl durch den oberen Isolierfilm 38 als auch durch den Dichtungsisolator 71 geschützt werden kann.

[0123] In einer derartigen Struktur weist der Dichtungsisolator 71 vorzugsweise den Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der Dichtungsisolator 71 weist vorzugsweise den Abschnitt auf, der die Gate-Elektrode 30 (die Source-Elektrode 32) über den dazwischen angeordneten oberen Isolierfilm 38 hinweg bedeckt. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) weist vorzugsweise den Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der obere Isolierfilm 38 schließt vorzugsweise einen oder beide von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 ein. Der organische Isolierfilm 43 ist vorzugsweise aus dem lichtempfindlichen Harzfilm zusammengesetzt.

[0124] Der obere Isolierfilm 38 ist vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Der obere Isolierfilm 38 ist vorzugsweise dünner als der Chip 2. Der Dichtungsisolator 71 ist vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Der Dichtungsisolator 71 ist vorzugsweise dicker als der obere Isolierfilm 38. Besonders bevorzugt ist der Dichtungsisolator 71 dicker als der Chip 2.

[0125] Der Dichtungsisolator 71 schließt vorzugsweise das duroplastische Harz (Matrixharz) ein. Gemäß dieser Struktur können Haltbarkeit und Wasserdichtigkeit durch das duroplastische Harz verbessert werden. Der Dichtungsisolator 71 schließt vorzugsweise die Vielzahl von Füllstoffen ein, die dem duroplastischen Harz zugegeben sind. Gemäß dieser Struktur kann eine mechanische Festigkeit durch die Vielzahl von Füllstoffen eingestellt werden. Der Dichtungsisolator 71 schließt vorzugsweise die flexiblen Partikel (flexibles Mittel) ein, die dem duroplastischen Harz zugegeben sind. Gemäß dieser Struktur kann ein Elastizitätsmodul des Dichtungsisolators 71 durch die flexiblen Partikel eingestellt werden.

[0126] Der Dichtungsisolator 71 legt vorzugsweise die Gate-Anschlussoberfläche 51 (die Source-

Anschlussoberfläche 61) der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) frei und bedeckt vorzugsweise die Gate-Anschlussseitenwand 52 (die Source-Anschlussseitenwand 62). Das heißt, der Dichtungsisolator 71 schützt vorzugsweise die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) vor der Gate-Anschlussseitenwand 52 (der Source-Anschlussseitenwand 62).

[0127] In diesem Fall weist der Dichtungsisolator 71 vorzugsweise die isolierende Hauptoberfläche 72 auf, die mit der Gate-Anschlussoberfläche 51 (der Source-Anschlussoberfläche 61) die einzige flache Oberfläche ausbildet. Der Dichtungsisolator 71 weist vorzugsweise die isolierende Seitenwand 73 auf, die mit der ersten bis vierten Seitenoberfläche 5A bis 5D (Seitenoberfläche) des Chips 2 die einzige flache Oberfläche ausbildet. Gemäß dieser Struktur kann das abzudichtende Objekt, das auf der Seite der ersten Hauptoberfläche 3 positioniert ist, mit dem Dichtungsisolator 71 angemessen geschützt werden.

[0128] Die oben genannten Strukturen sind wirksam, wenn die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) mit einer relativ großen planaren Fläche und/oder einer relativ großen Dicke auf den Chip 2 mit einer relativ großen planaren Fläche und/oder einer relativ geringen Dicke aufgebracht wird, der. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) mit der relativ großen planaren Fläche und/oder der relativ großen Dicke ist auch wirksam beim Absorbieren einer auf der Seite des Chips 2 erzeugten Wärme und Ableiten der Wärme nach außen.

[0129] Beispielsweise ist die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) ist vorzugsweise dicker als der obere Isolierfilm 38. Besonders bevorzugt ist die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) dicker als der Chip 2. Beispielsweise kann die Gate-Anschlusselektrode 50 in der Draufsicht den Bereich von nicht mehr als 25 % der ersten Hauptoberfläche 3 bedecken, und die Source-Anschlusselektrode 60 kann in der Draufsicht den Bereich von nicht weniger als 50 % der ersten Hauptoberfläche 3 bedecken.

[0130] Beispielsweise kann der Chip 2 die erste Hauptoberfläche 3 aufweisen, die in Draufsicht eine Fläche von nicht weniger als 1 mm^2 aufweist. Der Chip 2 kann in Querschnittsansicht die Dicke von nicht mehr als 100 µm aufweisen. Der Chip 2 weist in Querschnittsansicht vorzugsweise die Dicke von nicht mehr als 50 µm auf. Der Chip 2 kann die laminierte Struktur aufweisen, die das Halbleitersubstrat und die Epitaxialschicht einschließt. In diesem Fall ist die Epitaxialschicht vorzugsweise dicker als das Halbleitersubstrat.

[0131] In den oben genannten Strukturen schließt der Chip 2 vorzugsweise den Einkristall des Halbleiters mit breiter Bandlücke ein. Der Einkristall des Halbleiters mit breiter Bandlücke verbessert wirksam die elektrischen Eigenschaften. Außerdem ist es gemäß dem Einkristall des Halbleiters mit breiter Bandlücke möglich, ein Ausdünnen des Chips 2 und ein Vergrößern der planaren Fläche des Chips 2 zu erreichen, während eine Verformung des Chips 2 mit einer relativ hohen Härte unterbunden wird. Das Ausdünnen des Chips 2 und das Vergrößern der planaren Fläche des Chips 2 tragen ebenfalls wirksam zum Verbessern der elektrischen Eigenschaften bei.

[0132] Die Struktur mit dem Dichtungsisolator 71 ist auch in einer Struktur wirksam, die die Drain-Elektrode 77 einschließt, die die zweite Hauptoberfläche 4 des Chips 2 bedeckt. Die Drain-Elektrode 77 bildet über den Chip 2 eine Potentialdifferenz (beispielsweise nicht weniger als 500 V und nicht mehr als 3000 V) mit der Source-Elektrode 32 aus. Insbesondere in einem Fall, in dem der Chip 2 relativ dünn ist, erhöht sich das Risiko eines Entladungsphänomens zwischen der Umfangskante der ersten Hauptoberfläche 3 und der Source-Elektrode 32, da ein Abstand zwischen der Source-Elektrode 32 und der Drain-Elektrode 77 verkürzt wird. In diesem Punkt kann gemäß der Struktur mit dem Dichtungsisolator 71 eine Isoliereigenschaft zwischen der Umfangskante der ersten Hauptoberfläche 3 und der Source-Elektrode 32 verbessert werden, und somit kann das Entladungsphänomen unterbunden werden.

[0133] **Fig.** 8 ist eine Draufsicht, die ein Halbleitermodul 201A gemäß einem ersten Modusbeispiel zeigt, in dem die in **Fig.** 1 gezeigte Halbleitervorrichtung 1A montiert ist. **Fig.** 9 ist eine Querschnittsansicht, die das in **Fig.** 8 gezeigte Halbleitermodul 201A zeigt. **Fig.** 10 ist ein Schaltbild, das das in **Fig.** 8 gezeigte Halbleitermodul 201A zeigt. **Fig.** 9 ist eine schematische Querschnittsansicht zur Beschreibung einer Struktur (Verbindungsmodus) des Halbleitermoduls 201A und zeigt keinen Querschnitt einer bestimmten Stelle.

[0134] Mit Bezug auf **Fig.** 8 und 9 schließt das Halbleitermodul 201A ein Gehäuse 202 ein. Das Gehäuse 202 schließt einen Rahmenabschnitt 203, eine Bodenplatte 204 und eine Deckelplatte 205 ein und weist einen durch diese definierten Gehäuseraum 206 auf.

[0135] Der Rahmenabschnitt 203 kann aus einem thermoplastischen Harz wie etwa Polyphenylensulfid-Harz (PPS-Harz) oder Polybutylenterephthalat-

Harz (PBT-Harz) ausgebildet sein. Der Rahmenabschnitt 203 ist in der Draufsicht in einer im Wesentlichen rechteckigen Röhrenform (Ringform) ausgebildet. Insbesondere ist der Rahmenabschnitt 203 in einer im Wesentlichen rechteckigen Röhrenform (Ringform) ausgebildet, die in der Draufsicht vier bogenförmig oder rechteckig in Richtung des Gehäuseraums 206 vertiefte Ecken aufweist.

[0136] Der Rahmenabschnitt 203 schließt ein: einen ersten Endabschnitt 207 auf der einen Seite (auf der Oberseite der Papierebene von **Fig.** 9), einen zweiten Endabschnitt 208 auf der anderen Seite (auf der Unterseite der Papierebene von **Fig.** 9) und erste bis vierte Wandabschnitte 209A bis 209D. Der erste bis vierte Wandabschnitt 209A bis 209D bilden Seitenwände des Gehäuses 202 aus. Der erste Wandabschnitt 209A und der zweite Wandabschnitt 209B erstrecken sich in der ersten Richtung X und liegen in der zweiten Richtung Y einander gegenüber. Der erste Wandabschnitt 209A und der zweite Wandabschnitt 209B bilden lange Seiten des Gehäuses 202 aus. Der dritte Wandabschnitt 209C und der vierte Wandabschnitt 209D erstrecken sich in die zweite Richtung Y und liegen in der ersten Richtung X einander gegenüber. Der dritte Wandabschnitt 209C und der vierte Wandabschnitt 209D bilden kurze Seiten des Gehäuses 202 aus.

[0137] Der Rahmenabschnitt 203 weist erste bis vierte Flanschabschnitte 210A bis 210D auf, die sich von dem zweiten Endabschnitt 208 an vier Ecken zur gegenüberliegenden Seite des Gehäuseraums 206 erstrecken. Der erste Flanschabschnitt 210A ist mit dem ersten Wandabschnitt 209A und dem dritten Wandabschnitt 209C verbunden, der zweite Flanschabschnitt 210B ist mit dem zweiten Wandabschnitt 209B und dem dritten Wandabschnitt 209C verbunden, der dritte Flanschabschnitt 210C ist mit dem ersten Wandabschnitt 209A und dem vierten Wandabschnitt 209D verbunden und der vierte Flanschabschnitt 210D ist mit dem zweiten Wandabschnitt 209B und dem vierten Wandabschnitt 209D verbunden. Jeder des ersten bis vierten Flanschabschnitts 210A bis 210D weist ein Schraubenloch 211 auf.

[0138] In dieser Ausführungsform wird die Bodenplatte 204 durch eine Metallplatte als ein Wärmeverteiler ausgebildet. Selbstverständlich kann die Bodenplatte 204 aus einem thermoplastischen Harz wie etwa PPS-Harz oder PBT-Harz hergestellt sein. Die Bodenplatte 204 ist in Draufsicht in einer im Wesentlichen rechteckigen Form ausgebildet. Die Bodenplatte 204 ist an dem zweiten Endabschnitt 208 des Rahmenabschnitts 203 befestigt und definiert zusammen mit dem Rahmenabschnitt 203 den Gehäuseraum 206. Die Bodenplatte 204 kann mit Klebstoff an dem Rahmenabschnitt 203 befestigt oder mit einem Schraubenloch verschraubt werden, das an einer beliebigen Stelle des Rahmenabschnitts 203 ausgebildet ist.

[0139] Die Deckelplatte 205 kann aus einem thermoplastischen Harz wie etwa PPS-Harz oder PBT-Harz ausgebildet sein. Die Deckelplatte 205 ist in Draufsicht in einer im Wesentlichen rechteckigen Form ausgebildet. Die Deckelplatte 205 ist an dem ersten Endabschnitt 207 des Rahmenabschnitts 203 befestigt und verschließt den Gehäuseraum 206. Die Deckelplatte 205 kann mit einem Klebstoff an dem Rahmenabschnitt 203 befestigt oder mit einem Schraubenloch verschraubt werden, das an einer beliebigen Stelle des Rahmenabschnitts 203 ausgebildet ist.

[0140] Das Halbleitermodul 201A schließt einen ersten bis vierten Stützabschnitt 212A bis 212D ein, die an dem Rahmenabschnitt 203 befestigt sind. Der erste bis vierte Stützabschnitt 212A bis 212D können aus einem thermoplastischen Harz wie etwa PPS-Harz oder PBT-Harz ausgebildet sein. In dieser Ausführungsform sind der erste bis vierte Stützabschnitt 212A bis 212D integral mit dem Rahmenabschnitt 203 ausgebildet.

[0141] Der erste bis zweite Stützabschnitt 212A bis 212B sind an dem dritten Wandabschnitt 209C des Rahmenabschnitts 203 angebracht und in der zweiten Richtung Y in einem Abstand voneinander angeordnet. Jeder des ersten bis zweiten Stützabschnitts 212A bis 212B steht in einer im Wesentlichen rechteckigen Parallelepipedform von dem dritten Wandabschnitt 209C in Richtung der gegenüberliegenden Seite des Gehäuses 202 in Bezug auf die erste Richtung X hervor.

[0142] Der dritte bis vierte Stützabschnitt 212C bis 212D sind an dem vierten Wandabschnitt 209D des Rahmenabschnitts 203 befestigt und in der zweiten Richtung Y mit Abstand voneinander angeordnet. Jeder des dritten bis vierten Stützabschnitts 212C bis 212D steht in einer im Wesentlichen rechteckigen Parallelepipedform von dem vierten Wandabschnitt 209D in Richtung der gegenüberliegenden Seite des Gehäuses 202 in Bezug auf die erste Richtung X hervor.

[0143] Jeder des ersten bis vierten Stützabschnitts 212A bis 212D weist eine im Wesentlichen viereckige Aussparung an einer Endoberfläche auf, die auf der Seite des ersten Endabschnitts 207 des Rahmenabschnitts 203 positioniert ist. Jeder des ersten bis vierten Stützabschnitts 212A bis 212D weist ein Schraubenloch 213 auf. Die Schraubenlöcher 213 können jeweils den entsprechenden ersten bis vierten Stützabschnitt 212A bis 212D durchdringen.

[0144] Das Halbleitermodul 201A schließt ein Substrat 214 ein, das in dem Gehäuseraum 206 ange-

ordnet ist. In dieser Ausführungsform ist das Substrat 214 in der Draufsicht im Wesentlichen rechteckig ausgebildet und an der Bodenplatte 204 befestigt. Das Substrat 214 kann ein Verdrahtungssubstrat wie etwa eine Leiterplatte (PCB) oder ein mehrschichtiges Verdrahtungssubstrat sein.

[0145] Das mehrschichtige Verdrahtungssubstrat kann eine isolierende laminierte Struktur, in der eine Vielzahl von isolierenden Schichten laminiert sind, eine Vielzahl von Verdrahtungsschichten, die in der isolierenden laminierten Struktur angeordnet und mehrschichtig sind, und eine Vielzahl von Durchgangselektroden einschließen, die die Vielzahl von Verdrahtungsschichten, die einander in einer Laminierungsrichtung gegenüberliegen, elektrisch verbinden. Das Substrat 214 schließt eine erste Oberfläche 215 auf der Seite des Gehäuseraums 206 und eine zweite Oberfläche 216 auf der Seite der Bodenplatte 204 ein.

[0146] Das Halbleitermodul 201A schließt ein Verdrahtungsmuster 217 ein, das auf der ersten Oberfläche 215 des Substrats 214 ausgebildet ist. Das Verdrahtungsmuster 217 wird durch einen Metallfilm oder eine Metallplatte (in dieser Ausführungsform durch einen Metallfilm) ausgebildet. In einem Fall, in dem das Substrat 214 aus der PCB zusammengesetzt ist, kann das Verdrahtungsmuster 217 ein auf die erste Oberfläche 215 aufgedruckter Elektrodenfilm sein. In einem Fall, in dem das Substrat 214 aus dem mehrschichtigen Verdrahtungssubstrat zusammengesetzt ist, kann das Verdrahtungsmuster 217 die oberste Verdrahtung des mehrschichtigen Verdrahtungssubstrats sein.

[0147] Nachfolgend wird ein Beispiel des Verdrahtungsmusters 217 beschrieben. In dieser Ausführungsform schließt das Verdrahtungsmuster 217 ein: eine erste bis vierte Drain-Verdrahtung 218A bis 218D, eine erste bis zweite Source-Verdrahtung 219A bis 219B, eine erste bis vierte Gate-Verdrahtung 220A bis 220D und eine erste bis vierte Erfassungsverdrahtung 221A bis 221D.

[0148] In dieser Ausführungsform sind die erste bis vierte Drain-Verdrahtung 218A bis 218D jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in der ersten Richtung X erstreckt. Die erste Drain-Verdrahtung 218A ist in der Nähe eines Eckabschnitts des ersten Wandabschnitts 209A und des dritten Wandabschnitts 209C angeordnet. Die zweite Drain-Verdrahtung 218B ist in der Nähe eines Eckabschnitts des zweiten Wandabschnitts 209B und des dritten Wandabschnitts 209C angeordnet. Die dritte Drain-Verdrahtung 218C ist in der Nähe eines Eckabschnitts des ersten Wandabschnitts 209A und des vierten Wandabschnitts 209D angeordnet. Die vierte Drain-Verdrahtung 218D ist in der Nähe eines Eckabschnitts des zweiten Wandabschnitts 209B und des vierten Wandabschnitts 209D angeordnet.

[0149] In dieser Ausführungsform sind die erste bis zweite Source-Verdrahtung 219A bis 219B jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in der ersten Richtung X erstreckt. Die erste Source-Verdrahtung 219A ist in einem Bereich zwischen der ersten Drain-Verdrahtung 218A und der zweiten Drain-Verdrahtung 218B angeordnet. Die zweite Source-Verdrahtung 219B ist in einem Bereich zwischen der dritten Drain-Verdrahtung 218C und der vierten Drain-Verdrahtung 218D angeordnet.

[0150] In dieser Ausführungsform sind die erste bis vierte Gate-Verdrahtung 220A bis 220D jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in die erste Richtung X erstreckt. Die erste bis vierte Gate-Verdrahtung 220A bis 220D sind dünner als die erste bis vierte Drain-Verdrahtung 218A bis 218D und die erste bis zweite Source-Verdrahtung 219A bis 219B. Die erste bis vierte Gate-Verdrahtung 220A bis 220D sind jeweils in Bereichen zwischen dem ersten bis zweiten Wandabschnitt 209A bis 209B und der ersten bis vierten Drain-Verdrahtung 218A bis 218D angeordnet.

[0151] In dieser Ausführungsform sind die erste bis vierte Erfassungsverdrahtung 221A bis 221D jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in die erste Richtung X erstreckt. Die erste bis vierte Erfassungsverdrahtung 221A bis 221D sind dünner als die erste bis vierte Drain-Verdrahtung 218A bis 218D und die erste bis zweite Source-Verdrahtung 219A bis 219B. Die erste bis vierte Erfassungsverdrahtung 221A bis 221D sind jeweils in Bereichen zwischen dem ersten bis zweiten Wandabschnitt 209A bis 209B und der ersten bis vierten Gate-Verdrahtung 220A bis 220D angeordnet.

[0152] Das Halbleitermodul 201A schließt eine Metallschicht 222 ein, die auf der zweiten Oberfläche 216 des Substrats 214 ausgebildet ist. Die Metallschicht 222 ist aus einem Metallfilm oder einer Metallplatte zusammengesetzt. In einem Fall, in dem das Substrat 214 aus der PCB zusammengesetzt ist, kann die Metallschicht 222 ein auf die zweite Oberfläche 216 aufgedruckter Metallfilm (Elektrodenfilm) sein. In einem Fall, in dem das Substrat 214 aus dem mehrschichtigen Verdrahtungssubstrat zusammengesetzt ist, kann die Metallschicht 222 die unterste Verdrahtung des mehrschichtigen Verdrahtungssubstrats sein.

[0153] Die Metallschicht 222 bedeckt die zweite Oberfläche 216 vorzugsweise über eine Fläche, die größer ist als die Gesamtfläche des Verdrahtungs-

musters 217. Die Metallschicht 222 bedeckt vorzugsweise einen Bereich von nicht weniger als 75 % der zweiten Oberfläche 216. Die Metallschicht 222 kann im Wesentlichen den gesamten Bereich der zweiten Oberfläche 216 bedecken. Beispielsweise kann die Metallschicht 222 einen inneren Abschnitt der zweiten Oberfläche 216 so bedecken, dass ein Umfangskantenabschnitt der zweiten Oberfläche 216 freiliegt.

[0154] Das Halbleitermodul 201A schließt ein erstes bis drittes Verbindungselement 223A bis 223C ein, die die in den Verdrahtungsmustern 217 enthaltenen mehreren Verdrahtungen elektrisch verbinden. Das erste bis dritte Verbindungselement 223A bis 223C sind aus einem Element zusammengesetzt, das sich von dem Verdrahtungsmuster 217 unterscheidet. In dieser Ausführungsform wird jedes des ersten bis dritten Verbindungselements 223A bis 223C durch eine bogenförmig ausgebildete Metallplatte ausgebildet.

[0155] In dieser Ausführungsform sind das erste bis dritte Verbindungselement 223A bis 223C in der Draufsicht H-förmig ausgebildet, eine planare Form des ersten bis dritten Verbindungselements 223A bis 223C ist jedoch beliebig. Das erste bis dritte Verbindungselement 223A bis 223C können in der Draufsicht beispielsweise eine polygonale Form, wie etwa eine viereckige Form, aufweisen.

[0156] Das erste Verbindungselement 223A ist in einem Bereich zwischen der ersten Drain-Verdrahtung 218A und der dritten Drain-Verdrahtung 218C angeordnet, die in der ersten Richtung X nebeneinander liegen, und verbindet die erste Drain-Verdrahtung 218A und die dritte Drain-Verdrahtung 218C elektrisch.

[0157] Das zweite Verbindungselement 223B ist in einem Bereich zwischen der zweiten Drain-Verdrahtung 218B und der vierten Drain-Verdrahtung 218D angeordnet, die in der ersten Richtung X nebeneinander liegen, und verbindet die zweite Drain-Verdrahtung 218B und die vierte Drain-Verdrahtung 218D elektrisch. Das dritte Verbindungselement 223C ist in einem Bereich zwischen der ersten Source-Verdrahtung 219A und der zweiten Source-Verdrahtung 219B angeordnet, die in der ersten Richtung X nebeneinander liegen, und verbindet die erste Source-Verdrahtung 219A und die zweite Source-Verdrahtung 219B elektrisch.

[0158] Das Halbleitermodul 201A schließt einen Klebstoff 224 ein, der zwischen dem Substrat 214 und der Metallschicht 222 angeordnet ist, wobei der Klebstoff das Substrat 214 und die Metallschicht 222 verbindet. In dieser Ausführungsform ist der Klebstoff 224 aus einem Metallklebstoff zusammengesetzt und verbindet die Bodenplatte 204 und die Metallschicht 222 thermisch und mechanisch.

[0159] Der Klebstoff 224 kann ein Lötmittel oder eine Metallpaste einschließen. Das Lötmittel kann ein zinkfreies Lötmittel sein. Die Metallpaste kann mindestens eines von Au, Ag und Cu einschließen. Eine Ag-Paste kann aus einer Ag-Sinterpaste zusammengesetzt sein. Die Ag-Sinterpaste ist aus einer Paste zusammengesetzt, bei der Ag-Partikel in Nanogröße oder Mikrogröße einem organischen Lösungsmittel zugegeben sind (dasselbe wird nachstehend angewendet).

[0160] Das Halbleitermodul 201A schließt den ersten bis vierten Anschluss 225A bis 225D, den ersten bis vierten Gate-Anschluss 227A bis 227D und den ersten bis vierten Erfassungsanschluss 228A bis 228D ein. In dieser Ausführungsform sind der erste bis zweite Anschluss 225A bis 225B als Drain-Anschlüsse ausgebildet und der dritte bis vierte Anschluss 225C bis 225D sind als Source-Anschlüsse ausgebildet. Der erste bis vierte Anschluss 225A bis 225D sind jeweils auf dem ersten bis vierten Stützabschnitt 212A bis 212D angeordnet.

[0161] Jeder des ersten bis vierten Anschlusses 225A bis 225D schließt einen Anschlusskörperabschnitt 229 und mindestens einen (in dieser Ausführungsform mehrere) Leitungsabschnitte 230 ein. Die Anschlusskörperabschnitte 229 sind jeweils in den Aussparungen des entsprechenden ersten bis vierten Stützabschnitts 212A bis 212D angeordnet. Jeder der Anschlusskörperabschnitte 229 weist ein Schraubenloch 231 auf, dessen Position mit dem entsprechenden Schraubenloch 213 übereinstimmt.

[0162] Die Vielzahl der Leitungsabschnitte 230 durchdringen den Rahmenabschnitt 203 (den dritten Wandabschnitt 209C oder den vierten Wandabschnitt 209D) von den entsprechenden Anschlusskörperabschnitten 229 aus und werden jeweils in den Gehäuseraum 206 herausgeführt. Die Leitungsabschnitte 230 des ersten bis zweiten Anschlusses 225A bis 225B sind elektrisch und mechanisch mit der entsprechenden ersten bis zweiten Drain-Verdrahtung 218A bis 218B in dem Gehäuseraum 206 verbunden. Die Leitungsabschnitte 230 des dritten bis vierten Anschlusses 225C bis 225D sind elektrisch und mechanisch mit der zweiten Source-Verdrahtung 219B in dem Gehäuseraum 206 verbunden.

[0163] Der erste bis vierte Gate-Anschluss 227A bis 227D sind jeweils aus Metall, das in einer Leitungsform (Nadel- oder Stabform) ausgebildet ist, zusammengesetzt. Der erste bis vierte Gate-Anschluss 227A bis 227D sind jeweils so entlang des Rahmenabschnitts 203 aufgerichtet, dass zumindest ein Teil des ersten bis vierten Gate-Anschlusses 227A bis 227D aus dem Gehäuseraum 206 freiliegt. Der erste bis vierte Gate-Anschluss 227A bis 227D kön-

nen entlang von Wandoberflächen des Rahmenabschnitts 203 oder in Durchgangslöchern oder Aussparungsabschnitten angeordnet sein, die in dem Rahmenabschnitt 203 ausgebildet sind.

[0164] Der erste bis vierte Gate-Anschluss 227A bis 227D sind jeweils an Positionen benachbart zu der entsprechenden ersten bis vierten Gate-Verdrahtung 220A bis 220D angeordnet. Jeder des ersten bis vierten Gate-Anschlusses 227A bis 227D kann einen Teil, der sich vertikal entlang des Rahmenabschnitts 203 erstreckt, und einen Teil aufweisen, der sich parallel zu der ersten Oberfläche 215 des Substrats 214 erstreckt.

[0165] Der erste bis vierte Erfassungsanschluss 228A bis 228D sind jeweils aus Metall zusammengesetzt, das in einer Leitungsform (Nadel- oder Stabform) ausgebildet ist. Der erste bis vierte Erfassungsanschluss 228A bis 228D sind jeweils so entlang des Rahmenabschnitts 203 aufgerichtet, dass zumindest ein Teil des ersten bis vierten Erfassungsanschlusses 228A bis 228D aus dem Gehäuseraum 206 freiliegt. Der erste bis vierte Erfassungsanschluss 228A bis 228D können entlang der Wandoberflächen des Rahmenabschnitts 203 oder in Durchgangslöchern oder Aussparungsabschnitten angeordnet sein, die in dem Rahmenabschnitt 203 ausgebildet sind.

[0166] Der erste bis vierte Erfassungsanschluss 228A bis 228D sind jeweils an Positionen benachbart zu der entsprechenden ersten bis vierten Erfassungsverdrahtung 221A bis 221D angeordnet. Der erste bis vierte Erfassungsanschluss 228A bis 228D können jeweils so angeordnet sein, dass sie neben dem entsprechenden ersten bis vierten Gate-Anschluss 227A bis 227D liegen.

[0167] Jeder des ersten bis vierten Erfassungsanschlusses 228A bis 228D kann einen Teil, der sich vertikal entlang des Rahmenabschnitts 203 erstreckt, und einen Teil aufweisen, der sich parallel zu der ersten Oberfläche 215 des Substrats 214 erstreckt. Der erste bis vierte Erfassungsanschluss 228A bis 228D sind elektrisch mit der entsprechenden ersten bis vierten Erfassungsverdrahtung 221A bis 221D verbunden.

[0168] Das Halbleitermodul 201A schließt mindestens eine Halbleitervorrichtung 1A (in dieser Ausführungsform die Vielzahl von Halbleitervorrichtungen) ein, die in dem Gehäuseraum 206 angeordnet ist. In dieser Ausführungsform schließt das Halbleitermodul 201A eine erste bis vierte Gruppe 232A bis 232D ein, von denen jede mindestens eine Halbleitervorrichtung 1A (in dieser Ausführungsform eine Vielzahl von Halbleitervorrichtungen) einschließt.

[0169] Die Anzahl der in der ersten bis vierten Gruppe 232A bis 232D eingeschlossenen Halbleitervorrichtungen 1A kann gleich oder unterschiedlich sein. Das Halbleitermodul 201A muss nicht notwendigerweise alle der ersten bis vierten Gruppe 232A bis 232D gleichzeitig einschließen, solange ein zu erreichender elektrischer Schaltkreis konfiguriert werden kann, sondern kann mindestens eine der ersten bis vierten Gruppe 232A bis 232D einschließen.

[0170] Die Vielzahl von Halbleitervorrichtungen 1A, die die erste Gruppe 232A konfigurieren, sind in einem Abstand voneinander auf der ersten Drain-Verdrahtung 218A in einer Stellung angeordnet, dass die Drain-Elektroden 77 der ersten Drain-Verdrahtung 218A zugewandt sind. Die Vielzahl von Halbleitervorrichtungen 1A, die die zweite Gruppe 232B konfigurieren, sind in einem Abstand voneinander auf der zweiten Drain-Verdrahtung 218B in einer Stellung angeordnet, dass die Drain-Elektroden 77 der zweiten Drain-Verdrahtung 218B zugewandt sind.

[0171] Die Vielzahl von Halbleitervorrichtungen 1A, die die dritte Gruppe 232C konfigurieren, sind in einem Abstand voneinander auf der dritten Drain-Verdrahtung 218C in einer Stellung angeordnet, dass die Drain-Elektroden 77 der dritten Drain-Verdrahtung 218C zugewandt sind. Die Vielzahl von Halbleitervorrichtungen 1A, die die vierte Gruppe 232D konfigurieren, sind in einem Abstand voneinander auf der vierten Drain-Verdrahtung 218D in einer Stellung angeordnet, dass die Drain-Elektroden 77 der vierten Drain-Verdrahtung 218D zugewandt sind. Auf diese Weise sind die Drain-Elektroden 77 der Vielzahl von Halbleitervorrichtungen 1A elektrisch mit der ersten bis vierten Drain-Verdrahtung 218A bis 218D verbunden.

[0172] Das Halbleitermodul 201A schließt eine Vielzahl von leitfähigen Klebstoffen 233 ein, die jeweils zwischen der Vielzahl von Halbleitervorrichtungen 1A und der ersten bis vierten Drain-Verdrahtung 218A bis 218D platziert sind. Die Vielzahl von leitfähigen Klebstoffen 233 verbindet die Vielzahl von Halbleitervorrichtungen 1A und die erste bis vierte Drain-Verdrahtung 218A bis 218D mechanisch und elektrisch. Die leitfähigen Klebstoffe 233 können ein Lötmittel oder eine Metallpaste einschließen. Das Lötmittel kann ein zinkfreies Lötmittel sein. Die Metallpaste kann mindestens eines von Au, Ag und Cu einschließen. Eine Ag-Paste kann aus einer Ag-Sinterpaste zusammengesetzt sein.

[0173] Das Halbleitermodul 201A schließt eine Vielzahl von leitenden Drähten 234 ein. In dieser Ausführungsform werden die mehreren leitenden Drähte 234 jeweils durch Metalldrähte (das heißt Bondingdrähte) ausgebildet. Die leitenden Drähte 234 schließen mindestens eines von Golddrähten, Kupferdrähten und Aluminiumdrähten ein. Selbstverständlich können die leitenden Drähte 234 statt aus den

Metalldrähten aus Metallplatten wie etwa Metallklammern zusammengesetzt sein.

[0174] Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Gate-Anschlusselektroden 50 der Vielzahl von Halbleitervorrichtungen 1A elektrisch mit der entsprechenden ersten bis vierten Gate-Verdrahtung 220A bis 220D verbinden. Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Source-Anschlusselektroden 60 der Vielzahl von Halbleitervorrichtungen 1A elektrisch mit der entsprechenden ersten bis zweiten Source-Verdrahtung 219A bis 219B verbinden. Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Source-Anschlusselektroden 60 der Vielzahl von Halbleitervorrichtungen 1A elektrisch mit der entsprechenden ersten bis vierten Erfassungsverdrahtung 221A bis 221D verbinden.

[0175] Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die erste bis vierte Gate-Verdrahtung 220A bis 220D elektrisch mit dem entsprechenden ersten bis vierten Gate-Anschluss 227A bis 227D verbinden. Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die erste bis vierte Erfassungsverdrahtung 221A bis 221D elektrisch mit der entsprechenden den ersten bis vierten Gate-Verdrahtung 228A bis 228D verbinden.

[0176] Das Halbleitermodul 201A schließt ein isolierendes gelartiges Füllmittel 235 ein, das in den Gehäuseraum 206 gefüllt ist. Das gelartige Füllmittel 235 schützt Strukturen in dem Gehäuseraum 206 vor Partikeln usw. Außerdem entspannt das gelartige Füllmittel 235 Spannung, die auf die Strukturen in dem Gehäuseraum 206 ausgeübt werden kann.

[0177] Das gelartige Füllmittel 235 kann eine Viskosität von nicht weniger als 500 mPa·s und nicht mehr als 2500 mPa·s (bei 23 °C) aufweisen. Die Viskosität (bei 23 °C) des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 700 mPa·s und nicht mehr als 1200 mPa·s. Das gelartige Füllmittel 235 kann ein spezifisches Gewicht von nicht weniger als 0,8 und nicht mehr als 1,3 aufweisen. Das spezifische Gewicht des gelartigen Füllstoffs 235 beträgt vorzugsweise nicht weniger als 0,95 und nicht mehr als 1,0.

[0178] Das gelartige Füllmittel 235 kann einen Durchdringungsgrad von nicht weniger als 40 und nicht mehr als 90 aufweisen. Der Durchdringungsgrad des gelartigen Füllstoffs 235 beträgt vorzugsweise nicht weniger als 45 und nicht mehr als 70. Der Durchdringungsgrad ist ein mit einem 1/4-Skalenkegel gemessener Wert, der in „JIS K2220“ spezifiziert ist. Das gelartige Füllmittel 235 kann einen Volumenausdehnungskoeffizienten von nicht weniger als 500 Ppm/K und nicht mehr als 2000 Ppm/K aufweisen. Der Volumenausdehnungskoeffizient des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 1000 Ppm/K und nicht mehr als 1500 Ppm/K.

[0179] Das gelartige Füllmittel 235 kann eine Wärmeübertragungsrate von nicht weniger als 0,01 W/m·K und nicht mehr als 0,5 W/m·K aufweisen. Die Wärmeübertragungsrate des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 0,1 W/m·K und nicht mehr als 0,2 W/m·K. Das gelartige Füllmittel 235 kann einen spezifischen Durchgangswiderstand von nicht weniger als 1×10^{12} Ω·m und nicht mehr als 1×10^{13} Ω·m aufweisen. Der spezifische Durchgangswiderstand des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 5×10^{12} Ω·m.

[0180] Das gelartige Füllmittel 235 kann eine dielektrische Durchschlagsfestigkeit von nicht weniger als 10 kV/mm und nicht mehr als 100 kV/mm aufweisen. Die dielektrische Durchschlagfestigkeit des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 25 kV/mm und nicht mehr als 50 kV/mm. Das gelartige Füllmittel 235 kann eine Haftkraft von nicht weniger als 1 N und nicht mehr als 10 N aufweisen. Die Haftkraft des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 2 N und nicht mehr als 5 N.

[0181] Das gelartige Füllmittel 235 kann eine Oberflächendurchdringungswiderstandslast von nicht weniger als 5 gf und nicht mehr als 15 gf aufweisen. Die Oberflächendurchdringungswiderstandslast des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 6 gf und nicht mehr als 12 gf. Das gelartige Füllmittel 235 kann eine Ionenrestmenge von nicht mehr als 5 ppm aufweisen. Die Ionenrestmenge des gelartigen Füllmittels 235 beträgt vorzugsweise nicht mehr als 1 ppm. Das gelartige Füllmittel 235 kann eine spezifische Induktionskapazität von nicht weniger als 1 und nicht mehr als 10 (bei 50 Hz) aufweisen. Die spezifische Induktionskapazität (bei 50 Hz) des gelartigen Füllmittels 235 beträgt vorzugsweise nicht weniger als 2 und nicht mehr als 7.

[0182] In dieser Ausführungsform schließt das gelartige Füllmittel 235 ein Silikongel ein und weist eine bessere Feuchtigkeitsspeichereigenschaft auf als der Dichtungsisolator 71 der Halbleitervorrichtung 1A. In dieser Ausführungsform wird das gelartige Füllmittel 235 bis zu einer Höhenposition aufgefüllt, die von der Deckelplatte 205 auf der Seite des Substrats 214 beabstandet ist. Selbstverständlich kann das gelartige Füllmittel 235 bis zu einer Höhenposition aufgefüllt werden, bei der das gelartige Füllmittel 235 die Deckelplatte 205 berührt.

[0183] Außerdem kann zwischen dem gelartigen Füllmittel 235 und der Deckelplatte 205 eine Niederhalteplatte 236 zum Unterdrücken der Ausdehnung des gelartigen Füllmittels 235 (siehe in **Fig.** 9 den mit einer Zweipunkt-Strichlinie gekennzeichneten Abschnitt) angeordnet sein. In diesem Fall kann die Niederhalteplatte 236 so bereitgestellt sein, dass sie an der Deckelplatte 205 anliegt, oder sie kann so bereitgestellt sein, dass sie nicht an der Deckelplatte 205 anliegt.

[0184] Das gelartige Füllmittel 235 wird bis zu einer Höhenposition aufgefüllt, bei der die Vielzahl von Halbleitervorrichtungen 1A und die Vielzahl von leitenden Drähten 234 in dem Gehäuseraum 206 abgedichtet sind, und es dichtet gemeinsam den Rahmenabschnitt 203, das Substrat 214, das Verdrahtungsmuster 217, das erste bis dritte Verbindungselement 223A bis 223C, einen Teil des ersten bis vierten Anschlusses 225A bis 225D (Leitungsabschnitte 230), einen Teil des ersten bis vierten Gate-Anschlusses 227A bis 227D, einen Teil der ersten bis vierten Erfassungsverdrahtung 221A bis 221D, die Vielzahl von Halbleitervorrichtungen 1A, die Vielzahl von leitfähigen Klebstoffen 233 und die Vielzahl von leitenden Drähten 234 ab.

[0185] In Bezug auf die Struktur auf der Seite der Halbleitervorrichtung 1A schließt das gelartige Füllmittel 235 einen Teil ein, der die erste bis vierte Seitenoberfläche 5A bis 5D des Chips 2 direkt bedeckt und die Schleifspuren der ersten bis vierten Seitenoberfläche 5A bis 5D ausfüllt. Das heißt, das gelartige Füllmittel 235 bedeckt direkt den ersten Halbleiterbereich 6 (Epitaxialschicht) und den zweiten Halbleiterbereich 7 (Halbleitersubstrat).

[0186] In einem Fall, in dem der erste Halbleiterbereich 6 (Epitaxialschicht) dicker ist als der zweite Halbleiterbereich 7 (Halbleitersubstrat), ist eine Kontaktfläche des gelartigen Füllmittels 235 in Bezug auf den ersten Halbleiterbereich 6 größer als eine Kontaktfläche des gelartigen Füllmittels 235 in Bezug auf den zweiten Halbleiterbereich 7. In einem Fall, in dem der erste Halbleiterbereich 6 (Epitaxialschicht) dünner ist als der zweite Halbleiterbereich 7 (Halbleitersubstrat), ist die Kontaktfläche des gelartigen Füllmittels 235 in Bezug auf den ersten Halbleiterbereich 6 kleiner als die Kontaktfläche des gelartigen Füllmittels 235 in Bezug auf den zweiten Halbleiterbereich 7.

[0187] Das gelartige Füllmittel 235 schließt einen Teil ein, der einen von dem leitenden Draht 234 freiliegenden Teil der Gate-Anschlusselektrode 50 direkt bedeckt und die Schleifspuren der Gate-Anschlussoberfläche 51 ausfüllt. Das gelartige Füllmittel 235 schließt einen Teil ein, der einen von dem leitenden Draht 234 freiliegenden Teil der Source-Anschlusselektrode 60 direkt bedeckt und die Schleifspuren der Source-Anschlussoberfläche 61 ausfüllt. Das gelartige Füllmittel 235 schließt einen Teil ein, der die isolierende Hauptoberfläche 72 und die isolierende Seitenwand 73 direkt bedeckt und die Schleifspuren der isolierenden Hauptoberfläche 72 und die Schleifspuren der isolierenden Seitenwand 73 ausfüllt.

[0188] Das gelartige Füllmittel 235 berührt nicht die Gate-Elektrode 30, die Source-Elektrode 32, den oberen Isolierfilm 38, die Gate-Anschlussseitenwand 52 der Gate-Anschlusselektrode 50 und die Source-Anschlussseitenwand 62 der Source-Anschlusselektrode 60. In Bezug auf die Vielzahl von leitenden Drähten 234 bedeckt das gelartige Füllmittel 235 direkt den gesamten Bereich der Vielzahl von leitenden Drähten 234, ausschließlich der Bondingabschnitte der Vielzahl von leitenden Drähten 234.

[0189] Mit Bezug auf **Fig.** 10 wird das Schaltbild des Halbleitermoduls 201A unter Verwendung der ersten bis vierten Vorrichtung 240A bis 240D, eines Drain-Anschlusses D, eines Source-Anschlusses S, einer Vielzahl von Gate-Anschlüssen G und einer Vielzahl von Erfassungsanschlüssen SS gezeigt. Die erste bis vierte Vorrichtung 240A bis 240D werden jeweils durch die erste bis vierte Gruppe 232A bis 232D (die Vielzahl von Halbleitervorrichtungen 1A) konfiguriert.

[0190] Der Drain-Anschluss D wird durch den ersten bis zweiten Anschluss 225A bis 225B konfiguriert und ist elektrisch mit den Drain-Elektroden 77 der ersten bis vierten Vorrichtung 240A bis 240D verbunden. Der Source-Anschluss S wird durch den dritten bis vierten Anschluss 225C bis 225D konfiguriert und ist elektrisch mit den Source-Anschlusselektroden 60 der ersten bis vierten Vorrichtung 240A bis 240D verbunden.

[0191] Die Vielzahl von Gate-Anschlüssen G wird jeweils durch den ersten bis vierten Gate-Anschluss 227A bis 227D konfiguriert und ist jeweils elektrisch mit den Gate-Anschlusselektroden 50 der ersten bis vierten Vorrichtung 240A bis 240D verbunden, um so individuell Gate-Signale zu übertragen. Die Vielzahl von Erfassungsanschlüssen SS wird jeweils durch den ersten bis vierten Erfassungsanschluss 228A bis 228D konfiguriert und ist jeweils elektrisch mit den Source-Anschlusselektroden 60 der ersten bis vierten Vorrichtung 240A bis 240D verbunden, um so individuell Source-Erfassungssignale zu erkennen.

[0192] In dieser Ausführungsform werden die erste bis vierte Vorrichtung 240A bis 240D (die Vielzahl von Halbleitervorrichtungen 1A) gleichzeitig in einem EIN-Zustand und einem AUS-Zustand gesteuert. Das heißt, die erste bis vierte Vorrichtung 240A bis 240D (die Vielzahl von Halbleitervorrichtungen 1A) konfigurieren insgesamt eine einzelne Vorrichtung. Das Halbleitermodul 201A kann als eine

Vorrichtung einer Leistungsumwandlungsvorrichtung (Leistungsumwandlungsschaltung), wie zum Beispiel einer Wechselrichtervorrichtung (Wechselrichterschaltung), aufgebaut sein.

[0193] Das Halbleitermodul 201A kann in eine Schaltvorrichtung eingebaut werden, die beispielsweise einen High-Side-Arm (oberen Arm) oder einen Low-Side-Arm (unteren Arm) einer Halbbrückenschaltung, einer Vollbrückenschaltung, einer einphasigen Leistungsumwandlungsschaltung, einer mehrphasigen Leistungsumwandlungsschaltung (dreiphasigen Leistungsumwandlungsschaltung) usw. konfiguriert.

[0194] Das Layout des Verdrahtungsmusters 217 ist beliebig und nicht auf das in **Fig.** 8 gezeigte Layout beschränkt. Beispielsweise können mindestens zwei der ersten bis vierten Drain-Verdrahtung 218A bis 218D integral ausgebildet sein. Außerdem können die erste bis zweite Source-Verdrahtung 219A bis 219B integral ausgebildet sein. Außerdem können mindestens zwei der ersten bis vierten Gate-Verdrahtung 220A bis 220D integral ausgebildet sein. Außerdem können mindestens zwei der ersten bis vierten Erfassungsverdrahtung 221A bis 221D integral ausgebildet sein.

[0195] Selbstverständlich kann das Verdrahtungsmuster 217 fünf oder mehr Drain-Verdrahtungen, drei oder mehr Source-Verdrahtungen, fünf oder mehr Gate-Verdrahtungen und fünf oder mehr Erfassungsverdrahtungen einschließen. Außerdem werden das erste bis dritte Verbindungselement 223A bis 223C nicht immer benötigt und können nach Bedarf entfernt werden. Darüber hinaus können der erste bis vierte Gate-Anschluss 227A bis 227D so konfiguriert sein, dass sie mechanisch und elektrisch mit der ersten bis vierten Gate-Verdrahtung 220A bis 220D verbunden sind. Außerdem können der erste bis vierte Erfassungsanschluss 228A bis 228D so konfiguriert sein, dass sie mechanisch und elektrisch mit der ersten bis vierten Erfassungsverdrahtung 221A bis 221D verbunden sind.

[0196] Wie oben beschrieben, schließt das Halbleitermodul 201A das Gehäuse 202, die Halbleitervorrichtung 1A und das isolierende gelartige Füllmittel 235 ein. Das Gehäuse 202 weist den Gehäuseraum 206 auf. Die Halbleitervorrichtung 1A schließt den Chip 2, die Gate-Elektrode 30 (die Source-Elektrode 32: die Hauptoberflächenelektrode), die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) und den Dichtungsisolator 71 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die Gate-Elektrode 30 (die Source-Elektrode 32) ist auf der ersten Hauptoberfläche 3 angeordnet.

[0197] Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) ist auf der Gate-Elektrode 30 (der Source-Elektrode 32) angeordnet. Der Dichtungsisolator 71 bedeckt den Umfang der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) auf der ersten Hauptoberfläche 3 so, dass ein Teil der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60 freiliegt). Das gelartige Füllmittel 235 wird so in den Gehäuseraum 206 gefüllt, dass es den Dichtungsisolator 71 berührt, und die Halbleitervorrichtung 1A in dem Gehäuseraum 206 abdichtet.

[0198] Gemäß dieser Struktur ist es möglich, das mit der Halbleitervorrichtung 1A versehene Halbleitermodul 201A bereitzustellen, das eine hohe Zuverlässigkeit aufweist. Außerdem ist es gemäß dieser Struktur möglich, die Halbleitervorrichtung 1A durch das gelartige Füllmittel 235 zu schützen. Außerdem ist es durch den Dichtungsisolator 71 möglich, ein mit dem Dichtungsisolator 71 abzudichtendes Objekt vor Spannung (einschließlich Zugspannung und Druckspannung) des gelartigen Füllmittels 235 aufgrund von Temperaturänderungen und Feuchtigkeit des gelartigen Füllmittels 235 zu schützen.

[0199] Das heißt, durch den Dichtungsisolator 71 ist es möglich, das abzudichtende Objekt vor einer Beschädigung (einschließlich Ablösen) aufgrund der Spannung des gelartigen Füllmittels 235 und einer Verschlechterung (einschließlich Korrosion) aufgrund der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen. Dadurch ist es möglich, Formfehler und Schwankungen der elektrischen Eigenschaften zu unterbinden. Daher ist es möglich, das Halbleitermodul 201A bereitzustellen, das in der Lage ist, die Zuverlässigkeit zu verbessern.

[0200] Das gelartige Füllmittel 235 wird vorzugsweise bis zu einer Höhenposition aufgefüllt, bei der eine Gesamtheit der Halbleitervorrichtung 1A in dem Gehäuseraum 206 bedeckt ist. In diesem Fall ist es möglich, die Halbleitervorrichtung 1A durch das gelartige Füllmittel 235 ordnungsgemäß zu schützen. Das gelartige Füllmittel 235 schließt vorzugsweise ein Silikongel ein. Das gelartige Füllmittel 235 berührt vorzugsweise die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) und den Dichtungsisolator 71 und berührt nicht die Gate-Elektrode 30 (Source-Elektrode 32). Gemäß dieser Struktur ist es möglich, die Gate-Elektrode 30 (Source-Elektrode 32) vor der Spannung und der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen.

[0201] Die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) ist vorzugsweise auf der Gate-Elektrode 30 (Source-Elektrode 32) in einem Abstand von der Umfangskante der Gate-Elektrode 30 (Source-Elektrode 32) angeordnet. In diesem Fall bedeckt der Dichtungsisolator 71 vorzugsweise den Umfangskantenabschnitt der Gate-Elektrode 30 (Source-Elektrode 32) und der Gate-Anschlusselekt-

rode 50 (Source-Anschlusselektrode 60). Gemäß dieser Struktur ist es durch die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) und den Dichtungsisolator 71 möglich, die Gate-Elektrode 30 (Source-Elektrode 32) vor der Spannung und der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen.

[0202] Der Dichtungsisolator 71 bedeckt vorzugsweise so die Gate-Anschlussseitenwand 52 (Source-Anschlussseitenwand 62), dass die Gate-Anschlussoberfläche 51 (Source-Anschlussoberfläche 61) freiliegt. Gemäß dieser Struktur ist es möglich, zu unterbinden, dass das gelartige Füllmittel 235 in einen Bereich zwischen der Gate-Anschlussseitenwand 52 (Source-Anschlussseitenwand 62) und dem Dichtungsisolator 71 eindringt. Dabei weist das gelartige Füllmittel 235 vorzugsweise einen Teil auf, der die Gate-Anschlussoberfläche 51 (Source-Anschlussoberfläche 61) direkt bedeckt. Ferner bedeckt in diesem Fall das gelartige Füllmittel 235 vorzugsweise nicht die Gate-Anschlussseitenwand 52 (Source-Anschlussseitenwand 62).

[0203] In diesem Fall weist der Dichtungsisolator 71 vorzugsweise die isolierende Hauptoberfläche 72 auf, die mit der Gate-Anschlussoberfläche 51 (der Source-Anschlussoberfläche 61) eine einzige flache Oberfläche ausbildet. Dabei weist das gelartige Füllmittel 235 vorzugsweise den Teil auf, der die isolierende Hauptoberfläche 72 direkt bedeckt. Gemäß dieser Struktur ist es möglich, das Eindringen des gelartigen Füllmittels 235 in den Bereich zwischen der Gate-Anschlussseitenwand 52 (Source-Anschlussseitenwand 62) und dem Dichtungsisolator 71 ordnungsgemäß zu unterbinden.

[0204] Das gelartige Füllmittel 235 weist vorzugsweise den Teil auf, der die erste bis vierte Seitenoberfläche 5A bis 5D des Chips 2 direkt bedeckt. Das gelartige Füllmittel 235 weist vorzugsweise einen Teil auf, der die isolierende Seitenwand 73 des Dichtungsisolators 71 direkt bedeckt. Der Dichtungsisolator 71 weist vorzugsweise die isolierende Seitenwand 73 auf, die mit der ersten bis vierten Seitenoberfläche 5A bis 5D des Chips 2 eine einzige flache Oberfläche ausbildet. Gemäß dieser Struktur ist es möglich, das Eindringen des gelartigen Füllmittels 235 aus einem Bereich zwischen der ersten bis vierten Seitenoberfläche 5A bis 5D und der isolierenden Seitenwand 73 zu unterbinden.

[0205] Die Halbleitervorrichtung 1A schließt vorzugsweise den oberen Isolierfilm 38 ein, der die Gate-Elektrode 30 (die Source-Elektrode 32) teilweise bedeckt. In diesem Fall bedeckt der Dichtungsisolator 71 vorzugsweise den oberen Isolierfilm 38. Gemäß dieser Struktur ist es durch den Dichtungsisolator 71 möglich, den oberen Isolierfilm 38 vor der Spannung und der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen.

[0206] In diesem Fall weist der Dichtungsisolator 71 vorzugsweise einen Teil auf, der die Gate-Elektrode 30 (Source-Elektrode 32) bedeckt, während er den oberen Isolierfilm 38 einschließt. Gemäß dieser Struktur ist es durch den oberen Isolierfilm 38 und den Dichtungsisolator 71 möglich, die Gate-Elektrode 30 (Source-Elektrode 32) vor der Spannung und der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen.

[0207] Die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) weist vorzugsweise einen Teil auf, der den oberen Isolierfilm 38 direkt bedeckt. Gemäß dieser Struktur ist es durch die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) möglich, den oberen Isolierfilm 38 vor der Spannung und der Feuchtigkeit des gelartigen Füllmittels 235 zu schützen. Der obere Isolierfilm 38 schließt vorzugsweise einen oder beide von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 ein.

[0208] Der obere Isolierfilm 38 ist vorzugsweise dicker als die Gate-Elektrode 30 (Source-Elektrode 32). Der obere Isolierfilm 38 ist vorzugsweise dünner als der Chip 2. Der Dichtungsisolator 71 ist vorzugsweise dicker als die Gate-Elektrode 30 (Source-Elektrode 32). Gemäß dieser Struktur ist es möglich, die Gate-Elektrode 30 (Source-Elektrode 32) durch den relativ dicken Dichtungsisolator 71 zu schützen und gleichzeitig das gelartige Füllmittel 235 von der Gate-Elektrode 30 (Source-Elektrode 32) zu trennen.

[0209] Der Dichtungsisolator 71 ist vorzugsweise dicker als der obere Isolierfilm 38. Gemäß dieser Struktur ist es möglich, die Gate-Elektrode 30 (Source-Elektrode 32) und den oberen Isolierfilm 38 durch den relativ dicken Dichtungsisolator 71 zu schützen und gleichzeitig die Gate-Elektrode 30 (Source-Elektrode 32) und den oberen Isolierfilm 38 von dem gelartigen Füllmittel 235 zu trennen. Besonders bevorzugt ist der Dichtungsisolator 71 dicker als der Chip 2. Gemäß dieser Struktur ist es möglich, das abzudichtende Objekt durch den relativ dicken Dichtungsisolator 71 zu schützen und gleichzeitig das gelartige Füllmittel 235 ordnungsgemäß von dem abzudichtenden Objekt zu trennen.

[0210] Beispielsweise ist die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) vorzugsweise dicker als die Gate-Elektrode 30 (Source-Elektrode 32). Die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) ist vorzugsweise dicker als der obere Isolierfilm 38. Besonders bevorzugt ist die Gate-Anschlusselektrode 50 (Source-Anschlusselektrode 60) dicker als der Chip 2.

[0211] **Fig.** 11 ist eine Draufsicht, die ein Halbleitermodul 201B gemäß einem zweiten Modusbeispiel zeigt, in dem die in **Fig.** 1 gezeigte Halbleitervorrichtung 1A montiert ist. **Fig.** 12 ist ein Schaltbild des in **Fig.** 11 gezeigten Halbleitermoduls 201B. Das Halbleitermodul 201B weist einen Modus auf, in dem das Halbleitermodul 201A verformt wird und dieselben Effekte wie diejenigen des Halbleitermoduls 201A erzielt werden. Nachfolgend werden die Punkte des Halbleitermoduls 201B beschrieben, die sich von denen des Halbleitermoduls 201A unterscheiden.

[0212] Mit Bezug auf **Fig.** 11 schließt das Verdrahtungsmuster 217 in dieser Ausführungsform die erste bis zweite Drain-Verdrahtung 218A bis 218B, die erste bis zweite Source-Verdrahtung 219A bis 219B, die erste bis zweite Ausgangsverdrahtung 241A bis 241B, die erste bis vierte Gate-Verdrahtung 220A bis 220D und die erste bis vierte Erfassungsverdrahtung 221A bis 221D ein. Ein Layout der ersten bis vierten Gate-Verdrahtung 220A bis 220D und der ersten bis vierten Erfassungsverdrahtung 221A bis 221D ist ähnlich dem Fall des Halbleitermoduls 201A.

[0213] In dieser Ausführungsform sind die erste bis zweite Drain-Verdrahtung 218A bis 218B jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in der ersten Richtung X erstreckt. Die erste Drain-Verdrahtung 218A ist in der Nähe des Eckabschnitts des ersten Wandabschnitts 209A und des dritten Wandabschnitts 209C angeordnet. Die zweite Drain-Verdrahtung 218B ist in der Nähe des Eckabschnitts des ersten Wandabschnitts 209A und des vierten Wandabschnitts 209D angeordnet.

[0214] In dieser Ausführungsform sind die erste bis zweite Source-Verdrahtung 219A bis 219B jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in der ersten Richtung X erstreckt. Die erste Source-Verdrahtung 219A ist in der Nähe des Eckabschnitts des zweiten Wandabschnitts 209B und des dritten Wandabschnitts 209C angeordnet. Die zweite Drain-Verdrahtung 218B ist in der Nähe des Eckabschnitts des zweiten Wandabschnitts 209B und des vierten Wandabschnitts 209D angeordnet.

[0215] In dieser Ausführungsform sind die erste bis zweite Ausgangsverdrahtung 241A bis 241B jeweils in einem Abstand voneinander in einer Bandform ausgebildet, die sich in der ersten Richtung X erstreckt. Die erste Ausgangsverdrahtung 241A ist in einem Bereich zwischen der ersten Drain-Verdrahtung 218A und der ersten Source-Verdrahtung 219A angeordnet. Die zweite Ausgangsverdrahtung 241B ist in einem Bereich zwischen der zweiten Drain-Verdrahtung 218B und der zweiten Source-Verdrahtung 219B angeordnet.

[0216] In dieser Ausführungsform ist das erste Verbindungselement 223A in dem Bereich zwischen der ersten Drain-Verdrahtung 218A und der zweiten Drain-Verdrahtung 218B angeordnet und verbindet die erste Drain-Verdrahtung 218A und die zweite Drain-Verdrahtung 218B elektrisch. In dieser Ausführungsform ist das zweite Verbindungselement 223B in einem Bereich zwischen der ersten Source-Verdrahtung 219A und der zweiten Source-Verdrahtung 219B angeordnet und verbindet die erste Source-Verdrahtung 219A und die zweite Source-Verdrahtung 219B elektrisch. Das dritte Verbindungselement 223C ist in einem Bereich zwischen der ersten Ausgangsverdrahtung 241A und der zweiten Ausgangsverdrahtung 241B angeordnet und verbindet die erste Ausgangsverdrahtung 241A und die zweite Ausgangsverdrahtung 241B elektrisch.

[0217] In dieser Ausführungsform ist der erste Anschluss 225A als ein Drain-Anschluss ausgebildet und elektrisch und mechanisch mit der ersten Drain-Verdrahtung 218A verbunden. In dieser Ausführungsform ist der zweite Anschluss 225B als Source-Anschluss ausgebildet und elektrisch und mechanisch mit der ersten Source-Verdrahtung 219A verbunden. In dieser Ausführungsform sind der dritte bis vierte Anschluss 225C bis 225D als Ausgangsanschlüsse ausgebildet und elektrisch und mechanisch mit der zweiten Ausgangsverdrahtung 241B verbunden.

[0218] Das Halbleitermodul 201B schließt die erste bis vierte Gruppe 232A bis 232D wie das oben beschriebene Halbleitermodul 201A ein. Die erste bis vierte Gruppe 232A bis 232D können mindestens eine Halbleitervorrichtung 1A einschließen, und die Anzahl der in der ersten bis vierten Gruppe 232A bis 232D eingeschlossenen Halbleitervorrichtung 1A ist beliebig. Außerdem muss das Halbleitermodul 201B nicht notwendigerweise alle der ersten bis vierten Gruppen 232A bis 232D gleichzeitig aufweisen, solange ein zu erreichender elektrischer Schaltkreis konfiguriert werden kann, sondern kann mindestens zwei der ersten bis vierten Gruppe 232A bis 232D einschließen.

[0219] Die Vielzahl von Halbleitervorrichtungen 1A, die die erste Gruppe 232A konfigurieren, sind in einem Abstand voneinander auf der ersten Drain-Verdrahtung 218A in einer Stellung angeordnet, dass die Drain-Elektroden 77 der ersten Drain-Verdrahtung 218A zugewandt sind. Die Vielzahl von Halbleitervorrichtungen 1A, die die zweite Gruppe 232B konfigurieren, sind in einem Abstand voneinander auf der zweiten Drain-Verdrahtung 218B in einer Stellung angeordnet, dass die Drain-Elektroden 77 der zweiten Drain-Verdrahtung 218B zugewandt sind.

[0220] Die Vielzahl von Halbleitervorrichtungen 1A, die die dritte Gruppe 232C konfigurieren, sind in einem Abstand voneinander auf der ersten Ausgangsverdrahtung 241A in einer Stellung angeordnet, dass die Drain-Elektroden 77 der ersten Ausgangsverdrahtung 241A zugewandt sind. Die Vielzahl von Halbleitervorrichtungen 1A, die die vierte Gruppe 232D bilden, sind in einem Abstand voneinander auf der zweiten Ausgangsverdrahtung 241B in einer Stellung angeordnet, dass die Drain-Elektroden 77 der zweiten Ausgangsverdrahtung 241B zugewandt sind.

[0221] In dieser Ausführungsform ist die Vielzahl von leitfähigen Klebstoffen 233 jeweils zwischen den mehreren Halbleitervorrichtungen 1A und der ersten bis zweiten Drain-Verdrahtung 218A bis 218B und zwischen den mehreren Halbleitervorrichtungen 1A und der ersten bis zweiten Ausgangsverdrahtung 241A bis 241B angeordnet.

[0222] Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Gate-Anschlusselektroden 50 der Vielzahl von Halbleitervorrichtungen 1A mit der entsprechenden ersten bis vierten Gate-Verdrahtung 220A bis 220D verbinden. Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Source-Anschlusselektroden 60 der Vielzahl von Halbleitervorrichtungen 1A elektrisch mit der entsprechenden ersten bis vierten Erfassungsverdrahtung 221A bis 221D verbinden.

[0223] Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Source-Anschlusselektroden 60 der Vielzahl von Halbleitervorrichtungen 1A der ersten bis zweiten Gruppe 232A bis 232B mit der entsprechenden ersten bis zweiten Ausgangsverdrahtung 241A bis 241B verbinden. Die Vielzahl von leitenden Drähten 234 schließt die Vielzahl von leitenden Drähten 234 ein, die jeweils die Source-Anschlusselektroden 60 der Vielzahl von Halbleitervorrichtungen 1A der dritten bis vierten Gruppen 232C bis 232D mit der entsprechenden ersten bis zweiten Source-Verdrahtung 219A bis 219B verbinden.

[0224] Mit Bezug auf **Fig.** 12 wird das Schaltbild des Halbleitermoduls 201B unter Verwendung der ersten bis vierten Vorrichtung 240A bis 240D, des Drain-Anschlusses D, des Source-Anschlusses S, eines Ausgangsanschlusses O, der Vielzahl von Gate-Anschlüssen G und der Vielzahl von Erfassungsanschlüssen SS gezeigt. Die erste bis vierte Vorrichtung 240A bis 240D werden jeweils durch die erste bis vierte Gruppe 232A bis 232D (die Vielzahl von Halbleitervorrichtungen 1A) konfiguriert.

[0225] Der Drain-Anschluss wird durch den ersten Anschluss 225A konfiguriert und ist jeweils elektrisch mit den Drain-Elektroden 77 der ersten bis zweiten Vorrichtung 240A bis 240B verbunden. Der Source-Anschluss wird durch den zweiten Anschluss 225B konfiguriert und ist jeweils elektrisch mit den Source-Anschlusselektroden 60 der dritten bis vierten Vorrichtung 240C bis 240D verbunden. Der Ausgangsanschluss O wird durch den dritten bis vierten Anschluss 225C bis 225D konfiguriert und ist elektrisch mit den Source-Anschlusselektroden 60 der ersten bis zweiten Vorrichtung 240A bis 240B und den Drain-Elektroden 77 der dritten bis vierten Vorrichtung 240C bis 240D verbunden.

[0226] Die Vielzahl von Gate-Anschlüssen G wird durch den ersten bis vierten Gate-Anschluss 227A bis 227D konfiguriert und ist jeweils elektrisch mit den Gate-Anschlusselektroden 50 der ersten bis vierten Vorrichtung 240A bis 240D verbunden, um so individuell Gate-Signale zu übertragen. Die Vielzahl von Erfassungsanschlüssen SS wird durch den ersten bis vierten Erfassungsanschluss 228A bis 228D konfiguriert und ist jeweils elektrisch mit den Source-Anschlusselektroden 60 der ersten bis vierten Vorrichtung 240A bis 240D verbunden, um so individuell Source-Erfassungssignale zu erkennen.

[0227] Die erste bis zweite Vorrichtung 240A bis 240B (die Vielzahl von Halbleitervorrichtungen 1A) werden gleichzeitig in einem EIN-Zustand und einem AUS-Zustand gesteuert. Das heißt, die erste bis zweite Vorrichtung 240A bis 240B (die Vielzahl von Halbleitervorrichtungen 1A) konfigurieren insgesamt eine einzelne Vorrichtung. Die erste bis vierte Vorrichtung 240C bis 240D (die Vielzahl von Halbleitervorrichtungen 1A) werden gleichzeitig in einem EIN-Zustand und einem AUS-Zustand gesteuert, aber mit einer anderen Zeitplanung als die erste bis zweite Vorrichtung 240A bis 240B. Das heißt, die erste bis vierte Vorrichtung 240C bis 240D konfigurieren insgesamt eine einzelne Vorrichtung.

[0228] Das Halbleitermodul 201B kann als eine Schaltvorrichtung einer Leistungsumwandlungsvorrichtung (Leistungsumwandlungsschaltung), wie zum Beispiel einer Wechselrichtervorrichtung (Wechselrichterschaltung), aufgebaut sein. Das Halbleitermodul 201B kann in eine Armschaltung eingebaut werden, die einen High-Side-Arm (oberen Arm) oder einen Low-Side-Arm (unteren Arm) (wie etwa eine U-Phasen-Armschaltung, eine V-Phasen-Armschaltung und eine W-Phasen-Armschaltung) in einer Halbbrückenschaltung, einer Vollbrückenschaltung, einer einphasigen Leistungsumwandlungsschaltung, einer mehrphasigen Leistungsumwandlungsschaltung (dreiphasigen Leistungsumwandlungsschaltung) usw. einschließt.

[0229] Auch ist ein Layout des Verdrahtungsmusters 217 beliebig und nicht auf das in **Fig.** 11 gezeigte Layout beschränkt. Beispielsweise können die erste

bis zweite Drain-Verdrahtung 218A bis 218B integral ausgebildet sein. Außerdem können die erste bis zweite Source-Verdrahtung 219A bis 219B integral ausgebildet sein. Außerdem können die erste bis zweite Ausgangsverdrahtung 241A bis 241B integral ausgebildet sein.

[0230] Außerdem können mindestens zwei der ersten bis vierten Gate-Verdrahtung 220A bis 220D integral ausgebildet sein. Außerdem können mindestens zwei der ersten bis vierten Erfassungsverdrahtung 221A bis 221D integral ausgebildet sein. Selbstverständlich kann das Verdrahtungsmuster 217 drei oder mehr Drain-Verdrahtungen, drei oder mehr Source-Verdrahtungen, drei oder mehr Ausgangsverdrahtungen, fünf oder mehr Gate-Verdrahtungen und fünf oder mehr Erfassungsverdrahtungen einschließen. Außerdem werden das erste bis dritte Verbindungselement 223A bis 223C nicht immer benötigt und können nach Bedarf entfernt werden.

[0231] **Fig.** 13 ist eine Draufsicht, die eine Halbleitervorrichtung 1B gemäß einer zweiten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 13 weist die Halbleitervorrichtung 1B einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere schließt die Halbleitervorrichtung 1B die Source-Anschlusselektrode 60 ein, die mindestens einen (in dieser Ausführungsform eine Vielzahl von) Drawer-Anschlussabschnitt(en) 100 aufweist. Insbesondere sind die mehreren Drawer-Anschlussabschnitte 100 jeweils so auf die mehreren Drawer-Elektrodenabschnitte 34A, 34B der Source-Elektrode 32 herausgezogen, dass sie der Gate-Anschlusselektrode 50 in der zweiten Richtung Y gegenüberliegen. Das heißt, die mehreren Drawer-Anschlussabschnitte 100 umschließen die Gate-Anschlusselektrode 50 in der Draufsicht von beiden Seiten der zweiten Richtung Y aus.

[0232] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1B die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1B einschließen. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1B einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden.

[0233] **Fig.** 14 ist eine Draufsicht, die eine Halbleitervorrichtung 1C gemäß einer dritten Ausführungsform zeigt. **Fig.** 15 ist eine Querschnittsansicht entlang der in **Fig.** 14 gezeigten Linie XV-XV. **Fig.** 16 ist ein Schaltbild, das eine elektrische Konfiguration der in **Fig.** 14 gezeigten Halbleitervorrichtung 1C zeigt. Unter Bezugnahme auf **Fig.** 16 bis **Fig.** 18 weist die Halbleitervorrichtung 1C einen modifizierten Modus der Halbleitervorrichtung 1A auf.

[0234] Insbesondere schließt die Halbleitervorrichtung 1C die Vielzahl von Source-Anschlusselektroden 60 ein, die in Abständen voneinander auf der Source-Elektrode 32 angeordnet sind. Die Halbleitervorrichtung 1C schließt in dieser Ausführungsform mindestens eine (in dieser Ausführungsform eine) Source-Anschlusselektrode 60, die auf dem Körperelektrodenabschnitt 33 der Source-Elektrode 32 angeordnet ist, und mindestens eine Source-Anschlusselektrode 60 (in dieser Ausführungsform eine Vielzahl von Source-Anschlusselektroden) ein, die auf der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 angeordnet sind.

[0235] Die Source-Anschlusselektrode 60 auf der Seite des Körperelektrodenabschnitts 33 ist in dieser Ausführungsform als Hauptanschlusselektrode 102 ausgebildet, die einen Drain-Source-Strom IDS leitet. Die Vielzahl von Source-Anschlusselektroden 60 auf den Seiten der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B sind in dieser Ausführungsform jeweils als eine Erfassungsanschlusselektrode 103 ausgebildet, die einen Überwachungsstrom IM leitet, der den Drain-Source-Strom IDS überwacht. Jede der Erfassungsanschlusselektroden 103 weist in Draufsicht eine kleinere Fläche auf als die Fläche der Hauptanschlusselektrode 102.

[0236] Eine Erfassungsanschlusselektrode 103 ist auf dem ersten Drawer-Elektrodenabschnitt 34A angeordnet und ist in Draufsicht in der zweiten Richtung Y der Gate-Anschlusselektrode 50 zugewandt. Die andere Erfassungsanschlusselektrode 103 ist auf dem zweiten Drawer-Elektrodenabschnitt 34B angeordnet und ist in Draufsicht in der zweiten Richtung Y der Gate-Anschlusselektrode 50 zugewandt. Die Vielzahl von Erfassungsanschlusselektroden 103 schließt daher in Draufsicht die Gate-Anschlusselektrode 50 von beiden Seiten der zweiten Richtung Y her ein.

[0237] Unter Bezugnahme auf **Fig.** 16 ist in der Halbleitervorrichtung 1C eine Gate-Ansteuerschaltung 106 elektrisch mit der Gate-Anschlusselektrode 50 zu verbinden, mindestens ein erster Widerstand R1 ist elektrisch mit der Hauptanschlusselektrode 102 zu verbinden und mindestens ein zweiter Widerstand R2 ist elektrisch mit der Vielzahl von Erfassungsanschlusselektroden 103 zu verbinden. Der erste Widerstand R1 ist so konfiguriert, dass er den Drain-Source-Strom IDS leitet, der in der Halbleitervorrichtung 1C erzeugt wird. Der zweite Widerstand R2 ist so konfiguriert, dass er den Überwachungsstrom IM leitet, dessen Wert kleiner ist als der des Drain-Source-Stroms IDS.

[0238] Der erste Widerstand R1 kann ein Widerstand oder ein leitfähiges Bondingbauteil mit einem

ersten Widerstandswert sein. Der zweite Widerstand R2 kann ein Widerstand oder ein leitfähiges Bondingbauteil mit einem zweiten Widerstandswert sein, der größer als der erste Widerstandswert ist. Das leitfähige Bondingbauteil kann eine Leiterplatte oder der leitende Draht 234 sein. Das heißt, dass mindestens ein leitender Draht 234 mit dem ersten Widerstandswert mit der Hauptanschlusselektrode 102 verbunden sein kann.

[0239] Außerdem kann mindestens ein leitender Draht 234 mit dem zweiten Widerstandswert, der größer als der erste Widerstandswert ist, mit mindestens einem der Erfassungsanschlusselektroden 103 verbunden sein. Der zweite Bondingdraht kann eine geringere Leitungsdicke aufweisen als die Leitungsdicke des ersten Bondingdrahts. In diesem Fall kann eine Bondingfläche des zweiten Bondingdrahts in Bezug auf die Erfassungsanschlusselektrode 103 kleiner sein als eine Bondingfläche des ersten Bondingdrahts in Bezug auf die Hauptanschlusselektrode 102.

[0240] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1C die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1C einschließen. In diesem Fall kann die Erfassungsanschlusselektrode 103 in der Source-Anschlusselektrode 60 über den leitenden Draht 234 elektrisch mit der entsprechenden ersten bis vierten Erfassungsverdrahtung 221A bis 221D verbunden sein. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1C einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden.

[0241] In dieser Ausführungsform wird ein Beispiel gezeigt, bei dem die Erfassungsanschlusselektroden 103 auf den Drawer-Elektrodenabschnitten 34A, 34B ausgebildet sind, die Anordnungsorte der Erfassungsanschlusselektroden 103 jedoch beliebig sind. Daher kann die Erfassungsanschlusselektrode 103 auf dem Körperelektrodenabschnitt 33 angeordnet sein. In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem die Erfassungsanschlusselektrode 103 auf die Halbleitervorrichtung 1A aufgebracht ist. Selbstverständlich kann die Erfassungsanschlusselektrode 103 auch bei der zweiten Ausführungsform angewendet werden.

[0242] **Fig.** 17 ist eine Draufsicht, die eine Halbleitervorrichtung 1D gemäß einer vierten Ausführungsform zeigt. **Fig.** 18 ist eine Querschnittsansicht entlang der in **Fig.** 17 gezeigten Linie XVIII-XVIII. Unter Bezugnahme auf **Fig.** 17 und **Fig.** 18 weist die Halbleitervorrichtung 1D einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere schließt die Halbleitervorrichtung 1D einen Spaltabschnitt 107 ein, der in der Source-Elektrode 32 ausgebildet ist.

[0243] Der Spaltabschnitt 107 ist im Körperelektrodenabschnitt 33 der Source-Elektrode 32 ausgebildet. Der Spaltabschnitt 107 durchdringt die Source-Elektrode 32 so, dass in Querschnittsansicht ein Teil des Zwischenschicht-Isolierfilms 27 freigelegt wird. In dieser Ausführungsform erstreckt sich der Spaltabschnitt 107 bandförmig von einem Abschnitt eines Wandabschnitts der Source-Elektrode 32, der der Gate-Elektrode 30 in der ersten Richtung X gegenüberliegt, in Richtung eines inneren Abschnitts der Source-Elektrode 32.

[0244] Der Spaltabschnitt 107 ist in dieser Ausführungsform bandförmig ausgebildet und erstreckt sich in die erste Richtung X. In dieser Ausführungsform kreuzt der Spaltabschnitt 107 in Draufsicht einen zentralen Abschnitt der Source-Elektrode 32 in der ersten Richtung X. Der Spaltabschnitt 107 weist in Draufsicht an einer Position auf der Seite der vierten Seitenoberfläche 5D einen Endabschnitt in einem Abstand nach innen (zur Seite der Gate-Elektrode 30 hin) von einem Wandabschnitt der Source-Elektrode 32 auf. Selbstverständlich kann der Spaltabschnitt 107 die Source-Elektrode 32 in der zweiten Richtung Y unterteilen.

[0245] Die Halbleitervorrichtung 1D schließt eine Gate-Zwischenverdrahtung 109 ein, die von der Gate-Elektrode 30 in den Spaltabschnitt 107 herausgeführt ist. Die Gate-Zwischenverdrahtung 109 weist eine laminierte Struktur auf, die wie die Gate-Elektrode 30 (die Vielzahl von Gate-Verdrahtungen 36A, 36B) den ersten Gate-Leiterfilm 55 und den zweiten Gate-Leiterfilm 56 einschließt. Die Gate-Zwischenverdrahtung 109 ist in einem Abstand von der Source-Elektrode 32 ausgebildet und erstreckt sich in Draufsicht bandförmig entlang des Spaltabschnitts 107.

[0246] Die Gate-Zwischenverdrahtung 109 durchdringt den Zwischenschicht-Isolierfilm 27 an einem inneren Abschnitt der aktiven Oberfläche 8 (der ersten Hauptoberfläche 3) und ist elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Gate-Zwischenverdrahtung 109 kann direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder kann über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0247] Der vorstehend erwähnte obere Isolierfilm 38 schließt in dieser Ausführungsform einen Spaltabdeckungsabschnitt 110 ein, der den Spaltabschnitt 107 der Source-Elektrode 32 bedeckt. Der Spaltabdeckungsabschnitt 110 bedeckt einen gesamten Bereich der Gate-Zwischenverdrahtung 109 innerhalb des Spaltabschnitts 107. Der Spaltabdeckungs-

abschnitt 110 kann von innerhalb des Spaltabschnitts 107 derart auf die Source-Elektrode 32 herausgeführt sein, dass er den Umfangskantenabschnitt der Source-Elektrode 32 bedeckt.

[0248] Die Halbleitervorrichtung 1D schließt in dieser Ausführungsform die Vielzahl von Source-Anschlusselektroden 60 ein, die in einem Abstand voneinander auf der Source-Elektrode 32 angeordnet sind. Die Vielzahl von Source-Anschlusselektroden 60 sind jeweils in einem Abstand vom Spaltabschnitt 107 auf der Source-Elektrode 32 angeordnet und sind in Draufsicht in der zweiten Richtung Y einander zugewandt. Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform so angeordnet, dass der Spaltabdeckungsabschnitt 110 freiliegt.

[0249] Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform in Draufsicht jeweils in einer viereckigen Form ausgebildet (genauer gesagt einer rechteckigen Form, die sich in der ersten Richtung X erstreckt). Die planaren Formen der Vielzahl von Source-Anschlusselektroden 60 sind beliebig und können in Draufsicht jeweils als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein. Die Vielzahl von Source-Anschlusselektroden 60 können jeweils den zweiten Vorsprungsabschnitt 63 einschließen, der auf dem Spaltabdeckungsabschnitt 110 des oberen Isolierfilms 38 ausgebildet ist.

[0250] Der zuvor erwähnte Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Spaltabschnitt 107 in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Der Dichtungsisolator 71 bedeckt den Spaltabdeckungsabschnitt 110 des oberen Isolierfilms 38 in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Das heißt, der Dichtungsisolator 71 bedeckt die Gate-Zwischenverdrahtung 109 mit dem dazwischen angeordneten oberen Isolierfilm 38.

[0251] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der obere Isolierfilm 38 den Spaltabdeckungsabschnitt 110 aufweist. Das Vorhandensein oder das Fehlen des Spaltabdeckungsabschnitts 110 ist jedoch beliebig, und der obere Isolierfilm 38 kann ohne den Spaltabdeckungsabschnitt 110 ausgebildet sein. In diesem Fall ist die Vielzahl von Source-Anschlusselektroden 60 so auf der Source-Elektrode 32 ausgebildet, dass die Gate-Zwischenverdrahtung 109 freiliegt. Der Dichtungsisolator 71 bedeckt die Gate-Zwischenverdrahtung 109 direkt und isoliert die Gate-Zwischenverdrahtung 109 elektrisch von der Source-Elektrode 32. Der Dichtungsisolator 71 bedeckt direkt einen Teil des Zwischenschicht-Isolierfilms 27, der in einem Bereich zwischen der Source-Elektrode 32 und der Gate-Zwischenverdrahtung 109 innerhalb des Spaltabschnitts 107 freiliegt.

[0252] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1D die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1D einschließen. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1D einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden.

[0253] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der Spaltabschnitt 107, die Gate-Zwischenverdrahtung 109, der Spaltabdeckungsabschnitt 110 usw. auf die Halbleitervorrichtung 1A angewendet werden. Selbstverständlich können der Spaltabschnitt 107, die Gate-Zwischenverdrahtung 109, der Spaltabdeckungsabschnitt 110 usw. auch bei der zweiten und dritten Ausführungsform angewendet werden.

[0254] **Fig.** 19 ist eine Draufsicht, die eine Halbleitervorrichtung 1E gemäß einer fünften Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 19 weist die Halbleitervorrichtung 1E einen Modus auf, in dem die Merkmale (Strukturen mit der Gate-Zwischenverdrahtung 109) der Halbleitervorrichtung 1D gemäß der vierten Ausführungsform mit den Merkmalen (Strukturen mit der Erfassungsanschlusselektrode 103) der Halbleitervorrichtung 1C gemäß der dritten Ausführungsform kombiniert sind. Mit der Halbleitervorrichtung 1E in einem solchen Modus werden die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt.

[0255] **Fig.** 20 ist eine Draufsicht, die eine Halbleitervorrichtung 1F gemäß einer sechsten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 20 weist die Halbleitervorrichtung 1F einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere ist bei der Halbleitervorrichtung 1F die Gate-Elektrode 30 in einem Bereich entlang eines beliebigen Eckabschnitts des Chips 2 angeordnet.

[0256] Das heißt, wenn eine erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und eine zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Elektrode 30 an einer Position angeordnet, die sowohl von der ersten geraden Linie L1 als auch von der zweiten geraden Linie L2 versetzt ist. Die Gate-Elektrode 30 ist in dieser Ausführungsform in einem Bereich entlang eines Eckabschnitts angeordnet, der in Draufsicht die zweite Sei-

tenoberfläche 5B und die dritte Seitenoberfläche 5C verbindet.

[0257] Die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der zuvor erwähnten Source-Elektrode 32 schließen die Gate-Elektrode 30 in Draufsicht von beiden Seiten der zweiten Richtung Y ein, wie im Fall der ersten Ausführungsform. Der erste Drawer-Elektrodenabschnitt 34A ist mit einer ersten planaren Fläche aus dem Körperelektrodenabschnitt 33 herausgeführt. Der zweite Drawer-Elektrodenabschnitt 34B ist mit einer zweiten planaren Fläche, die kleiner ist als die erste planare Fläche, aus dem Körperelektrodenabschnitt 33 herausgeführt. Selbstverständlich muss die Source-Elektrode 32 nicht den zweiten Drawer-Elektrodenabschnitt 34B aufweisen und kann nur den Körperelektrodenabschnitt 33 und den ersten Drawer-Elektrodenabschnitt 34A einschließen.

[0258] Die zuvor erwähnte Gate-Anschlusselektrode 50 ist wie im Fall der ersten Ausführungsform auf der Gate-Elektrode 30 angeordnet. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform in einem Bereich entlang eines beliebigen Eckabschnitts des Chips 2 angeordnet. Das heißt, die Gate-Anschlusselektrode 50 ist in Draufsicht an einer Position angeordnet, die sowohl von der ersten geraden Linie L1 als auch von der zweiten geraden Linie L2 versetzt ist. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform in dem Bereich entlang des Eckabschnitts angeordnet, der in Draufsicht die zweite Seitenoberfläche 5B und die dritte Seitenoberfläche 5C verbindet.

[0259] Die zuvor erwähnte Source-Anschlusselektrode 60 weist in dieser Ausführungsform den Drawer-Anschlussabschnitt 100 auf, der auf den ersten Drawer-Elektrodenabschnitt 34A herausgeführt ist. Die Source-Anschlusselektrode 60 weist in dieser Ausführungsform nicht den Drawer-Anschlussabschnitt 100 auf, der auf den zweiten Drawer-Elektrodenabschnitt 34B herausgeführt ist. Die Drawer-Anschlussabschnitte 100 sind dadurch der Gate-Anschlusselektrode 50 von einer Seite der zweiten Richtung Y zugewandt. Die Source-Anschlusselektrode 60 weist Abschnitte auf, die der Gate-Anschlusselektrode 50 von zwei Richtungen, einschließlich der ersten Richtung X und der zweiten Richtung Y, zugewandt sind, indem sie den Drawer-Anschlussabschnitt 100 aufweisen.

[0260] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1F die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1F einschließen. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1F einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden. Die Struktur, bei der die Gate-Elektrode 30 und die Gate-Anschlusselektrode 50 an dem Eckabschnitt des Chips angeordnet sind, kann auf die zweite bis fünfte Ausführungsform angewendet werden.

[0261] **Fig.** 21 ist eine Draufsicht, die eine Halbleitervorrichtung 1G gemäß einer siebten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 21 weist die Halbleitervorrichtung 1G einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere ist bei der Halbleitervorrichtung 1G die Gate-Elektrode 30 in Draufsicht im zentralen Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) angeordnet.

[0262] Das heißt, wenn eine erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und eine zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Elektrode 30 so angeordnet, dass sie einen Schnittabschnitt Cr der ersten geraden Linie L1 und der zweiten geraden Linie L2 überlappt. Die zuvor erwähnte Source-Elektrode 32 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die Gate-Elektrode 30 herum ausgebildet.

[0263] Die Halbleitervorrichtung 1G schließt eine Vielzahl von Spaltabschnitten 107A, 107B ein, die in der Source-Elektrode 32 ausgebildet sind. Die Vielzahl von Spaltabschnitten 107A, 107B schließen einen ersten Spaltabschnitt 107A und einen zweiten Spaltabschnitt 107B ein. Der erste Spaltabschnitt 107A kreuzt einen Abschnitt der Source-Elektrode 32, der sich in der ersten Richtung X in einem Bereich auf einer Seite (der Seite der ersten Seitenoberfläche 5A) der Source-Elektrode 32 in der zweiten Richtung Y erstreckt. Der erste Spaltabschnitt 107A ist in Draufsicht der Gate-Elektrode 30 in der zweiten Richtung Y zugewandt.

[0264] Der zweite Spaltabschnitt 107B kreuzt einen Abschnitt der Source-Elektrode 32, der sich in der ersten Richtung X in einem Bereich auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B) der Source-Elektrode 32 in der zweiten Richtung Y erstreckt. Der zweite Spaltabschnitt 107B ist in Draufsicht der Gate-Elektrode 30 in der zweiten Richtung Y zugewandt. In dieser Ausführungsform ist der zweite Spaltabschnitt 107B dem ersten Spaltabschnitt 107A in Draufsicht zugewandt, wobei die Gate-Elektrode 30 dazwischen angeordnet ist.

[0265] Die zuvor erwähnte erste Gate-Verdrahtung 36A ist von der Gate-Elektrode 30 heraus in den ersten Spaltabschnitt 107A hineingeführt. Insbesondere

weist die erste Gate-Verdrahtung 36A einen Abschnitt auf, der sich bandförmig in der zweiten Richtung Y innerhalb des ersten Spaltabschnitts 107A erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der ersten Seitenoberfläche 5A (der ersten Verbindungsoberfläche 10A) erstreckt. Die zuvor erwähnte zweite Gate-Verdrahtung 36B ist von der Gate-Elektrode 30 heraus in den zweiten Spaltabschnitt 107B hineingeführt. Insbesondere weist die zweite Gate-Verdrahtung 36B einen Abschnitt auf, der sich bandförmig in der zweiten Richtung Y innerhalb des zweiten Spaltabschnitts 107B erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der zweiten Seitenoberfläche 5B (der zweiten Verbindungsoberfläche 10B) erstreckt.

[0266] Die Vielzahl von Gate-Verdrahtungen 36A, 36B kreuzen (genauer gesagt, kreuzen senkrecht) die beiden Endabschnitte der Vielzahl von Gate-Strukturen 15 wie im Fall der ersten Ausführungsform. Die Vielzahl von Gate-Verdrahtungen 36A, 36B durchdringen den Zwischenschicht-Isolierfilm 27 und sind elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Vielzahl von Gate-Verdrahtungen 36A, 36B können direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder können über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0267] Die zuvor erwähnte Source-Verdrahtung 37 ist aus einer Vielzahl von Abschnitten der Source-Elektrode 32 herausgeführt und umgibt die Gate-Elektrode 30, die Source-Elektrode 32 und die Gate-Verdrahtungen 36A, 36B. Selbstverständlich kann die Source-Verdrahtung 37 wie im Fall der ersten Ausführungsform aus einem einzigen Abschnitt der Source-Elektrode 32 herausgeführt sein.

[0268] Der zuvor erwähnte obere Isolierfilm 38 schließt eine Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ein, die in dieser Ausführungsform jeweils die Vielzahl von Spaltabschnitten 107A, 107B bedecken. Die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B schließen einen ersten Spaltabdeckungsabschnitt 110A und einen zweiten Spaltabdeckungsabschnitt 110B ein. Der erste Spaltabdeckungsabschnitt 110A bedeckt einen gesamten Bereich der ersten Gate-Verdrahtung 36A im ersten Spaltabschnitt 107A. Der zweite Spaltabdeckungsabschnitt 110B bedeckt einen gesamten Bereich der zweiten Gate-Verdrahtung 36B im zweiten Spaltabschnitt 107B. Die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B sind jeweils von innerhalb der Vielzahl von Spaltabschnitten 107A, 107B auf die Source-Elektrode 32 herausgeführt, um den Umfangskantenabschnitt der Source-Elektrode 32 zu bedecken.

[0269] Die zuvor erwähnte Gate-Anschlusselektrode 50 ist wie im Fall der ersten Ausführungsform auf der Gate-Elektrode 30 angeordnet. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform im zentralen Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) angeordnet. Das heißt, wenn die erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und die zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Anschlusselektrode 50 so angeordnet, dass sie den Schnittabschnitt Cr der ersten geraden Linie L1 und der zweiten geraden Linie L2 überlappt.

[0270] Die Halbleitervorrichtung 1G schließt in dieser Ausführungsform eine Vielzahl von Source-Anschlusselektroden 60 ein, die auf der Source-Elektrode 32 angeordnet sind. Die Vielzahl von Source-Anschlusselektroden 60 sind jeweils auf der Source-Elektrode 32 in Abständen von der Vielzahl von Spaltabschnitten 107A, 107B angeordnet und sind in Draufsicht in der ersten Richtung X einander zugewandt. Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform so angeordnet, dass die Vielzahl von Spaltabschnitten 107A, 107B freiliegen.

[0271] Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform in Draufsicht jeweils bandförmig ausgebildet (genauer gesagt in Form des Buchstabens C entlang der Gate-Anschlusselektrode 50 gekrümmt). Die planaren Formen der Vielzahl von Source-Anschlusselektroden 60 sind beliebig und können jeweils als eine viereckige Form, eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein. Die Vielzahl von Source-Anschlusselektroden 60 können jeweils den zweiten Vorsprungsabschnitt 63 einschließen, der auf dem Spaltabdeckungsabschnitt 110A, 110B des oberen Isolierfilms 38 angeordnet ist.

[0272] Der zuvor erwähnte Dichtungsisolator 71 bedeckt in dieser Ausführungsform die Vielzahl von Spaltabschnitten 107A, 107B in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform die Vielzahl von Spaltabschnitten 110A, 110B in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Das heißt, der Dichtungsisolator 71 bedeckt die Vielzahl von Gate-Verdrahtungen 36A, 36B mit der Vielzahl von dazwischen angeordneten Spaltabdeckungsabschnitten 110A, 110B.

[0273] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der obere Isolierfilm 38 den

Spaltabdeckungsabschnitt 110A, 110B aufweist. Das Vorhandensein oder Fehlen der Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ist jedoch beliebig und der obere Isolierfilm 38 kann ohne die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ausgebildet sein. In diesem Fall ist die Vielzahl von Source-Anschlusselektroden 60 so auf der Source-Elektrode 32 ausgebildet, dass die Gate-Verdrahtungen 36A, 36B freiliegen.

[0274] Der Dichtungsisolator 71 bedeckt die Gate-Verdrahtungen 36A, 36B direkt und isoliert die Gate-Verdrahtungen 36A, 36B elektrisch von der Source-Elektrode 32. Der Dichtungsisolator 71 bedeckt direkt einen Teil des Zwischenschicht-Isolierfilms 27, der von einem Bereich zwischen der Source-Elektrode 32 und den Gate-Verdrahtungen 36A, 36B innerhalb der Vielzahl von Spaltabschnitten 107A, 107B freiliegt.

[0275] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1G die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1G einschließen. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1G einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden. Die Struktur, bei der die Gate-Elektrode 30 und die Gate-Anschlusselektrode 50 an dem zentralen Abschnitt des Chips angeordnet sind, kann auf die zweite bis sechste Ausführungsform angewendet werden.

[0276] **Fig.** 22 ist eine Draufsicht, die eine Halbleitervorrichtung 1H gemäß einer achten Ausführungsform zeigt. **Fig.** 23 ist eine Querschnittsansicht entlang der in **Fig.** 22 gezeigten Linie XXIII-XXIII. Die Halbleitervorrichtung 1H schließt den zuvor genannten Chip 2 ein. Der Chip 2 ist in dieser Ausführungsform frei von dem Mesa-Abschnitt 11 und weist die flache erste Hauptoberfläche 3 auf. Die Halbleitervorrichtung 1H weist eine SBD-Struktur (Schottky-Barrier-Dioden-Struktur) 120 auf, die als Beispiel für eine Diode in dem Chip 2 ausgebildet ist.

[0277] Die Halbleitervorrichtung 1H schließt einen Diodenbereich 121 vom n-Typ ein, der in einem inneren Abschnitt der ersten Hauptoberfläche 3 ausgebildet ist. Der Diodenbereich 121 wird in dieser Ausführungsform durch Verwendung eines Teils des ersten Halbleiterbereichs 6 ausgebildet.

[0278] Die Halbleitervorrichtung 1H schließt einen Schutzbereich 122 vom p-Typ ein, der den Diodenbereich 121 von anderen Bereichen auf der ersten Hauptoberfläche 3 abgrenzt. Der Schutzbereich 122 ist in einem Oberflächenschichtabschnitt des ersten Halbleiterbereichs 6 in einem Abstand von einer Umfangskante der ersten Hauptoberfläche 3 ausgebildet. Der Schutzbereich 122 ist in dieser Ausführungsform in Draufsicht ringförmig (in dieser Ausführungsform viereckig ringförmig) um den Diodenbereich 121 herum ausgebildet. Der Schutzbereich 122 weist einen inneren Endabschnitt auf der Seite des Diodenbereichs 121 und einen äußeren Endabschnitt auf der Umfangskantenseite der ersten Hauptoberfläche 3 auf.

[0279] Die Halbleitervorrichtung 1H schließt den zuvor erwähnten Hauptoberflächen-Isolierfilm 25 ein, der die erste Hauptoberfläche 3 selektiv bedeckt. Der Hauptoberflächen-Isolierfilm 25 weist eine Diodenöffnung 123 auf, die den Diodenbereich 121 und den inneren Endabschnitt des Schutzbereichs 122 freilegt. Der Hauptoberflächen-Isolierfilm 25 ist in einem Abstand nach innen von der Umfangskante der ersten Hauptoberfläche 3 ausgebildet und legt die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) von dem Umfangskantenabschnitt der ersten Hauptoberfläche 3 frei. Selbstverständlich kann der Hauptoberflächen-Isolierfilm 25 den Umfangskantenabschnitt der ersten Hauptoberfläche 3 bedecken. In diesem Fall kann der Umfangskantenabschnitt des Hauptoberflächen-Isolierfilms 25 mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend sein.

[0280] Die Halbleitervorrichtung 1H schließt eine erste polare Elektrode („first polar electrode“) 124 (Hauptoberflächenelektrode) ein, die auf der ersten Hauptoberfläche 3 angeordnet ist. Die erste polare Elektrode 124 ist in dieser Ausführungsform eine „Anodenelektrode“. Die erste polare Elektrode 124 ist in einem Abstand nach innen von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die erste polare Elektrode 124 ist in dieser Ausführungsform in Draufsicht viereckig entlang der Umfangskante der ersten Hauptoberfläche 3 ausgebildet. Die erste polare Elektrode 124 tritt von dem Hauptoberflächen-Isolierfilm 25 aus in die Diodenöffnung 123 ein und ist elektrisch mit der ersten Hauptoberfläche 3 und dem inneren Endabschnitt des Schutzbereichs 122 verbunden.

[0281] Die erste polare Elektrode 124 bildet mit dem Diodenbereich 121 (dem ersten Halbleiterbereich 6) einen Schottky-Übergang aus. Dadurch wird die SBD-Struktur 120 ausgebildet. Eine planare Fläche der ersten polaren Elektrode 124 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der ersten polaren Elektrode 124 nicht weniger als 75 % der ersten Hauptoberfläche 3. Die erste polare Elektrode 124 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 µm aufweisen.

[0282] Die erste polare Elektrode 124 kann eine laminierte Struktur aufweisen, die einen Metallfilm

auf Ti-Basis und einen Metallfilm auf Al-Basis einschließt. Der Metallfilm auf Ti-Basis kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der Metallfilm auf Ti-Basis kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind. Der Metallfilm auf Al-Basis ist vorzugsweise dicker als der Metallfilm auf Ti-Basis. Der Metallfilm auf Al-Basis kann mindestens eines von einem reinen Al-Film (Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen.

[0283] Die Halbleitervorrichtung 1H schließt den zuvor erwähnten oberen Isolierfilm 38 ein, der den Hauptoberflächen-Isolierfilm 25 und die erste polare Elektrode 124 selektiv bedeckt. Der obere Isolierfilm 38 weist die laminierte Struktur auf, die den anorganischen Isolierfilm 42 und den organischen Isolierfilm 43 einschließt, die wie im Fall der ersten Ausführungsform in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Der obere Isolierfilm 38 weist in dieser Ausführungsform eine Kontaktöffnung 125 auf, die einen inneren Abschnitt der ersten polaren Elektrode 124 freilegt, und bedeckt in Draufsicht einen Umfangskantenabschnitt der ersten polaren Elektrode 124 über einen gesamten Umfang hinweg. Die Kontaktöffnung 125 ist in dieser Ausführungsform in Draufsicht viereckig ausgebildet.

[0284] Der obere Isolierfilm 38 ist in einem Abstand nach innen von der Umfangskante der ersten Hauptoberfläche 3 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet und definiert die Zerteilstraße 41 mit der Umfangskante der ersten Hauptoberfläche 3. Die Zerteilstraße 41 ist in einer Bandform ausgebildet, die sich in Draufsicht entlang der Umfangskante der ersten Hauptoberfläche 3 erstreckt. Die Zerteilstraße 41 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um den inneren Abschnitt der ersten Hauptoberfläche 3 herum ausgebildet.

[0285] In dieser Ausführungsform legt die Zerteilstraße 41 die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) frei. Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 den Umfangskantenabschnitt der ersten Hauptoberfläche 3 bedeckt, die Zerteilstraße 41 den Hauptoberflächen-Isolierfilm 25 freilegen. Der obere Isolierfilm 38 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Die Dicke des oberen Isolierfilms 38 kann geringer sein als die Dicke des Chips 2.

[0286] Die Halbleitervorrichtung 1H weist eine Anschlusselektrode 126 auf, die auf der ersten polaren Elektrode 124 angeordnet ist. Die Anschlusselektrode 126 ist säulenförmig auf einem Abschnitt der ersten polaren Elektrode 124 errichtet, der von der Kontaktöffnung 125 freiliegt. Die Anschlusselektrode 126 kann in Draufsicht eine kleinere Fläche als die Fläche der ersten polaren Elektrode 124 aufweisen und kann an einem inneren Abschnitt der ersten polaren Elektrode 124 in einem Abstand von der Umfangskante der ersten polaren Elektrode 124 angeordnet sein. Die Anschlusselektrode 126 ist in dieser Ausführungsform in einer polygonalen Form (in dieser Ausführungsform einer viereckigen Form) ausgebildet, wobei die vier Seiten in Draufsicht parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0287] Die Anschlusselektrode 126 weist eine Anschlussoberfläche 127 und eine Anschlussseitenwand 128 auf. Die Anschlussoberfläche 127 erstreckt sich flach entlang der ersten Hauptoberfläche. Die Anschlussoberfläche 127 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Anschlussseitenwand 128 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0288] Das heißt, dass ein Abschnitt der Anschlusselektrode 126 mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Anschlussseitenwand 128 erstreckt sich im Wesentlichen senkrecht zur Normalenrichtung Z. Dabei schließt „im Wesentlichen senkrecht“ einen Modus ein, der sich in der Laminatrichtung erstreckt und dabei gekrümmt (mäanderförmig) ist. Die Anschlussseitenwand 128 schließt einen Abschnitt ein, der der ersten polaren Elektrode 124 zugewandt ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Anschlussseitenwand 128 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0289] Die Anschlusselektrode 126 weist einen Vorsprungsabschnitt 129 auf, der an einem unteren Endabschnitt der Anschlussseitenwand 128 nach außen hervorsteht. Der Vorsprungsabschnitt 129 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Anschlussseitenwand 128. Der Vorsprungsabschnitt 129 erstreckt sich entlang der Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht von der Anschlussseitenwand 128 in Richtung des Spitzenabschnitts allmählich abnimmt. Der Vorsprungsabschnitt 129 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann der Vorsprungsabschnitt 129 auch ohne den Vorsprungsabschnitt 129 ausgebildet sein.

[0290] Die Anschlusselektrode 126 weist vorzugsweise eine Dicke auf, die größer ist als die Dicke der ersten polaren Elektrode 124. Besonders bevorzugt übersteigt die Dicke der Anschlusselektrode 126 die Dicke des oberen Isolierfilms 38. Die Dicke der Anschlusselektrode 126 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke der Anschlusselektrode 126 geringer sein als die Dicke des Chips 2.

[0291] Die Dicke der Anschlusselektrode 126 kann ggf. nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke der Anschlusselektrode 126 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke der Anschlusselektrode 126 nicht weniger als 80 µm und nicht mehr als 200 µm. Die Anschlusselektrode 126 weist vorzugsweise eine planare Fläche von nicht weniger als 50 % der ersten Hauptoberfläche 3 auf. Besonders bevorzugt weist die Anschlusselektrode 126 eine planare Fläche von mindestens 75 % der ersten Hauptoberfläche 3 auf.

[0292] Die Anschlusselektrode 126 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Leiterfilm 133 und einen zweiten Leiterfilm 134 einschließt, die in dieser Reihenfolge von der Seite der ersten polaren Elektrode 124 aus laminiert sind. Der erste Leiterfilm 133 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Leiterfilm 133 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist.

[0293] Der erste Leiterfilm 133 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind. Der erste Leiterfilm 133 weist eine Dicke auf, die geringer ist als die Dicke der ersten polaren Elektrode 124. Der erste Leiterfilm 133 bedeckt die erste polare Elektrode 124 in Form eines Films innerhalb der Kontaktöffnung 125 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Leiterfilm 133 bildet einen Teil des Vorsprungsabschnitts 129 aus. Der erste Leiterfilm 133 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0294] Der zweite Leiterfilm 134 bildet einen Körper der Anschlusselektrode 126 aus. Der zweite Leiterfilm 134 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Leiterfilm 134 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Leiterfilm 134 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Leiterfilms 134 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Leiterfilms 134 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0295] Der zweite Leiterfilm 134 bedeckt die erste polare Elektrode 124 mit dem dazwischen angeordneten ersten Leiterfilm 133 innerhalb der Kontaktöffnung 125 und ist in Form eines Films auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Leiterfilm 133 dazwischen angeordnet ist. Der zweite Leiterfilm 134 bildet einen Teil des Vorsprungsabschnitts 129 aus. Das heißt, der Vorsprungsabschnitt 129 weist eine laminierte Struktur auf, die den ersten Leiterfilm 133 und den zweiten Leiterfilm 134 einschließt. Der zweite Leiterfilm 134 weist eine Dicke auf, die die Dicke des ersten Leiterfilms 133 in dem Vorsprungsabschnitt 129 übersteigt.

[0296] Die Halbleitervorrichtung 1H schließt den zuvor erwähnten Dichtungsisolator 71 ein, der die erste Hauptoberfläche 3 bedeckt. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform einen Umfang der Anschlusselektrode 126 derart, dass ein Teil der Anschlusselektrode 126 auf der ersten Hauptoberfläche 3 freiliegt. Insbesondere legt der Dichtungsisolator 71 die Anschlussoberfläche 127 frei und bedeckt die Anschlussseitenwand 128. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Vorsprungsabschnitt 129 und ist dem oberen Isolierfilm 38 zugewandt, wobei der Vorsprungsabschnitt 129 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall der Anschlusselektrode 126.

[0297] Der Dichtungsisolator 71 weist einen Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der Dichtungsisolator 71 bedeckt die erste polare Elektrode 124, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Der Dichtungsisolator 71 bedeckt die Zerteilstraße 41, die durch den oberen Isolierfilm 38 am Umfangskantenabschnitt der ersten Hauptoberfläche 3 abgegrenzt ist. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform direkt die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) an der Zerteilstraße 41. Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 von der Zerteilstraße 41 freiliegt, der Dichtungsisolator 71 den Hauptoberflächen-Isolierfilm 25 an der Zerteilstraße 41 direkt bedecken.

[0298] Der Dichtungsisolator 71 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Besonders bevorzugt übersteigt die Dicke des Dichtungsisolators 71 die Dicke des oberen Isolierfilms 38. Die Dicke des Dichtungsisolators 71 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke des Dichtungsisolators 71 geringer sein als die Dicke des Chips 2. Die Dicke des Dichtungsisolators 71 kann nicht weniger als 10 µm und nicht mehr als

300 µm betragen. Die Dicke des Dichtungsisolators 71 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke des Dichtungsisolators 71 nicht weniger als 80 µm und nicht mehr als 200 µm.

[0299] Der Dichtungsisolator 71 weist die isolierende Hauptoberfläche 72 und die isolierende Seitenwand 73 auf. Die isolierende Hauptoberfläche 72 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die isolierende Hauptoberfläche 72 bildet mit der Anschlussoberfläche 127 eine einzige flache Oberfläche aus. Die isolierende Hauptoberfläche 72 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. In diesem Fall bildet die isolierende Hauptoberfläche 72 vorzugsweise mit der Anschlussoberfläche 127 eine einzige geschliffene Oberfläche aus.

[0300] Die isolierende Seitenwand 73 erstreckt sich von der Umfangskante der isolierenden Hauptoberfläche 72 in Richtung des Chips 2 und ist mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend. Die isolierende Seitenwand 73 ist im Wesentlichen senkrecht zu der isolierenden Hauptoberfläche 72 ausgebildet. Der Winkel, den die isolierende Seitenwand 73 mit der isolierenden Hauptoberfläche 72 ausbildet, kann nicht weniger als 88° und nicht mehr als 92° betragen. Die isolierende Seitenwand 73 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die isolierende Seitenwand 73 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche ausbilden.

[0301] Die Halbleitervorrichtung 1H schließt eine zweite polare Elektrode 136 (zweite Hauptoberflächenelektrode) ein, die die zweite Hauptoberfläche 4 bedeckt. Die zweite polare Elektrode 136 ist in dieser Ausführungsform eine „Kathodenelektrode“. Die zweite polare Elektrode 136 ist elektrisch mit der zweiten Hauptoberfläche 4 verbunden. Die zweite polare Elektrode 136 bildet einen ohmschen Kontakt mit dem zweiten Halbleiterbereich 7 aus, der von der zweiten Hauptoberfläche 4 freiliegt. Die zweite polare Elektrode 136 kann einen gesamten Bereich der zweiten Hauptoberfläche 4 bedecken, sodass sie mit der Umfangskante des Chips 2 (der ersten bis vierten Seitenoberfläche 5A bis 5D) durchgehend ist.

[0302] Die zweite polare Elektrode 136 kann die zweite Hauptoberfläche 4 in einem Abstand von der Umfangskante des Chips 2 bedecken. Die zweite polare Elektrode 136 ist so konfiguriert, dass zwischen der Anschlusselektrode 126 und der zweiten polaren Elektrode 136 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist. Das heißt, der Chip 2 ist so ausgebildet, dass zwischen der ersten Hauptoberfläche 3 und der zweiten Hauptoberfläche 4 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist.

[0303] Wie vorstehend beschrieben, schließt die Halbleitervorrichtung 1H den Chip 2, die erste polare Elektrode 124 (Hauptoberflächenelektrode), die Anschlusselektrode 126 und den Dichtungsisolator 71 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die erste polare Elektrode 124 ist auf der ersten Hauptoberfläche 3 angeordnet. Die Anschlusselektrode 126 ist auf der ersten polaren Elektrode 124 angeordnet. Der Dichtungsisolator 71 bedeckt den Umfang der Anschlusselektrode 126 auf der ersten Hauptoberfläche 3 so, dass ein Teil der Anschlusselektrode 126 freiliegt.

[0304] Gemäß dieser Struktur kann ein abzudichtendes Objekt mit dem Dichtungsisolator 71 vor der äußeren Kraft und der Feuchtigkeit geschützt werden. Das heißt, das abzudichtende Objekt kann vor einer Beschädigung durch die äußere Kraft und einer Verschlechterung durch Feuchtigkeit geschützt werden. Dadurch können Formfehler und Schwankungen der elektrischen Eigenschaften unterbunden werden. Als Ergebnis ist es möglich, die Halbleitervorrichtung 1H bereitzustellen, die eine verbesserte Zuverlässigkeit aufweisen kann.

[0305] Wie vorstehend beschrieben, werden mit dem Halbleitervorrichtung 1H die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Selbstverständlich kann das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A oder zusätzlich dazu die Halbleitervorrichtung 1H einschließen. Mit dem Halbleitermodul 201A, 201B, das die Halbleitervorrichtung 1H einschließt, können die gleichen Effekte erzielt werden, wie sie für das Halbleitermodul 201A, 201B beschrieben wurden.

[0306] Ein Modus, in dem das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A die Halbleitervorrichtung 1H einschließt, kann durch Ersetzen des „Drain“ durch „Kathode“ und des „Source“ durch „Anode“ in der obigen Beschreibung des Halbleitermoduls 201A, 201B erhalten werden. In diesem Fall werden der erste bis zweite Anschluss 225A bis 225B zu Kathodenanschlüssen und der dritte bis vierte Anschluss 225C bis 225D werden zu Anodenanschlüssen.

[0307] Der erste bis vierte Gate-Anschluss 227A bis 227D und der erste bis vierte Erfassungsanschluss 228A bis 228D werden nicht verwendet. Die Halbleitervorrichtung 1H ist auf der Kathodenverdrahtung in einer Stellung angeordnet, dass die zweite polare Elektrode 136 der entsprechenden Kathodenverdrahtung zugewandt ist. Die Anschlusselektrode 126 der Halbleitervorrichtung 1H ist über den leitenden Draht 234 elektrisch mit der entsprechenden Anodenverdrahtung verbunden.

[0308] In einem Fall, in dem das Halbleitermodul 201A, 201B anstelle der Halbleitervorrichtung 1A die Halbleitervorrichtung 1H einschließt, kann mindestens eine Halbleitervorrichtung 1H als eine Rückflussdiode parallel zu jeder Halbleitervorrichtung 1A geschaltet sein. In diesem Fall ist die Halbleitervorrichtung 1H auf der ersten bis vierten Drain-Verdrahtung 218A bis 218D in einer Stellung angeordnet, dass die zweite polare Elektrode 136 der entsprechenden ersten bis vierten Drain-Verdrahtung 218A bis 218D zugewandt ist. Die Anschlusselektrode 126 jeder Halbleitervorrichtung 1H ist über den leitenden Draht 234 elektrisch mit der entsprechenden ersten bis zweiten Source-Verdrahtung 219A bis 219B verbunden.

[0309] Nachstehend werden modifizierte Beispiele gezeigt, die auf jede Ausführungsform angewendet werden können. **Fig.** 24 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Chips 2 zeigt, das auf jede der Ausführungsformen angewendet werden soll. In **Fig.** 24 wird ein Modus, in dem das modifizierte Beispiel des Chips 2 auf die Halbleitervorrichtung 1A angewendet wird, als Beispiel gezeigt. Allerdings kann das modifizierte Beispiel des Chips 2 auf eine beliebige der zweiten bis achten Ausführungsform angewendet werden.

[0310] Unter Bezugnahme auf **Fig.** 24 weist die Halbleitervorrichtung 1A nicht den zweiten Halbleiterbereich 7 innerhalb des Chips 2 auf und kann nur den ersten Halbleiterbereich 6 innerhalb des Chips 2 aufweisen. In diesem Fall liegt der erste Halbleiterbereich 6 von der ersten Hauptoberfläche 3, der zweiten Hauptoberfläche 4 und der ersten bis fünften Seitenoberfläche 5A bis 5D des Chips 2 frei. Das heißt, der Chip 2 weist in dieser Ausführungsform eine einschichtige Struktur auf, die das Halbleitersubstrat nicht aufweist und die aus der Epitaxialschicht zusammengesetzt ist.

[0311] **Fig.** 25 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Dichtungsisolators 71 zeigt, das auf jede der Ausführungsformen angewendet werden soll. In **Fig.** 25 wird ein Modus, in dem das modifizierte Beispiel des Dichtungsisolators 71 auf die Halbleitervorrichtung 1A angewendet wird, als Beispiel gezeigt. Allerdings kann das modifizierte Beispiel des Dichtungsisolators 71 auf eine beliebige der zweiten bis zehnten Ausführungsform angewendet werden. Unter Bezugnahme auf **Fig.** 25, kann die Halbleitervorrichtung 1A den Dichtungsisolator 71 einschließen, der einen gesamten Bereich des oberen Isolierfilms 38 bedeckt.

[0312] In diesem Fall werden in der ersten bis siebten Ausführungsform die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 ausgebildet, die nicht in Kontakt mit dem oberen Isolierfilm 38 stehen. In diesem Fall kann der Dichtungsisolator 71 einen Abschnitt aufweisen, der die Gate-Elektrode 30 und die Source-Elektrode 32 direkt bedeckt. Andererseits wird in der achten Ausführungsform die Anschlusselektrode 126 ausgebildet, die nicht in Kontakt mit dem oberen Isolierfilm 38 steht. In diesem Fall kann der Dichtungsisolator 71 einen Abschnitt aufweisen, der die erste polare Elektrode 124 direkt bedeckt.

[0313] Jede der vorstehenden Ausführungsformen kann in noch anderen Modi implementiert werden. Beispielsweise ist der Modus des Halbleitermoduls 201A, 201B beliebig und nicht auf die in FIG . 8 bis 12 gezeigten Modi beschränkt, solange die Struktur vorsieht, dass das gelartige Füllmittel 235 die Dichtungsisolatoren 71 der Halbleitervorrichtungen 1A bis 1H in dem Gehäuseraum 206 des Gehäuses 202 berührt. Die Form, das Layout, die Anzahl usw. der verschiedenen Elemente, die das Halbleitermodul 201A, 201B konfigurieren, können nach Bedarf geändert werden.

[0314] Außerdem kann das Halbleitermodul 201A, 201B gleichzeitig mindestens zwei der Halbleitervorrichtungen 1A bis 1H gemäß der oben beschriebenen ersten bis achten Ausführungsform einschließen. Außerdem können die in der ersten bis achten Ausführungsform beschriebenen Merkmale in geeigneter Weise miteinander kombiniert werden. Daher kann ein Modus angenommen werden, der mindestens zwei Merkmale der in der oben beschriebenen ersten bis achten Ausführungsform offenbarten Merkmale zur gleichen Zeit einschließt.

[0315] In jeder der obigen Ausführungsformen wurde der Chip 2 mit dem Mesa-Abschnitt 11 gezeigt. Es kann jedoch auch der Chip 2 verwendet werden, der keinen Mesa-Abschnitt 11 aufweist und dessen erste Hauptoberfläche 3 sich flach erstreckt. In diesem Fall kann die Seitenwandstruktur 26 weggelassen werden.

[0316] In jeder der obigen Ausführungsformen wurden die Konfigurationen mit der Source-Verdrahtung 37 gezeigt. Es können jedoch auch Konfigurationen ohne die Source-Verdrahtung 37 verwendet werden. In jeder der obigen Ausführungsformen wurde die Gate-Struktur 15 vom Graben-Gate-Typ gezeigt, die den Kanal innerhalb des Chips 2 steuert. Es kann jedoch auch die Gate-Struktur 15 vom planaren Gate-Typ verwendet werden, die den Kanal von der ersten Hauptoberfläche 3 aus steuert.

[0317] In jeder der obigen Ausführungsformen wurden die Konfigurationen gezeigt, in denen die MISFET-Struktur 12 und die SBD-Struktur 120 in den verschiedenen Chips 2 ausgebildet sind. Die MISFET-Struktur 12 und die SBD-Struktur 120 können jedoch in unterschiedlichen Bereichen der ersten Hauptoberfläche 3 im selben Chip 2 ausgebildet

sein. In diesem Fall kann die SBD-Struktur 120 als Rückflussdiode der MISFET-Struktur 12 ausgebildet sein.

[0318] In jeder der Ausführungsformen wurde die Konfiguration gezeigt, in der der „erste Leitfähigkeitstyp“ der „n-Typ“ und der „zweite Leitfähigkeitstyp“ der „p-Typ“ ist. Es kann jedoch in jeder der Ausführungsformen eine Konfiguration verwendet werden, in der der „erste Leitfähigkeitstyp“ der „Pp-Typ“ und der „zweite Leitfähigkeitstyp“ der „n-Typ“ ist. Die spezifische Konfiguration kann in diesem Fall erhalten werden, indem in den obigen Beschreibungen und den beigefügten Zeichnungen der „n-Typ“ durch den „p-Typ“ ersetzt wird und gleichzeitig der „p-Typ“ durch den „n-Typ“ ersetzt wird.

[0319] In jeder der Ausführungsformen wurde der zweite Halbleiterbereich 7 vom „n-Typ“ gezeigt. Der zweite Halbleiterbereich 7 kann jedoch vom „p-Typ“ sein. In diesem Fall wird anstelle der MISFET-Struktur 12 eine IGBT-Struktur (Struktur eines Bipolartransistors mit isoliertem Gate) ausgebildet. In diesem Fall wird in den obigen Beschreibungen die „Source“ der MISFET-Struktur 12 durch einen „Emitter“ der IGBT-Struktur ersetzt und der „Drain“ der MISFET-Struktur 12 wird durch einen „Kollektor“ der IGBT-Struktur ersetzt. Selbstverständlich können in einem Fall, in dem der Chip 2 eine einschichtige Struktur aufweist, die aus der Epitaxialschicht zusammengesetzt ist, bei dem zweiten Halbleiterbereich 7 vom „p-Typ“ p-Typ-Verunreinigungen in einen Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 des Chips 2 (der Epitaxialschicht) durch ein Ionenimplantationsverfahren eingebracht werden.

[0320] In jeder der Ausführungsformen werden die erste Richtung X und die zweite Richtung Y durch die Erstreckungsrichtungen der ersten bis vierten Seitenoberfläche 5A bis 5D definiert. Allerdings können die erste Richtung X und die zweite Richtung Y beliebige Richtungen sein, solange die erste Richtung X und die zweite Richtung Y eine Beziehung beibehalten, in der die erste Richtung X und die zweite Richtung Y einander schneiden (insbesondere senkrecht schneiden). Beispielsweise kann die erste Richtung X eine Richtung sein, die die erste bis vierte Seitenoberfläche 5A bis 5D schneidet, und die zweite Richtung Y kann eine Richtung sein, die die erste bis vierte Seitenoberfläche 5A bis 5D schneidet.

[0321] Nachstehend werden Beispiele für Merkmale aufgeführt, die den vorliegenden Beschreibungen und den beigefügten Zeichnungen entnommen sind. Nachstehend stellen die alphanumerischen Zeichen in Klammern die entsprechenden Komponenten in den vorstehend genannten Ausführungsformen dar, sollen den Schutzumfang der einzelnen Absätze jedoch nicht auf die Ausführungsformen beschränken. Das „Halbleitermodul“ in den nachstehenden Absätzen kann je nach Bedarf durch ein „Halbleitermodul mit breiter Bandlücke“ oder ein „SiC-Halbleitermodul“ ersetzt werden. Außerdem kann die „Halbleitervorrichtung“ in den nachstehenden Absätzen je nach Bedarf durch eine „Halbleitervorrichtung mit breiter Bandlücke“, eine „SiC-Halbleitervorrichtung“, eine „Halbleiterschaltvorrichtung“ oder eine „Halbleitergleichrichtervorrichtung“ ersetzt werden.

[A1] Halbleitermodul (201A, 201B), umfassend: ein Gehäuse (202), das einen Gehäuseraum (206) aufweist; eine Halbleitervorrichtung (1A bis 1H), die in dem Gehäuseraum (206) angeordnet ist und die einen Chip (2) aufweist, der eine Hauptoberfläche (3), eine auf der Hauptoberfläche (3) angeordnete Hauptoberflächenelektrode (30, 32, 124), eine auf der Hauptoberflächenelektrode (30, 32, 124) angeordnete Anschlusselektrode (50, 60, 126) und einen Dichtungsisolator (71) aufweist, der einen Umfang bzw. eine Umgebung der Anschlusselektrode (50, 60, 126) auf der Hauptoberfläche (3) so bedeckt, dass ein Teil der Anschlusselektrode (50, 60, 126) freiliegt; und ein isolierendes gelartiges Füllmittel (235), das so in den Gehäuseraum (206) gefüllt wird, dass es den Dichtungsisolator (71) berührt, und das die Halbleitervorrichtung (1A bis 1H) in dem Gehäuseraum (206) abdichtet.

[A2] Halbleitermodul (201A, 201B) nach A1, wobei das gelartige Füllmittel (235) bis zu einer Höhenposition aufgefüllt wird, bei der eine Gesamtheit der Halbleitervorrichtung (1A bis 1H) in dem Gehäuseraum (206) bedeckt ist.

[A3] Halbleitermodul (201A, 201B) nach A1 oder A2, wobei der Dichtungsisolator (71) dicker als die Hauptoberflächenelektrode (30, 32, 124) ist.

[A4] Halbleitermodul (201A, 201B) nach einem von A1 bis A3, wobei der Dichtungsisolator (71) dicker als der Chip (2) ist.

[A5] Halbleitermodul (201A, 201B) nach einem von A1 bis A4, wobei der Dichtungsisolator (71) ein duroplastisches bzw. wäremaushärtendes Harz einschließt und das gelartige Füllmittel (235) ein Silikongel einschließt bzw. aufweist.

[A6] Halbleitermodul (201A, 201B) nach einem von A1 bis A5, wobei das gelartige Füllmittel (235) die Anschlusselektrode (50, 60, 126) und den Dichtungsisolator (71) berührt und nicht die Hauptoberflächenelektrode (30, 32, 124) berührt.

[A7] Halbleitermodul (201A, 201B) nach einem von A1 bis A6, wobei die Anschlusselektrode (50, 60, 126) auf der Hauptoberflächenelektrode (30, 32, 124) in einem Abstand von einer Umfangskante bzw. einem Umfangsrand der

Hauptoberflächenelektrode (30, 32, 124) angeordnet ist und der Dichtungsisolator (71) einen Umfangskanten- bzw. Umfangsrandabschnitt der Hauptoberflächenelektrode (30, 32, 124) und der Anschlusselektrode (50, 60, 126) bedeckt.

[A8] Halbleitermodul (201A, 201B) nach einem von A1 bis A7, wobei die Anschlusselektrode (50, 60, 126) eine Anschlussoberfläche (51, 61, 127) und eine Anschlussseitenwand (52, 62, 128)aufweist, der Dichtungsisolator (71) die Anschlussseitenwand (52, 62, 128) so bedeckt, dass die Anschlussoberfläche (51, 61, 127) freiliegt und das gelartige Füllmittel (235) einen Teil aufweist, der die Anschlussoberfläche (51, 61, 127) direkt bedeckt.

[A9] Halbleitermodul (201A, 201B) nach A8, wobei der Dichtungsisolator (71) eine isolierende Hauptoberfläche (72) aufweist, die mit der Anschlussoberfläche (51, 61, 127) eine einzige flache Oberfläche ausbildet, und das gelartige Füllmittel (235) einen Teil aufweist, der die isolierende Hauptoberfläche (72) direkt bedeckt.

[A10] Halbleitermodul (201A, 201B) nach einem von A1 bis A9, wobei der Chip (2) eine Seitenoberfläche (5A bis 5D) aufweist und das gelartige Füllmittel (235) einen Teil aufweist, der die Seitenoberfläche (5A bis 5D) direkt bedeckt.

[A11] Halbleitermodul (201A, 201B) nach A10, wobei der Dichtungsisolator (71) eine isolierende Seitenwand (73) aufweist, die mit der Seitenoberfläche (5A bis 5D) eine einzige flache Oberfläche ausbildet, und das gelartige Füllmittel (235) einen Teil aufweist, der die isolierende Seitenwand (73) direkt bedeckt.

[A12] Halbleitermodul (201A, 201B) nach einem von A1 bis A11, wobei die Halbleitervorrichtung (1A bis 1H) einen Isolierfilm (38) einschließt, der die Hauptoberflächenelektrode (30, 32, 124) teilweise bedeckt, und der Dichtungsisolator (71) einen Teil aufweist, der den Isolierfilm (38) bedeckt.

[A13] Halbleitermodul (201A, 201B) nach A12, wobei das gelartige Füllmittel (235) den Isolierfilm (38) nicht berührt.

[A14] Halbleitermodul (201A, 201B) nach einem von A12 oder A13, wobei die Anschlusselektrode (50, 60, 126) einen Teil aufweist, der den Isolierfilm (38) direkt bedeckt.

[A15] Halbleitermodul (201A, 201B) nach einem von A12 bis A14, wobei der Isolierfilm (38) eines von einem anorganischen Isolierfilm (42) und einem organischen Isolierfilm (43) oder beides einschließt.

[A16] Halbleitermodul (201A, 201B) nach einem von A1 bis A16, wobei der Chip (2) eine laminierte Struktur aufweist, die ein Substrat (7) und eine Epitaxialschicht (6) einschließt, und die Hauptoberfläche (3) einschließt, die durch die Epitaxialschicht (6) ausgebildet wird.

[A17] Halbleitermodul (201A, 201B) nach A16, wobei die Epitaxialschicht (6) dicker als das Substrat (7) ist.

[A18] Halbleitermodul (201A, 201B) nach einem von A1 bis A15, wobei der Chip (2) eine einschichtige Struktur aufweist, die aus einer Epitaxialschicht (6) zusammengesetzt ist.

[A19] Halbleitermodul (201A, 201B) nach einem von A1 bis A18, wobei der Chip (2) einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

[A20] Halbleitermodul (201A, 201B) nach einem von A1 bis A19, ferner umfassend: eine in dem Gehäuseraum (206) angeordnete Verdrahtung (217); und einen leitenden Draht (234), der mit der Verdrahtung (217) und der Halbleitervorrichtung (1A bis 1H) verbunden ist; wobei das gelartige Füllmittel (235) die Verdrahtung (217), die Halbleitervorrichtung (1A bis 1H) und den leitenden Draht (234) abdichtet.

[B1] Halbleitervorrichtung (1A bis 1H), umfassend: einen Chip (2), der eine Hauptoberfläche (3) aufweist; eine Hauptoberflächenelektrode (30, 32, 124), die auf der Hauptoberfläche (3) angeordnet ist; eine Anschlusselektrode (50, 60, 126), die auf der Hauptoberflächenelektrode (30, 32, 124) angeordnet ist; und einen Dichtungsisolator (71), der einen Umfang bzw. eine Umgebung der Anschlusselektrode (50, 60, 126) auf der Hauptoberfläche (3) so bedeckt, dass ein Teil der Anschlusselektrode (50, 60, 126) freiliegt.

[B2] Halbleitervorrichtung (1A bis 1H) nach B1, wobei der Dichtungsisolator (71) dicker als die Hauptoberflächenelektrode (30, 32, 124) ist.

[B3] Halbleitervorrichtung (1A bis 1H) nach B1 oder B2, wobei der Dichtungsisolator (71) dicker als der Chip (2) ist.

[B4] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B3, wobei die Anschlusselektrode (50, 60, 126) dicker als die Hauptoberflächenelektrode (30, 32, 124) ist.

[B5] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B4, wobei die Anschlusselektrode (50, 60, 126) dicker als der Chip (2) ist.

[B6] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B5, wobei der Chip (2) eine Seitenoberfläche (5A bis 5D) aufweist und der Dichtungsisolator (71) eine isolierende Seitenwand (73) aufweist, die mit der Seitenoberfläche

(5A bis 5D) eine einzige flache Oberfläche ausbildet.

[B7] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B6, wobei die Seitenoberfläche (5A bis 5D) des Chips (2) aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut ist und die isolierende Seitenwand (73) des Dichtungsisolators (71) aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut ist.

[B8] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B7, wobei die Anschlusselektrode (50, 60, 126) eine Anschlussoberfläche (51, 61, 127) und eine Anschlussseitenwand (52, 62, 128) aufweist, und der Dichtungsisolator (71) die Anschlussoberfläche (51, 61, 127) freilegt und die Anschlussseitenwand (52, 62, 128) bedeckt.

[B9] Halbleitervorrichtung (1A bis 1H) nach B8, wobei der Dichtungsisolator (71) eine isolierende Hauptoberfläche (72) aufweist, die mit der Anschlussoberfläche (51, 61, 127) eine einzige flache Oberfläche ausbildet.

[B10] Halbleitervorrichtung (1A bis 1H) nach B9, wobei die Anschlussoberfläche (51, 61, 127) aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut ist und die isolierende Hauptoberfläche (72) aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut ist.

[B11] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B10, wobei der Dichtungsisolator (71) ein duroplastisches Harz einschließt.

[B12] Halbleitervorrichtung (1A bis 1H) nach B11, wobei der Dichtungsisolator (71) dem duroplastischen Harz zugesetzte Füllstoffe einschließt.

[B13] Halbleitervorrichtung (1A bis 1H) nach B11 oder B12, wobei der Dichtungsisolator (71) dem duroplastischen Harz zugesetzte flexible Partikel einschließt.

[B14] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B13, ferner umfassend: einen Isolierfilm (38), der die Hauptoberflächenelektrode (30, 32, 124) teilweise bedeckt; wobei der Dichtungsisolator (71) einen Teil aufweist, der den Isolierfilm (38) direkt bedeckt.

[B15] Halbleitervorrichtung (1A bis 1H) nach B14, wobei der Dichtungsisolator (71) einen Teil aufweist, der über den Isolierfilm (38) hinweg der Gate-Elektrode (30, 32, 124) zugewandt ist.

[B16] Halbleitervorrichtung (1A bis 1H) nach B14 oder B15, wobei die Hauptoberflächenelektrode (30, 32, 124) einen Teil aufweist, der den Isolierfilm (38) direkt bedeckt.

[B17] Halbleitervorrichtung (1A bis 1H) nach einem von B14 bis B16, wobei der Isolierfilm (38) mindestens einen von einem anorganischen Isolierfilm (42) und einem organischen Film (43) einschließt.

[B18] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B17, wobei der Chip (2) eine laminierte Struktur aufweist, die ein Substrat (7) und eine Epitaxialschicht (6) einschließt.

[B19] Halbleitervorrichtung (1A bis 1H) nach B14, wobei das Substrat (7) dünner als die Epitaxialschicht (6) ist.

[B20] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B17, wobei der Chip (2) eine einschichtige Struktur aufweist, die aus einer Epitaxialschicht (6) zusammengesetzt ist.

[B21] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B20, wobei der Chip (2) einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

[B22] Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B21, wobei der Chip (2) einen SiC-Einkristall einschließt.

[B23] Halbleitermodul (201A, 201B), umfassend: ein Gehäuse (202), das einen Gehäuseraum (206) aufweist; und die Halbleitervorrichtung (1A bis 1H) nach einem von B1 bis B22, die in dem Gehäuseraum (206) angeordnet ist.

[B24] Halbleitermodul (201A, 201B) nach B23, ferner umfassend: ein gelartiges Füllmittel (235), das die Halbleitervorrichtung (1A bis 1H) in dem Gehäuseraum (206) abdichtet.

[0322] Obwohl die Ausführungsformen oben ausführlich beschrieben sind, handelt es sich dabei nur um spezifische Beispiele, die zur Erläuterung der technischen Inhalte verwendet werden, und der Umfang der vorliegenden Erfindung sollte nicht auf diese spezifischen Beispiele beschränkt interpretiert werden, sondern nur durch die beigefügten Ansprüche begrenzt werden.

Liste der Bezugszeichen

1A	Halbleitervorrichtung
1B	Halbleitervorrichtung
1C	Halbleitervorrichtung
1D	Halbleitervorrichtung
1E	Halbleitervorrichtung
1F	Halbleitervorrichtung
1G	Halbleitervorrichtung
1H	Halbleitervorrichtung
2	Chip

3	Erste Hauptoberfläche
5A	Erste Seitenoberfläche
5B	Zweite Seitenoberfläche
5C	Dritte Seitenoberfläche
5D	Vierte Seitenoberfläche
6	Erster Halbleiterbereich (Epitaxialschicht)
7	Zweiter Halbleiterbereich (Substrat)
30	Gate-Elektrode (Hauptoberflächenelektrode)
32	Source-Elektrode (Hauptoberflächenelektrode)
38	Oberer Isolierfilm
42	Anorganischer Isolierfilm
43	Organischer Isolierfilm
50	Gate-Anschlusselektrode
51	Gate-Anschlussoberfläche
52	Gate-Anschlussseitenwand
60	Source-Anschlusselektrode
61	Source-Anschlussoberfläche
62	Source-Anschlussseitenwand
71	Dichtungsisolator
72	Isolierende Hauptoberfläche
73	Isolierende Seitenwand
124	Erste polare Elektrode bzw. ersten Pol bildende Elektrode (Hauptoberflächenelektrode)
126	Anschlusselektrode bzw. Terminal-Elektrode
127	Anschlussoberfläche
128	Anschlussseitenwand
201A	Halbleitermodul
201B	Halbleitermodul
202	Gehäuse
206	Gehäuseraum
217 bzw. 207	Verdrahtungsmuster
234	Leitender Draht
235	Gelartiges Füllmittel

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2021181324 [0001]

Patentansprüche

1. Halbleitermodul, umfassend:
ein Gehäuse, das einen Gehäuseraum aufweist;
eine Halbleitervorrichtung, die in dem Gehäuseraum angeordnet ist und die einen Chip aufweist, der eine Hauptoberfläche, eine auf der Hauptoberfläche angeordnete Hauptoberflächenelektrode, eine auf der Hauptoberflächenelektrode angeordnete Anschlusselektrode und einen Dichtungsisolator aufweist, der einen Umfang bzw. eine Umgebung der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt; und
ein isolierendes gelartiges Füllmittel, das so in den Gehäuseraum gefüllt wird, dass es den Dichtungsisolator berührt, und das die Halbleitervorrichtung in dem Gehäuseraum abdichtet.

2. Halbleitermodul nach Anspruch 1, wobei das gelartige Füllmittel bis zu einer Höhenposition aufgefüllt wird, bei der eine Gesamtheit der Halbleitervorrichtung in dem Gehäuseraum bedeckt ist.

3. Halbleitermodul nach Anspruch 1 oder 2, wobei der Dichtungsisolator dicker als die Hauptoberflächenelektrode ist.

4. Halbleitermodul nach einem der Ansprüche 1 bis 3, wobei der Dichtungsisolator dicker als der Chip ist.

5. Halbleitermodul nach einem der Ansprüche 1 bis 4,
wobei der Dichtungsisolator ein duroplastisches Harz einschließt und
wobei das gelartige Füllmittel ein Silikongel einschließt.

6. Halbleitermodul nach einem der Ansprüche 1 bis 5, wobei das gelartige Füllmittel die Anschlusselektrode und den Dichtungsisolator berührt und nicht die Hauptoberflächenelektrode berührt.

7. Halbleitermodul nach einem der Ansprüche 1 bis 6, wobei die Anschlusselektrode auf der Hauptoberflächenelektrode in einem Abstand von einer Umfangskante der Hauptoberflächenelektrode angeordnet ist und wobei der Dichtungsisolator einen Umfangskantenabschnitt der Hauptoberflächenelektrode und der Anschlusselektrode bedeckt.

8. Halbleitermodul nach einem der Ansprüche 1 bis 7,
wobei die Anschlusselektrode eine Anschlussoberfläche und eine Anschlussseitenwand aufweist,
wobei der Dichtungsisolator die Anschlussseitenwand so bedeckt, dass die Anschlussoberfläche freiliegt und
wobei das gelartige Füllmittel einen Teil aufweist, der die Anschlussoberfläche direkt bedeckt.

9. Halbleitermodul nach Anspruch 8,
wobei der Dichtungsisolator eine isolierende Hauptoberfläche aufweist, die mit der Anschlussoberfläche eine einzige flache Oberfläche ausbildet, und
wobei das gelartige Füllmittel einen Teil aufweist, der die isolierende Hauptoberfläche direkt bedeckt.

10. Halbleitermodul nach einem der Ansprüche 1 bis 9,
wobei der Chip eine Seitenoberfläche aufweist und
wobei das gelartige Füllmittel einen Teil aufweist, der die Seitenoberfläche direkt bedeckt.

11. Halbleitermodul nach Anspruch 10,
wobei der Dichtungsisolator eine isolierende Seitenwand aufweist, die mit der Seitenoberfläche eine einzige flache Oberfläche ausbildet, und
wobei das gelartige Füllmittel einen Teil aufweist, der die isolierende Seitenwand direkt bedeckt.

12. Halbleitermodul nach einem der Ansprüche 1 bis 11,
wobei die Halbleitervorrichtung einen Isolierfilm einschließt, der die Hauptoberflächenelektrode teilweise bedeckt, und
wobei der Dichtungsisolator einen Teil aufweist, der den Isolierfilm bedeckt.

13. Halbleitermodul nach Anspruch 12, wobei das gelartige Füllmittel den Isolierfilm nicht berührt.

14. Halbleitermodul nach Anspruch 12 oder 13, wobei die Anschlusselektrode einen Teil aufweist, der den Isolierfilm direkt bedeckt.

15. Halbleitermodul nach einem der Ansprüche 12 bis 14, wobei der Isolierfilm einen von einem anorganischen Isolierfilm und einem organischen Isolierfilm oder beide einschließt.

16. Halbleitermodul nach einem der Ansprüche 1 bis 15, wobei der Chip eine laminierte Struktur aufweist, die ein Substrat und eine Epitaxialschicht einschließt, und die Hauptoberfläche einschließt, die durch die Epitaxialschicht ausgebildet wird.

17. Halbleitermodul nach Anspruch 16, wobei die Epitaxialschicht dicker als das Substrat ist.

18. Halbleitermodul nach einem der Ansprüche 1 bis 15, wobei der Chip eine einschichtige Struktur aufweist, die aus einer Epitaxialschicht zusammengesetzt ist.

19. Halbleitermodul nach einem der Ansprüche 1 bis 18, wobei der Chip einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

20. Halbleitermodul nach einem der Ansprüche 1 bis 19, ferner umfassend:
eine in dem Gehäuseraum angeordnete Verdrahtung; und
einen leitenden Draht, der mit der Verdrahtung und der Halbleitervorrichtung verbunden ist;
wobei das gelartige Füllmittel die Verdrahtung, die Halbleitervorrichtung und den leitenden Draht abdichtet.

Es folgen 25 Seiten Zeichnungen

Anhängende Zeichnungen

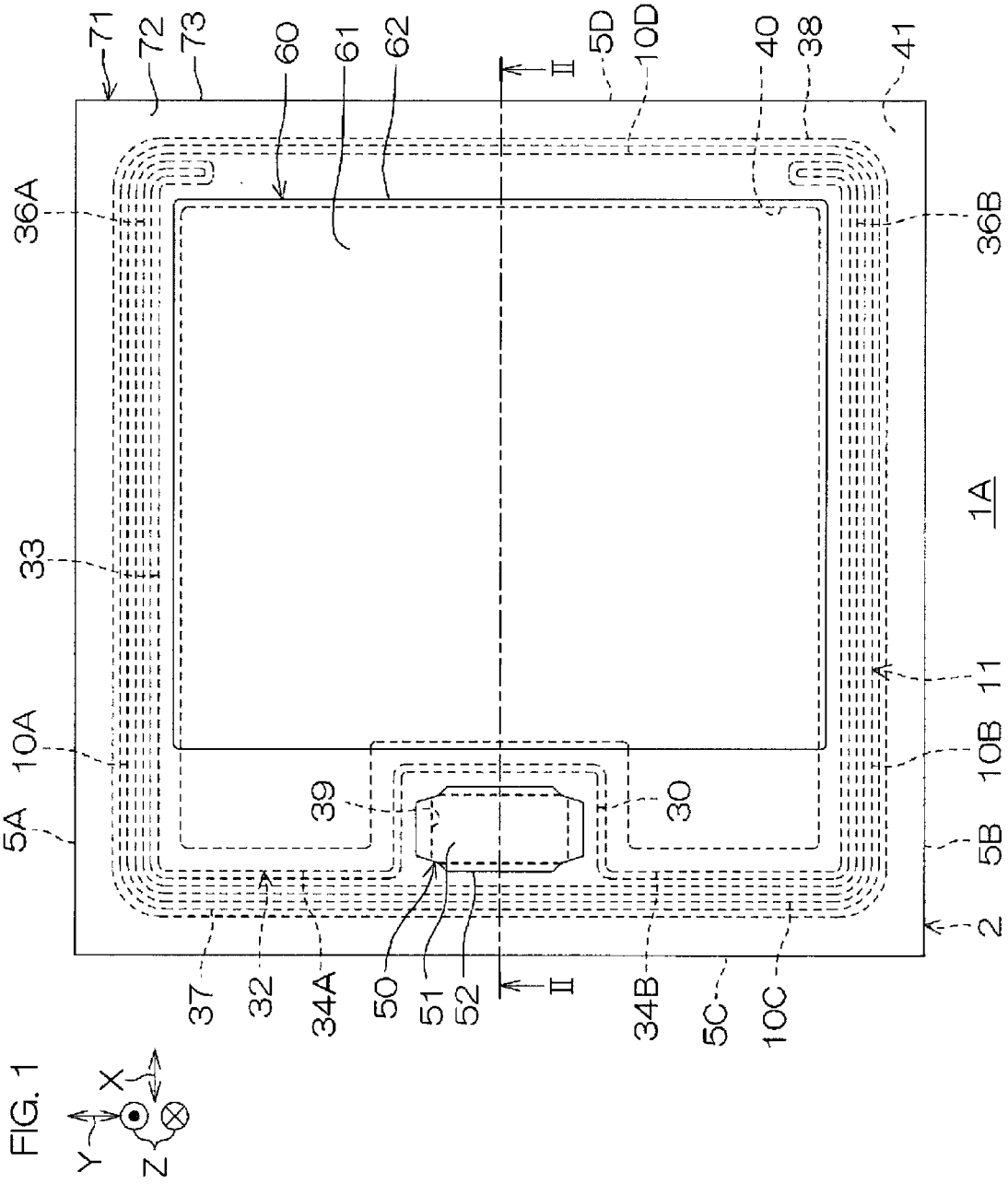
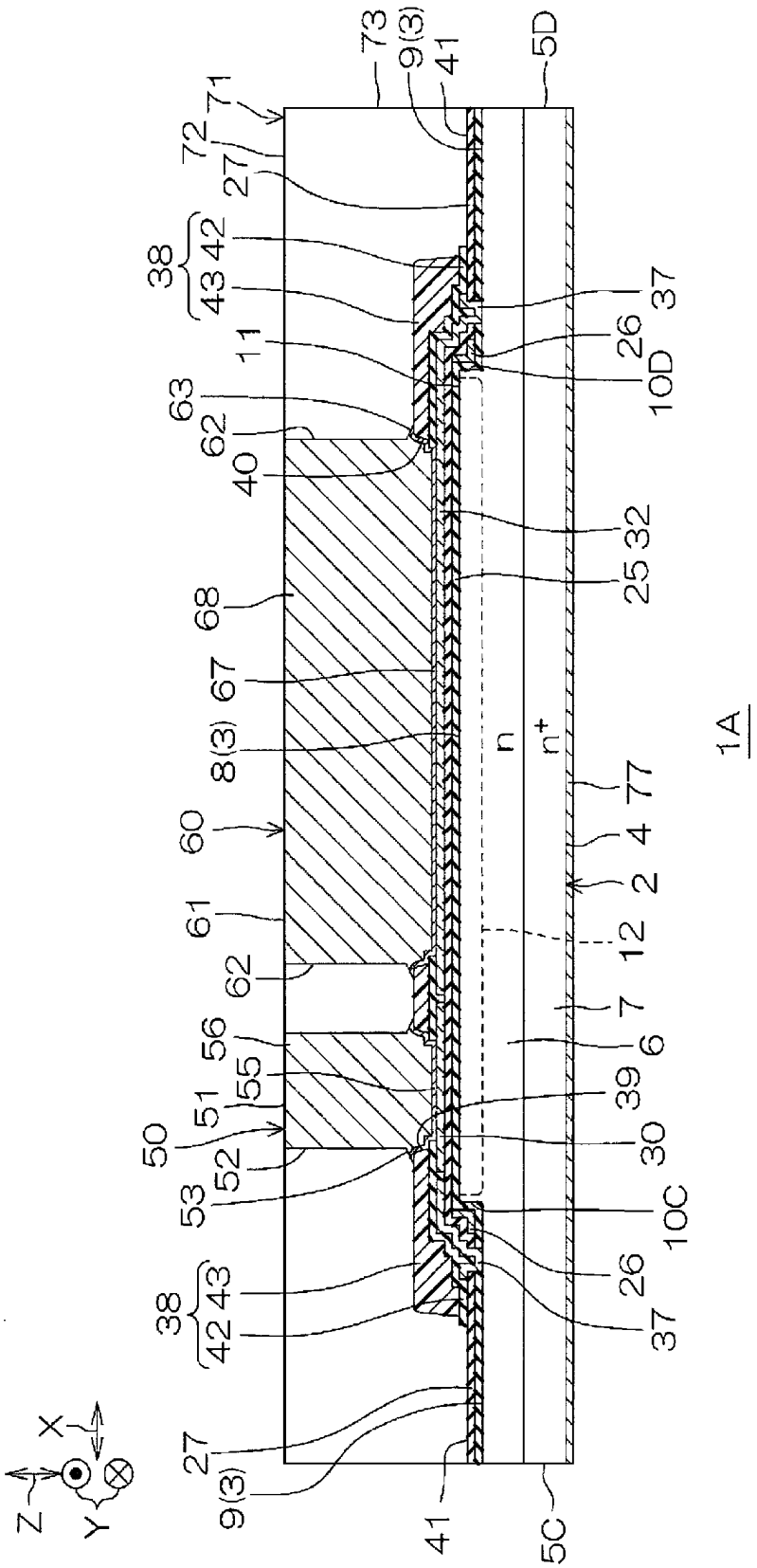


FIG. 1

FIG. 2


73
9(3)
41
5D
71
72
27
38
42
43
11
63
62
40
68
67
8(3)
60
61
62
56
55
51
50
52
53
38
42
43
27
9(3)
41
5C
37
26
10D
32
25
n
n+
77
4
2
12
7
6
39
30
10C
26
37
1A

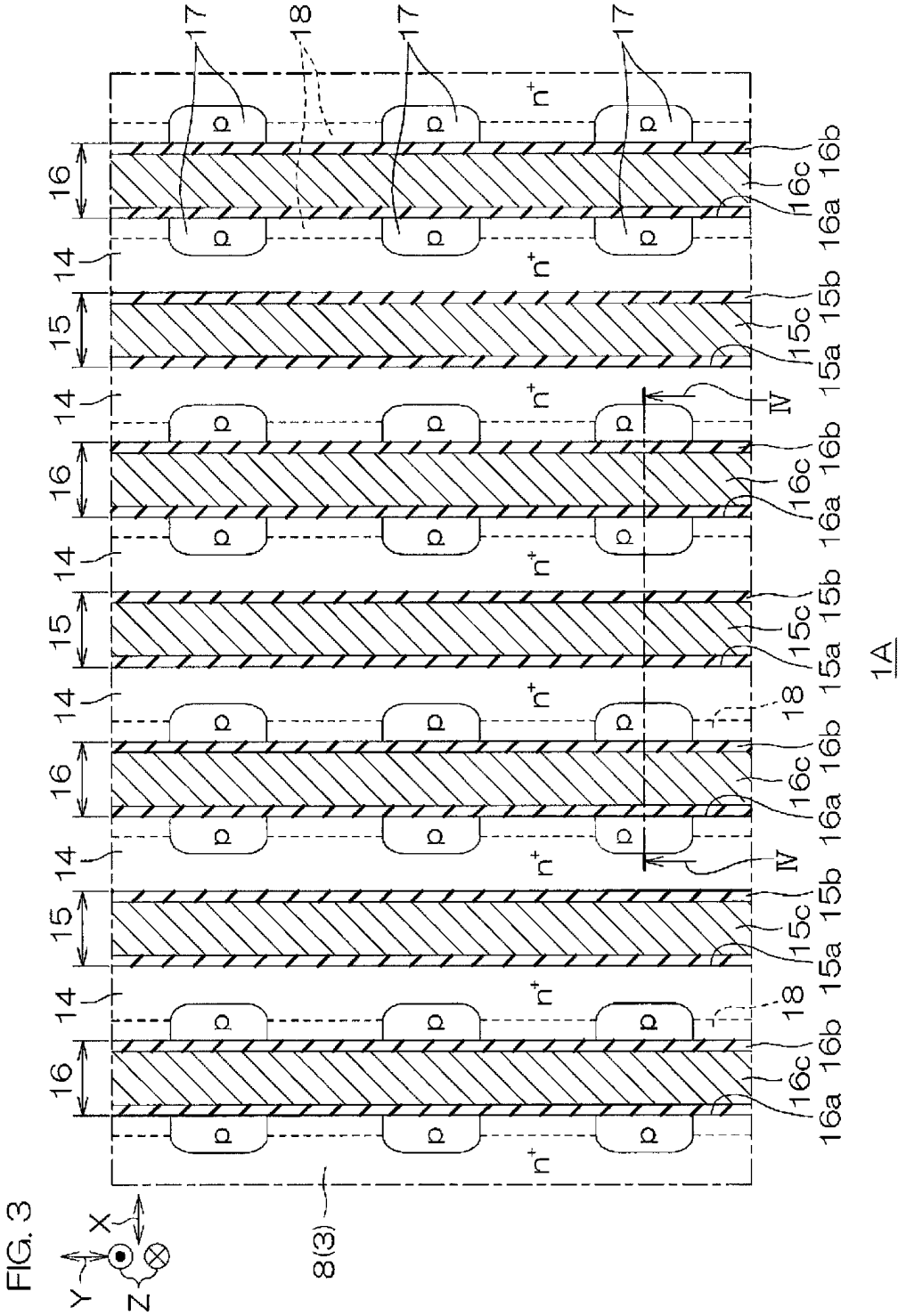
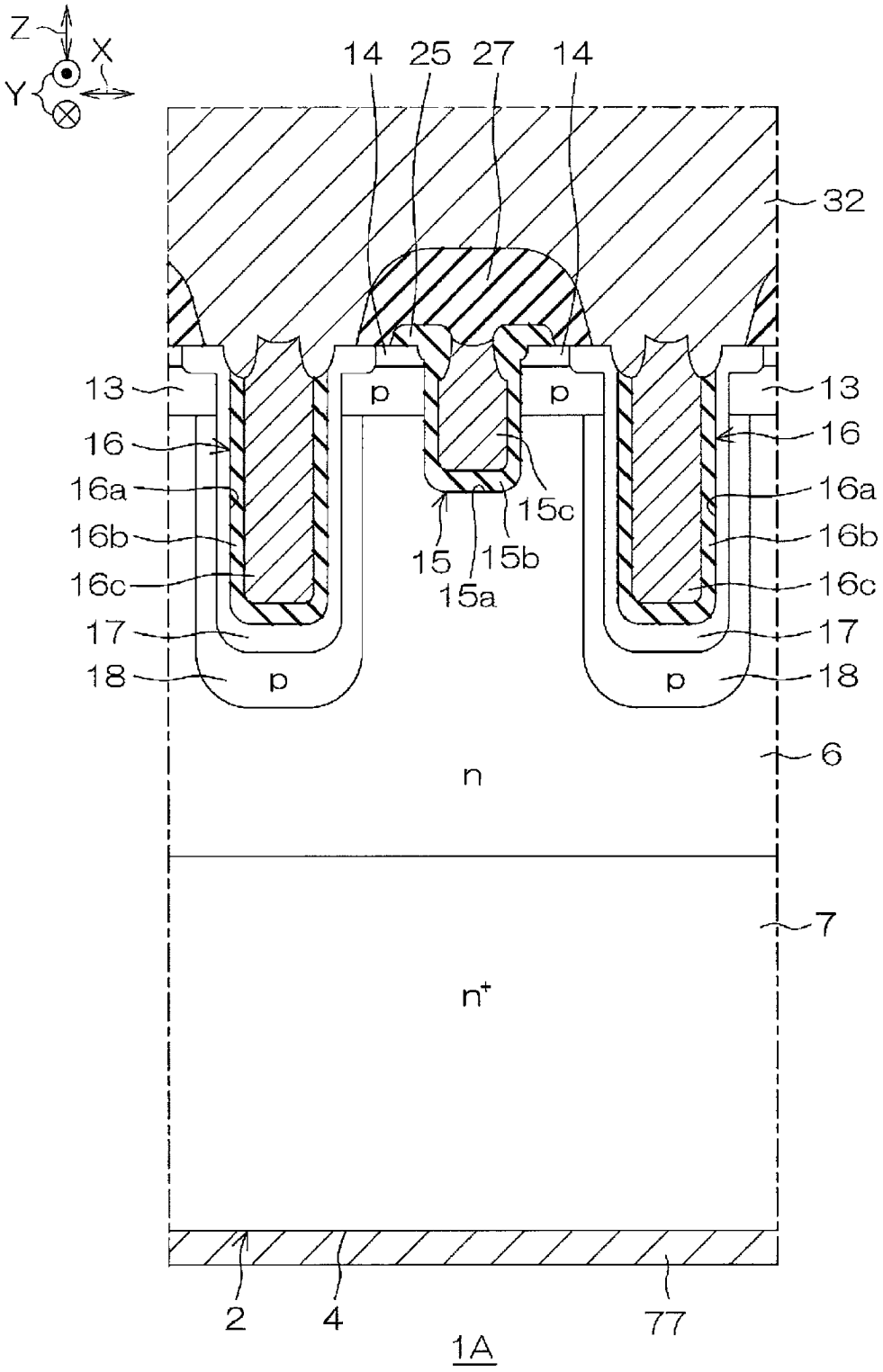


FIG. 3

FIG. 4


Z
X
Y
14
25
27
14
32
13
13
16
16
16a
16a
16b
16b
16c
16c
17
17
18
18
p
p
p
p
15c
15
15b
15a
n
6
7
n+
2
4
77
1A

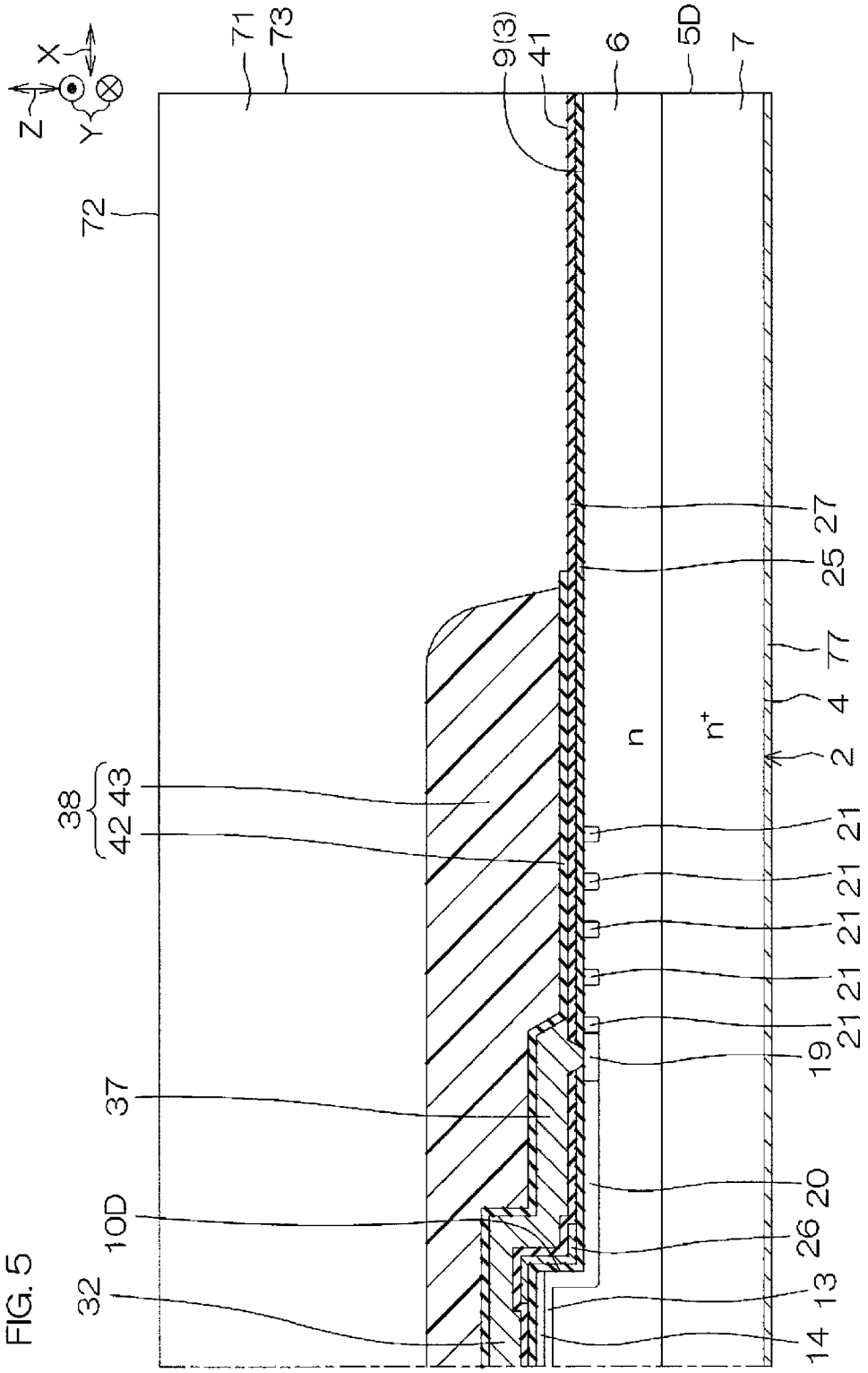

X
Z
Y
71
73
9(3)
41
6
5D
7
72
27
25
77
4
2
n
n+
38
42
43
21
21
21
21
21
21
19
37
20
10D
26
32
13
14

FIG. 5

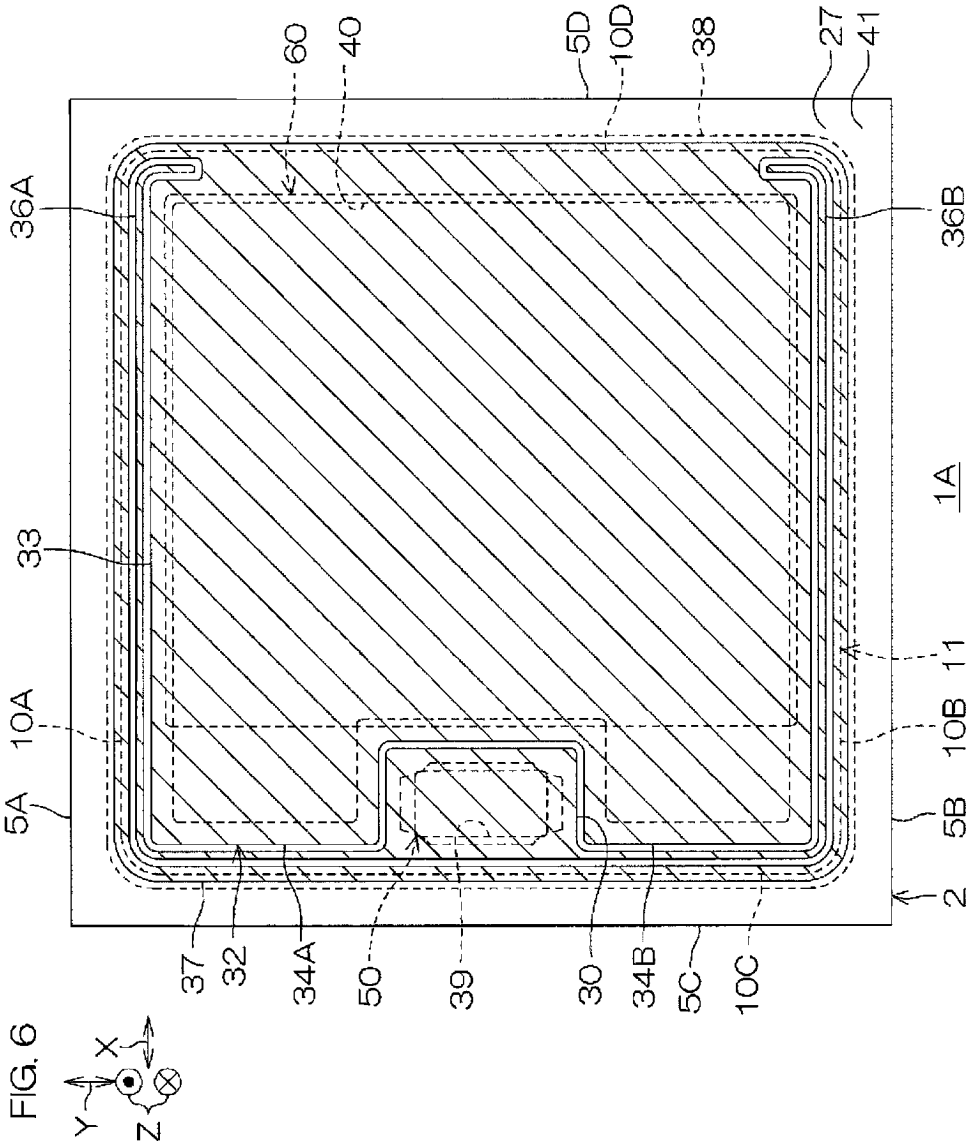

60
40
5D
10D
38
27
41
36A
36B
33
1A
10A
11
10B
5A
5B
2
37
32
34A
50
39
30
34B
5C
10C
X
Y
Z

FIG. 6

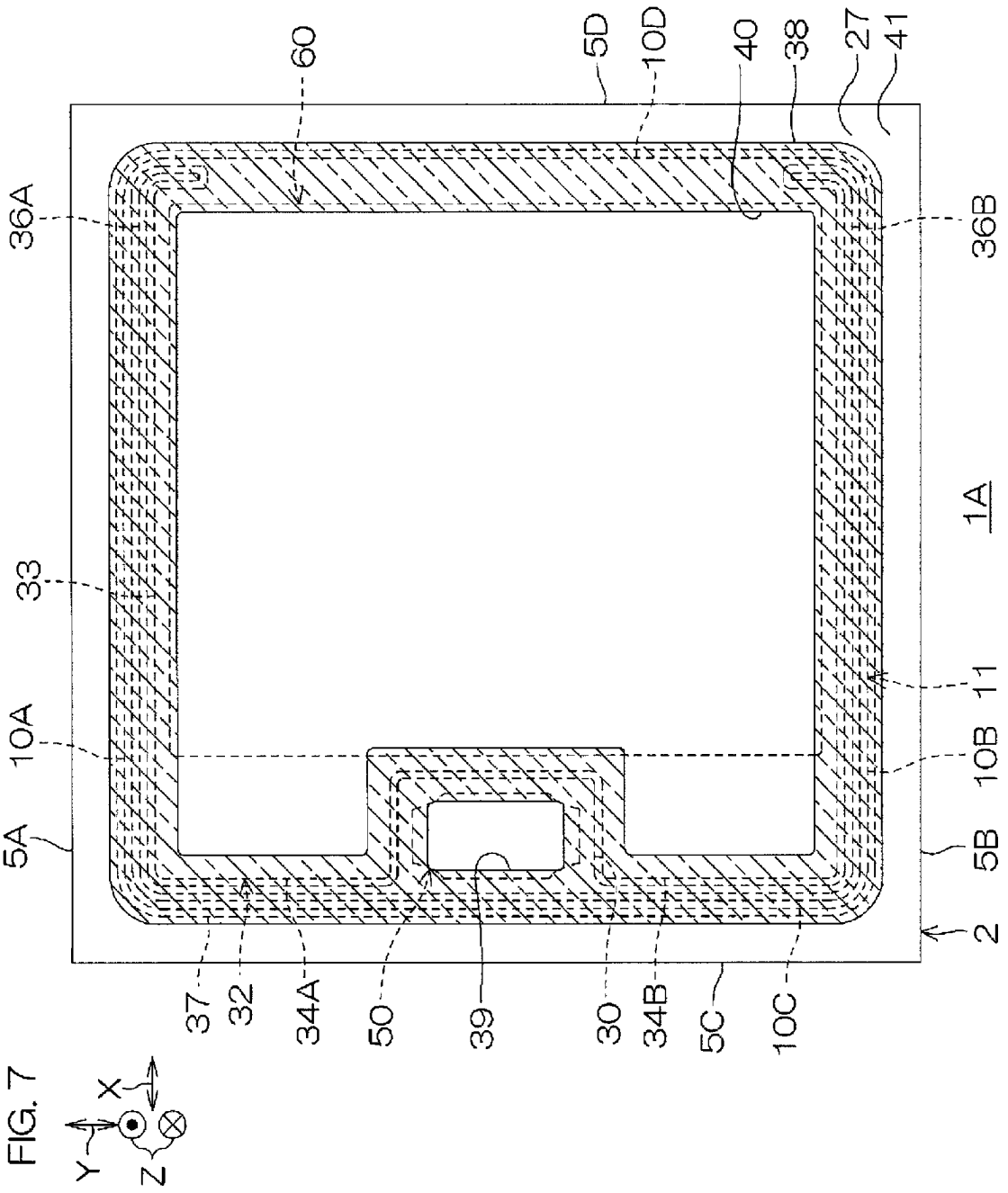
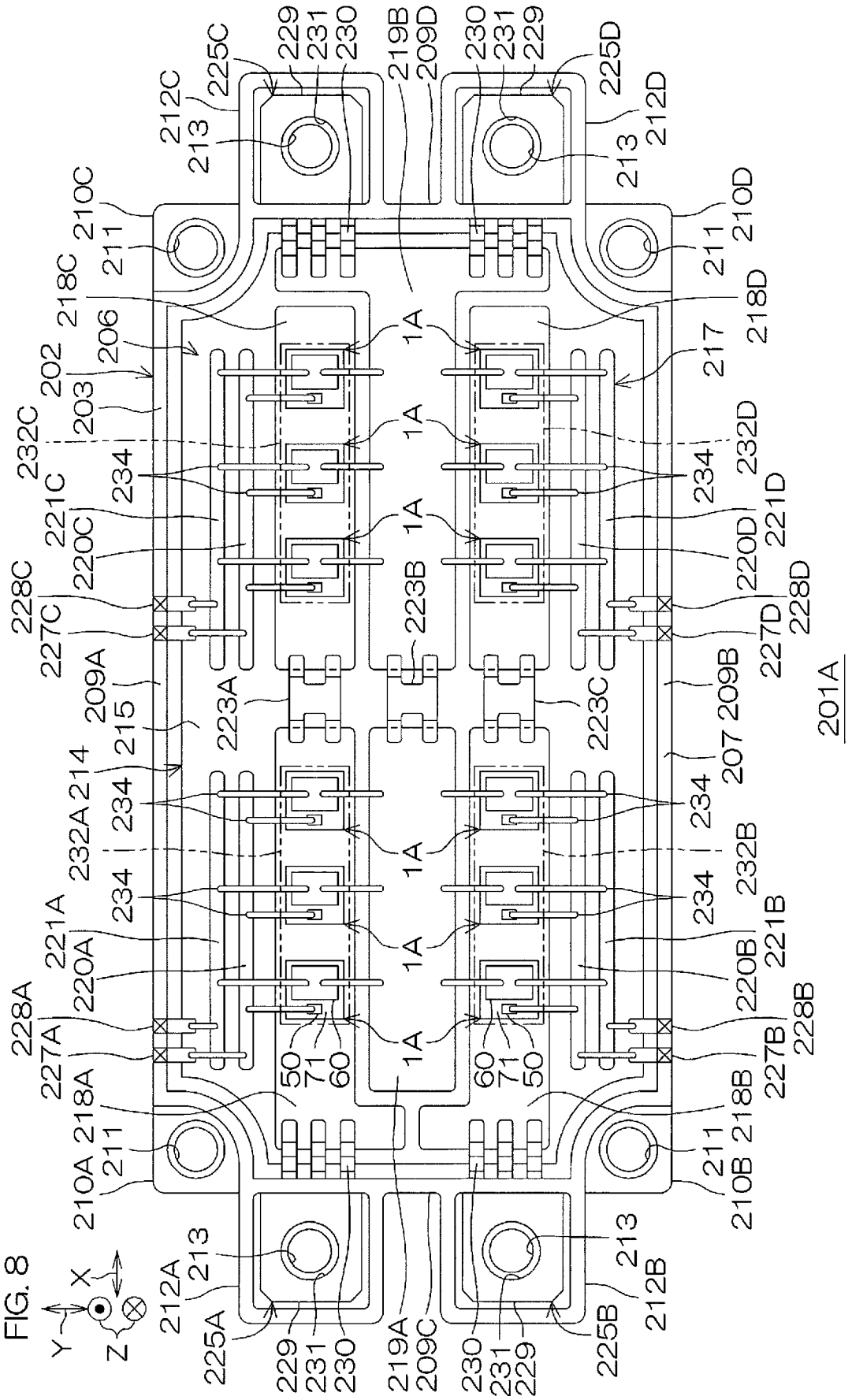

60
5D
10D
40
38
27
41
36A
36B
33
1A
10A
11
10B
5A
5B
2
37
32
34A
50
39
30
34B
5C
10C
X
Y
Z

FIG. 7

FIG. 8


X
Y
Z
201A
210A
210B
210C
210D
211
212A
212B
212C
212D
213
214
215
217
218A
218B
218C
218D
219A
219B
209A
209B
209C
209D
220A
220B
220C
220D
221A
221B
221C
221D
223A
223B
223C
225A
225B
225C
225D
227A
227B
227C
227D
228A
228B
228C
228D
229
230
231
232A
232B
232C
232D
234
202
203
206
207
1A
50
60
71

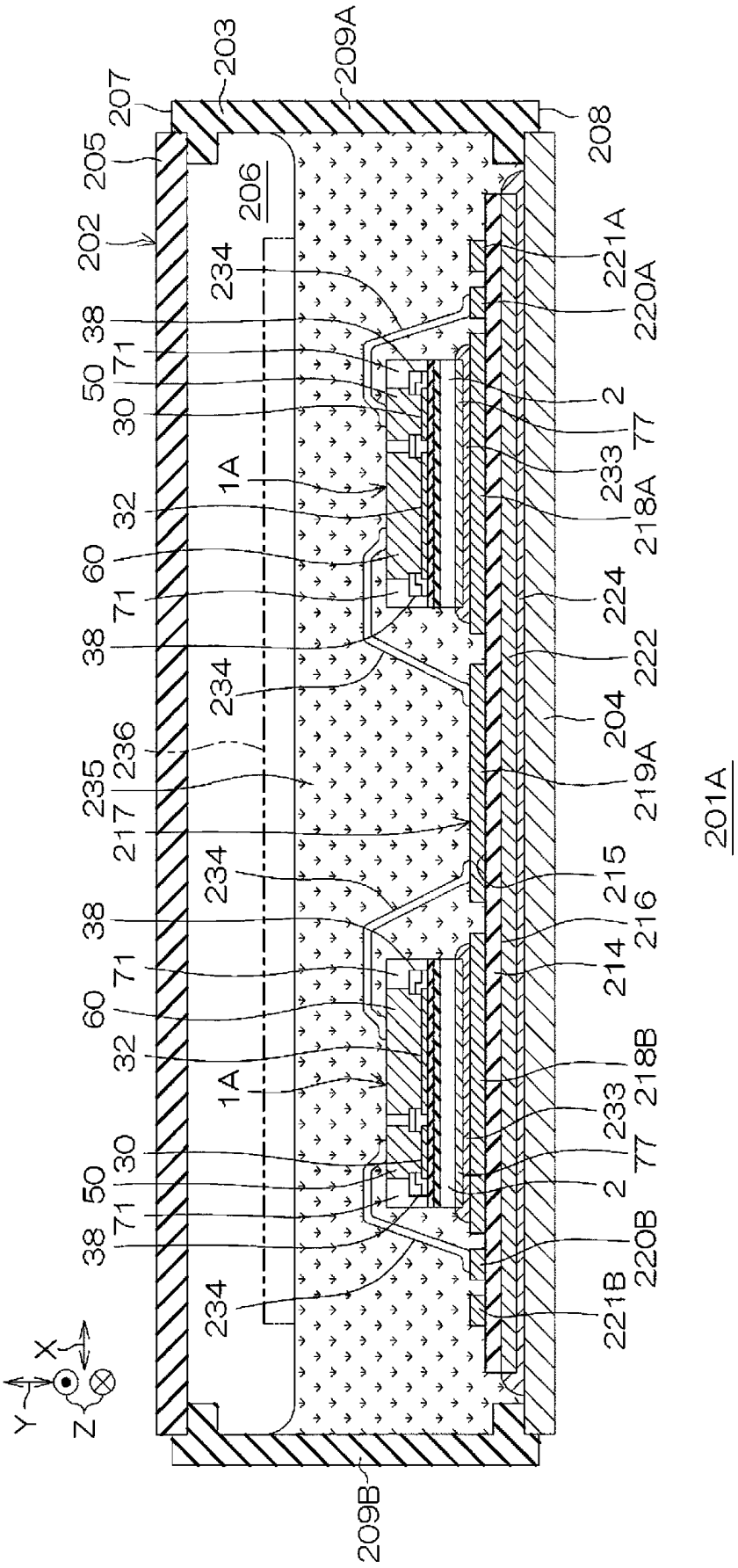
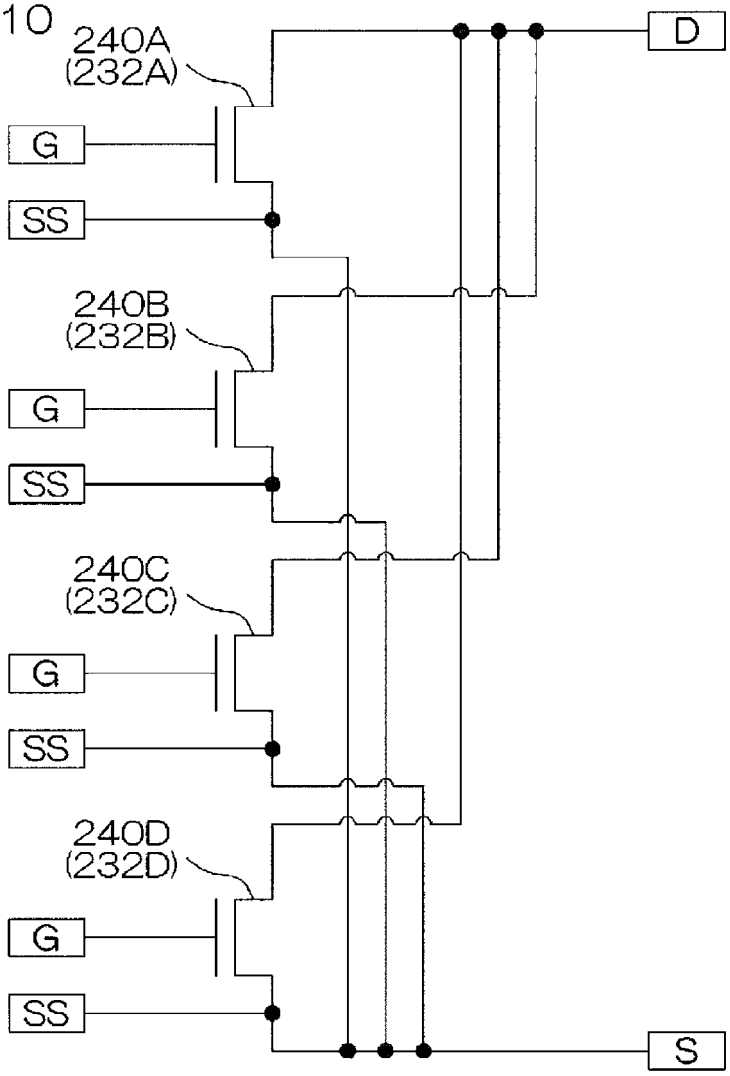

203
209A
207
208
205
206
202
234
221A
38
220A
50
71
2
30
77
1A
233
32
218A
60
71
224
38
222
234
204
236
235
219A
217
234
215
38
216
214
71
60
32
218B
1A
233
30
77
50
2
71
220B
38
221B
234
209B
201A
FIG. 9
X
Y
Z

FIG. 10



201A

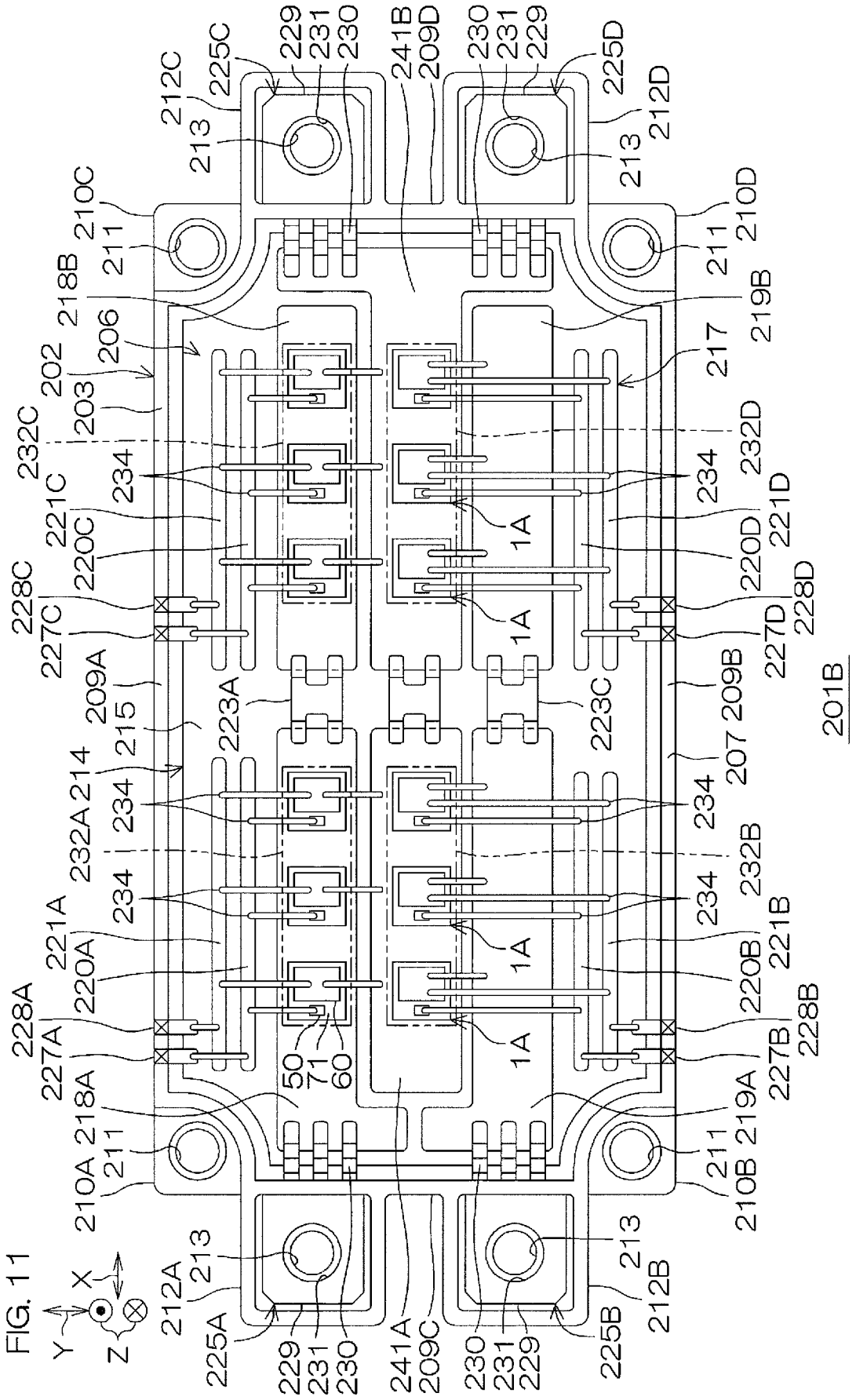
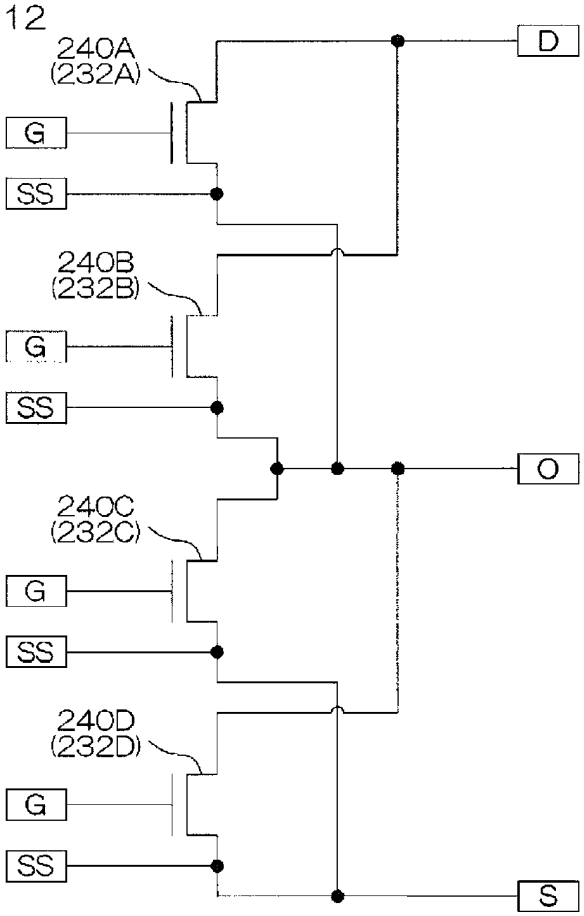


FIG. 11

FIG. 12



201B

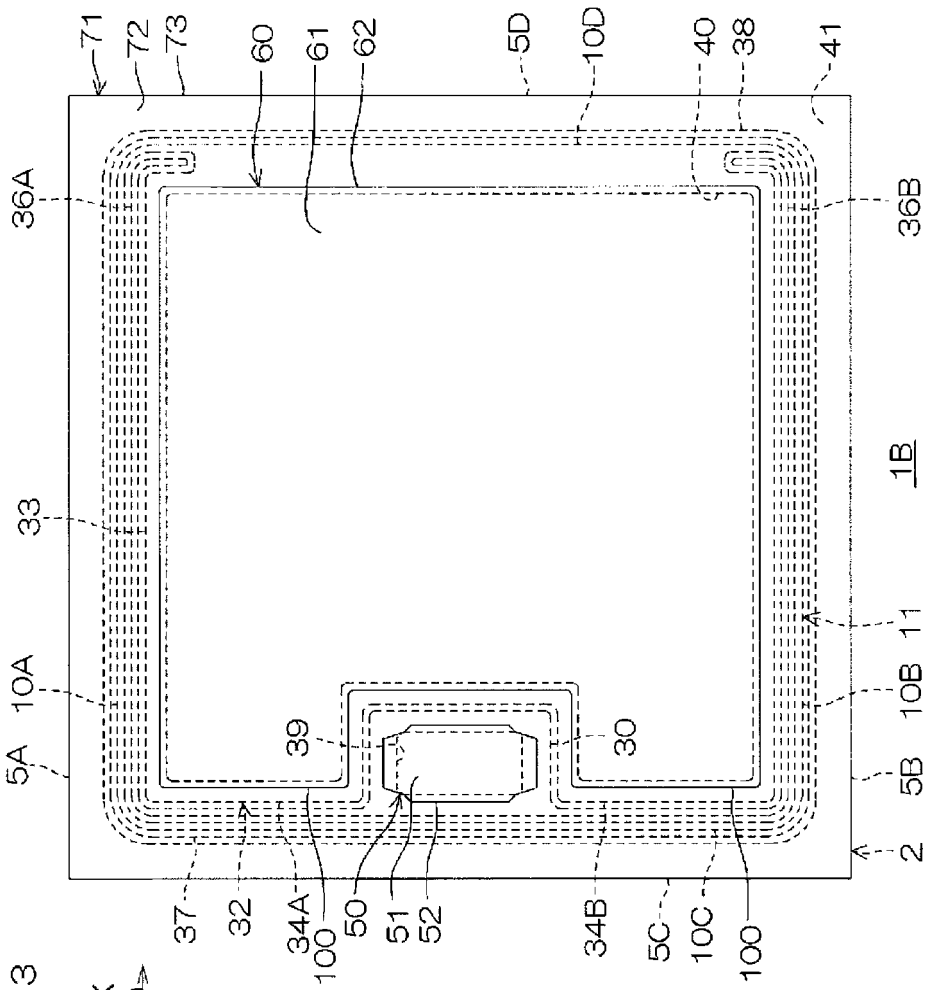

71
72
73
60
61
62
5D
10D
40
38
41
36A
36B
33
1B
11
10A
10B
5A
39
30
5B
2
37
32
34A
100
50
51
52
34B
5C
10C
100
Y
X
Z

FIG. 13

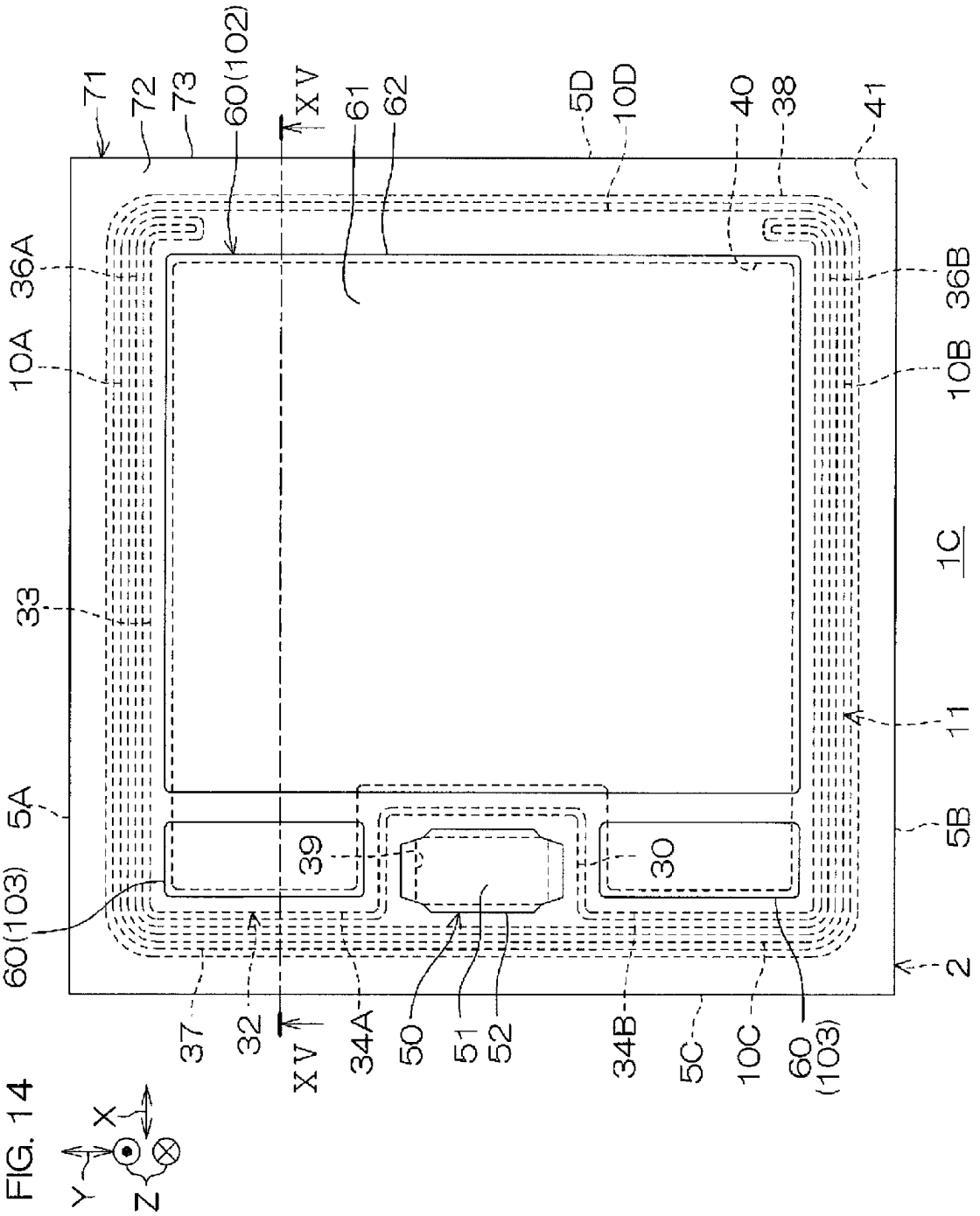

71
72
73
60(102)
XV
61
62
5D
10D
40
38
41
36A
10A
33
5A
60(103)
36B
10B
1C
11
5B
2
39
30
37
32
XV
34A
50
51
52
34B
5C
10C
60
(103)
X
Y
Z

FIG. 14

FIG. 15

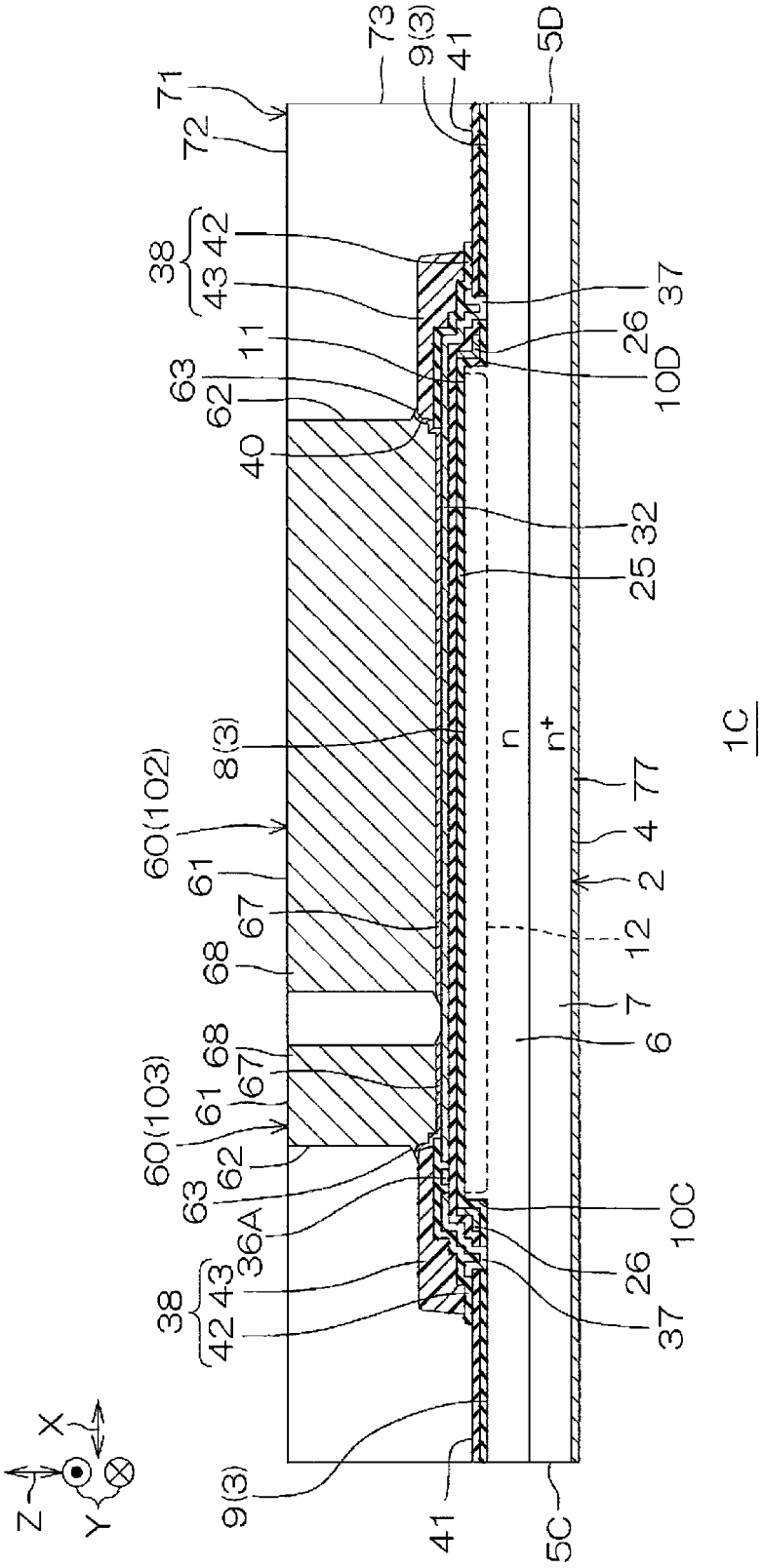
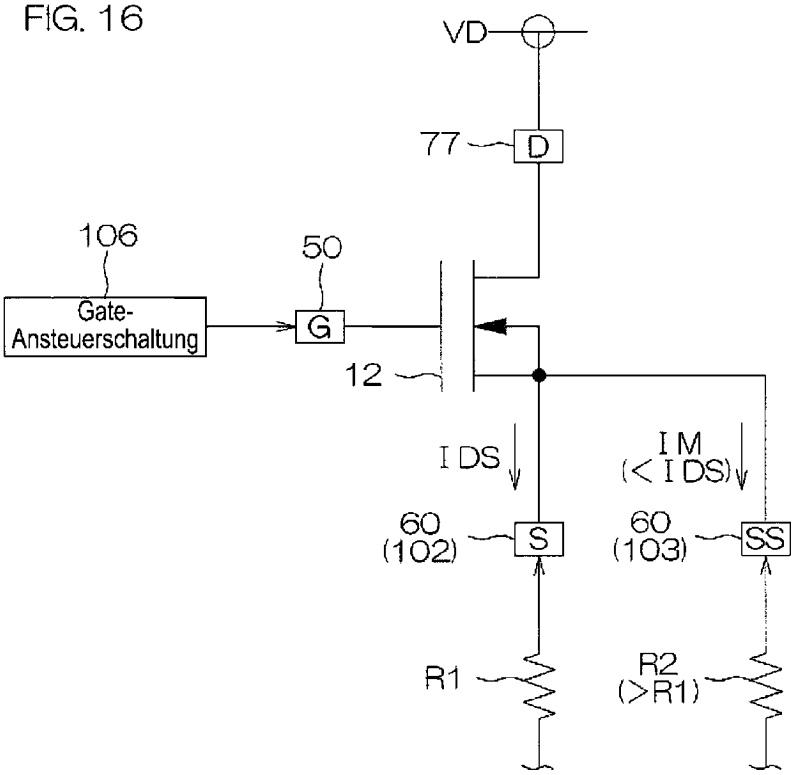

73
9(3)
41
5D
71
72
38
42
43
11
63
62
40
37
26
10D
32
25
8(3)
60(102)
61
67
68
n
n+
77
4
2
12
7
6
60(103)
10C
36A
5C
1C
X
Z
Y

FIG. 16


VD
77
D
106
50
Gate-
Ansteuerschaltung
G
12
I DS
I M
(< I DS)
60
(102)
S
60
(103)
SS
R1
R2
(>R1)

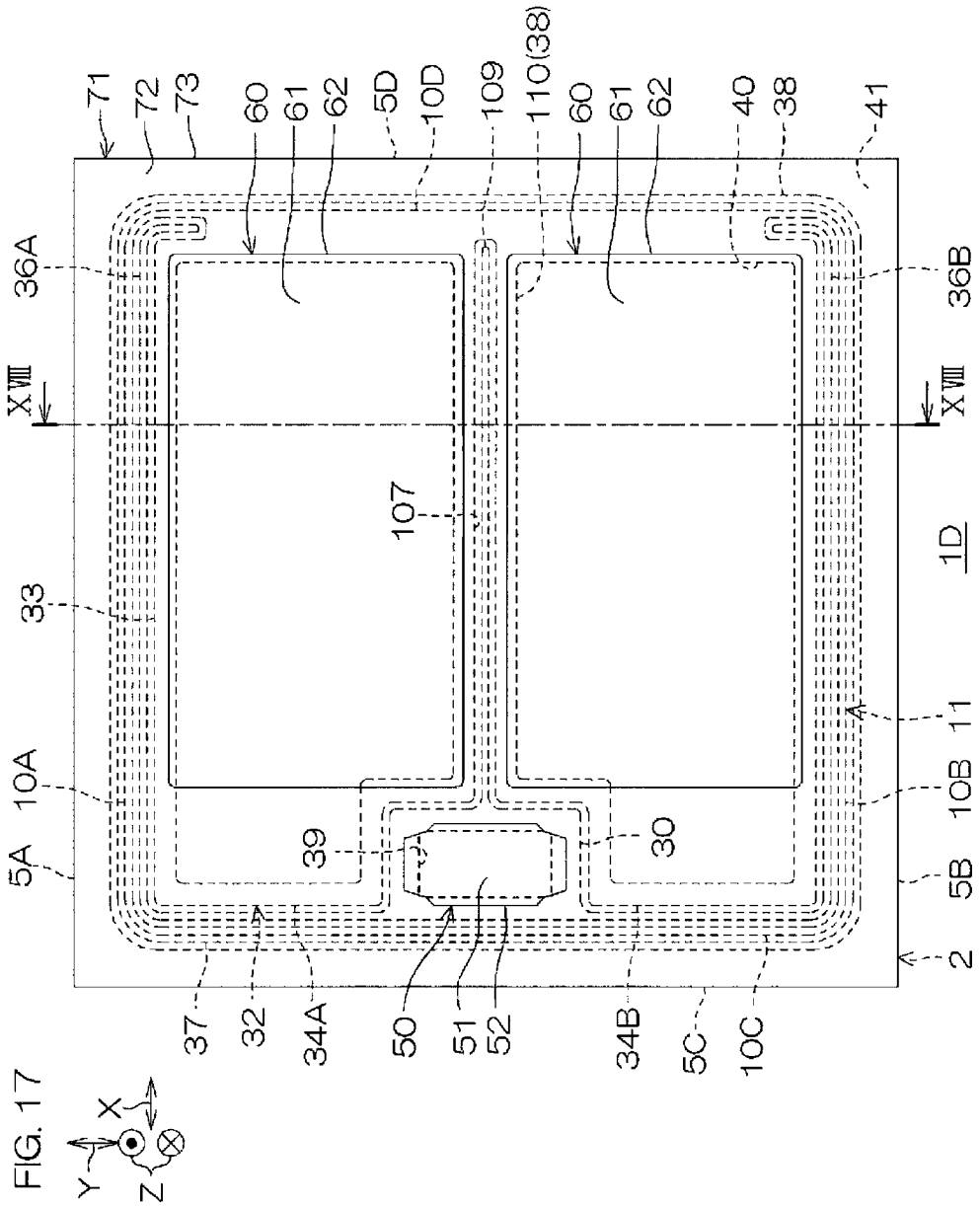
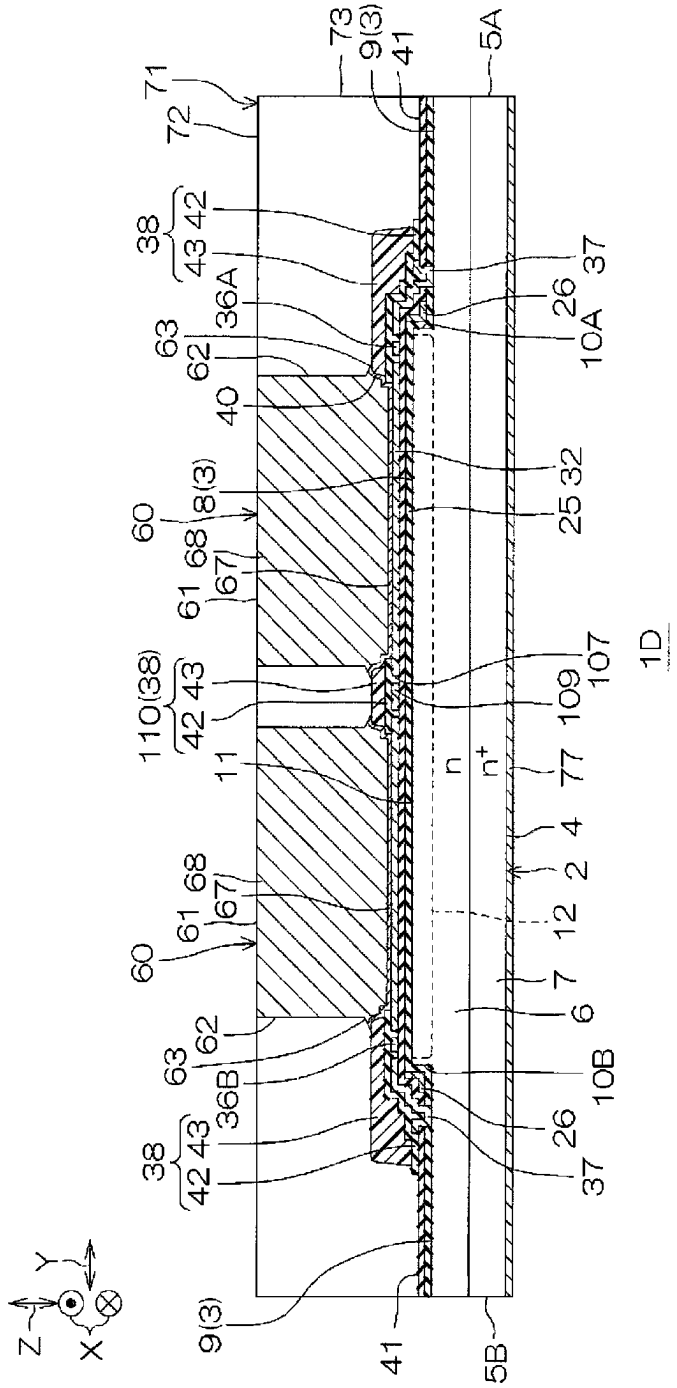

71
72
73
60
61
62
5D
10D
109
110(38)
60
61
62
40
38
41
36A
36B
XVIII
XVIII
107
33
1D
11
10A
10B
5A
39
30
5B
2
37
32
34A
50
51
52
34B
5C
10C
Y
X
Z

FIG. 17

FIG. 18


73
9(3)
41
5A
71
72
38
42
43
36A
63
62
40
60
8(3)
68
67
61
110(38)
11
68
67
61
60
63
62
36B
38
42
43
9(3)
41
5B
37
26
10A
32
25
107
109
n
n+
77
4
2
12
7
6
10B
1D
Z
Y
X

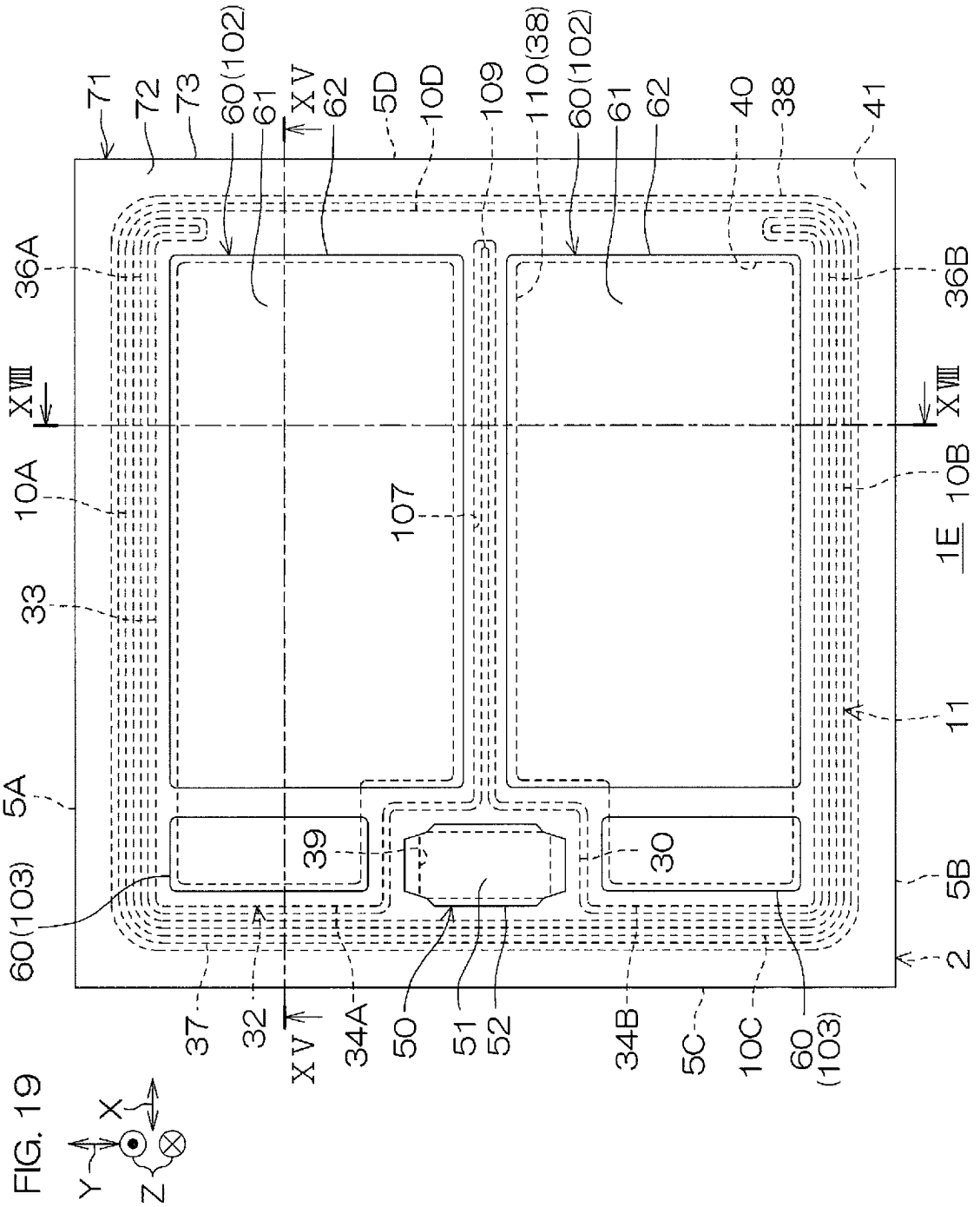

71
72
73
60(102)
61
XV
62
5D
10D
109
110(38)
60(102)
61
62
40
38
41
36A
36B
XVIII
XVIII
10A
10B
107
1E
33
11
5A
39
30
60(103)
5B
2
37
32
XV
34A
50
51
52
34B
5C
10C
60
(103)
Y
X
Z

FIG. 19

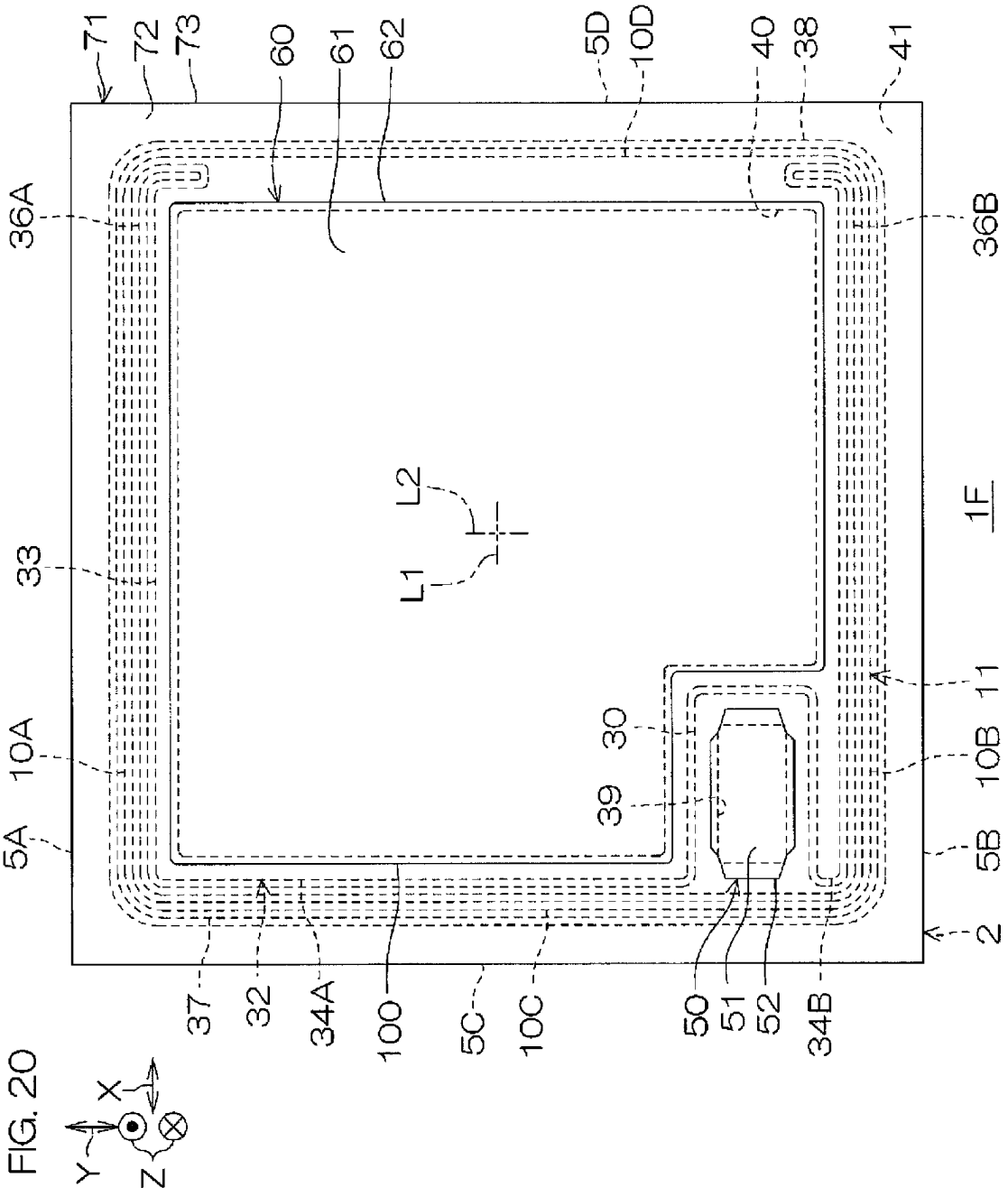

71
72
73
60
61
62
5D
10D
40
38
41
36A
36B
33
L2
L1
I
1F
10A
30
11
39
10B
5A
5B
2
37
32
34A
100
5C
10C
50
51
52
34B
Y
X
Z

FIG. 20

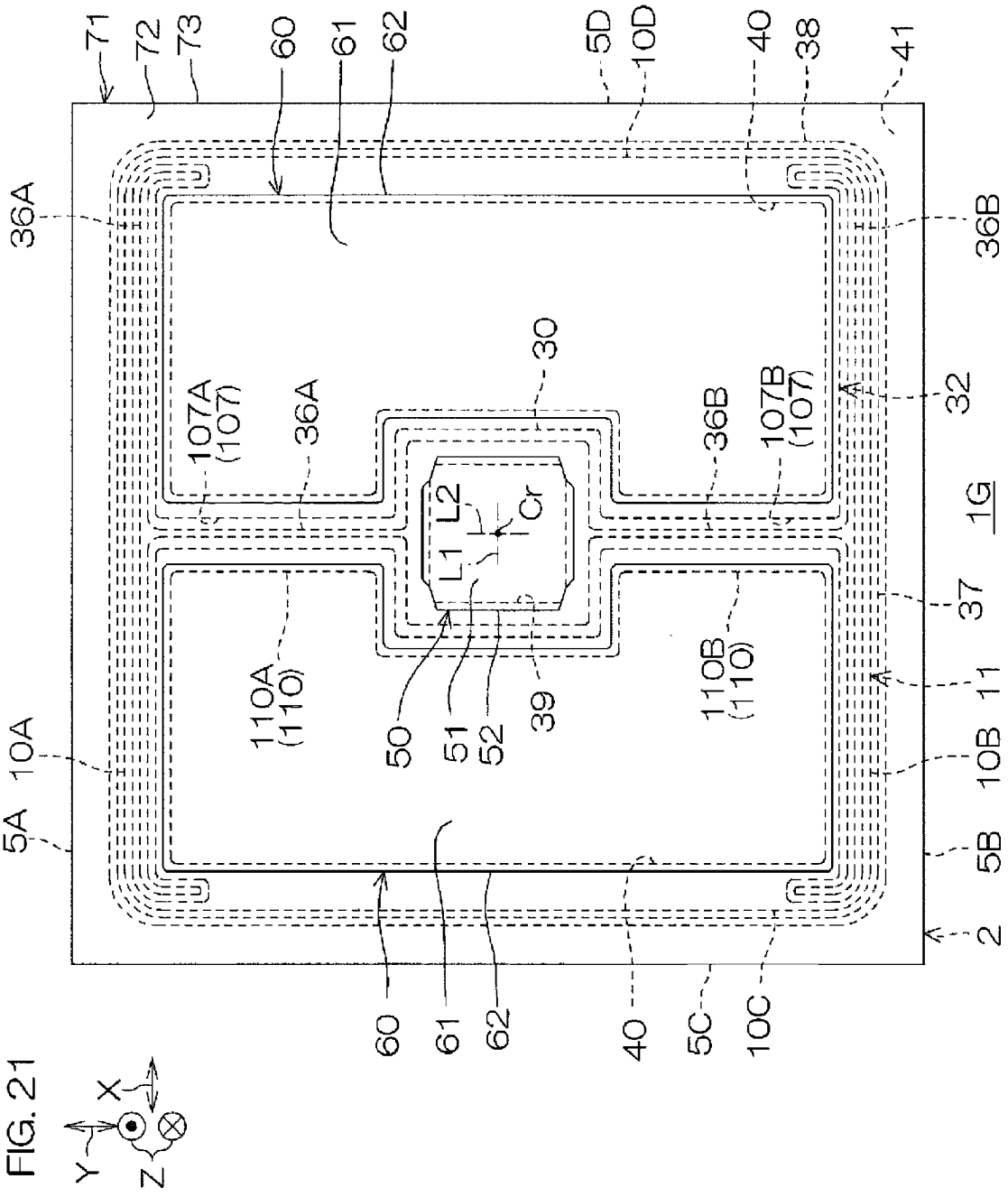

71
72
73
60
61
62
5D
10D
40
38
41
36A
36B
30
107A
(107)
36A
36B
107B
(107)
32
L1
L2
Cr
1G
37
11
110A
(110)
110B
(110)
50
51
52
39
10A
10B
5A
5B
2
60
61
62
40
5C
10C
X
Y
Z

FIG. 21

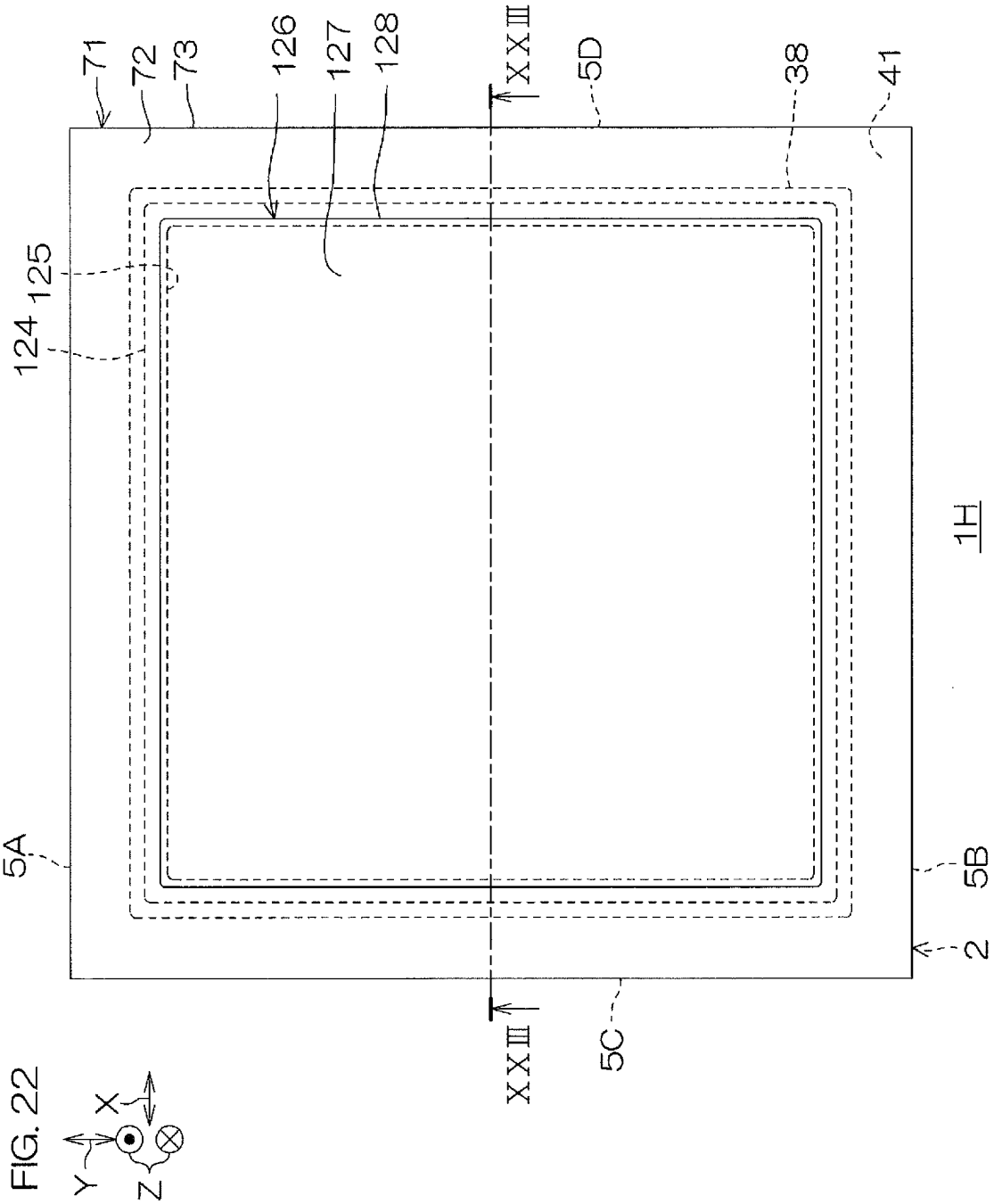


FIG. 22

FIG. 23

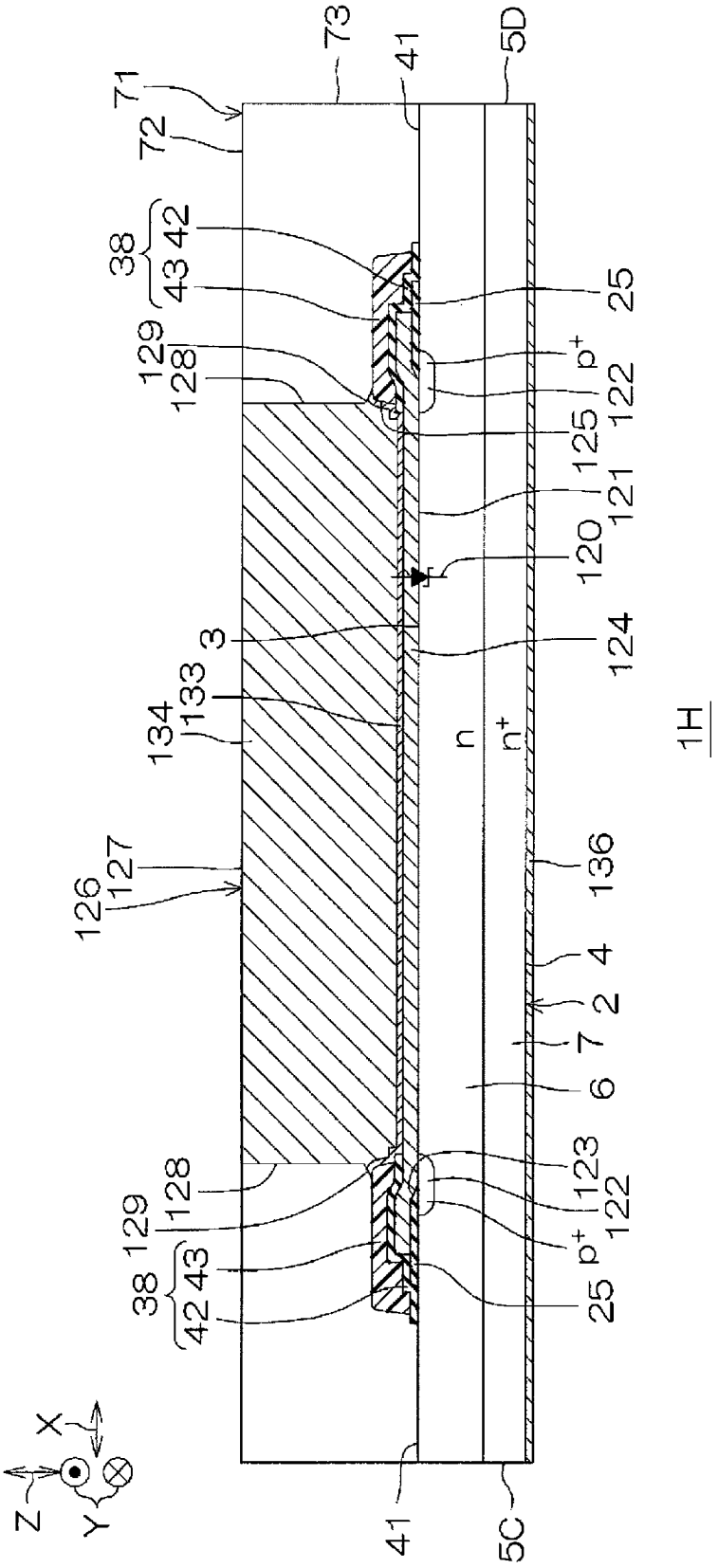

71
72
73
41
5D
38
42
43
25
129
128
p+
122
125
121
120
3
124
133
134
n
n+
1H
126
127
136
4
2
7
6
123
122
p+
25
38
42
43
129
128
41
5C
X
Z
Y

FIG. 24

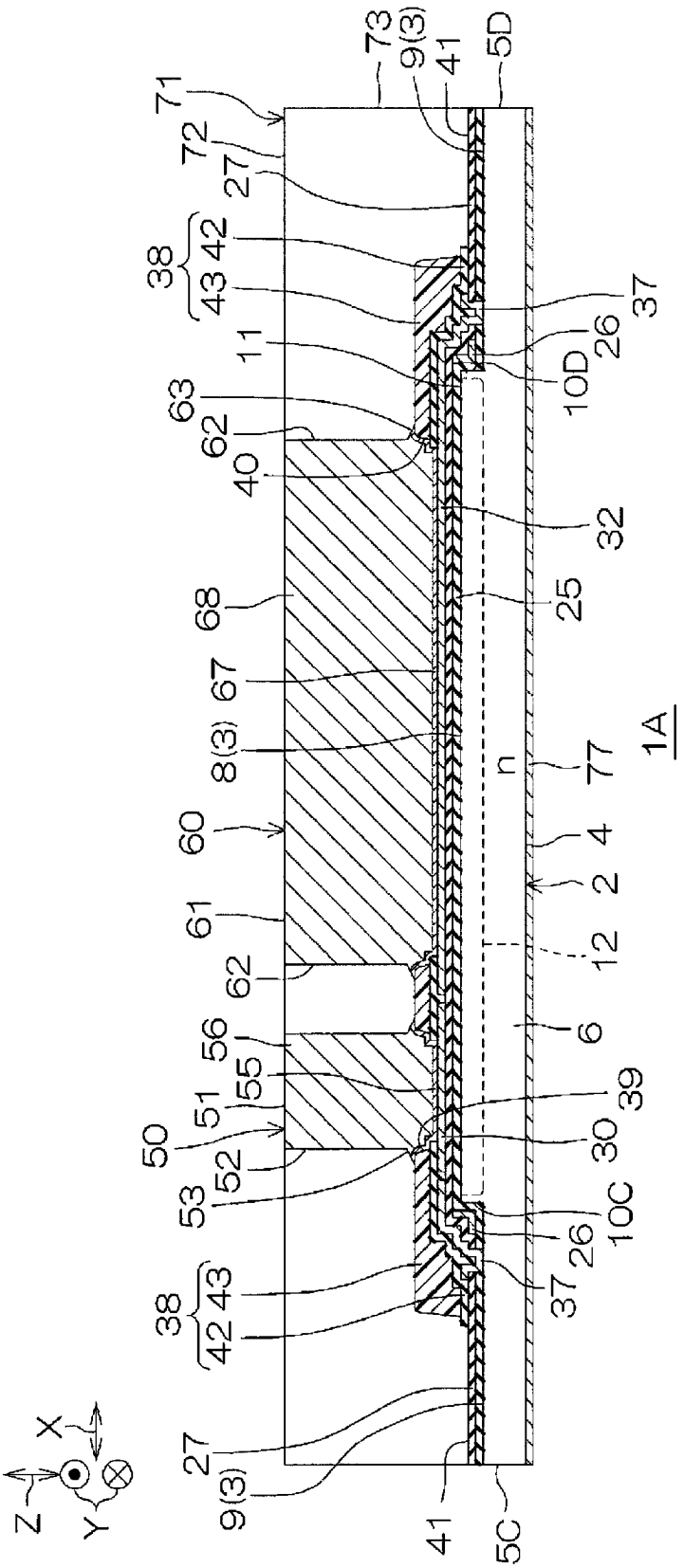
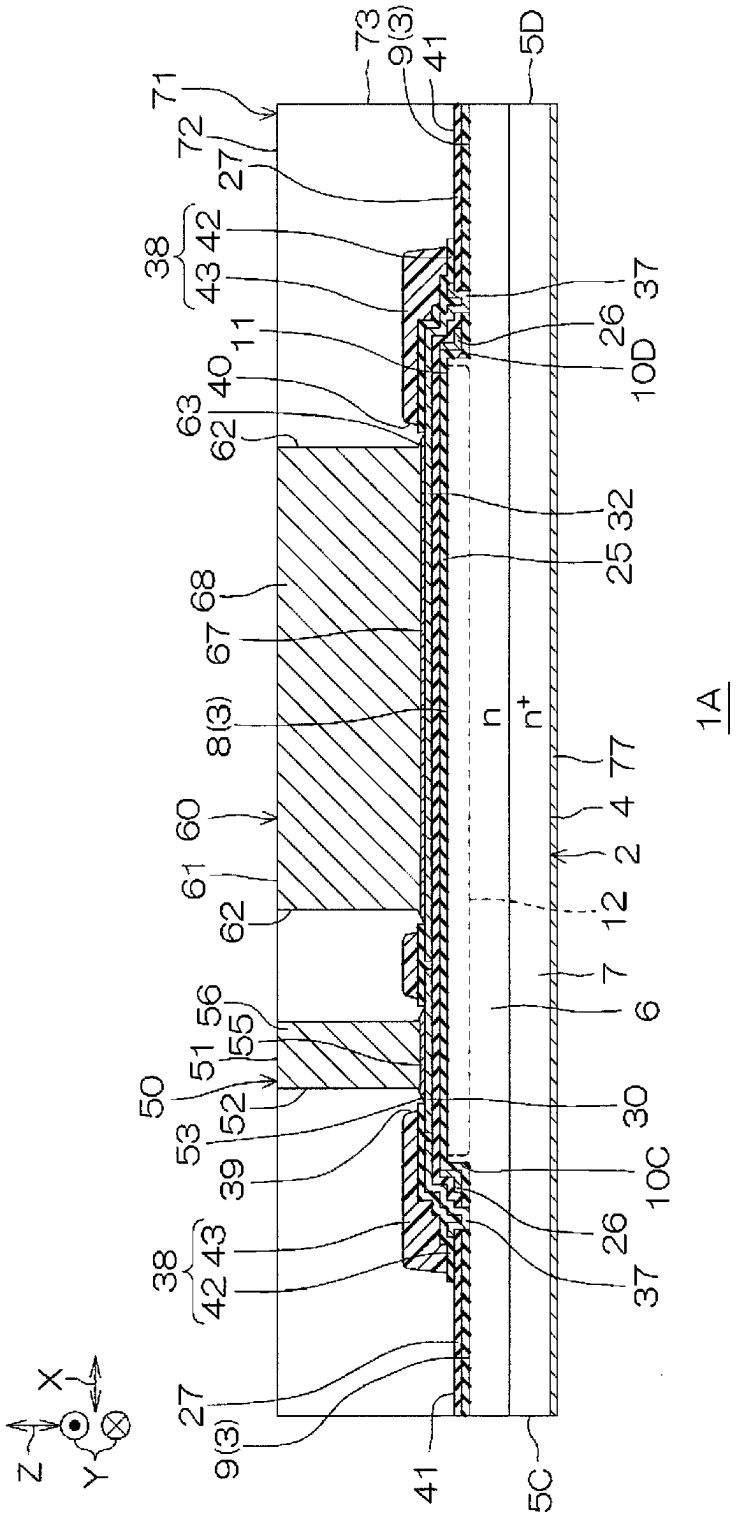

73
9(3)
41
5D
71
72
27
38
42
43
37
11
26
10D
63
62
40
32
68
25
67
8(3)
77
1A
n
60
4
2
61
12
62
6
56
55
39
51
50
30
52
53
10C
26
37
38
43
42
27
9(3)
41
5C
Z
X
Y

FIG. 25


71
72
27
38
42
43
11
40
63
62
68
67
8(3)
60
61
62
56
55
51
50
52
53
39
38
43
42
27
9(3)
41
5C
73
9(3)
41
5D
37
26
10D
32
25
n
n+
77
4
2
12
7
6
30
10C
26
37
1A
X
Y
Z