



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0087741
(43) 공개일자 2011년08월03일

(51) Int. Cl.

B82B 3/00 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2010-0007311

(22) 출원일자 2010년01월27일

심사청구일자 2010년01월27일

(71) 출원인

충남대학교산학협력단

대전 유성구 궁동 220 충남대학교

(72) 발명자

윤순길

대전 서구 삼천동 국화아파트 506-607

안준구

대전광역시 서구 갈마동 296-1 한나빌라 101호

(74) 대리인

김원준

전체 청구항 수 : 총 4 항

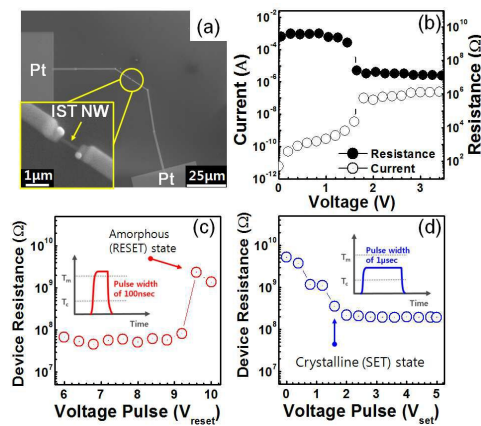
(54) In - Sb - Te 나노와이어의 제조방법 및 이를 이용한 상변화 메모리 소자

(57) 요약

본 발명은 300℃ 이하의 저온에서 상변화 메모리 재료인 In-Sb-Te의 나노와이어를 제조할 수 있는 방법 및 이를 이용한 상변화 메모리에 관한 것으로, 보다 구체적으로 In, Sb 및 Te 전구체의 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며, 상기 반응 시의 챔버 내의 압력이 7~15 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 In-Sb-Te 나노와이어의 제조방법 및 이를 이용한 상변화 메모리에 관한 것이다.

본 발명에 의하면 종래 기술에 의한 상변화 소재인 GST의 대체물질인 IST 나노와이어를 300℃ 이하의 저온에서 대량으로 용이하게 제조할 수 있으므로 상변화 메모리 소자에 효율적으로 활용할 수 있다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호 20090079164

부처명 한국과학재단

연구관리전문기관

연구사업명 중견연구자(도약연구)지원사업

연구과제명 신개념의 융합증착기술(Nano-Cluster Deposition)에 의한 유연성 전자소자개발

기여율

주관기관 충남대학교산학협력단

연구기간 2009.05.01~2010.02.28

특허청구의 범위

청구항 1

In, Sb 및 Te 전구체의 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며, 상기 반응 시의 기판의 온도가 230~300℃, 챔버 내의 압력이 7~15 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 In-Sb-Te 나노와이어의 제조방법.

청구항 2

제 1 항에 있어서,

상기 In 전구체는 $\text{In}(\text{CH}_3)_3$, $\text{In}(\text{C}_2\text{H}_5)_3$, $\text{In}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3$, 또는 $\text{In}(\text{OOCCH}_3)_3$ 이고,

상기 Sb 전구체는 $\text{Sb}(\text{CH}_3)_3$, $\text{Sb}(\text{C}_2\text{H}_5)_3$ 또는 $\text{Sb}(\text{i-C}_3\text{H}_7)_3$ 이며,

상기 Te 전구체는 $\text{Te}(\text{CH}_3)_2$, $\text{Te}(\text{C}_2\text{H}_5)_2$, $\text{Te}(\text{i-C}_3\text{H}_7)_2$ 또는 $\text{Te}(\text{t-C}_4\text{H}_9)_2$ 인 것을 특징으로 하는 유기금속 화학증착법에 의한 In-Sb-Te 나노와이어의 제조방법.

청구항 3

제 1 항에 있어서,

상기 나노와이어의 직경은 30~100nm인 것을 특징으로 하는 유기금속 화학증착법에 의한 In-Sb-Te 나노와이어의 제조방법.

청구항 4

상변화 소재의 나노와이어를 포함하는 상변화 메모리 소자에 있어서,

상기 나노와이어는 제 1 항 내지 제 3 항 중 어느 하나의 방법에 의해 제조된 In-Sb-Te 나노와이어인 것을 특징으로 하는 상변화 메모리 소자.

명세서

기술분야

[0001] 본 발명은 300℃ 이하의 저온에서 상변화 메모리 재료인 In-Sb-Te의 나노와이어를 제조할 수 있는 방법 및 이를 이용한 상변화 메모리에 관한 것이다.

배경기술

[0002] 반도체 메모리소자는 휘발성 메모리소자인 Dynamic random access memory (DRAM)와 비 휘발성 메모리소자인 non-volatile random access memory (NVRAM) 소자로 구분된다. DRAM은 시장 규모가 크지만 기억된 정보가 휘발성이기 때문에 매우 짧은 주기로 동일한 정보를 다시 기억시켜야 하므로 많은 전력을 소모하게된다. 이에 NVRAM 소자로서 DRAM정도의 저장밀도와 SRAM(Static RAM) 정도의 동작 속도를 만족시키면서 저가의 특성을 갖춘 차세대 메모리에 많은 관심을 갖게 되었다. 이중, 상변화 메모리(일명 OUM; Ovonic Unified Memory, PRAM : Phase-Change RAM 또는 CRAM: Chalcogenide RAM으로 불림)는 비정질과 결정질 상태간의 광학적, 전기적 스위칭 현상을 나타내는 칼코게나이드 재료를 이용한 것으로서, 전기저항도 차이에 의해 정보가 기록/소거/재생되는 메모리이다. 상변화 메모리는 빠른 동작속도와 높은 집적도 등 성능면에서 매우 우수하며, 소자구조 및 제작공정

이 단순하기 때문에 정보저장 및 처리용량 대비 저가격화 달성이 용이하다는 장점이 있다.

- [0003] 현재 상변화 메모리 소자에 활용되는 재료로는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) (비특허문헌 1)가 널리 연구되어지고 있으며 또한 양산화를 위한 노력이 경주되고 있다. 그러나 GST는 특히 트렌치(Trench) 구조에 증착 시 사용되어지는 전구체(precursors) 들의 분해온도 보다 결정화 온도가 매우 낮아(약 130°C) 트렌치의 한 부분에 증착되면 결정화가 급격히 진행되어 트렌치를 막아버리는 결과를 초래한다. 따라서 재현성 있게 트렌치 구조를 채우기가 어렵다는 문제가 있다. 또한 이 재료는 아이보닉스사에서 개발되어 모든 특허권을 가지고 있어 현재 모든 반도체회사들은 이를 대체할 수 있는 재료의 개발에 몰두하고 있다.
- [0004] In-Sb-Te(IST)는 In_3SbTe_2 를 비롯하여 다양한 조성에서 상변화 메모리의 특성을 나타낸다(비특허문헌 2). IST의 결정화 온도는 290°C 이상이며 용점(약 626°C)이 높고 reset current가 낮아 GST를 대체할 수 있는 상변화 메모리 소자의 재료로서 기대된다. 이에, 스퍼터링 방법을 이용하여 평면구조위에 상변화 소재를 박막으로 증착한 후 에칭공정을 통해 소자를 구현하여 그 특성을 평가하는 top-down 방식의 사진 식각 공정에 대한 연구가 진행되고 있다(비특허문헌 3).
- [0005] 보다 빠른 스위칭 특성을 갖고 전력 소모가 적은 PRAM을 제작하기 위해서는, GST 셀의 크기를 줄이는 것이 필수적이다. 그러나 사진식각공정에 의하면 100nm 이하에서는 사진식각공정 중에 재료손상에 의해 set 저항값이 커지고 sensing 영역이 작아질 뿐만 아니라 읽는 속도 또한 느려지게 된다.
- [0006] 이러한 top-down 방식의 문제점을 보완하기 위한 대안으로서 미리 형성된 트렌치 구조에 상변화 소재를 스퍼터링과 같은 방법에 의해 증착하는 방식에 의한 메모리 소자의 제조가 큰 관심을 끌고 있다. 그러나 스퍼터링 방법은 $300\sim 400\text{nm}$ 이하의 트렌치 구조에는 증착이 어렵고, 트렌치 구조를 채운다고 하더라도 나머지 부분에 공극(pore)이 생기기 때문에 200nm 이하의 소형화 소자에 적용하는 데는 제약이 있다. 화학증착방법의 경우에는 step coverage가 우수하고 대면적 증착이 용이하기 때문에 소자의 소형화 및 대량화에 적합할 것으로 기대된다.
- [0007] 또한, 최근 본격적으로 연구가 진행되는 나노와이어는 bottom-up 방식을 구현한 주요한 소재로 메모리 소자의 집적도를 획기적으로 증가시킬 수 있다. 이에, GST 나노와이어를 이용한 상변화 메모리에 대해서도 그 결과가 발표되고 있다(비특허문헌 4). $\sim 30\sim 150\text{nm}$ 직경의 GT나 GST 나노와이어는 결합이 매우 적기 때문에 reset 전류 소모 및 데이터 보존기간이 기존 사진식각공정에 의해 제조된 PRAM 소자에 비해 크게 향상된다. 그러나 IST 나노와이어에 대한 상변화 메모리에 대해서는 아직 연구된 바 없다. 더불어, GST 나노와이어는 $\text{GeTe}(\text{GT})$ 와 $\text{Sb}_2\text{Te}_3(\text{ST})$ 분말을 증발시켜 Au 촉매가 있는 기판으로 공급함으로써 GST 나노와이어 성장을 유도하는 VLS(vapor-liquid-solid)법에 의해 제조되기 때문에(비특허문헌 5), 고온공정이 필요하며 저온에서 이러한 상변화재료의 나노와이어를 저온에서 제조할 수 있는 방법이 필수적으로 필요하다.

선행기술문헌

비특허문헌

- [0008] (비특허문헌 0001) Nature materials, Vol 7, Dec, 2008. p. 972 - 977.
- (비특허문헌 0002) Journal of Applied Physics, 64(4), 15, August, 1988. p. 1715 - 1719.
- (비특허문헌 0003) Symposium on VLSI Technology Digest of Technical Papers, p.102, 2007.
- (비특허문헌 0004) Journal of the American Chemical Society, 128, 14026-14027, 2006.
- (비특허문헌 0005) Nature nanotechnology, Vol 2, Oct, 2007. p. 626 - 630.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 300°C 이하의 온도에서 상변화 재료인 IST의 나노와이어를 대량으로 제조할 수 있는 방법을 제공하는

것을 목적으로 한다.

[0010] 본 발명의 또 다른 목적은 상기 IST 나노와이어 제조방법을 이용한 메모리 소자의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0011] 진술한 목적을 달성하기 위한 본 발명은 In, Sb 및 Te 전구체의 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며, 상기 반응 시 기판의 온도가 230~300℃, 챔버 내의 압력이 7~15 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 In-Sb-Te 나노와이어의 제조방법에 관한 것이다.

[0012] 일반적으로 화학증착법에 의한 박막형성은 소스 증기들이 확산하여 가열된 기판표면에서 흡착과 화학반응, 탈착 등의 과정을 거쳐서 수행되는 것으로, 기판 표면이 아닌 기체상태에서는 가능한 한 반응을 억제시켜야 하며 이를 위해 증착압력이 낮은 진공 상태의 챔버에서 반응을 시키게 된다. 이때 증착압력을 증가시키면 소스증기가 과포화되어 기판의 표면이 아닌 증기 상태에서 반응하여 파우더를 형성하게된다. 본 발명자들은 적절한 범위내에서 증착압력을 조절하는 것에 의해 박막표면에 핵 생성 사이트를 형성시켜 나노와이어를 제조할 수 있음에 착안하여 본 발명을 완성하였다.

[0013] 본 반응 시 챔버 내의 압력(증착 압력)은 7~15Torr인 것이 바람직하다. 증착 압력이 7 Torr 이하이면 나노와이어가 아닌 박막이 증착되며, 증착 압력이 너무 높은 경우에는 형성된 나노와이어가 서로 뭉치거나 기체상태에서의 반응 증가로 인한 흠결이 생긴다.

[0014] 상기 반응 시의 기판의 온도는 230~300℃인 것이 바람직하다. 구체적인 데이터를 도시하지만 않았으나, 기판의 온도가 230℃보다 낮은 경우에는 기판 상에서 소스 증기의 반응이 충분히 일어나지 않으므로 증착 효율이 낮아 나노와이어가 형성되지 않았으며, 기판의 온도가 300℃ 이상인 경우에는 나노파우더 상태로 흡착이 되어 거친 표면을 갖는 박막으로 증착되었다. 하기 실시예에서는 250℃에서의 증착 결과만을 예시하였으나, 동일한 증착 압력에서 230~300℃로 증착 온도를 변화시킨 결과 온도가 상승하면 나노와이어의 생성 및 성장 속도가 빨라진 것을 제외하고는 250℃에서 증착하였을 때와 동일한 결과를 나타내었다. 동일 조건에서 증착시간은 나노와이어의 길이를 결정하여, 증착시간이 길어지면 보다 길이가 긴 나노와이어를 얻을 수 있었다.

[0015] 상기 In, Sb 및 Te의 전구체는 In, Sb 및 Te의 소스가 될 수 있는 것으로 각각의 금속의 유기금속 화학증착에 이용될 수 있는 것이라면 어떤 것이라도 무방하다. 본 실시예에서는 $\text{In}(\text{CH}_3)_3$ (TMI), $\text{Sb}(\text{C}_3\text{H}_7)_3$ ($\text{Sb}(\text{iPr})_3$) 및 $\text{Te}(\text{C}_3\text{H}_7)_2$ ($\text{Te}(\text{iPr})_2$)를 각 금속의 전구체로 사용하여 일반적으로 널리 활용되는 bubbler 형 CVD 장비에서 증착하였으나, 이에 한정되는 것은 아니며 이외에도 In 소스로는 $\text{In}(\text{C}_2\text{H}_5)_3$, $\text{In}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3$, 또는 $\text{In}(\text{OOCCH}_3)_3$ 을, Sb 소스로는 $\text{Sb}(\text{CH}_3)_3$ 또는 $\text{Sb}(\text{C}_2\text{H}_5)_3$ 를 Te 소스로는 $\text{Te}(\text{CH}_3)_2$, $\text{Te}(\text{C}_2\text{H}_5)_2$ 또는 $\text{Te}(\text{t-C}_4\text{H}_9)_2$ 등을 이용할 수 있다.

[0016] 고해상 TEM 사진에 의한 분석결과, 본 발명에 의해 형성된 나노와이어는 직경이 30~100nm로 단일 결정상으로 존재하였다(세부 데이터 미도시). 또한, 말단부분에 촉매가 검출되지 않아 나노와이어가 촉매에 의해 형성된 것이 아님을 알 수 있다.

[0017] 본 발명의 실시예에서는 bubbler의 온도를 In과 Te에 대해서는 10℃, Sb에 대해서는 30℃로 고정한 결과만을 예시하였으나, 이는 임의로 설정된 수치로 사전 실험에 의하면 각 bubbler의 온도를 조절하는 것에 의해 형성되는 나노와이어의 조성을 조절할 수 있었다. 즉, 특정 bubbler의 온도를 높이는 것에 의해 해당 금속의 성분이 증가한 IST 박막을 얻을 수 있었다. 또한, 동일 조건에서 증착 압력이나 증착 온도가 증가함에 따라 Sb의 몰비가 증가하는 경향을 나타내었다. 구체적인 데이터를 실시예에 기재하지는 않았으나, bubbler의 온도, 증착 압력 및 증착 온도를 바꾸며 여러 조건에서 실험해 본 결과 In : Sb : Te의 몰비가 2.5~3.5 : 0.5~1.5 : 2.0~4.0인 In-Sb-Te 나노와이어를 제조할 수 있었다.

[0018] 또한 본 발명은 상기 방법에 의해 제조된 IST 나노와이어가 적용된 상변화 메모리 소자에 관한 것이다. 본 발명의 방법에 의해 형성된 나노와이어의 양 말단에 Pt 패드패턴을 형성하고 일정 전압 또는 pulse 전압의 인가에 따른 소자의 저항변화를 측정한 결과 상기 나노와이어가 메모리 특성을 나타내는 것을 확인할 수 있었다. 상변화 메모리 소자는 상기 제조된 나노와이어를 기판으로부터 분리하여 별도의 기판 위에 수평 배열하고 금속 패터

닝을 통해 source, drain 및 gate 전극을 형성하여 전계효과 트랜지스터 형태로 제작할 수 있다. 또는 이미 상용화된 상변화 메모리소자 구조에 직접 상기 IST 나노와이어를 수직 방향으로 성장시켜 소자에 응용할 수 있다. 본 발명은 전술한 방법에 의해 형성한 IST 나노와이어를 종래기술에 의해 널리 알려진 나노와이어를 적용한 상변화 메모리 소자의 제조에 이용한다는 것으로, 상변화 메모리 소자의 구체적인 구조나 제조 방법은 종래 기술의 영역에 해당하므로 이에 대한 구체적인 기재는 생략한다.

발명의 효과

[0019] 이상과 같이 본 발명에 의하면 종래 기술에 의한 상변화 소재인 GST의 대체물질인 IST 나노와이어를 300℃ 이하의 저온에서 유기금속 화학증착법에 의해 대량으로 용이하게 제조할 수 있으므로 상변화 메모리 소자에 효율적으로 활용할 수 있다.

도면의 간단한 설명

[0020] 도 1은 IST 박막의 증착 압력에 따른 구조적 특성을 보여주는 사진.
 도 2는 IST 박막의 증착 압력에 따른 단면 구조를 보여주는 SEM 사진.
 도 3은 IST 나노와이어의 직경에 따른 In, Sb, Te의 조성변화를 보여주는 그래프 및 STEM에 의한 In, Sb, Te의 mapping images.
 도 4는 IST 나노와이어의 high-resolution TEM 이미지를 보여주는 사진.
 도 5는 IST 나노와이어 양 말단에 Pt 패드패턴을 형성하여 전기적 특성을 측정한 결과를 보여주는 그래프.

발명을 실시하기 위한 구체적인 내용

[0021] 이하 첨부된 도면과 하기 실시예를 참조하여 통하여 본 발명을 상세하게 설명한다. 그러나, 도면과 실시예는 본 발명을 설명하기 위한 하나의 예시일 뿐 발명의 기술적 사항의 내용이나 범위가 이에 의해 한정되거나 변형되는 것은 아니다.

[0022] 실시예

[0023] 실시예 1 : IST의 화학 증착

[0024] 기관으로는 실리콘 웨이퍼 상에 TiAlN을 증착한 planar 구조의 50nm-thick TiAlN/Si을, IST의 전구체로서 In(CH₃)₃ (TMI), Sb(C₃H₇)₃ (Sb(iPr)₃) 및 Te(C₃H₇)₂ (Te(iPr)₂)을 사용하여 유기금속 화학증착을 실시하였다. 보다 구체적으로, 상기 각 전구체를 유기금속 화학증착 장치의 세 개의 버블러에 각각 장입하였다. 버블러의 온도는 In 및 Te 전구체에 대해서는 10℃를, Sb 전구체에 대해서는 30℃를 각각 유지하였으며, 운반가스로는 Ar 가스를 각각의 전구체에 20scm(cubic centimeter per minute)의 속도로 주입하여 약 80℃로 유지된 샤워헤드에서 분사하였다. 챔버 내의 압력은 1, 3, 5, 7 또는 10 Torr를 유지하도록 챔버에 부착된 압력게이지를 통하여 정교하게 조절하였다. 증착 온도는 기관위에 부착된 온도 센서를 이용하여 조절하였으며 250℃에서 2시간 동안 증착을 실시하였다. 증착 후에는 상온까지 냉각한 후에 시편을 채취하였다.

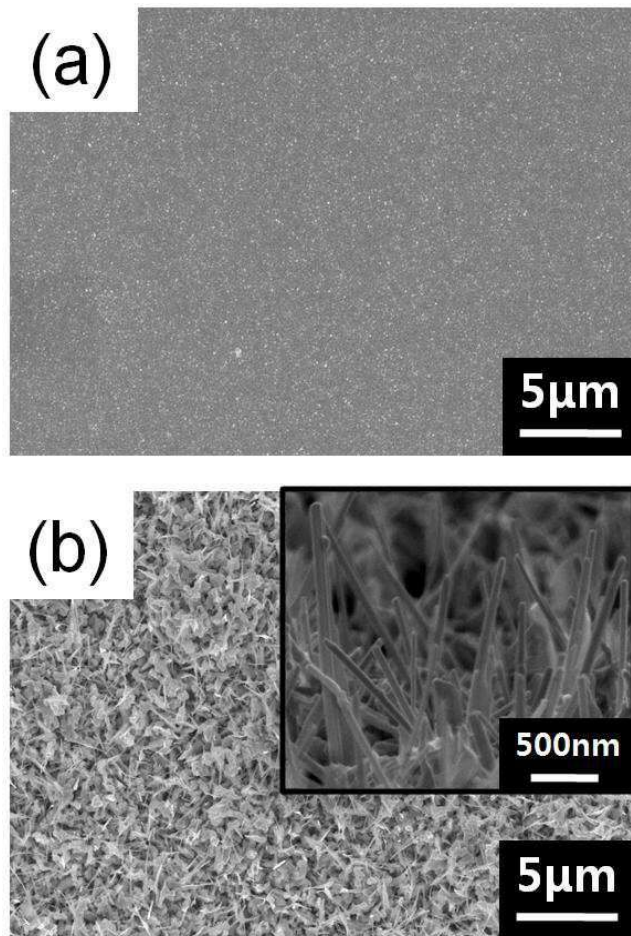
[0025] 실시예 2 : IST 나노와이어의 구조 특성분석

[0026] 실시예 1에서 제조한 IST 박막의 표면 및 단면구조를 주사전자현미경(FE-SEM, Sirion & S-4800)으로 분석하여 그 결과를 도 1에 도시하였다. 도 1의 (a)와 (b)는 각각 3.9×10^2 Pa (3 Torr) 과 13×10^2 Pa (10 Torr)의 증착압력에서 증착된 시편의 SEM 표면사진을 보여준다. (b)의 내부사진은 10 Torr에서 증착된 시편의 단면을 나타내는 SEM 사진이다.

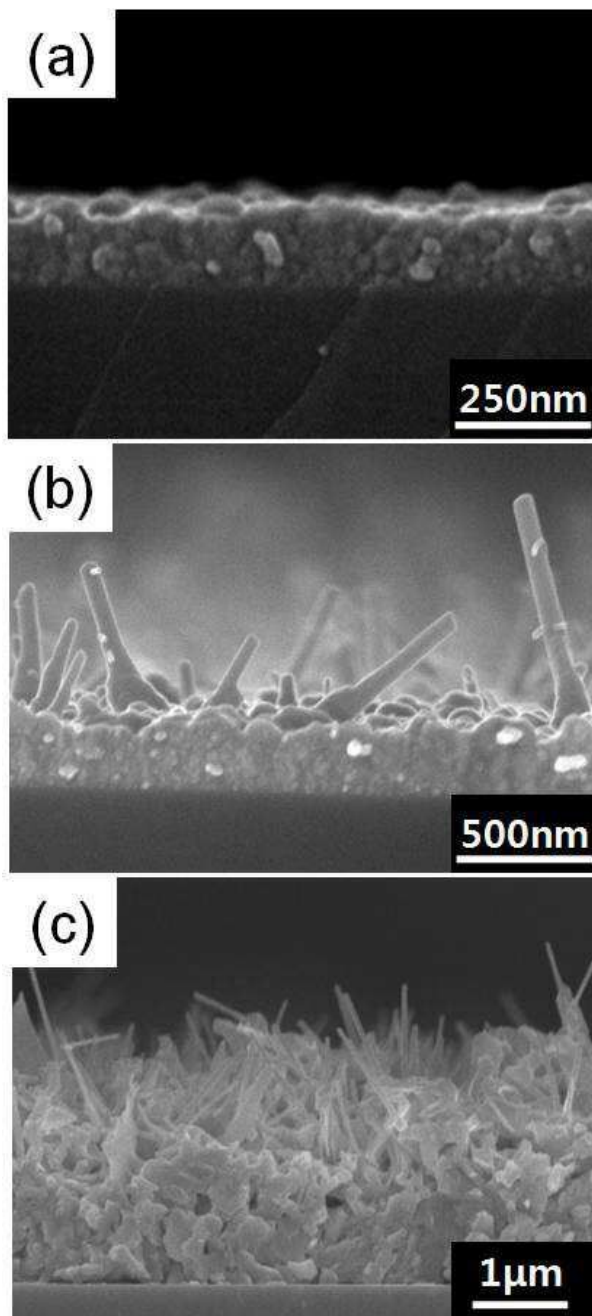
- [0027] 도 1의 (a)와 (b)의 시편의 SEM 표면사진을 보면 3.9×10^2 Pa (3 Torr)에서 증착한 경우에는 표면이 매우 균질한 박막이 형성되었음에 반해, 13×10^2 Pa(10 Torr)에서 증착한 시편은 표면이 매우 거친 것을 확인할 수 있다. 단면구조를 보여주는 (b)의 내부 사진은 나노와이어가 무수히 성장하였음을 나타낸다.
- [0028] 단면 구조를 보다 상세하게 관찰하기 위하여 증착온도에 따른 시편의 단면사진을 도 2에 도시하였다. 도 2의 (a)와 (b)는 각각 3.9×10^2 Pa (3 Torr)과 9.1×10^2 Pa(7 Torr)의 증착압력에서 증착된 시편의 SEM 단면사진이며, (c)는 13×10^2 Pa(10 Torr)에서 증착된 시편의 SEM 단면사진이다. 도 2에서 확인할 수 있듯이, 증착압력이 낮을 때에는 표면이 평탄한 박막이 형성되나 9.1×10^2 Pa (7 Torr)로 증가함에 따라 나노와이어가 성장하며, 13×10^2 Pa (10 Torr)로 더욱 증가함에 따라 나노와이어의 밀도가 증가하였다.
- [0029] 도 3의 (a)는 TEM-EDS(energy dispersive spectroscopy, FE-STEM (200keV, HD-2300A))로 측정된 나노와이어의 직경에 따른 In, Sb, Te의 조성을 scanning TEM(FE-STEM (200keV, HD-2300A)) 이미지에 삽입하여 보여주는 그 래프이며, (b), (c), (d)는 각각 In, Sb, Te의 mapping pattern을 나타낸다. 도 3의 (a)로부터 나노와이어는 직경에 따라 In : Sb : Te의 조성이 3.5~4.5 : 1.0~1.5 : 3.5~5.5인 것을 확인할 수 있었다. 또한 도 3의 (b)~(d)로부터 나노와이어 직경에 따라 In, Sb, Te 원소들이 각각 고르게 분포되어 있음을 알 수 있다.
- [0030] 나노와이어의 상세 구조를 확인하기 위하여 high-resolution TEM(FE-STEM (200keV, HD-2300A))으로 나노와이어 하나의 표면 구조를 확인하고 그 결과를 도 4에 도시하였다. 도 4의 (a)는 나노와이어를 명확하게 보여주는 TEM 이미지로 직경이 68 nm, 길이가 약 1 μ m정도임을 알 수 있다. 그림 내부는 나노와이어 말단을 보여주는 TEM 이미지로 축매에 의해 나노와이어가 형성된 것이 아님을 알 수 있다. 축매에 의해 나노와이어가 형성되면, 말단 부분에서 축매물질이 검출된다. (b)는 나노와이어의 high-resolution TEM 이미지로 IST가 모두 결정화되어 있음을 나타낸다. 이를 보다 구체적으로 확인하기 위하여 (b)에서 box로 표시된 부분의 원자배열과 전자 회절 패턴을 각각 (c)와 (d)에 도시하였으며, 이로부터 나노와이어가 저온 공정에서도 단일 결정화된 IST 상으로 형성되었음을 알 수 있다.
- [0031] **실시예 3 : IST 나노와이어의 전기적 특성분석**
- [0032] 실시예 1에서 제조한 IST 나노와이어의 전기적 특성을 평가하기 위하여 Focused ion beam(FIB)(Dual Beam FIB system, Helios NanoLabTM)을 이용하여 Pt 전극을 10Torr의 증착압력에서 형성된 나노와이어의 양말단에 Pt 패드 패턴을 형성하였다. 도 5의 (a)는 상기 방법에 의해 형성된 패드패턴의 SEM 이미지 이다. 상기 Pt 전극에 전압을 일정하게(b), 또는 pulse 형태로(c, d) 주입하여 전류-전압 특성을 관측하였다. 도 5의 (b)는 일정한 전압을 가하였을 때 약 1.6 V에서 전류 및 저항이 급격하게 변화하는 것을 보여준다. 실제의 메모리 스위칭 특성인 pulse 전압을 가한 결과를 도 5의 (c) 와 (d) 에 나타내었다. 데이터 읽기는 0.1 V에서 수행하였으며 (c)에서 비정질 상태인 reset 상태에서는 100 ns 의 pulse 전압을 가했을 때에 약 9.2 V에서 급격한 저항의 변화를 보이며, (d)에서 결정 상태인 set 상태에서는 1 μ s의 펄스 전압을 가했을 때에 약 1.6 V에서 저항의 감소를 보여 이 나노와이어의 문턱전압은 약 1.6 V 로 (b)에서 보여진 결과와 일치함을 나타내었다.
- [0033] 이러한 결과로부터 형성된 IST 나노와이어가 메모리 특성을 나타내어 상변화 메모리 소자에 이용될 수 있음을 확인하였다.

도면

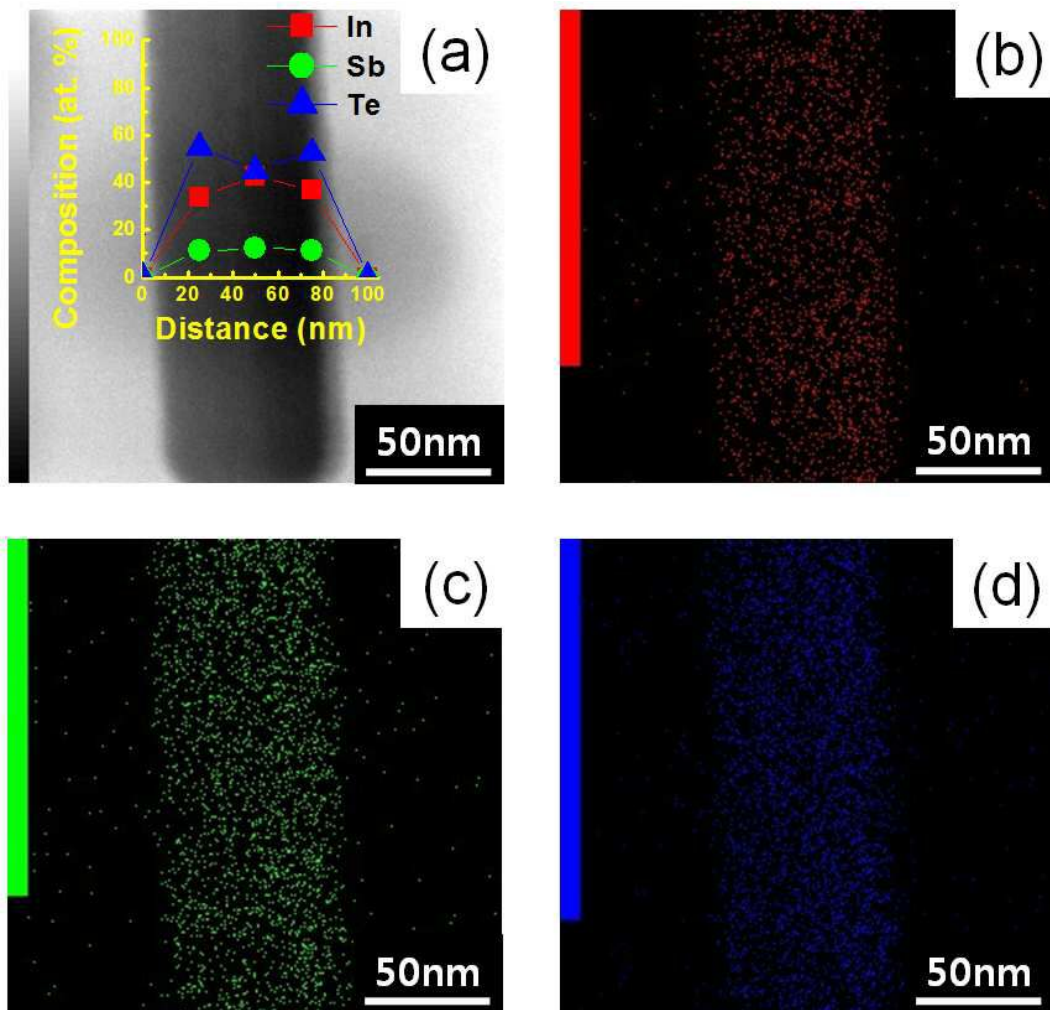
도면1



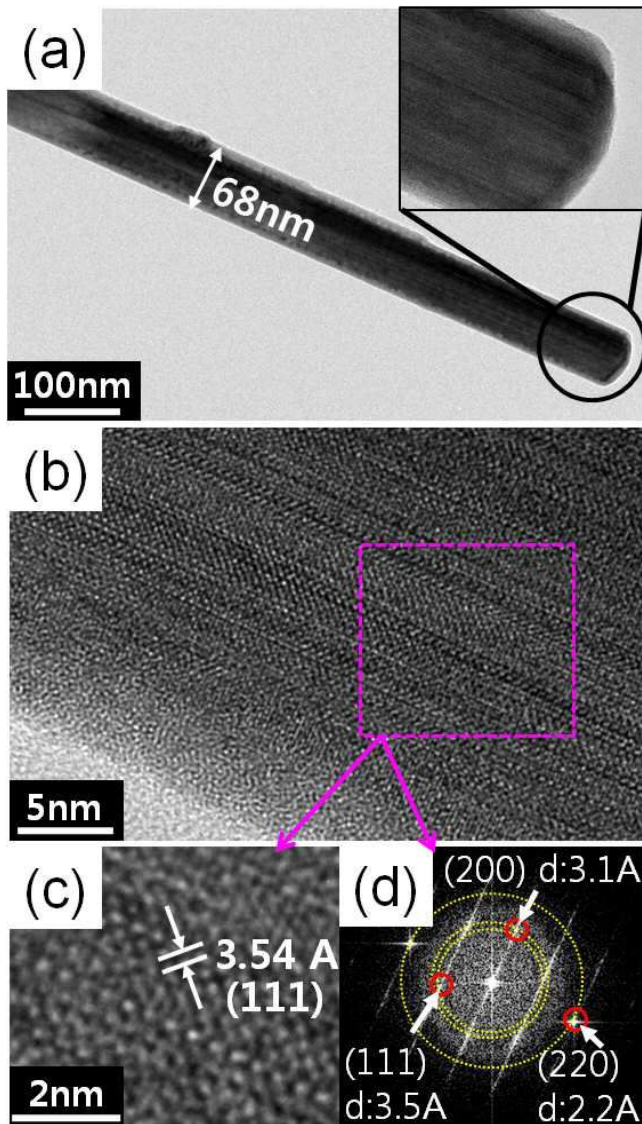
도면2



도면3



도면4



도면5

