



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0000856
(43) 공개일자 2020년01월06일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/56 (2013.01)
H01L 27/3244 (2013.01)
(21) 출원번호 10-2018-0072844
(22) 출원일자 2018년06월25일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조현민
경기도 화성시 동탄지성로 42, 시범한빛마을동탄
아이파크아파트 227동 2404호 (반송동)
최신일
경기도 화성시 동탄반석로 96, 솔빛마을경남아너
스빌아파트 406동 1104호 (반송동)
(74) 대리인
특허법인가산

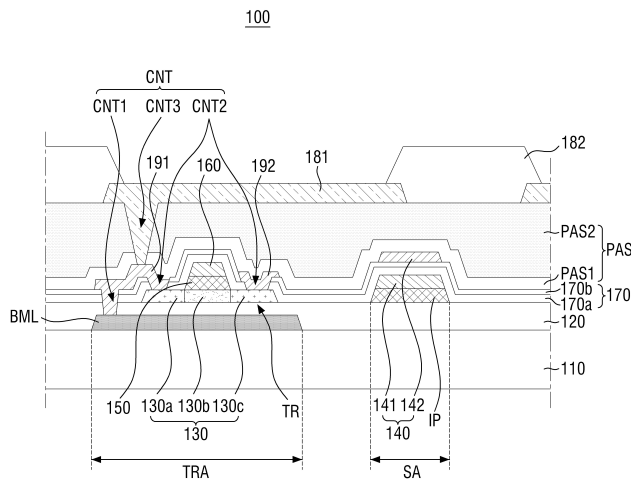
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 유기발광 표시장치의 제조방법

(57) 요약

유기발광 표시장치의 제조방법이 제공된다. 유기발광 표시장치의 제조방법은 트랜지스터 영역 및 캐패시터 영역을 포함하는 기관 상부에 트랜지스터 영역에 대응하여 하부 전극패턴을 형성하고, 하부 전극패턴을 포함하는 기관 상에 버퍼층을 형성하는 단계와, 버퍼층 상에 산화물 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계와, 박막 트랜지스터 상에 층간 절연막을 형성하는 단계와, 층간 절연막 상에 서로 깊이가 다른 제1 홀과 제2 홀을 포함하는 감광막 패턴을 형성하는 단계 및 감광막 패턴을 이용하여 하부 전극패턴을 노출시키는 제1 콘택홀과 산화물 반도체층을 노출시키는 제2 콘택홀을 동시에 형성하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 51/0018 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

김상갑

서울특별시 강동구 고덕로 210, 삼익그린아파트
508동 1407호 (명일동)

김태성

인천광역시 남동구 서창남순환로 190-15,
인천서창LH7단지 705동 1002호 (서창동)

명세서

청구범위

청구항 1

트랜지스터 영역 및 캐패시터 영역을 포함하는 기판 상부에 상기 트랜지스터 영역에 대응하여 하부 전극패턴을 형성하고, 상기 하부 전극패턴을 포함하는 기판 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 산화물 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 서로 깊이가 다른 제1 홀과 제2 홀을 포함하는 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 이용하여 상기 하부 전극패턴을 노출시키는 제1 콘택홀과 상기 산화물 반도체층을 노출시키는 제2 콘택홀을 동시에 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체층은 소스 영역, 채널 영역 및 드레인 영역을 포함하며, 상기 제2 콘택홀은 상기 소스 영역과 상기 드레인 영역을 각각 노출시키는 유기발광 표시장치의 제조방법.

청구항 3

제 2 항에 있어서,

상기 층간 절연막은, 상기 버퍼층 상부에 제2 층간 절연막과, 상기 제2 층간 절연막과 상기 버퍼층 사이에 배치되는 제1 층간 절연막을 포함하며, 상기 제2 층간 절연막보다 상기 제1 층간 절연막이 더 두꺼운 유기발광 표시장치의 제조방법.

청구항 4

제 3 항에 있어서,

상기 감광막 패턴은 광투과부, 광차단부 및 반투과부를 포함하는 하프톤 마스크를 이용하여 형성되며,

상기 감광막 패턴을 형성하는 단계는, 상기 광투과부에 대응하여 상기 제1 홀을 형성하고 상기 반투과부에 대응하여 상기 제2 홀을 형성하는 단계를 더 포함하는 유기발광 표시장치의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제1 홀은 상기 제1 콘택홀에 대응하여 상기 제2 층간 절연막을 노출시키고, 상기 제2 홀은 상기 제2 콘택홀에 대응하여 잔여 감광물을 노출시키는 유기발광 표시장치의 제조방법.

청구항 6

제 5 항에 있어서,

상기 잔여 감광물의 두께는 상기 버퍼층의 두께보다 두꺼운 유기발광 표시장치의 제조방법.

청구항 7

제 5 항에 있어서,

상기 제2 층간 절연막의 에칭 레이트(etching rate)는 상기 제1 층간 절연막 및 상기 버퍼층의 에칭 레이트(etching rate)보다 큰 유기발광 표시장치의 제조방법.

청구항 8

제 5 항에 있어서,

상기 제1 층간 절연막과 상기 버퍼층은 에칭 레이트(etching rate)가 동일한 유기발광 표시장치의 제조방법.

청구항 9

제 5 항에 있어서,

상기 잔여 감광물의 에칭 레이트(etching rate)는 상기 버퍼층의 에칭 레이트(etching rate)보다 큰 유기발광 표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제1 컨택홀과 상기 제2 컨택홀을 형성하는 단계는,

NF3 및 O2의 혼합가스를 이용하여 상기 제1 컨택홀에 대응하여 상기 제1, 제2 층간 절연막 및 상기 버퍼층을 식각하고, 상기 제2 컨택홀에 대응하여 상기 잔여 감광물 및 상기 제1, 제2 층간 절연막을 식각하는 단계를 더 포함하는 유기발광 표시장치의 제조방법.

청구항 11

제 10 항에 있어서,

상기 제1 층간 절연막 및 상기 버퍼층의 에칭 레이트(etching rate)는 2185Å/min이며, 상기 잔여 감광물의 에칭 레이트(etching rate)는 3825Å/min인 유기발광 표시장치의 제조방법.

청구항 12

제 11 항에 있어서,

상기 산화물 반도체층은 IGZO로 이루어지며, 상기 산화물 반도체층의 에칭 레이트(etching rate)는 190Å/min인 유기발광 표시장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 제1 컨택홀을 통하여 소스 전극과 상기 하부 전극패턴이 전기적으로 연결되고, 상기 소스 영역에 형성된

제2 컨택홀을 통하여 상기 소스 전극과 상기 산화물 반도체층의 소스 영역이 전기적으로 연결되는 유기발광 표시장치의 제조방법.

청구항 14

트랜지스터 영역 및 캐패시터 영역을 포함하는 기판 상부에 상기 트랜지스터 영역에 대응하여 하부 전극패턴을 형성하고, 상기 하부 전극패턴을 포함하는 기판 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 산화물 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 마스크를 이용하여 상기 층간 절연막을 각각 노출시키는 제1 홀 및 제2 홀을 포함하는 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 이용하여 상기 하부 전극패턴을 노출시키는 제1 컨택홀과 상기 산화물 반도체층을 노출시키는 제2 컨택홀을 동시에 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 제1 홀은 상기 제1 컨택홀에 대응하여 상기 층간 절연막을 노출시키고, 상기 제2 홀은 상기 제2 컨택홀에 대응하여 상기 층간 절연막을 노출시키는 유기발광 표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 산화물 반도체층은 소스 영역, 채널 영역 및 드레인 영역을 포함하며 상기 제2 컨택홀은 상기 소스 영역과 상기 드레인 영역을 각각 노출시키는 유기발광 표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 층간 절연막 및 상기 버퍼층은 SiO_x로 이루어지며, 상기 산화물 반도체층은 IGZO로 이루어지고,

상기 제1 컨택홀과 상기 제2 컨택홀을 형성하는 단계는,

SiO_x / IGZO 식각 선택비가 40보다 큰 혼합가스를 이용하여 식각하는 단계를 더 포함하는 유기발광 표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 혼합가스는 C₄F₈과 Ar의 혼합가스인 유기발광 표시장치의 제조방법.

청구항 19

제 17 항에 있어서,

상기 혼합가스는 CHF₃와 Ar의 혼합가스인 유기발광 표시장치의 제조방법.

청구항 20

제 17 항에 있어서,

상기 제1 컨택홀을 통하여 소스 전극과 상기 하부 전극패턴이 전기적으로 연결되고, 상기 소스 영역에 형성된 상기 제2 컨택홀을 통하여 상기 소스 전극과 상기 산화물 반도체층의 소스 영역이 전기적으로 연결되는 유기발광 표시장치의 제조방법.

청구항 21

제1 패턴, 상기 제1 패턴을 덮는 제1 절연층, 및 상기 제1 절연층 상의 제2 패턴 및 상기 제2 패턴 상의 제2 절연층이 순차 배치된 기판을 준비하는 단계;

상기 제2 절연층 상에 서로 깊이가 다른 제1 홀과 제2 홀을 포함하는 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴의 상기 제1 홀의 하부 구조물 및 상기 제2 홀의 하부 구조물을 동시에 식각하여 상기 제1 패턴을 노출하는 제1 컨택홀 및 상기 제2 패턴을 노출하는 제2 컨택홀을 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 22

제 21 항에 있어서,

상기 제1 패턴은 하부 전극패턴이고, 상기 제2 패턴은 산화물 반도체층인 유기발광 표시장치의 제조방법.

청구항 23

제 22항에 있어서,

상기 마스크 패턴은 광투과부, 광차단부 및 반투과부를 포함하는 하프톤 마스크를 이용하여 형성되는 감광막 패턴이며,

상기 감광막 패턴은 상기 광투과부에 대응하여 상기 제1 홀을 형성하고 상기 반투과부에 대응하여 상기 제2 홀을 형성하는 단계를 더 포함하는 유기발광 표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치의 제조방법에 관한 것이다.

배경 기술

[0003] 유기 발광 표시 장치는 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 디스플레이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답속도 등으로 차세대 디스플레이로 주목받고 있다.

[0004] 유기 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 유기발광층을 포함하고 있어 애노드 전극으로부터 공급받는 정공과 캐소드 전극으로부터 받은 전자가 유기 발광층 내에서 결합하여 정공-전자쌍인 여기자(exiton)를 형성하고 상기 여기자가 다시 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

[0005] 일반적으로 유기 발광 표시 장치는 빛이 발광되는 면에 따라 유기 발광 소자가 성장되는 기관의 방향으로 화상이 구현되는 배면 발광형과 기관의 반대 방향으로 화상이 구현되는 전면 발광형으로 구분된다.

발명의 내용

해결하려는 과제

[0007] 이와 같은 유기발광 표시장치의 제조방법에는 다수회의 포토리소그래피 (photolithography)공정을 필요로 한다. 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기관 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어져 있다.

[0008] 여기서, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이므로, 공정에 적용되는 마스크수가 증가하면 유기발광 표시장치의 제조비용이 증가함과 동시에 생산 수율이 저감될 수 있다

[0009] 본 발명이 해결하고자 하는 과제는 마스크 수를 저감시킬 수 있는 유기발광 표시장치의 제조방법을 제공하고자 하는 것이다.

[0010] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다

과제의 해결 수단

[0012] 상기 과제를 해결하기 위한 일 실시예에 따른 유기발광 표시장치의 제조방법은, 트랜지스터 영역 및 캐패시터 영역을 포함하는 기관 상부에 상기 트랜지스터 영역에 대응하여 하부 전극패턴을 형성하고, 상기 하부 전극패턴을 포함하는 기관 상에 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 산화물 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상에 서로 깊이가 다른 제1 홀과 제2 홀을 포함하는 감광막 패턴을 형성하는 단계 및 상기 감광막 패턴을 이용하여 상기 하부 전극패턴을 노출시키는 제1 콘택홀과 상기 산화물 반도체층을 노출시키는 제2 콘택홀을 동시에 형성하는 단계를 포함한다.

[0013] 상기 산화물 반도체층은 소스 영역, 채널 영역 및 드레인 영역을 포함하며 상기 제2 콘택홀은 상기 소스 영역과 상기 드레인 영역을 각각 노출시킬 수 있다.

[0014] 상기 층간 절연막은, 상기 버퍼층 상부에 제2 층간 절연막과, 상기 제2 층간 절연막과 상기 버퍼층 사이에 배치되는 제1 층간 절연막을 포함하며, 상기 제2 층간 절연막보다 상기 제1 층간 절연막이 더 두꺼울 수 있다

[0015] 상기 감광막 패턴은 광투과부, 광차단부 및 반투과부를 포함하는 하프톤 마스크를 이용하여 형성되며, 상기 감광막 패턴을 형성하는 단계는, 상기 광투과부에 대응하여 상기 제1 홀을 형성하고 상기 반투과부에 대응하여 상기 제2 홀을 형성하는 단계를 더 포함할 수 있다.

[0016] 상기 제1 홀은 상기 제1 콘택홀에 대응하여 상기 제2 층간 절연막을 노출시키고, 상기 제2 홀은 상기 제2 콘택홀에 대응하여 잔여 감광물을 노출시킬 수 있다.

[0017] 상기 잔여 감광물의 두께는 상기 버퍼층의 두께보다 두꺼울 수 있다.

[0018] 상기 제2 층간 절연막의 에칭 레이트(etching rate)는 상기 제1 층간 절연막 및 상기 버퍼층의 에칭 레이트(etching rate)보다 클 수 있다.

[0019] 상기 제1 층간 절연막과 상기 버퍼층은 에칭 레이트(etching rate)가 동일할 수 있다.

[0020] 상기 잔여 감광물의 에칭 레이트(etching rate)는 상기 버퍼층의 에칭 레이트(etching rate)보다 클 수 있다.

[0021] 상기 제1 콘택홀과 상기 제2 콘택홀을 형성하는 단계는, NF3 및 O2의 혼합가스를 이용하여 상기 제1 콘택홀에 대응하여 상기 제1, 제2 층간 절연막 및 상기 버퍼층을 식각하고, 상기 제2 콘택홀에 대응하여 상기 잔여 감광물 및 상기 제1, 제2 층간 절연막을 식각하는 단계를 더 포함할 수 있다.

[0022] 상기 제1 층간 절연막 및 상기 버퍼층의 에칭 레이트(etching rate)는 2185Å/min이며, 상기 잔여 감광물의 에

칭 레이트(etching rate)는 3825Å/min일 수 있다.

- [0023] 상기 산화물 반도체층은 IGZO로 이루어지며, 상기 산화물 반도체층의 에칭 레이트(etching rate)는 190Å/min일 수 있다.
- [0024] 상기 제1 컨택홀을 통하여 소스 전극과 상기 하부 전극패턴이 전기적으로 연결되고, 상기 소스 영역에 형성된 제2 컨택홀을 통하여 상기 소스 전극과 상기 산화물 반도체층의 소스 영역이 전기적으로 연결될 수 있다.
- [0025] 상기 과제를 해결하기 위한 다른 실시예에 따른 유기발광 표시장치의 제조방법은, 트랜지스터 영역 및 캐패시터 영역을 포함하는 기판 상부에 상기 트랜지스터 영역에 대응하여 하부 전극패턴을 형성하고, 상기 하부 전극패턴을 포함하는 기판 상에 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 산화물 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상에 마스크를 이용하여 상기 층간 절연막을 각각 노출시키는 제1 홀 및 제2 홀을 포함하는 감광막 패턴을 형성하는 단계 및 상기 감광막 패턴을 이용하여 상기 하부 전극패턴을 노출시키는 제1 컨택홀과 상기 산화물 반도체층을 노출시키는 제2 컨택홀을 동시에 형성하는 단계를 포함한다.
- [0026] 상기 제1 홀은 상기 제1 컨택홀에 대응하여 상기 층간 절연막을 노출시키고, 상기 제2 홀은 상기 제2 컨택홀에 대응하여 상기 층간 절연막을 노출시킬 수 있다.
- [0027] 상기 산화물 반도체층은 소스 영역, 채널 영역 및 드레인 영역을 포함하며 상기 제2 컨택홀은 상기 소스 영역과 상기 드레인 영역을 각각 노출시킬 수 있다
- [0028] 상기 층간 절연막 및 상기 버퍼층은 SiO_x로 이루어지며, 상기 산화물 반도체층은 IGZO로 이루어지고, 상기 제1 컨택홀과 상기 제2 컨택홀을 형성하는 단계는, SiO_x / IGZO 식각 선택비가 40보다 큰 혼합가스를 이용하여 식각하는 단계를 더 포함할 수 있다.
- [0029] 상기 혼합가스는 C₄F₈과 Ar의 혼합가스일 수 있다.
- [0030] 상기 혼합가스는 CHF₃와 Ar의 혼합가스일 수 있다.
- [0031] 상기 제1 컨택홀을 통하여 소스 전극과 상기 하부 전극패턴이 전기적으로 연결되고, 상기 소스 영역에 형성된 상기 제2 컨택홀을 통하여 상기 소스 전극과 상기 산화물 반도체층의 소스 영역이 전기적으로 연결될 수 있다.
- [0032] 상기 과제를 해결하기 위한 또 다른 실시예에 따른 유기발광 표시장치의 제조방법은, 제1 패턴, 상기 제1 패턴을 덮는 제1 절연층, 및 상기 제1 절연층 상의 제2 패턴 및 상기 제2 패턴 상의 제2 절연층이 순차 배치된 기판을 준비하는 단계와, 상기 제2 절연층 상에 서로 깊이가 다른 제1 홀과 제2 홀을 포함하는 마스크 패턴을 형성하는 단계 및 상기 마스크 패턴의 상기 제1 홀의 하부 구조물 및 상기 제2 홀의 하부 구조물을 동시에 식각하여 상기 제1 패턴을 노출하는 제1 컨택홀 및 상기 제2 패턴을 노출하는 제2 컨택홀을 형성하는 단계를 포함한다.
- [0033] 상기 제1 패턴은 하부 전극패턴이고, 상기 제2 패턴은 산화물 반도체층일 수 있다.
- [0034] 상기 마스크 패턴은 광투과부, 광차단부 및 반투과부를 포함하는 하프톤 마스크를 이용하여 형성되는 감광막 패턴이며, 상기 감광막 패턴은 상기 광투과부에 대응하여 상기 제1 홀을 형성하고 상기 반투과부에 대응하여 상기 제2 홀을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0035] 일 실시예에 따른 유기발광 표시장치의 제조방법에 의하면, 마스크 수를 저감할 수 있게 된다. 이에 따라, 제조 비용을 저감시킬 수 있음과 동시에 공정 단순화에 따라 생산성을 향상시킬 수 있다.
- [0036] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0038] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시 장치의 단면도이다.
- 도 2 내지 도 28은 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조 방법을 개략적으로 나타낸 단면도이

다.

도 29 내지 도 32는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0040] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0041] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다. 도 1은 본 발명의 일 실시예에 따른 유기발광 표시 장치의 단면도이다.
- [0043] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)는 기판(110) 상에 배치된 버퍼층(120), 버퍼층 상에 배치된 박막 트랜지스터(TR), 버퍼층 하부에 박막 트랜지스터에 대응하여 형성된 하부 전극패턴(BML), 박막 트랜지스터(TR) 상부에 배치된 화소 전극(181)을 포함할 수 있다.
- [0044] 기판(110)은 유리와 같은 투명 기판, 석영, 세라믹, 실리콘 기판, 플라스틱 등의 플렉시블 기판 등 당업자의 필요에 따라 적절히 선택할 수 있다.
- [0045] 기판(110)은 그 위에 박막 트랜지스터(TR)가 형성되는 영역인 박막 트랜지스터 영역(TRA)과 그 위에 커패시터가 형성되는 영역인 커패시터 영역(SA)을 포함할 수 있다.
- [0046] 기판(110) 상에는 하부 전극패턴(BML)이 배치된다. 하부 전극패턴(BML)은 기판(110)의 박막 트랜지스터 영역(TRA) 상에 배치될 수 있다. 하부 전극패턴(BML)은 박막 트랜지스터(TR)의 반도체층(130)과 중첩하도록 배치되어 반도체층(130)으로 광이 입사하는 것을 방지하는 한편, 박막 트랜지스터(TR)의 제1 전극(191)과 전기적으로 연결되어 해당 전압을 인가받음으로써, 주변의 전극으로부터 박막 트랜지스터(TR)가 영향을 받는 것을 차폐할 수 있다.
- [0047] 하부 전극패턴(BML)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질로 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0048] 하부 전극패턴(BML)이 배치된 기판(110)의 상부에는 버퍼층(120)이 배치될 수 있다. 버퍼층(120)은 기판(110)의 전면 상에 배치되어 하부 전극패턴(BML)을 덮을 수 있다. 버퍼층(120)은 기판(110)에서 유출되는 알칼리 이온 등 불순물의 침투로부터 후속 공정으로 형성되는 박막 트랜지스터(TR)를 보호하고 표면을 평탄화하는 역할을 할 수 있다.
- [0049] 버퍼층(120) 상부의 박막 트랜지스터 영역(TRA)에는 박막 트랜지스터(TR)가 배치될 수 있다. 박막 트랜지스터(TR)는 버퍼층(120) 상에 순차적으로 적층된 반도체층(130), 게이트 절연막(150) 및 게이트 전극(160) 그리고 반도체층(130)과 연결되는 제1 전극(191)과 제2 전극(192)을 포함할 수 있다. 제1 전극(191)과 제2 전극(192) 중 어느 하나는 소스 전극이고, 다른 하나는 드레인 전극일 수 있다.
- [0050] 반도체층(130)은 산화물 반도체를 포함할 수 있다. 반도체층(130)은 예를 들어, 인듐-갈륨-아연-산화물(IGZO), 인듐-아연-산화물(a-IZO), 인듐-주석-아연-산화물(ITZO) 및 인듐-갈륨-산화물(IGO) 등으로부터 선택된 어느 한 화합물을 이용하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0051] 이러한 산화물로 이루어진 반도체층(1130)은 비교적 저온에서 형성가능하고, 플라스틱판이나 필름 등의 기판

위에 박막을 형성하는 것이 가능하며, 비정질 실리콘보다 전자 이동속도가 10배 이상 빨라 최근 UD(Ultra Definition) 이상의 고해상도 및 240Hz이상의 고속구동에 적합한 이점이 있다.

- [0052] 반도체층(130)은 채널 영역(130b)과 그 양측에 배치된 제1 영역(130a) 및 제2 영역(130c)을 포함할 수 있다. 채널 영역(130b)은 상부의 게이트 전극(160)과 중첩할 수 있다. 제1 영역(130a)은 제1 전극(191)과 전기적으로 연결되고, 제2 영역(130c)은 제2 전극(192)과 전기적으로 연결될 수 있다. 제1 영역(130a)은 제1 소스/드레인 영역이고 제2 영역(130c)은 제2 소스/드레인 영역일 수 있다. 제1 전극(191)이 소스 전극이고 제2 전극(192)이 드레인 전극일 경우, 제1 영역(130a)은 소스 영역이 되고 제2 영역(130c)은 드레인 영역이 될 수 있다. 제1 영역 및 제2 영역(130a, 130c)은 금속화 공정을 통해 금속화되어 있을 수 있지만, 이에 제한되는 것은 아니다.
- [0053] 게이트 절연막(150)은 반도체층(130) 상에 형성될 수 있다. 게이트 절연막(150)의 너비는 반도체층(130)의 채널 영역(130b)의 너비와 실질적으로 동일하거나 그보다 좁고, 게이트 전극(160)의 너비와 실질적으로 동일하거나 그보다 넓게 형성될 수 있다. 게이트 절연막(150)의 너비를 위와 같은 범위 내에서 조절하면, 별도의 마스크 공정 없이 게이트 절연막(150)을 이용하여 반도체층(130)의 금속화 공정을 진행할 수 있는 이점이 있다.
- [0054] 게이트 절연막(150)은 실리콘 옥사이드(SiO₂), 실리콘 나이트라이드(SiN_x) 및 실리콘 옥시나이트라이드(SiON) 등으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0055] 게이트 전극(160)은 게이트 절연막(150) 상에 게이트 절연막(150)과 실질적으로 동일하거나 그보다 좁은 너비로 배치될 수 있다. 그리고, 게이트 전극(160)은 반도체층(130)의 채널 영역(130b)과 중첩될 수 있다. 게이트 전극(160)은 몰리브덴(Mo), 텅스텐(W), 알루미늄 네오디뮴(AINd), 티타늄(Ti), 알루미늄(Al), 은(Ag) 및 이들의 합금으로 이루어진 군에서 선택된 단독 또는 이들의 혼합물로 단일층을 형성하거나 배선 저항을 줄이기 위해 저저항 물질인 Mo, Al 또는 Ag의 이중층 또는 다중층 구조로 형성할 수도 있다. 즉, 배선 저항을 줄이기 위해 다중층의 도전막을 순차적으로 적층하여 형성할 수 있으며, 구체적으로, Mo/Al/Mo, MoW/AINd/MoW, Mo/Ag/Mo, Mo/Ag합금/Mo 또는 Ti/Al/Mo 로 이루어진 다중층 구조를 취할 수도 있다.
- [0056] 버퍼층(120) 상부의 커패시터 영역(SA)에는 게이트 절연막(150)과 동일한 물질로 이루어진 절연패턴(IP)이 형성되고, 절연패턴(IP) 상부에는 게이트 전극(160)과 동일한 물질로 이루어진 제1 커패시터 전극(141)이 배치될 수 있다.
- [0057] 게이트 전극(160) 및 제1 커패시터 전극(141)이 형성된 기판(110) 전면에 층간 절연막(170)이 배치될 수 있다.
- [0058] 층간 절연막(170)은 기판(110)의 전면 상에 게이트 전극(160) 및 제1 커패시터 전극(141)을 덮도록 소정의 두께로 형성될 수 있다. 층간 절연막(170)은 게이트 전극(160)과 제1 및 제2 전극(191, 192)을 절연시키는 역할을 하고, 제2 커패시터 전극(142)과 제1 커패시터 전극(141) 사이에 배치되어 유전막 역할을 할 수 있다.
- [0059] 층간 절연막(170)은 2층 이상의 다중층으로 형성될 수 있으며, 층간 절연막(170)이 제1 층간 절연막(171) 및 제2 층간 절연막(172)의 이중층으로 형성된 경우를 일례로 설명한다.
- [0060] 제1 층간 절연막(170a) 및 제2 층간 절연막(170b)은 각각 무기 절연막으로 형성될 수 있다. 예를 들어, 제1 층간 절연막(170a) 및 제2 층간 절연막(170b)은 각각 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 또는 PZT 등으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0061] 제1 층간 절연막(170a) 및 제2 층간 절연막(170b)은 동일한 물질로 이루어질 수도 있지만, 서로 다른 물질을 포함하여 이루어질 수도 있다. 이하에서는 제1 층간 절연막(170a)이 실리콘 옥사이드(SiO₂)로 이루어지고, 제2 층간 절연막(170b)이 실리콘 나이트라이드(SiN_x)로 이루어진 경우를 일례로 설명한다.
- [0062] 층간 절연막(170) 상의 박막 트랜지스터 영역(TRA)에는 박막 트랜지스터(TR)의 제1 및 제2 전극(191, 192)이 배치될 수 있고, 층간 절연막(170) 상의 커패시터 영역(CA)에는 제1 및 제2 전극(191, 192)과 동일한 물질로 이루어진 제2 커패시터 전극(142)이 배치될 수 있다.
- [0063] 제1 및 제2 전극(191, 192)과 제2 커패시터 전극(142)은 알루미늄, 티타늄, 네오디뮴, 알루미늄, 은, 몰리브덴, 텅스텐, 몰리브덴, 텅스텐 및 이들의 합금으로 이루어진 군에서 선택된 단독 또는 이들의 혼합물로 단일층을 형성하거나 이중층 또는 다중층 구조로 형성할 수 있다. 예를 들어, 제1 및 제2 전극(191, 192)과 제2 커패시터 전극(142)은 Ti/Al/Ti, Mo/Al/Mo, MoW/AINd/MoW, Mo/Ag/Mo, Mo/Ag합금/Mo 또는 Ti/Al/Mo 등이 순차적으로 적층된 구조를 취할 수도 있다.
- [0064] 상술한 바와 같이 제1 및 제2 전극(191, 192)은 반도체층(130)의 제1 및 제2 영역(130a, 130c)과 전기적으로 연

결된다. 즉, 층간 절연막(170)은 제1 및 제2 영역(130a, 130c) 각각에 대응하여 형성된 제2 콘택홀(CNT2)을 포함할 수 있으며, 제2 콘택홀(CNT2)을 통하여 제1 및 제2 전극(191, 192)은 반도체층(130)의 제1 및 제2 영역(130a, 130c)과 각각 연결될 수 있다.

[0065] 또한, 제1 및 제2 전극(191, 192) 중 하나는 버퍼층(120) 하부에 배치된 하부 전극패턴(BML)과 연결될 수 있다. 즉, 층간 절연막(170) 및 버퍼층(120)은 하부 전극패턴(BML)을 노출시키는 제1 콘택홀(CNT1)을 포함할 수 있으며, 제1 및 제2 전극(191, 192) 중 하나는 제1 콘택홀(CNT1)을 통하여 하부 전극패턴(BML)과 연결되어 하부 전극패턴(BML)이 다른 전극에 영향을 미치는 것을 방지할 수 있게 한다. 제1 전극(191)이 하부 전극패턴(BML)과 연결되는 것을 일례로 설명하면, 제1 전극(191)은 제1 콘택홀(CNT1)을 통하여 하부 전극패턴(BML)과 연결되고 제2 콘택홀(CNT2)을 통하여 제1 영역(130a)과 연결될 수 있게 된다.

[0066] 층간 절연막(170) 상에는 패시베이션층(PAS)이 배치될 수 있다. 패시베이션층(PAS)은 순차 적층된 제1 패시베이션층(PAS1)과 제2 패시베이션층(PAS2)을 포함할 수 있다.

[0067] 제1, 제2 패시베이션층(PAS1, PAS2)은 각각 유기막 또는 무기막으로 이루어질 수 있다. 제1 패시베이션층(PAS1)은 무기막으로 이루어지고, 제2 패시베이션층(PAS2)은 유기막으로 이루어진 경우를 일례로 설명하면, 제1 패시베이션층(PAS1)은 SiO₂, SiNx, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등의 무기막으로 이루어질 수 있으며, 제2 패시베이션층(PAS2)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에 테르계 고분자, 아미드계 고분자, 불소계 고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등의 유기막으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0068] 패시베이션층(PAS)은 층간 절연막(170) 상부를 평탄화할 수 있으며, 상부에는 화소 전극(181)이 배치될 수 있다. 화소 전극(181)은 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 산화인듐(Indium Oxide: In₂O₃)의 일함수가 높은 물질층과 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 네오듐(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 혼합물 등과 같은 반사성 물질층이 적층된 적층막 구조를 가질 수 있다. 화소 전극(181)은 ITO/Mg, ITO/MgF, ITO/Ag, ITO/Ag/ITO의 복수층 구조를 가질 수 있으나, 이에 한정되는 것은 아니다.

[0069] 화소 전극(181)은 발광 다이오드의 전공 주입 전극인 애노드 전극이 될 수 있다.

[0070] 화소 전극(181)은 제1 전극(191) 또는 제2 전극(192) 중 어느 하나와 연결될 수 있다. 화소 전극(181)이 제1 전극(191)과 연결된 경우를 일례로 설명하면, 제1, 2 패시베이션층(PAS1, PAS2)은 제3 콘택홀(CNT3)을 포함할 수 있으며, 제3 콘택홀(CNT3)을 통하여 화소 전극(181)과 제1 전극(191)이 연결될 수 있다.

[0071] 패시베이션층(PAS) 상부에 화소 전극(181)을 노출시키는 화소정의막(182)(Pixel Defined Layer)이 배치될 수 있다. 즉, 패시베이션층(PAS) 상부에 화소 전극(181)의 가장자리를 둘러싸는 형태로 화소 정의막(182)이 배치될 수 있다. 화소 정의막(182)은 폴리아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지 및 벤조사이클로부텐으로 이루어진 군으로부터 선택된 단독 또는 이들의 혼합물로 형성될 수 있다.

[0072] 도면으로 도시하지는 않았지만, 화소 정의막(182)에 의해 노출된 화소 전극(181) 상에는 유기 발광층(미도시) 및 전자 주입 전극으로서 공통 전극인 캐소드 전극(미도시)이 배치될 수 있다. 이와 같은 구조에 의해 전공과 전자가 유기 발광층 내부로 주입되고 주입된 전공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질때 발광이 이루어질 수 있다.

[0073] 이하, 상술한 유기발광 표시 장치의 제조 방법에 대해 설명한다.

[0074] 도 2 내지 도 28은 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조 방법을 공정순서에 따라 순차적으로 나타낸 단면도들이다. 도 1과 실질적으로 동일한 구성요소에 대해서는 동일한 부호로 나타내고 자세한 설명을 생략한다.

[0075] 도 2를 참조하면, 기판(110) 상에 하부 전극패턴 물질층(BMLL)을 형성하고, 제1 마스크(M1)를 통하여 제 1 감광막 패턴(PR1)을 형성한다.

[0076] 설명의 편의를 위하여 감광막이 포지티브(positive) 감광막인 경우를 설명하나, 본 발명은 이에 한정되지 않으며 감광막으로 네거티브(negative) 감광막이 사용될 수도 있다.

[0077] 제1 마스크(M1)는 광투과부(TA) 및 광차단부(PA)를 포함할 수 있다. 광투과부(TA)는 조사되는 광을 투과시키고,

광차단부(PA)는 조사되는 광을 차단시킬 수 있다. 제1 마스크(MA1)의 광차단부(PA)가 하부 전극패턴(BML)이 형성될 영역에 대응하도록 배치된다. 이어, 제1 마스크(MA1)를 통하여 감광막에 광을 조사한 후 감광막을 현상하면 광투과부(TA)에 대응하는 감광막 영역이 제거되고 광차단부(PA)에 대응하는 감광막 영역이 남아서 제1 감광막 패턴(PR1)이 형성된다.

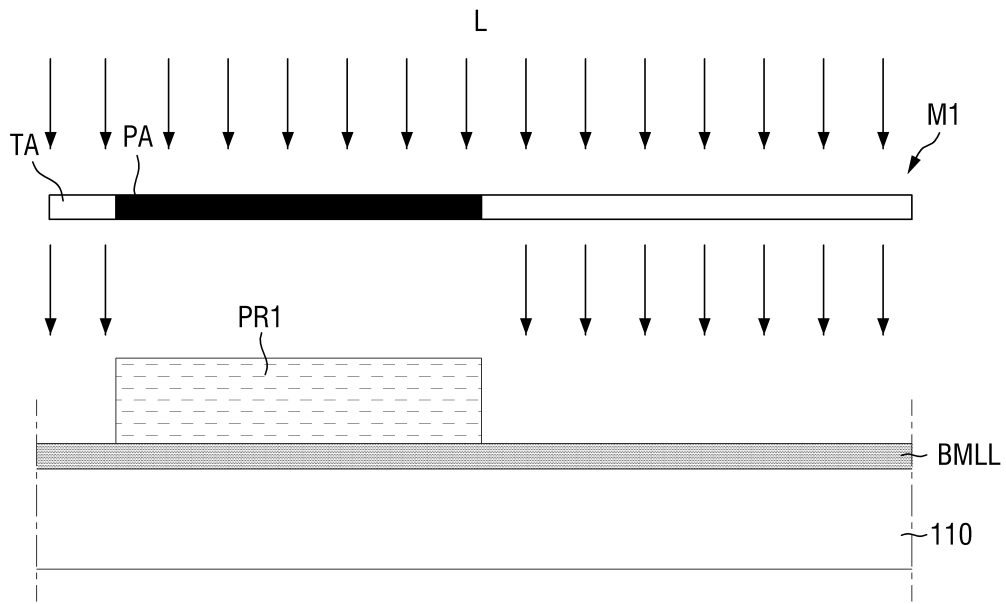
- [0078] 도 3 및 도 4를 참조하면, 제1 감광막 패턴(PR1)을 식각 마스크로 하여 하부 전극패턴 물질층(BMLL)을 식각한 후, 상기 제1 감광막 패턴(PR1)을 제거하여 하부 전극패턴(BML)을 형성할 수 있다. 제1 감광막 패턴(PR1)을 제거하는 방법은 산소를 사용하는 애싱(ashing) 공정 등이 이용될 수 있으나, 이에 제한되는 것은 아니다
- [0079] 도 5를 참조하면, 하부 전극패턴(BML)이 형성된 기판(110) 상에 버퍼층(120)을 형성한다.
- [0080] 버퍼층(120)은 화학 기상 증착 또는 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition)등으로 형성될 수 있다. 버퍼층(120)은 실리콘 옥사이드(SiO₂)로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0081] 도 6을 참조하면, 버퍼층(120) 상부에 반도체 물질층(130L)을 형성한다.
- [0082] 반도체 물질층(130L)은 기상 성막법 및 포토리소그래피법을 이용하여 형성할 수 있다. 예를 들면, 기상 성막법으로 IGZO 등으로 이루어진 반도체 물질층(130L)을 형성할 수 있으며, 기상 성막법 중에서 스퍼터링법 및 펄스 레이저 증착법 (PLD 법)을 이용할 수 있으나, 이에 한정되는 것은 아니다.
- [0083] 도 7을 참조하면, 제2 마스크(M2)를 통하여 제2 감광막 패턴(PR2)을 형성한다. 제2 마스크(M2)는 광투과부(TA) 및 광차단부(PA)를 포함할 수 있으며, 제2 마스크(MA2)의 광차단부(PA)가 반도체층(130)이 형성될 영역에 대응하도록 배치한다. 이어, 제2 마스크(MA2)를 통하여 감광막에 광을 조사한 후 감광막을 현상하면 광투과부(TA)에 대응하는 감광막 영역이 제거되고 광차단부(PA)에 대응하는 감광막 영역이 남아서 제2 감광막 패턴(PR2)이 형성된다.
- [0084] 도 8 및 도 9를 참조하면, 제2 감광막 패턴(PR2)을 식각 마스크로 하여 반도체 물질층(130L)을 식각한 후, 상기 제2 감광막 패턴(PR2)을 제거하여 반도체층(130)을 형성한다.
- [0085] 도 10을 참조하면, 반도체층(130)이 형성된 버퍼층(120) 상부에 제1 절연물질층(IML1)을 형성한다. 제1 절연물질층(IML1)은 SiN_x, SiO₂, SiON 등의 무기물을 이용하여 화학 기상 증착으로 형성할 수 있으나, 이에 한정되는 것은 아니고, 무기물과 유기물의 복합체로 형성될 수도 있다.
- [0086] 도 11을 참조하면, 제1 절연물질층(IML1) 상에 제1 금속물질층(ML1)을 스퍼터링(sputtering) 등의 방법으로 형성한다.
- [0087] 도 12를 참조하면, 제3 마스크(M3)를 통하여 제3 감광막 패턴(PR3)을 형성한다. 제3 마스크(M3)는 광투과부(TA) 및 광차단부(PA)를 포함할 수 있으며, 제3 마스크(MA3)의 광차단부(PA)가 게이트 전극(160) 및 제1 커패시터 전극(141)이 형성될 영역에 대응하도록 배치한다. 이어, 제3 마스크(MA3)를 통하여 감광막에 광을 조사한 후 감광막을 현상하면 광투과부(TA)에 대응하는 감광막 영역이 제거되고 광차단부(PA)에 대응하는 감광막 영역이 남아서 제3 감광막 패턴(PR3)이 형성된다.
- [0088] 도 13 및 도 14를 참조하면, 제3 감광막 패턴(PR3)을 식각 마스크로 하여 제1 금속물질층(ML1) 및 제1 절연물질층(IML1)을 식각한 후, 상기 제3 감광막 패턴(PR3)을 제거하여 게이트 절연막(150)과 게이트 절연막(150) 상부의 게이트 전극(160) 및 절연패턴(IP)과 절연패턴(IP) 상부에 제1 커패시터 전극(141)을 형성할 수 있다.
- [0089] 도 15를 참조하면, 게이트 절연막(150)을 마스크로 반도체층(130)의 금속화 공정을 진행하여 반도체층(130)의 제1 영역(130a)과 제2 영역(130c)을 형성할 수 있다. 이하, 제1 영역(130a)은 소스 영역이고, 제2 영역(130c)은 드레인 영역을 경우를 일례로 설명한다. 이에 따라, 반도체층(130)은 소스 영역(130a), 채널 영역(130b) 및 드레인 영역(130c)로 구분될 수 있게 된다.
- [0090] 도 16을 참조하면, 게이트 전극(160) 및 제1 커패시터 전극(141)이 형성된 버퍼층(120) 상부로 제1 층간 절연막(170a)과 제2 층간 절연막(170b)이 순차적으로 형성될 수 있다. 구체적으로, 제1 층간 절연막(170a)의 두께가 제2 층간 절연막(170a)의 두께보다 두껍게 형성될 수 있다. 예를 들어 제1 층간 절연막(170a)의 두께(d1)는 3000Å일 수 있으며, 제2 층간 절연막(170b)의 두께(d2)는 2000Å일 수 있다.
- [0091] 식각시 사용되는 혼합가스에 대하여 제1 층간 절연막(170a)의 에칭 레이트(etching rate)가 제2 층간 절연막(170a)의 에칭 레이트(etching rate)보다 작은 물질로 이루어질 수 있다.

- [0092] 제1 층간 절연막(170a) 및 제2 층간 절연막(170b)은 무기 절연막으로 형성될 수 있다. 예를 들어, SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 또는 PZT 등으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0093] 산화물 반도체의 동작 불안정성을 야기시키는 원인은 여러 가지가 있으며 그 중 제1 층간 절연막(170a)의 특성은 무엇보다도 중요한 요인으로 작용한다. 특히 산화물 반도체의 전기적 특성이 웰로우 도너(shallow donor)인 수소(H)의 도핑 정도에 따라 크게 변하는 것을 고려할 때, 제1 층간 절연막(170a) 내에 포함된 수소의 양에 따라 산화물 반도체의 특성이 변화될 수 있다. 일반적으로 실리콘 나이트라이드(SiN_x)가 실리콘 옥사이드(SiO₂)보다 더 많은 수소를 포함하는데, 실리콘 나이트라이드(SiN_x)를 절연막으로 사용할 때 실리콘 옥사이드(SiO₂)를 사용하는 경우에 비해 바이어스 스트레스(bias stress) 특성이 더 좋지 않다. 이는 인터페이스에 존재하는 수소와 관련된 결합에 의한 것으로 해석될 수 있다. 따라서, 제1 층간 절연막(170a)을 실리콘 옥사이드(SiO₂)로 형성하고, 제2 층간 절연막(170b)을 실리콘 나이트라이드(SiN_x)로 형성하는 것이 바람직하다.
- [0094] 도 17 및 도 18을 참조하면, 제2 층간 절연막(170b) 상부에 감광막 물질층(PRL)을 도포하고, 제4 마스크(M4)를 통하여 제4 감광막 패턴(PR4)을 형성한다.
- [0095] 제4 마스크(M4)는 하프톤 마스크 또는 슬릿 마스크일 수 있으며, 광을 투과시키는 광투과부(TA), 광을 차단하는 광차단부(PA), 광을 부분적으로 투과시키는 반투과부(HA)를 포함할 수 있다. 광투과부(TA)가 제1 컨택홀(CNT1)이 형성될 영역에 대응하고 반투과부(HA)는 제2 컨택홀(CNT2)이 형성될 영역에 대응하도록 제4 마스크(M4)를 배치하고, 제4 마스크(M4)를 통하여 감광막에 광을 조사한 후(노광), 감광막을 현상(develop)하면 광투과부(TA) 및 반투과부(HA)에 대응하는 감광막 영역이 서로 다른 두께로 제거되고, 광차단부(PA)에 대응하는 감광막 영역이 남게 된다.
- [0096] 구체적으로, 광투과부(TA)에 대응되는 영역에는 제1 홀(H1)이 형성되고, 반투과부(HA)에 대응되는 영역에는 제1 홀(H1)보다 깊이가 낮은 제2 홀(H2) 및 제3 홀(H3)이 형성된다. 즉, 제4 감광막 패턴(PR4)은 제1 컨택홀(CNT1)이 형성될 영역에 대응하는 제2 층간 절연막(170b)을 노출하는 제1 홀(H1)이 형성되고, 제2 컨택홀(CNT2)이 형성될 영역에 각각 대응하여 제2 층간 절연막(170b) 상부에 잔여 감광물(RP)이 배치된 제2, 제3 홀(H2, H3)이 형성될 수 있다.
- [0097] 예시적인 실시예에서 광차단부(PA)에 대응하는 제4 감광막 패턴(PR4)의 두께(D1)는 24000Å일 수 있으며, 잔여 감광물(RP)의 두께(D2)는 7000Å일 수 있고, 제1 홀(H1)의 깊이는 24000Å일 수 있으며, 제2 홀(H2) 및 제3 홀(H3)의 각각의 깊이는 17000Å일 수 있고, 게이트 전극(160)에 대응되는 제2 층간 절연막(170b) 상에 형성되는 제4 감광막 패턴(PR4)의 두께(D3)는 17000Å일 수 있다. 다만, 이에 한정되는 것은 아니며, 제1, 제2 층간 절연막(170a, 170b) 및 버퍼층(120)의 물질, 두께, 에칭시 사용되는 혼합가스 등에 따라 다양하게 변형될 수 있다.
- [0098] 도 19 및 도 20을 참조하면, 이어, 상기 결과물을 식각한다. 즉, 제4 감광막 패턴(PR4)이 형성된 구조물에 대해 예컨대 건식 식각을 진행할 수 있다. 본 단계는 제4 감광막 패턴(PR4)이 노출하는 부분에 대한 식각 뿐만 아니라 제4 감광막 패턴(PR4) 자체의 식각도 포함한다. 구체적으로 설명하면, 식각 가스에 의하여 제1 홀(H1)에 의하여 노출된 제2 층간 절연막(170b), 제1 층간 절연막(170a) 및 버퍼층(120)을 식각 동안에, 제2 홀(H2)에 의하여 노출된 잔여 감광물(RP), 제2 층간 절연막(170b), 제1 층간 절연막(170a)이 식각된다. 따라서, 잔여 감광물(RP)은 제1 컨택홀(CNT1)이 형성되는 동안 산화물 반도체층이 노출되는 시간을 지연시킬 수 있게 한다.
- [0099] 그 다음으로, 식각되고 남은 제4 감광막 패턴(PR4)을 제거하여, 하부 전극패턴(BML)을 노출하는 제1 컨택홀(CNT1)과 소스 영역(130a) 및 드레인 영역(130c)을 각각 노출하는 제2 컨택홀(CNT2)을 형성할 수 있다.
- [0100] 제1 층간 절연막(170a)의 두께(d1)가 제2 층간 절연막(170a)의 두께(d2)보다 두껍게 형성될 수 있으며, 버퍼층(120)의 두께(d3)는 잔여 감광물(RP)의 두께(D2)보다 얇게 형성될 수 있다. 예시적인 실시예에서, 잔여 감광물(RP)의 두께(D2)는 7000Å인 경우, 버퍼층(120)의 두께(d3)는 7000Å이하로 형성될 수 있다.
- [0101] 그리고, 식각시 사용되는 혼합가스에 대하여 제2 층간 절연막(170a)의 에칭 레이트(etching rate)는 제1 층간 절연막(170a) 및 버퍼층(120)의 에칭 레이트(etching rate)보다 클 수 있다.
- [0102] 제1 층간 절연막(170a)의 에칭 레이트(etching rate)와 버퍼층(120)의 에칭 레이트(etching rate)는 동일할 수 있다.
- [0103] 잔여 감광물(RP)의 에칭 레이트(etching rate)는 제2 층간 절연막(170a)의 에칭 레이트(etching rate)보다 작

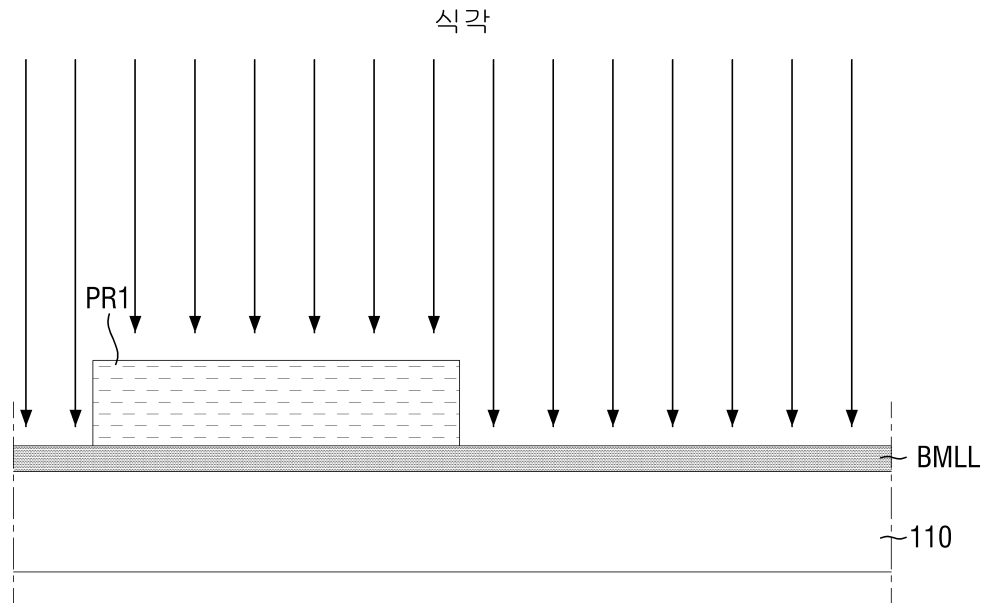
고, 제1 층간 절연막(170a) 및 버퍼층(120)의 에칭 레이트(etching rate)보다 클 수 있다.

- [0104] 예시적인 실시예에서, 제2 층간 절연막(170a)은 실리콘 나이트라이드(SiNx)로 이루어지고, 제1 층간 절연막(170a) 및 버퍼층(120)은 실리콘 옥사이드(SiO₂)로 이루어지며, 소스 및 드레인 영역(130a, 130b)은 IGZO로 이루어질 수 있으며, 삼불화질소(NF₃) 및 산소(O₂)의 혼합가스를 이용하여 식각을 진행하는 경우 제2 층간 절연막(170a)의 에칭 레이트(etching rate)는 4425Å/min일 수 있으며, 제1 층간 절연막(170a) 및 버퍼층(120) 에칭 레이트(etching rate)는 2185Å/min일 수 있고, 잔여 감광물(RP)의 에칭 레이트(etching rate)는 3825Å/min일 수 있으며, 소스 및 드레인 영역(130a, 130b)을 이루는 IGZO의 에칭 레이트(etching rate)는 190Å/min일 수 있다.
- [0105] 따라서, 제1 콘택홀(CNT1)과 제2 콘택홀(CNT2)을 하나의 마스크로 동시에 형성하는 경우에도 제1 콘택홀(CNT1)을 형성하기 위하여 제1, 제2 층간 절연막(170a, 170b) 및 버퍼층(120)을 식각하는 동안에 제2 콘택홀(CNT2) 형성 영역에 잔여 감광물(RP) 및 제1, 제2 층간 절연막(170a, 170b)이 식각되므로, 제2 콘택홀(CNT2) 형성 과정에서 IGZO로 이루어진 소스 및 드레인 영역(130a, 130b)이 손상되는 것을 방지할 수 있게 되므로, 서로 깊이가 다르게 형성되는 하부 전극패턴(BML)을 노출하는 제1 콘택홀(CNT1)과 소스 영역 및 드레인 영역(130a, 130b) 각각을 노출하는 제2 콘택홀(CNT2)을 하나의 마스크로 형성할 수 있게 된다.
- [0106] 즉, 본 실시예에 따른 경우, 하부 전극패턴(BML)을 연결하는 제1 콘택홀(CNT1)과 소스 영역 및 드레인 영역(130a, 130b)을 노출하는 제2 콘택홀(CNT2)을 형성하기 위하여 별도의 마스크 공정을 이용할 필요 없이 하나의 마스크 공정으로 진행할 수 있으므로, 제조비용을 절감시키고 생산성을 향상시킬 수 있다.
- [0107] 도 21 및 도 22를 참조하면, 제1 콘택홀(CNT1)과 제2 콘택홀(CNT2)이 형성된 제2 층간 절연막(170b) 상에 제2 금속 물질층(ML2)을 형성하고 이를 패터닝하여 제1 전극(191) 및 제2 전극(192)과 제2 커패시터 전극(142)을 형성한다. 이하, 제1 전극(191)이 소스 전극이고, 제2 전극(192)이 드레인 전극인 경우를 일례로 설명한다.
- [0108] 구체적으로, 제1 콘택홀(CNT1)과 제2 콘택홀(CNT2)이 형성된 제2 층간 절연막(170b) 상에 스퍼터링 등의 방법으로 제2 금속 물질층(ML2)을 형성하고, 마스크를 이용하여 소스 및 드레인 전극(191, 192)과 제2 커패시터 전극(142)이 형성될 영역에 대응하여 광차단부(PA)를 배치하고 광을 조사하여 감광막 패턴을 형성하고, 감광막 패턴을 식각 마스크로 하여 제2 금속 물질층(ML2)을 식각하여 소스 및 드레인 전극(191, 192)과 제2 커패시터 전극(142)을 형성할 수 있다.
- [0109] 도 23 및 도 24를 참조하면, 소스 및 드레인 전극(191, 192)과 제2 커패시터 전극(142)이 형성된 제2 층간 절연막(170b) 상에 패시베이션층(PAS)이 형성될 수 있다.
- [0110] 패시베이션층(PAS)은 제1, 제2 패시베이션층(PAS1, PAS2)을 포함할 수 있다.
- [0111] 도 25를 참조하면, 제1, 제2 패시베이션층(PAS1, PAS2)에 소스 전극(191)을 노출시키는 제3 콘택홀(CNT3)을 형성할 수 있다. 구체적으로, 마스크(MA4) 광투과부(TA)를 제3 콘택홀(CNT3)이 형성될 영역에 대응되도록 배치하고, 광을 조사하여 감광막 패턴 형성하고 감광막 패턴을 식각 마스크로 하여 제1, 제2 패시베이션층(PAS1, PAS2)을 식각하여 제3 콘택홀(CNT3)을 형성할 수 있다.
- [0112] 도 26 및 도 27을 참조하면, 제3 콘택홀(CNT3)이 형성된 패시베이션층(PAS) 상부에는 화소 전극(181)이 배치될 수 있다. 제3 금속 물질층(ML3)을 증착하고, 마스크를 이용하여 화소 전극(181)이 형성될 영역에 대응하여 광차단부(PA)를 배치하고 광을 조사하여 감광막 패턴을 형성하고, 감광막 패턴을 식각 마스크로 하여 제3 금속 물질층(ML3)을 식각하여 제3 콘택홀(CNT3)을 통하여 소스 전극(191)과 연결된 화소 전극(181)을 형성할 수 있다.
- [0113] 도 28을 참조하면, 패시베이션층(PAS), 화소 전극(181) 상에 화소정의막용 유기막을 적층하고 패터닝하여 화소 전극(181)을 노출시키는 화소정의막(182)을 형성한다. 구체적으로, 화소정의막용 유기막을 화학 기상 증착 등의 방법으로 적층하고, 마스크를 이용하여 화소정의막(182)이 형성될 영역에 대응하여 광차단부(PA)를 배치하고 광을 조사하여 감광막 패턴을 형성하고, 감광막 패턴을 식각 마스크로 하여 화소정의막용 유기막을 식각하여 화소 전극(181)을 노출시키는 화소정의막(182)을 형성할 수 있다.
- [0114] 도 29를 참조하면, 제2 층간 절연막(170b) 상부에 감광막 물질층(PRL)을 도포하는 단계까지는 상술한 도 2 내지 도 17의 실시예와 실질적으로 동일하다.
- [0115] 이어, 도 30을 참조하면, 제2 층간 절연막(170b) 상부에 감광막 물질층(PRL)을 도포하고, 제4 마스크(M4)를 통하여 제4 감광막 패턴(PR4)을 형성한다.

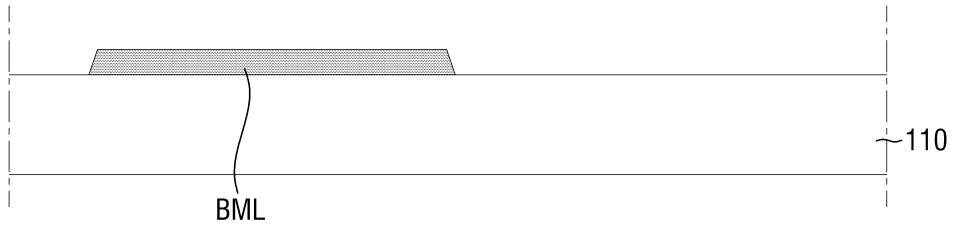
도면2



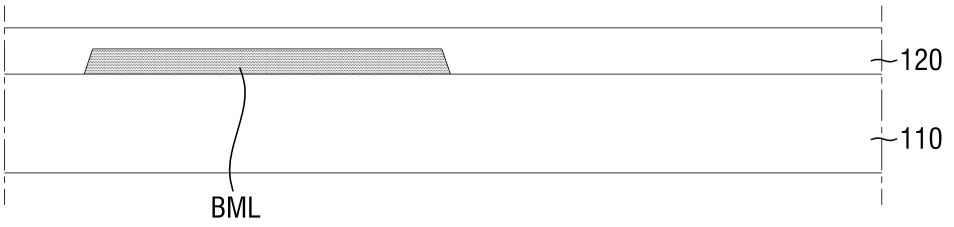
도면3



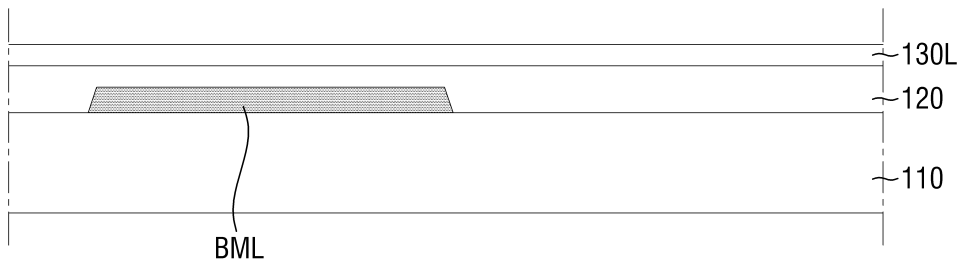
도면4



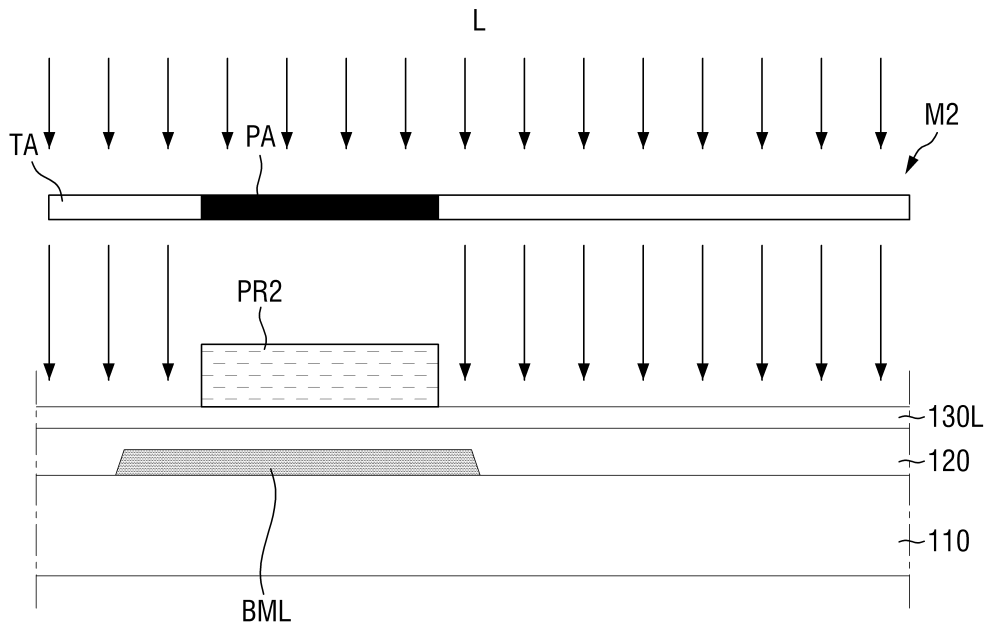
도면5



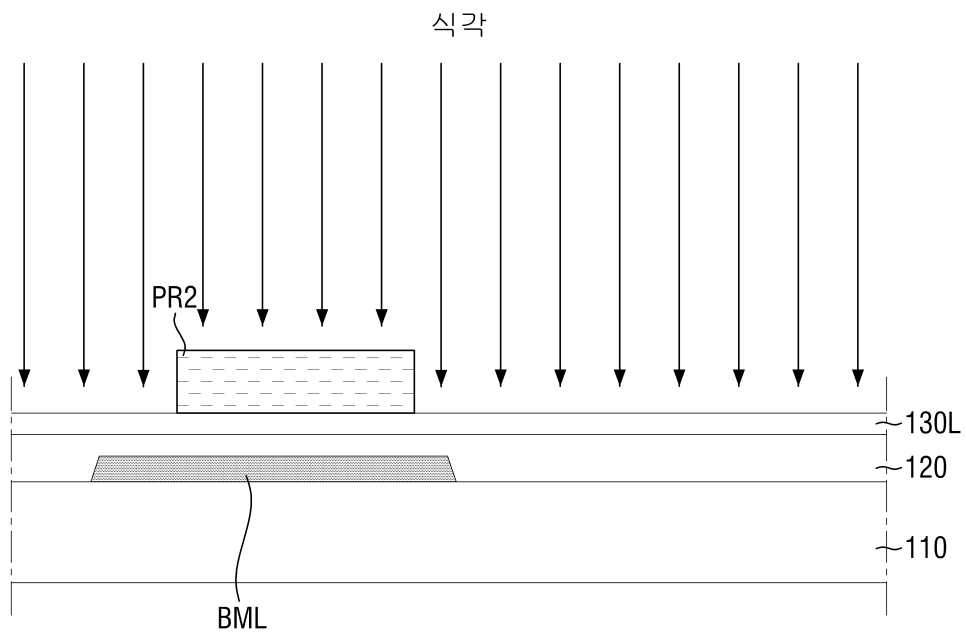
도면6



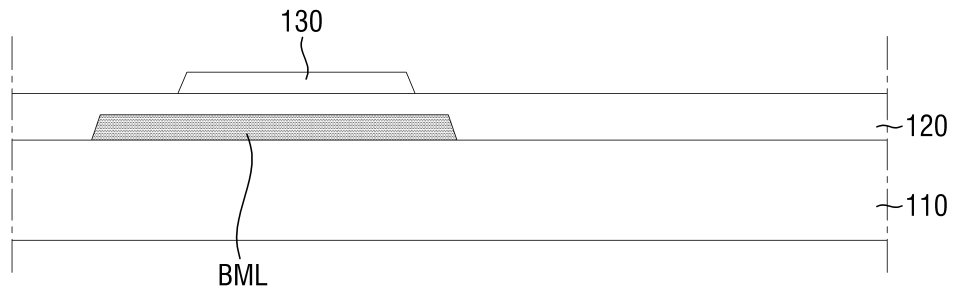
도면7



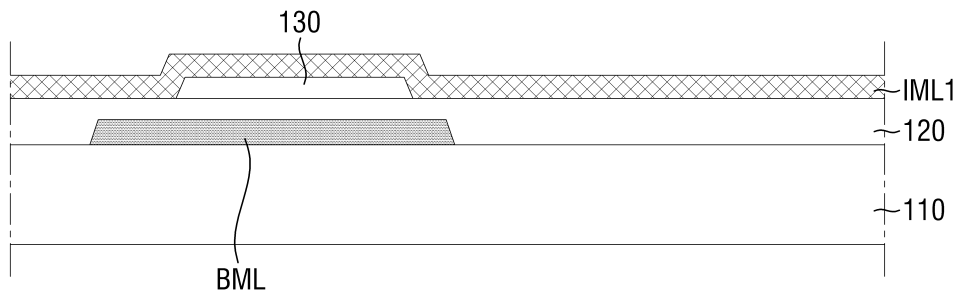
도면8



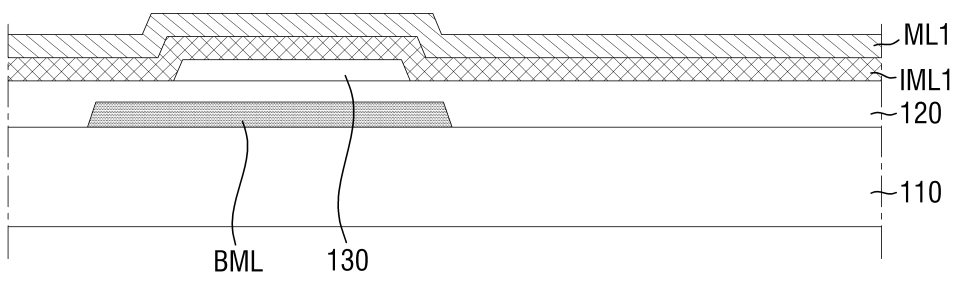
도면9



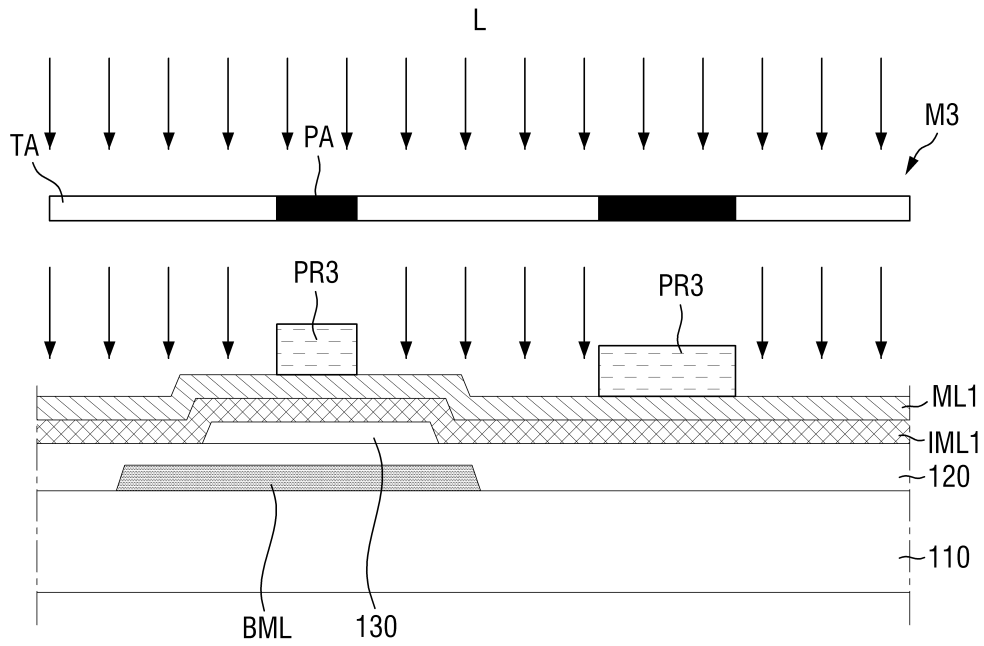
도면10



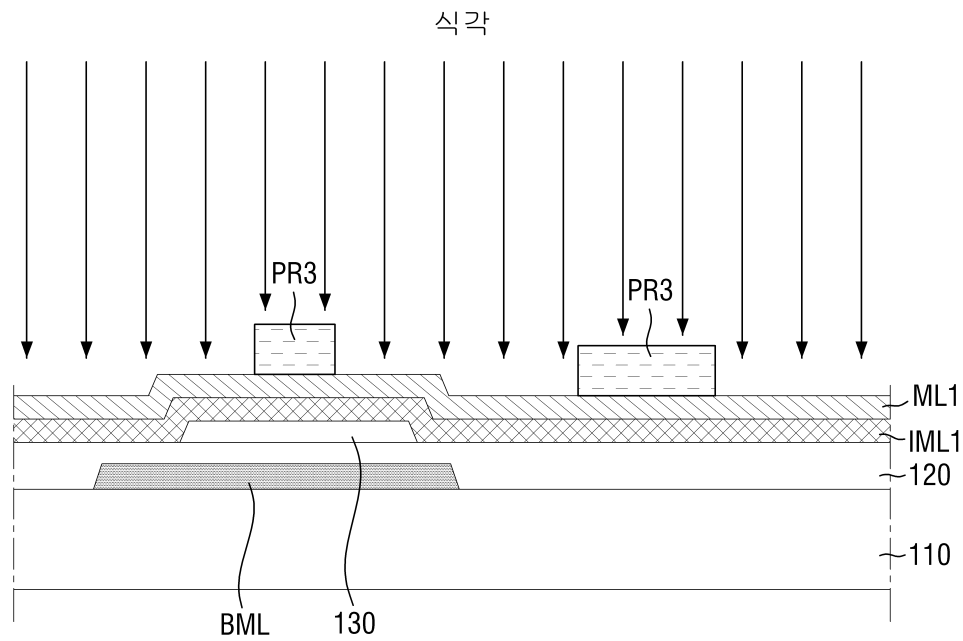
도면11



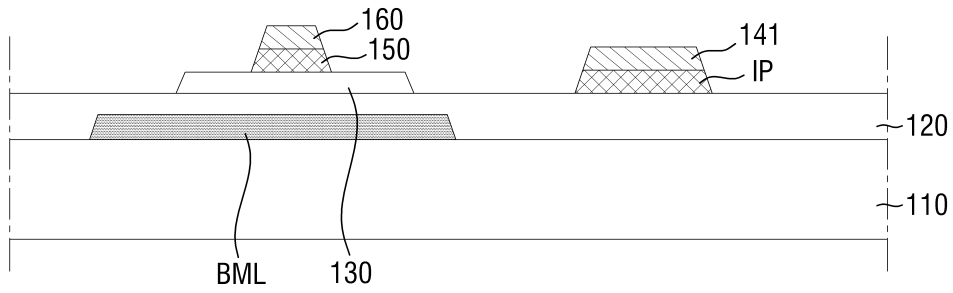
도면12



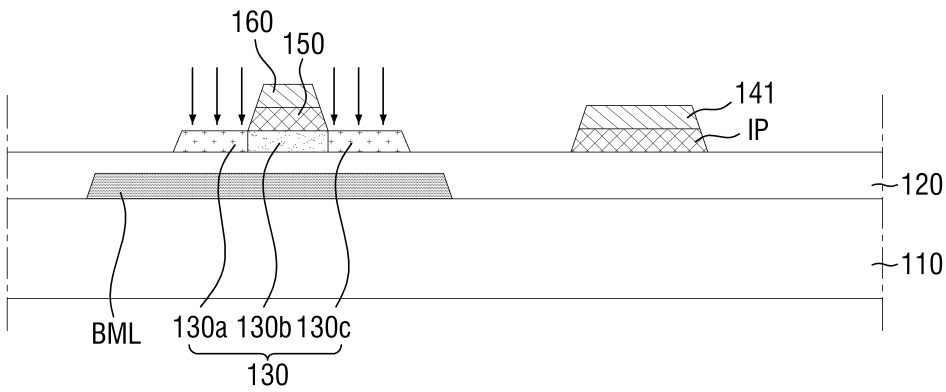
도면13



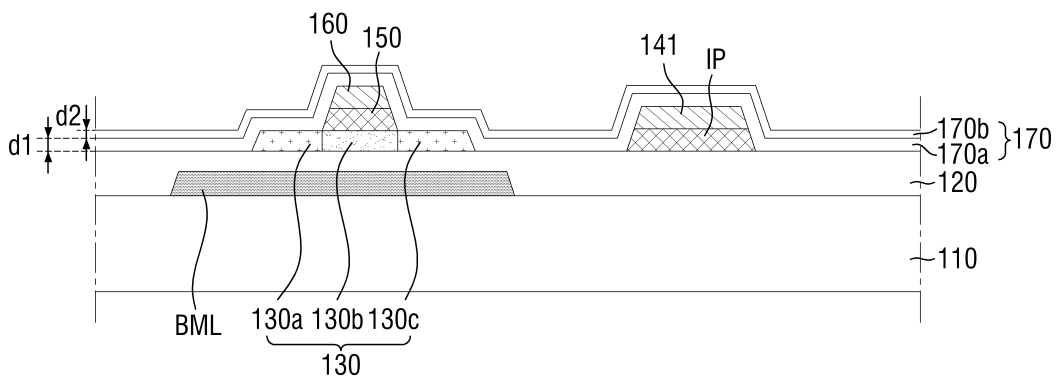
도면14



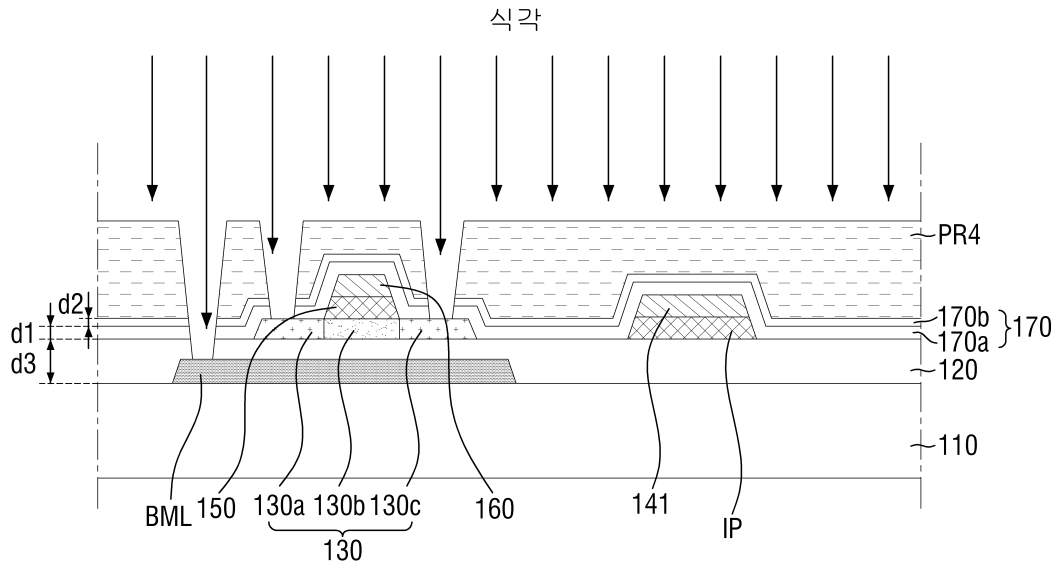
도면15



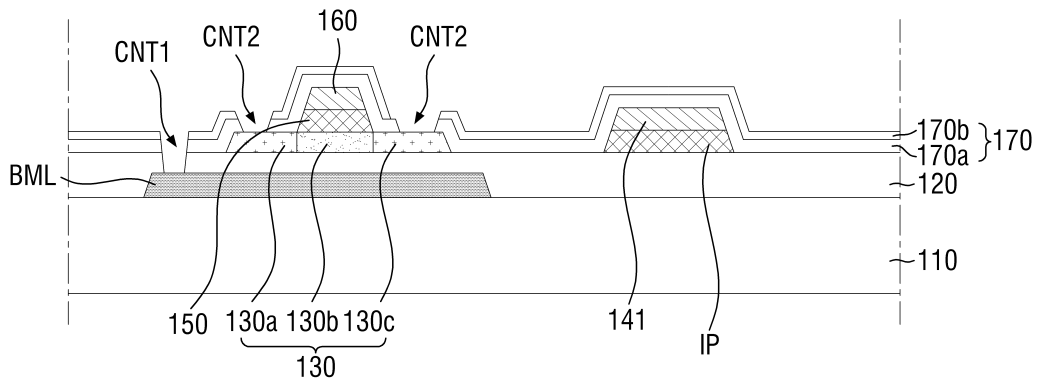
도면16



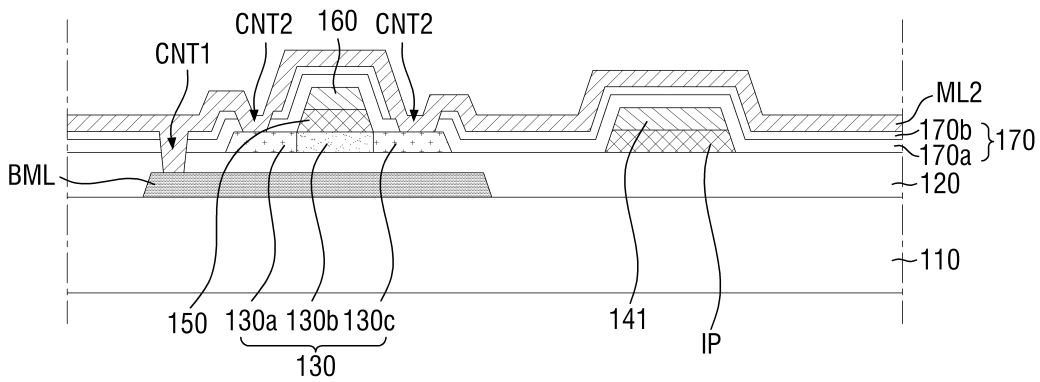
도면19



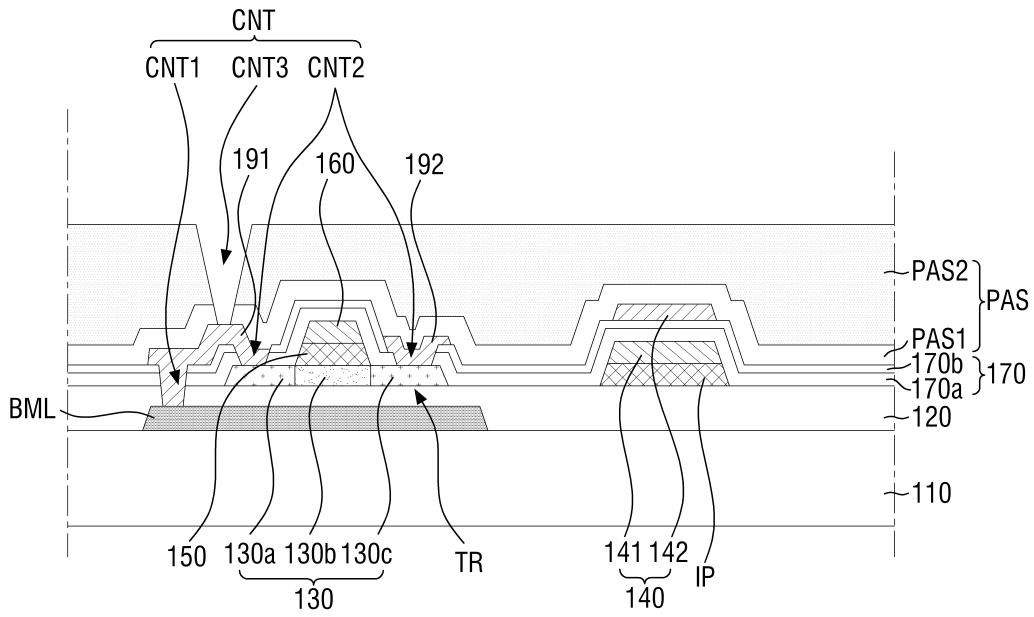
도면20



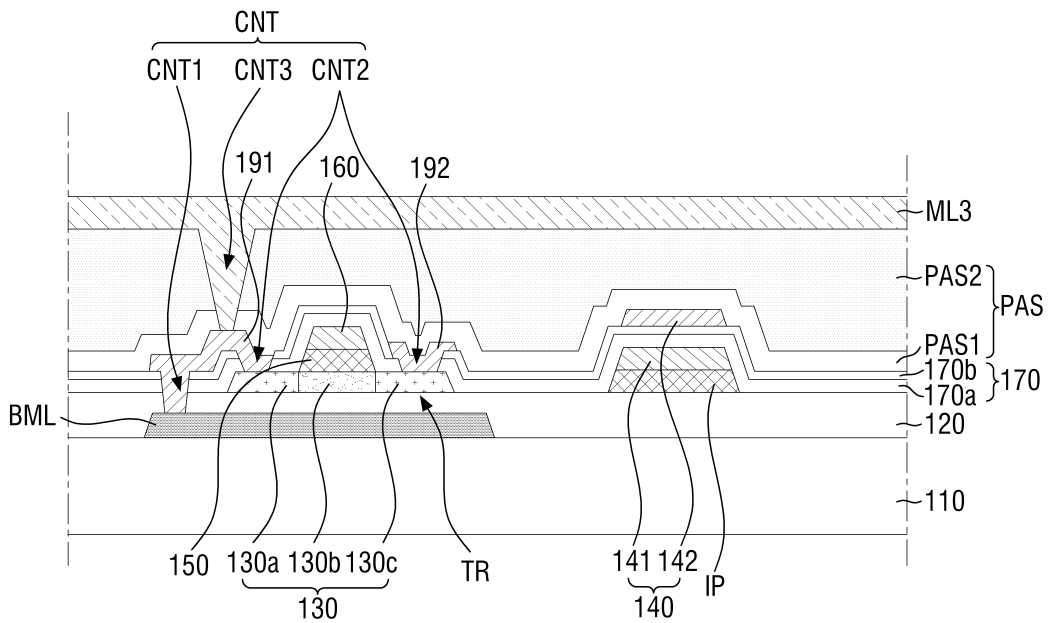
도면21



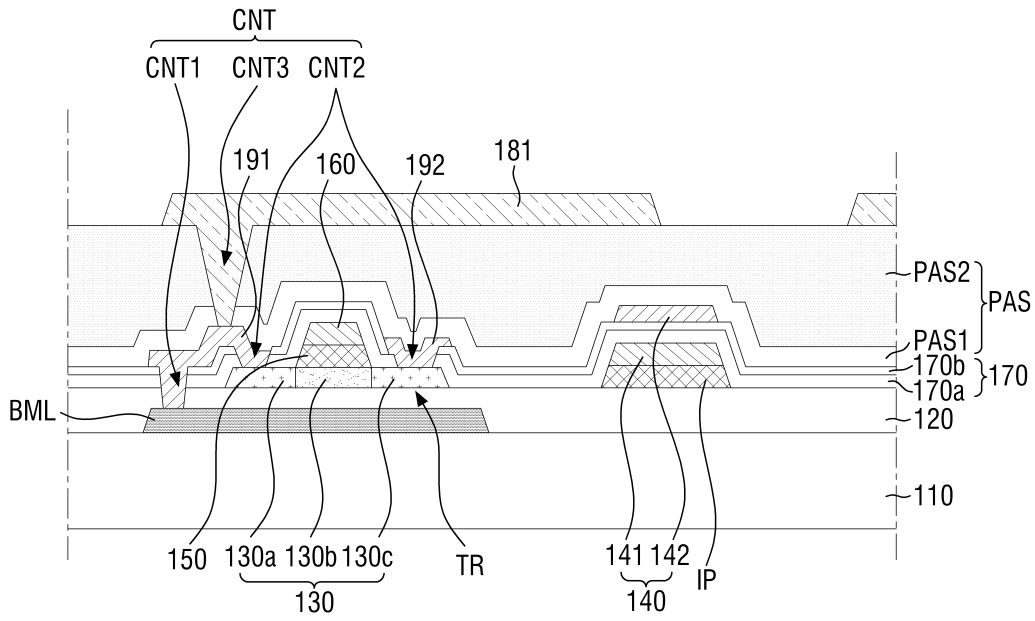
도면25



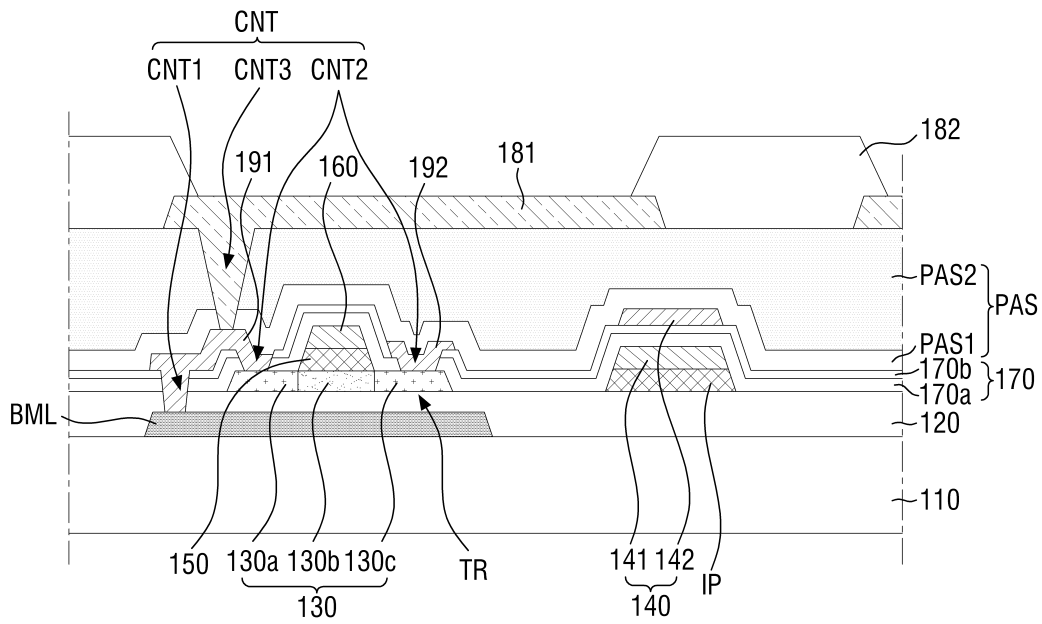
도면26



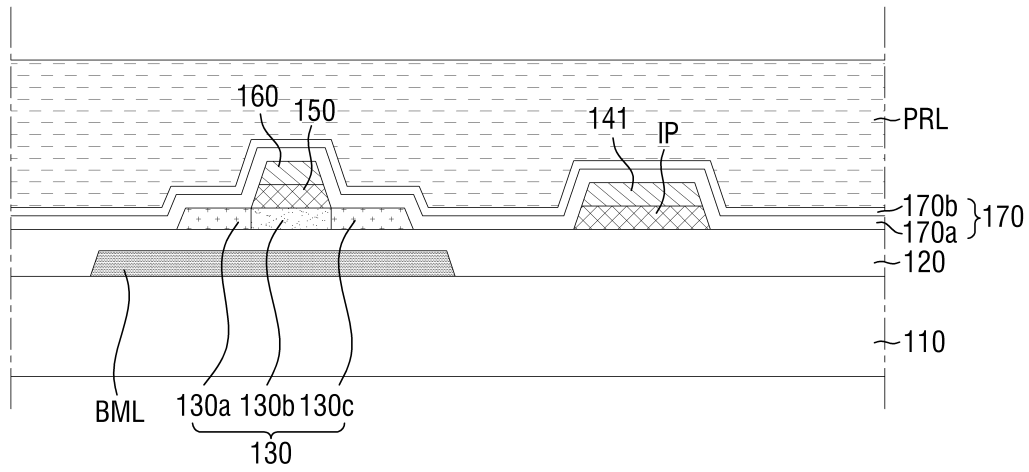
도면27



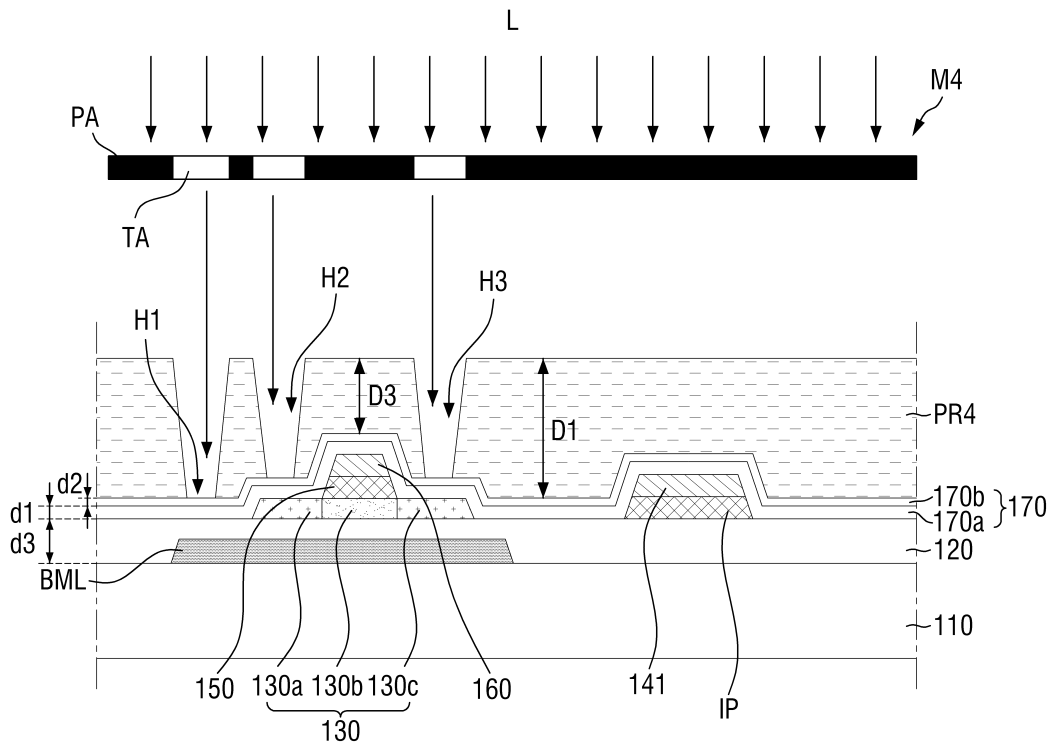
도면28



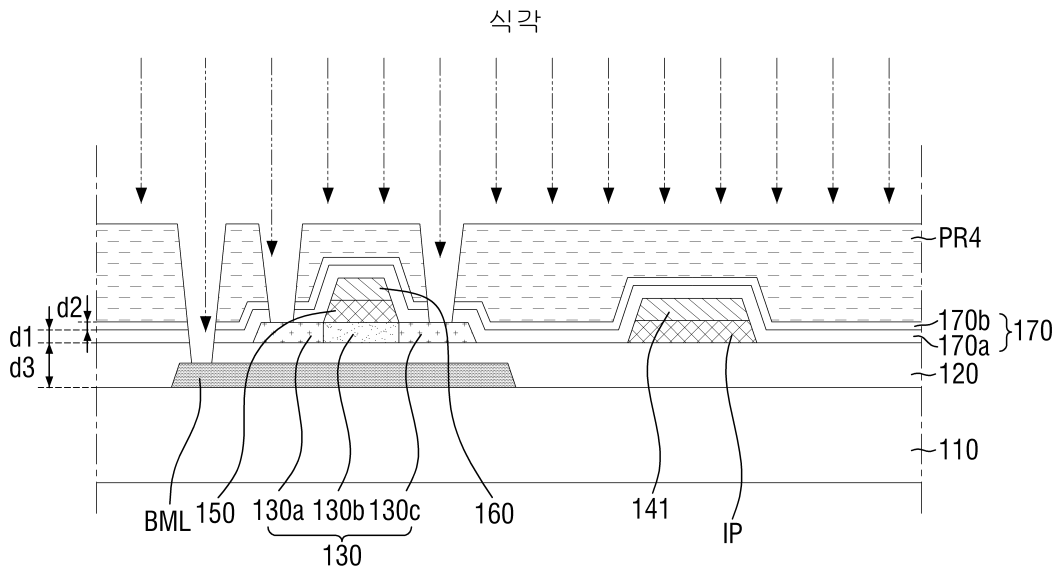
도면29



도면30



도면31



도면32

