(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월23일
(11) 등록번호 10-2824388
(24) 등록일자 2025년06월19일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *H10D 30/67* (2025.01)
H10D 64/62 (2025.01) *H10D 86/00* (2025.01)
H10K 59/121 (2023.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
H10D 30/6734 (2025.01)
(21) 출원번호 10-2024-7025760(분할)
(22) 출원일자(국제) 2018년05월07일
심사청구일자 2024년07월30일
(85) 번역문제출일자 2024년07월30일
(65) 공개번호 10-2024-0122579
(43) 공개일자 2024년08월12일
(62) 원출원 특허 10-2019-7035534
원출원일자(국제) 2018년05월07일
심사청구일자 2021년04월30일
(86) 국제출원번호 PCT/IB2018/053142
(87) 국제공개번호 WO 2018/211351
국제공개일자 2018년11월22일
(30) 우선권주장
JP-P-2017-099571 2017년05월19일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2017054899 A*
JP2016197704 A*
JP2013130615 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
코에즈카 준이치
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 12 항 심사관 : 이우리

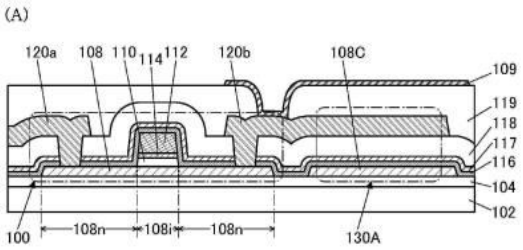
(54) 발명의 명칭 **반도체 장치, 표시 장치, 및 반도체 장치의 제작 방법**

(57) 요 약

전기 특성이 양호한 반도체 장치, 전기 특성이 안정적인 반도체 장치, 혹은 신뢰성이 높은 반도체 장치 또는 표시 장치를 제공한다. 제 1 금속 산화물층의 제 1 영역 위에 제 1 절연층 및 제 1 도전층을 적층한다. 제 1 금속 산화물층에서 제 1 절연층과 중첩되지 않는 제 2 영역, 및 제 2 금속 산화물층과 접하여 제 1 층을 형성한다.

(뒷면에 계속)

대 표 도



제 2 영역 및 제 2 금속 산화물층의 저항이 낮아지도록 가열 처리를 수행한다. 제 2 절연층을 형성한다. 제 2 절연층 위에, 제 2 영역에 전기적으로 접속되는 제 2 도전층을 형성한다. 여기서, 제 1 층은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하도록 형성된다.

(52) CPC특허분류
H10D 30/6755 (2025.01)
H10D 64/62 (2025.01)
H10D 86/60 (2025.01)
H10K 59/1213 (2023.02)

(72) 발명자
진토우 마사미
일본국 2430036 가나가와켄 아쓰기시 하세 398 가 부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
나카자와 야스타카
일본국 2430036 가나가와켄 아쓰기시 하세 398 가 부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
오보나이 도시미츠
일본국 2430036 가나가와켄 아쓰기시 하세 398 가 부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(30) 우선권주장
JP-P-2017-133092 2017년07월06일 일본(JP)
JP-P-2017-216684 2017년11월09일 일본(JP)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 절연층과,

상기 제 1 절연층의 위에, 상기 제 1 절연층에 접하는 제 1 반도체층과,

상기 제 1 절연층의 위에, 상기 제 1 절연층에 접하는 제 1 금속 산화물층과,

상기 제 1 반도체층과 상기 제 1 금속 산화물층 위에 형성된 제 2 금속 산화물층과,

상기 제 2 금속 산화물층 위에 형성된 제 2 절연층과,

상기 제 1 반도체층과 상기 제 2 금속 산화물층 사이의 제 3 절연층과,

상기 제 2 절연층 위에, 상기 제 2 금속 산화물층과 상기 제 2 절연층의 제 1 개구를 통해서 상기 제 1 반도체층과 전기적으로 접속되는 제 1 도전층과,

상기 제 2 절연층 위에, 상기 제 2 금속 산화물층과 상기 제 2 절연층의 제 2 개구를 통해서 상기 제 1 반도체층과 전기적으로 접속되는 제 2 도전층과,

상기 제 1 반도체층의 제 1 영역과 중첩되는 제 3 도전층과,

상기 제 2 도전층과 전기적으로 접속되는 표시 소자의 전극

을 포함하고,

상기 제 2 도전층은 상기 제 1 금속 산화물층과 중첩되고,

상기 제 3 절연층은 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 중 적어도 하나를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 금속 산화물층은 용량 소자의 한쪽 전극으로서 기능하고

상기 제 2 도전층은 상기 용량 소자의 다른 쪽 전극으로서 기능하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 3 절연층은 상기 제 1 금속 산화물층과 상기 제 2 금속 산화물층 사이에 위치하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 3 절연층은 상기 제 1 반도체층의 측면과 상면, 그리고 상기 제 1 금속 산화물층의 측면과 상면에 접하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 반도체층은 상기 제 3 도전층과 중첩되지 않는 제 2 영역을 더 포함하고,

상기 제 2 영역은 상기 제 1 영역보다 저저항인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 3 절연층은 상기 제 1 반도체층의 측면과 상면, 그리고 상기 제 1 금속 산화물층의 측면과 상면에 접하는, 반도체 장치.

청구항 7

반도체 장치로서,

트랜지스터의 게이트 전극으로서 기능하는 제 1 도전층과,

용량 소자의 한쪽 전극으로서 기능하는 제 2 도전층과,

상기 제 1 도전층과 상기 제 2 도전층 위에 형성된 제 1 절연층과,

상기 제 1 절연층 위에, 상기 제 1 절연층에 접하고, 상기 제 1 도전층 및 상기 제 2 도전층과 중첩되는 제 1 반도체층과,

상기 제 1 반도체층 위에, 상기 제 1 도전층 및 상기 제 2 도전층과 중첩되는 제 1 금속 산화물층과,

상기 제 1 금속 산화물층 위에 형성된 제 2 절연층과,

상기 제 1 반도체층과 상기 제 1 금속 산화물층 사이의 제 3 절연층과,

상기 제 2 절연층 위에, 상기 제 1 금속 산화물층과 상기 제 2 절연층의 제 1 개구를 통해서 상기 제 1 반도체층과 전기적으로 접속되는 제 3 도전층과,

상기 제 2 절연층 위에, 상기 제 1 금속 산화물층과 상기 제 2 절연층의 제 2 개구를 통해서 상기 제 1 반도체층과 전기적으로 접속되는 제 4 도전층과,

상기 제 1 반도체층의 제 1 영역과 중첩되는 제 5 도전층과,

상기 제 1 반도체층과 전기적으로 접속되는 표시 소자의 전극

을 포함하고,

상기 제 3 절연층은 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 중 적어도 하나를 포함하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 3 절연층은 상기 제 1 금속 산화물층과 상기 제 5 도전층 사이에 위치하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 3 절연층은 상기 제 1 반도체층의 측면과 상면에 접하는, 반도체 장치.

청구항 10

제 7 항에 있어서,

상기 제 1 반도체층은 상기 제 5 도전층과 중첩되지 않는 제 2 영역을 더 포함하고,

상기 제 2 영역은 상기 제 1 영역보다 저저항인, 반도체 장치.

청구항 11

제 7 항에 있어서,

상기 제 1 반도체층은 상기 제 2 도전층과 중첩되는 제 3 영역을 더 포함하고,

상기 제 1 반도체층의 상기 제 3 영역은 상기 용량 소자의 다른 쪽 전극으로서 기능하는, 반도체 장치.

청구항 12

제 7 항에 있어서,

상기 제 3 절연층은 상기 제 1 반도체층의 측면 및 상면에 접하는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다. 본 발명의 일 형태는 표시 장치 및 표시 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 본 발명의 일 형태의 기술분야의 예에는 반도체 장치, 표시 장치, 발광 장치, 전력 저장 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 및 이들의 제작 방법이 포함된다.

[0003] 본 명세서 등에서 반도체 장치란, 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터, 반도체 회로, 연산 장치, 및 기억 장치 등은 각각 반도체 장치의 일 형태이다. 또한, 촬상 장치, 전기 광학 장치, 발전 장치(예를 들어, 박막 태양 전지 및 유기 박막 태양 전지), 및 전자 기기는 각각 반도체 장치를 포함하여도 좋다.

배 경 기 술

[0004] 트랜지스터에 적용 가능한 반도체 재료로서, 금속 산화물을 포함한 산화물 반도체가 주목을 받고 있다. 예를 들어, 특허문헌 1에는, 복수의 산화물 반도체층을 적층하고, 이들 중에서 채널로서 기능하는 산화물 반도체층이 인듐 및 갈륨을 포함하고, 인듐의 함유량이 갈륨의 함유량보다 많은 구조로 함으로써, 높은 전계 효과 이동도(단순히 이동도 또는 μFE라고 하는 경우가 있음)가 실현된 반도체 장치가 개시되어 있다.

[0005] 반도체층에 사용할 수 있는 금속 산화물은 스퍼터링법 등에 의하여 형성할 수 있기 때문에, 대형 표시 장치에서의 트랜지스터의 반도체층에 사용할 수 있다. 또한, 다결정 실리콘 또는 비정질 실리콘을 포함한 트랜지스터의 생산 설비의 일부를 개량하고 이용할 수 있기 때문에 설비 투자를 저감할 수 있다. 금속 산화물을 포함한 트랜지스터는 비정질 실리콘을 포함한 트랜지스터보다 전계 효과 이동도가 높기 때문에, 구동 회로가 통합된 고성능의 표시 장치를 실현할 수 있다.

[0006] 특허문헌 2에는, 알루미늄, 붕소, 갈륨, 인듐, 타이타늄, 실리콘, 저마늄, 주석, 및 납 중 적어도 하나를 도펀트로서 포함한 저저항 영역을 포함하는 산화물 반도체막이 소스 영역 및 드레인 영역에 사용된 박막 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2014-007399호

(특허문헌 0002) 일본 공개특허공보 특개2011-228622호

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 형태의 하나의 과제는 전기 특성이 양호한 반도체 장치를 제공하는 것이다. 또 다른 과제는 전기 특성이 안정적인 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 과제는 신뢰성이 높은 반도체 장치 또는 표시 장치를 제공하는 것이다.

[0009] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 과제 모두를 반

드시 달성할 필요는 없다. 또한, 다른 과제는 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는, 하나의 면 위에 제 1 금속 산화물층 및 제 2 금속 산화물층을 형성하는 단계; 제 1 금속 산화물층의 제 1 영역 위에 제 1 절연층 및 제 1 도전층을 형성하고 적층하는 단계; 제 1 금속 산화물층에서 제 1 절연층과 중첩되지 않는 제 2 영역, 및 제 2 금속 산화물층과 접하는 제 1 층을 형성하는 단계; 제 1 금속 산화물층의 제 2 영역의 저항 및 제 2 금속 산화물층의 저항이 낮아지도록 가열 처리를 수행하는 단계; 제 1 금속 산화물층, 제 2 금속 산화물층, 제 1 절연층, 및 제 1 도전층을 덮어 제 2 절연층을 형성하는 단계; 및 제 2 절연층 위에, 제 2 영역에 전기적으로 접속되는 제 2 도전층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법이다. 여기서, 제 1 층은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하도록 형성된다.

[0011] 상기 일 형태는, 가열 처리를 수행하는 단계 후이고 제 2 절연층을 형성하는 단계 전에 제 1 층을 제거하는 단계를 포함하는 것이 바람직하다.

[0012] 상기 일 형태에서, 제 2 도전층은 제 2 금속 산화물층과 중첩하여 형성되는 것이 바람직하다.

[0013] 또는, 상기 일 형태는, 제 1 금속 산화물층 및 제 2 금속 산화물층을 형성하는 단계 전에, 하나의 면 위에 제 3 도전층 및 제 4 도전층을 형성하는 단계와, 제 3 도전층 및 제 4 도전층을 덮어 제 3 절연층을 형성하는 단계를 포함하는 것이 바람직하다. 이 경우, 제 1 금속 산화물층은 제 1 영역이 제 3 도전층과 중첩되도록 형성되는 것이 바람직하고, 제 2 금속 산화물층은 제 4 도전층과 적어도 일부가 중첩되도록 형성되는 것이 바람직하다.

[0014] 상기 일 형태에서, 제 1 층은 질소를 포함하도록 스퍼터링법에 의하여 형성되는 것이 바람직하다.

[0015] 상기 일 형태에서, 가열 처리는 질소를 포함한 분위기에 있어서 300℃ 이상 450℃ 이하의 온도에서 수행되는 것이 바람직하다.

[0016] 본 발명의 다른 일 형태는, 하나의 면 위의 제 1 금속 산화물층 및 제 2 금속 산화물층; 제 1 금속 산화물층의 제 1 영역 위에 적층된 제 1 절연층 및 제 1 도전층; 제 1 금속 산화물층에서 제 1 절연층과 중첩되지 않는 제 2 영역, 및 제 2 금속 산화물층과 접하는 제 1 층; 제 1 금속 산화물층, 제 2 금속 산화물층, 제 1 절연층, 및 제 1 도전층을 덮는 제 2 절연층; 및 제 2 절연층 위에 위치하고 제 2 영역에 전기적으로 접속되는 제 2 도전층을 포함하는 반도체 장치이다. 제 1 층은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함한다. 제 2 영역은 제 1 영역보다 저항이 낮다.

[0017] 상기 일 형태에서, 제 2 도전층은 제 2 절연층, 제 1 층, 및 제 2 금속 산화물층과 부분적으로 중첩되는 것이 바람직하다.

[0018] 또는, 상기 일 형태는 제 1 금속 산화물층 및 제 2 금속 산화물층 아래의 제 3 도전층 및 제 4 도전층, 및 제 3 도전층 및 제 4 도전층을 덮고 제 1 금속 산화물층 및 제 2 금속 산화물층 아래에 위치하는 제 3 절연층을 포함하는 것이 바람직하다. 이 경우, 제 3 도전층은 제 1 영역과 부분적으로 중첩되고, 제 4 도전층은 제 2 금속 산화물층과 부분적으로 중첩되는 것이 바람직하다. 또한, 제 2 영역은 제 2 도전층을 통하여 제 2 금속 산화물층에 전기적으로 접속되는 것이 바람직하다.

[0019] 상기 일 형태에서, 제 2 영역과 제 2 금속 산화물층은 이음매 없이 연속하는 것이 바람직하다.

[0020] 상기 일 형태는 제 1 금속 산화물층과 제 1 절연층 사이에 제 3 금속 산화물층을 포함하는 것이 바람직하다. 이 경우, 제 3 금속 산화물층은 In, Ga, 및 Zn을 포함하고, In의 함유량이 Ga의 함유량보다 많은 것이 바람직하다. 또한, 제 3 금속 산화물층은 Zn의 함유량이 In의 함유량보다 많은 것이 바람직하다.

[0021] 본 발명의 다른 일 형태는 상기 반도체 장치 중 임의의 것과 액정 소자를 포함한 표시 장치이다. 이 경우, 액정 소자는 제 2 절연층 상방에 위치하고 액정, 제 4 도전층, 및 제 5 도전층을 포함하고, 제 4 도전층은 제 2 도전층에 전기적으로 접속되는 것이 바람직하다.

[0022] 본 발명의 다른 일 형태는 상기 반도체 장치 중 임의의 것과 발광 소자를 포함한 표시 장치이다. 이 경우, 발광 소자는 제 2 절연층 상방에 위치하고 제 6 도전층, 제 7 도전층, 및 이들 사이의 발광층을 포함하고, 제 6 도전층은 제 2 도전층에 전기적으로 접속되는 것이 바람직하다.

발명의 효과

[0023] 본 발명의 일 형태는 전기 특성이 양호한 반도체 장치, 전기 특성이 안정적인 반도체 장치, 또는 신뢰성이 높은 반도체 장치 또는 표시 장치를 제공할 수 있다.

[0024] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 효과 모두를 반드시 달성할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

도면의 간단한 설명

[0025] 첨부 도면에 있어서:

도 1의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 2의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 3의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 4의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 5의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 6의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것;

도 7의 (A) 및 (B)는 트랜지스터의 구조예를 도시한 것;

도 8의 (A) 및 (B)는 트랜지스터의 구조예를 도시한 것;

도 9의 (A) 내지 (C)는 트랜지스터 및 용량 소자 등의 구조예를 각각 도시한 것;

도 10의 (A) 내지 (C)는 트랜지스터 및 용량 소자 등의 구조예를 각각 도시한 것;

도 11의 (A) 내지 (F)는 트랜지스터 및 용량 소자 등의 제작 방법을 도시한 것;

도 12의 (A) 내지 (E)는 트랜지스터 및 용량 소자 등의 제작 방법을 도시한 것;

도 13의 (A) 및 (B)는 트랜지스터 및 용량 소자 등의 제작 방법을 도시한 것;

도 14의 (A) 내지 (D)는 트랜지스터 및 용량 소자 등의 제작 방법을 도시한 것;

도 15의 (A) 및 (B)는 표시 장치의 상면도;

도 16은 표시 장치의 단면도;

도 17은 표시 장치의 단면도;

도 18은 표시 장치의 단면도;

도 19는 표시 장치의 단면도;

도 20은 표시 장치의 단면도;

도 21의 (A) 내지 (C)는 표시 장치의 블록도 및 회로도;

도 22는 표시 장치의 블록도;

도 23의 (A) 내지 (C)는 전자 기기를 도시한 것;

도 24의 (A) 및 (B)는 표시 모듈의 구조예를 도시한 것;

도 25의 (A) 내지 (E)는 전자 기기의 구조예를 도시한 것;

도 26의 (A) 내지 (G)는 전자 기기의 구조예를 도시한 것;

도 27의 (A) 내지 (D)는 전자 기기의 구조예를 도시한 것;

도 28의 (A) 및 (B)는 텔레비전 장치의 구조예를 도시한 것;

도 29는 실시예 1에서의 시트 저항의 측정 결과를 나타낸 것;

도 30은 실시예 1에서의 시트 저항의 측정 결과를 나타낸 것;

도 31은 실시예 1에서의 시트 저항의 측정 결과를 나타낸 것;

도 32는 실시예 2에서의 트랜지스터의 전기 특성을 나타낸 것;

도 33은 실시예 2에서의 트랜지스터의 전기 특성을 나타낸 것;

도 34의 (A) 내지 (C)는 실시예 3에서의 소스 드라이버 회로 및 링 발진 회로(ring oscillator circuit)의 구조예를 도시한 것;

도 35의 (A) 및 (B)는 실시예 3에서의 링 발진 회로의 측정 결과를 나타낸 것;

도 36은 실시예 4에서의 트랜지스터의 전기 특성을 나타낸 것; 및

도 37은 실시예 4에서의 트랜지스터의 신뢰성 평가 결과를 나타낸 것.

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서는, 첨부 도면을 참조하여 실시형태에 대하여 설명한다. 또한, 실시형태는 많은 상이한 형태로 실시할 수 있고, 본 발명의 취지 및 범위에서 벗어나지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되지 말아야 한다.

[0027] 본 명세서에서 설명하는 각 도면에서 각 구성 요소의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 그 스케일은 도면에 도시된 것에 반드시 한정되지는 않는다.

[0028] 본 명세서에서 제 1, 제 2, 및 제 3 등의 서수는 구성 요소의 혼동을 피하기 위하여 사용되는 것이며, 이들 용어는 구성 요소를 수적으로 한정하지 않는다.

[0029] 본 명세서에서 배치를 설명하는 용어(예를 들어 위에, 상방에, 아래에, 및 하방에)는, 도면을 참조하여 구성 요소 간의 위치 관계를 설명하는 데 있어서 편의상 사용된다. 또한, 구성 요소 간의 위치 관계는, 각 구성 요소를 설명하는 방향에 따라 적절히 변화된다. 따라서, 위치 관계는 본 명세서에 사용된 용어로 설명되는 것에 한정되지 않고, 상황에 따라 적절히 다른 용어로 설명할 수 있다.

[0030] (실시형태 1)

[0031] 본 실시형태에서는, 본 발명의 일 형태에서의 반도체 장치의 구조예 및 제작 방법의 예에 대하여 설명한다. 이하에서 예시하는 반도체 장치는, 특히 표시 장치의 화소부 또는 구동 회로부에 적합하게 사용할 수 있다.

[0032] 본 발명의 일 형태는 채널이 형성되는 반도체층, 반도체층 위의 게이트 절연층, 및 게이트 절연층 위의 게이트 전극을 형성면 위에 포함하는 트랜지스터이다. 반도체층은 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고도 함)을 포함한다. 이하에서는, 반도체층을 제 1 금속 산화물층이라고 하는 경우가 있다.

[0033] 게이트 전극 및 게이트 절연층은 상면 형상이 실질적으로 같은 것이 바람직하다. 바꿔 말하면, 게이트 전극 및 게이트 절연층은 이들의 측면이 연속하도록 가공되는 것이 바람직하다. 예를 들어, 게이트 절연층이 되는 절연막과 게이트 전극이 되는 도전막을 적층한 다음, 하나의 에칭 마스크를 사용하여 연속하여 가공함으로써, 게이트 전극 및 게이트 절연층을 형성할 수 있다. 또는, 미리 가공한 게이트 전극을 하드 마스크로서 사용하여 상기 절연막을 가공함으로써, 게이트 절연층을 형성하여도 좋다.

[0034] 여기서, 반도체층에서 게이트 전극 및 게이트 절연층과 중첩되는 영역을 제 1 영역이라고 하고, 이들과 중첩되지 않는 영역을 제 2 영역이라고 하는 경우, 제 1 영역은 채널 형성 영역으로서 기능하고, 제 2 영역은 소스 영역 또는 드레인 영역으로서 기능한다. 이 경우, 제 2 영역은 제 1 영역보다 저항이 낮은 것이 바람직하다.

[0035] 본 발명의 일 형태에서는, 반도체층 위에 게이트 절연층 및 게이트 전극을 형성한 후에, 반도체층의 제 2 영역을 덮어 제 1 층을 형성하고, 가열 처리를 수행함으로써, 제 2 영역의 저항을 저감한다.

[0036] 제 1 층은 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 등의 금속 원소 중 적어도 하나를 포함한 막일 수 있다. 제 1 층은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하는 것이 바람직하다. 또한, 이들 금속 원소 중 적어도 하나를 포함한 질화물 또는 이들 금속 원소 중 적어도 하나를 포함한 산화물이 적합하게 사용된다. 특히, 예를 들어 텅스텐막 또는 타이타늄막 등의 금속막, 질화 알루미늄 타이타늄막, 질화 타이타늄막, 또는 질화 알루미늄막 등의 질화물막, 또는 산화 알루미늄 타이타늄막 등의 산화물

막이 적합하게 사용된다.

[0037] 예를 들어, 질화 알루미늄 타이타늄막을 사용하는 경우, 상기 막은 조성식 $AlTiN_x$(x는 0보다 크고 3 이하의 실수임) 또는 조성식 $AlTi_xN_y$(x는 0보다 크고 2 이하의 실수이고, y는 0보다 크고 4 이하의 실수임)를 만족시키는 것이 바람직하다.

[0038] 가열 처리의 온도는, 처리의 온도가 더 높으면 제 2 영역의 저항 저감을 더 촉진할 수 있기 때문에, 높은 것이 바람직하다. 가열 처리의 온도는, 예를 들어 게이트 전극의 내열성을 고려하여 결정한다. 온도의 범위는 예를 들어, 200℃ 내지 500℃, 바람직하게는 250℃ 내지 450℃, 더 바람직하게는 300℃ 내지 400℃로 할 수 있다. 예를 들어, 가열 처리의 온도가 약 350℃인 경우, 대형 유리 기판을 사용한 생산 시설에 의하여 반도체 장치를 높은 수율로 제작할 수 있다.

[0039] 제 1 층의 두께의 범위는 예를 들어 0.5nm 내지 20nm, 바람직하게는 0.5nm 내지 15nm, 더 바람직하게는 0.5nm 내지 10nm, 더욱 바람직하게는 1nm 내지 6nm로 할 수 있다. 대표적으로는, 제 1 층의 두께는 약 5nm 또는 약 2nm로 할 수 있다. 이러한 얇은 제 1 층에 의해서도, 금속 산화물막의 저항을 충분히 저감할 수 있다.

[0040] 제 2 영역은 저저항 영역이라고 할 수도 있고, 제 2 영역은 채널 형성 영역보다 캐리어 밀도가 높은 것이 중요하다. 예를 들어, 저저항 영역은 채널 형성 영역보다 수소의 함유량이 많은 영역, 또는 채널 형성 영역보다 산소 결손을 더 많이 포함하는 영역으로 할 수 있다. 수소 원자와 결합되면, 산화물 반도체 내의 산소 결손은 캐리어 발생원으로서 기능한다.

[0041] 제 1 층을 제 2 영역과 접하여 제공한 상태로 가열 처리를 수행하면, 제 2 영역 내의 산소가 제 1 층에 흡수되기 때문에, 제 2 영역에 대량의 산소 결손을 발생시킬 수 있다. 그러므로, 저항이 매우 낮은 제 2 영역을 형성할 수 있다.

[0042] 상술한 식으로 형성된 제 2 영역은, 뒤의 처리 단계에 의하여 저항을 높이기 어렵다는 특징을 갖는다. 예를 들어, 산소를 포함한 분위기에서의 가열 처리 또는 산소를 포함한 분위기에서의 막 형성에 의하여 제 2 영역의 도전성이 손상될 가능성이 없기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0043] 가열 처리가 실시된 제 1 층이 도전성을 갖는 경우에는, 가열 처리 후에 제 1 층을 제거하는 것이 바람직하다. 한편, 제 1 층이 절연성을 갖는 경우에는, 제 1 층을 남기고 보호 절연막으로서 기능시킬 수 있다.

[0044] 상술한 질화 알루미늄 타이타늄막은 절연성이 우수하기 때문에, 남기는 것이 특히 바람직하다.

[0045] 여기서, 상기 금속 산화물막의 저항을 저감하는 방법에 의하여, 용량 소자의 한쪽 전극을 동시에 형성할 수 있다. 이하에서는, 용량 소자의 전극을 제작하는 방법에 대하여 설명한다.

[0046] 먼저, 제 1 금속 산화물층과 같은 면에 제 2 금속 산화물층을 형성한다. 제 2 금속 산화물층은, 일부가 제 1 금속 산화물층이 되는 금속 산화물막을 가공하여 형성되면, 단계 수가 증가되지 않기 때문에 바람직하다. 다음으로, 제 1 층을 제 2 금속 산화물층과 접하여 형성한 다음, 가열 처리를 수행함으로써, 저항이 저감된 제 2 금속 산화물층을 형성할 수 있다.

[0047] 용량 소자의 다른 쪽 전극은, 일부가 트랜지스터에 포함된 도전층이 되는 도전막을 가공하여 형성된 도전층인 것이 바람직하다. 예를 들어 용량 소자의 다른 쪽 전극은, 일부가 트랜지스터의 소스 전극 및 드레인 전극, 또는 제 2 게이트 전극이 되는 도전막을 가공함으로써 형성할 수 있다.

[0048] 여기서, 일부가 트랜지스터의 소스 전극 또는 드레인 전극이 되는 도전막을 가공함으로써 용량 소자의 다른 쪽 전극을 형성하는 경우에는, 한 쌍의 전극 사이에 절연성을 갖는 제 1 층을 제공할 수 있다. 예를 들어, 상술한 질화 알루미늄 타이타늄막은 절연성이 높고 유전율이 비교적 높기 때문에, 용량 소자의 유전체에 적합하게 사용된다.

[0049] 상술한 바와 같이, 본 발명의 일 형태에서는, 트랜지스터 및 용량 소자를 같은 공정에서 제작할 수 있다. 예를 들어, 액정 소자 또는 발광 소자를 포함한 표시 장치의 화소부 및 구동 회로부에 상기 트랜지스터 및 상기 용량 소자를 적합하게 사용할 수 있다. 이에 의하여, 신뢰성이 높은 표시 장치를 제작할 수 있다.

[0050] 이하에서는, 도면을 참조하여 구체적인 예에 대하여 설명한다.

[0051] [구조예 1]

[0052] 도 1의 (A)는 트랜지스터(100)의 상면도이다. 도 1의 (B)는 도 1의 (A)의 일점쇄선 A1-A2를 따르는

단면도이다. 도 1의 (C)는 도 1의 (A)의 일점쇄선 B1-B2를 따르는 단면도이다. 또한, 도 1의 (A)에서는 트랜지스터(100)의 일부 구성 요소(예를 들어 게이트 절연층)를 도시하지 않았다. 일점쇄선 A1-A2 방향을 채널 길이 방향이라고 하고, 일점쇄선 B1-B2 방향을 채널 폭 방향이라고 하는 경우가 있다. 도 1의 (A)에서와 같이, 이하에서 설명하는 트랜지스터의 상면도에서는 일부 구성 요소를 도시하지 않은 경우가 있다.

[0053] 트랜지스터(100)는 기판(102) 위에 제공되어 있다. 트랜지스터(100)는 절연층(104), 반도체층(108), 절연층(110), 금속 산화물층(114), 도전층(112), 제 1 층(116), 금속 산화물층(117), 및 절연층(118) 등을 포함한다. 반도체층(108)은 절연층(104) 위에 제공되어 있다. 절연층(110), 금속 산화물층(114), 및 도전층(112)은 반도체층(108) 위에 이 순서대로 적층되어 있다. 제 1 층(116)은 절연층(104), 반도체층(108)의 상면 및 측면, 절연층(110)의 측면, 금속 산화물층(114)의 측면, 및 도전층(112)의 상면 및 측면을 덮어 제공되어 있다. 금속 산화물층(117)은 제 1 층(116)을 덮어 제공되어 있다. 절연층(118)은 금속 산화물층(117)을 덮어 제공되어 있다.

[0054] 도전층(112)의 일부는 게이트 전극으로서 기능한다. 절연층(110)의 일부는 게이트 절연층으로서 기능한다. 트랜지스터(100)는 반도체층(108) 위에 게이트 전극이 제공되는 톱 게이트 트랜지스터이다.

[0055] 반도체층(108)은 금속 산화물을 포함하는 것이 바람직하다. 반도체층(108)은, 절연층(110)과 접하는 영역(108i), 및 영역(108i)을 개재(介在)하는 한 쌍의 영역(108n)을 포함한다. 영역(108n)과 접하여 제 1 층(116)이 배치되어 있다.

[0056] 도전층(112)과 중첩되는 영역(108i)은, 트랜지스터(100)의 채널 형성 영역으로서 기능한다. 영역(108n)은 트랜지스터(100)의 소스 영역 또는 드레인 영역으로서 기능한다.

[0057] 도전층(112), 금속 산화물층(114), 및 절연층(110)은 상면 형상이 실질적으로 같다.

[0058] 또한, 본 명세서 등에서, "상면 형상이 실질적으로 같다"라는 표현은, 적층된 층들의 단부가 적어도 부분적으로 중첩되는 것을 의미하고, 예를 들어 위층과 아래층이 하나의 마스크 패턴을 사용하여 전체적으로 또는 부분적으로 가공된 경우를 포함한다. "상면 형상이 실질적으로 같다"라는 표현은, 단부가 서로 완전히 중첩되지는 않는 경우도 포함하고, 예를 들어 상면도에서 볼 때 위층의 단부가 아래층의 단부의 내측 또는 외측에 위치하여도 좋다.

[0059] 제 1 층(116)은 반도체층(108)의 영역(108n)과 접하여 제공된다. 도 1의 (B)에 도시된 바와 같이, 제 1 층(116)은 반도체층(108)과 도전층(112)의 양쪽과 접하기 때문에, 절연성을 갖는 것이 바람직하다.

[0060] 제 1 층(116)은 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 등의 금속 원소 중 적어도 하나를 포함한 막일 수 있다. 제 1 층(116)은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하는 것이 바람직하다. 예를 들어, 이들 금속 원소 중 적어도 하나를 포함한 질화물 또는 이들 금속 원소 중 적어도 하나를 포함한 산화물이 적합하게 사용된다. 특히, 예를 들어 질화 알루미늄 타이타늄막, 질화 타이타늄막, 또는 질화 알루미늄막 등의 질화물막, 또는 산화 알루미늄 타이타늄막 등의 산화물막이 적합하게 사용된다.

[0061] 예를 들어, 질화 알루미늄 타이타늄막을 사용하는 경우, 상기 막은 조성식 $AlTiN_x$(x는 0보다 크고 3 이하의 실수임) 또는 조성식 $AlTi_xN_y$(x는 0보다 크고 2 이하의 실수이고, y는 0보다 크고 4 이하의 실수임)를 만족시키는 것이 바람직하다.

[0062] 다른 예로서, 질화 타이타늄막을 사용하는 경우에는, 상기 막이 조성식 TiN_x(x는 0보다 크고 2 이하의 실수임)를 만족시키는 것이 바람직하다. 질화 알루미늄막을 사용하는 경우에는, 상기 막이 조성식 AlN_x(x는 0보다 크고 2 이하의 실수임)를 만족시키는 것이 바람직하다.

[0063] 영역(108n)은 반도체층(108)의 일부이고, 채널 형성 영역으로서 기능하는 영역(108i)보다 저항이 낮다. 영역(108n)은 영역(108i)보다 캐리어 밀도가 높거나, 산소 결손 밀도가 높거나, 질소 농도가 높거나, n형 도전성이 높거나, 또는 수소 농도가 높다. 또한, 영역(108n)으로는 제 1 층(116)에 포함되는 금속 원소가 확산되는 경우가 있다.

[0064] 도 1의 (A) 및 (B)에 도시된 바와 같이, 트랜지스터(100)는 절연층(118) 위에 도전층(120a) 및 도전층(120b)을 포함하여도 좋다. 도전층(120a 및 120b)은 소스 전극 및 드레인 전극으로서 기능한다. 도전층(120a 및 120b)은 제 1 층(116), 금속 산화물층(117), 및 절연층(118)에 제공된 개구(141a 및 141b)를 통하여 영역(108n)에

전기적으로 접속되어 있다.

[0065] 게이트 절연층으로서 기능하는 절연층(110)은 산소 과잉 영역을 포함하는 것이 바람직하다. 절연층(110)이 산소 과잉 영역을 포함하면, 반도체층(108)에 과잉 산소를 공급할 수 있다. 이 결과, 반도체층(108)에 형성될 수 있는 산소 결손을 과잉 산소로 충전시킬 수 있기 때문에, 신뢰성이 높은 반도체 장치로 할 수 있다.

[0066] 절연층(110)과 도전층(112) 사이에 위치하는 금속 산화물층(114)은, 절연층(110)으로부터 방출되는 산소가 도전층(112)으로 확산되는 것을 방지하는 배리어막으로서 기능한다. 금속 산화물층(114)은 예를 들어, 적어도 절연층(110)보다 산소를 투과하기 어려운 재료를 사용하여 형성될 수 있다.

[0067] 이 구조에서는, 도전층(112)과 절연층(110) 사이에 배리어성이 높은 금속 산화물층(114)이 제공되어 있기 때문에, 알루미늄 또는 구리 등 산소를 흡수하기 쉬운 금속을 사용하여 도전층(112)을 형성하는 경우에도, 절연층(110)으로부터 도전층(112)으로 산소가 확산되는 것을 방지할 수 있다. 또한, 도전층(112)이 수소를 포함하는 경우에도, 도전층(112)으로부터 절연층(110)을 통하여 반도체층(108)에 수소가 공급되는 것이 억제된다. 이 결과, 반도체층(108)의 채널 형성 영역으로서 기능하는 영역(108i)의 캐리어 밀도를 저감할 수 있다.

[0068] 금속 산화물층(114)은 절연성 재료 또는 도전성 재료를 사용하여 형성될 수 있다. 절연성을 갖는 금속 산화물층(114)은 게이트 절연층의 일부로서 기능하고, 도전성을 갖는 금속 산화물층(114)은 게이트 전극의 일부로서 기능한다.

[0069] 금속 산화물층(114)은 산화 실리콘보다 유전율이 높은 절연성 재료를 사용하여 형성되는 것이 바람직하다. 특히, 예를 들어 산화 알루미늄막, 산화 하프늄막, 또는 하프늄 알루미네이트막을 사용하는 것이 바람직하다.

[0070] 반도체층(108)과 게이트 전극으로서 기능하는 도전층(112) 사이에는, 질소를 주성분으로서 포함하지 않는 금속 산화물막(예를 들어 산화 알루미늄막 또는 산화 하프늄막)을 제공할 수 있다. 이로써, 금속 산화물층(114)은, 이 층에 준위를 형성할 수 있는 질소 산화물(NO_x, x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하; 대표적으로는 NO_2 또는 NO)의 함유량이 매우 낮아질 수 있다. 따라서, 전기 특성이 우수하고 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0071] 산화 알루미늄막, 산화 하프늄막, 및 하프늄 알루미네이트막 등은 두께가 얇아도(예를 들어 두께 약 5nm) 배리어성이 충분히 높기 때문에, 이러한 막은 얇게 형성할 수 있어 생산성을 높일 수 있다. 예를 들어, 금속 산화물층(114)은 두께를 1nm 내지 50nm, 바람직하게는 3nm 내지 30nm로 할 수 있다. 또한, 산화 알루미늄막, 산화 하프늄막, 및 하프늄 알루미네이트막은 산화 실리콘막 등보다 유전율이 높다. 금속 산화물층(114)으로서 유전율이 높고 얇은 절연막을 형성할 수 있기 때문에, 산화 실리콘막 등을 사용한 경우와 비교하여, 반도체층(108)에 가해지는 게이트 전계의 강도를 높일 수 있다. 이에 의하여, 구동 전압이 저감되고 소비전력이 저감된다.

[0072] 금속 산화물층(114)은 스퍼터링 장치를 사용하여 형성되는 것이 바람직하다. 예를 들어, 스퍼터링 장치를 사용하여 산화 알루미늄막을 형성하는 경우, 산소 가스를 포함한 분위기에서 막을 형성하면, 반도체층(108)에 산소를 적합하게 첨가할 수 있다. 스퍼터링 장치를 사용하여 형성된 산화 알루미늄막은 밀도가 높은 막으로 할 수 있기 때문에 바람직하다.

[0073] 금속 산화물층(114)으로서 도전성 재료를 사용하는 경우에는, 산화 인듐 또는 인듐 주석 산화물 등의 산화물 도전성 재료를 사용할 수 있다. 또는, 반도체층(108)에 적용할 수 있는 상기 금속 산화물을 사용하여도 좋다. 특히, 반도체층(108)과 같은 원소를 포함한 재료를 사용하는 것이 바람직하다. 여기서, 예를 들어 반도체층(108)을 형성하는 데 사용하는 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 금속 산화물층(114)을 형성하면, 이들 형성 단계 사이에서 하나의 퇴적 장치를 공유할 수 있기 때문에 바람직하다.

[0074] 물 및 수소가 금속 산화물층(114)으로 확산되기 어려우면, 물 및 수소가 확산되기 쉬운 재료를 사용하여 도전층(112)을 형성하는 경우에도 절연층(110) 및 반도체층(108)으로 물 및 수소가 확산되는 것을 방지할 수 있어 바람직하다. 특히, 금속 산화물층(114)으로서 산화 알루미늄막 또는 산화 하프늄막을 사용하면, 물 및 수소에 대한 배리어성이 높기 때문에 바람직하다.

[0075] 금속 산화물층(117)에 산소를 비교적 투과시키기 어려운 재료를 사용하면, 예를 들어 단계 중의 열에 의하여 반도체층(108) 또는 절연층(110) 등으로부터 산소가 방출되고 절연층(118)으로 확산되는 것을 방지할 수 있어 바람직하다. 그러므로, 채널 형성 영역으로서 기능하는 영역(108i)의 캐리어 밀도가 높아지는 것을 방지할 수 있어, 신뢰성이 높은 트랜지스터가 된다.

[0076] 금속 산화물층(117)에는, 금속 산화물층(114)에 사용하는 것과 비슷한 막을 채용할 수 있다. 금속 산화물층(117) 및 금속 산화물층(114)을 제공함으로써, 반도체층(108)의 채널 형성 영역으로서 기능하는 영역(108i)의 캐리어 밀도를 더 효과적으로 저감할 수 있다.

[0077] 여기서, 반도체층(108), 및 반도체층(108)에 형성될 수 있는 산소 결손에 대하여 설명한다.

[0078] 반도체층(108)에 형성되는 산소 결손은 트랜지스터 특성에 악영향이기 때문에 문제이다. 예를 들어, 반도체층(108)에 형성되는 산소 결손은 수소와 결합되어 캐리어 공급원으로서 기능한다. 반도체층(108)에 생성된 캐리어 공급원은 트랜지스터(100)의 전기 특성의 변동, 대표적으로는 문턱 전압의 시프트를 일으킨다. 그러므로, 반도체층(108)에서 산소 결손량은 가능한 한 적은 것이 바람직하다.

[0079] 상술한 관점에서, 본 발명의 일 형태에서는, 반도체층(108) 근방의 절연막, 구체적으로는 반도체층(108) 위에 형성되는 절연층(110)이 과잉 산소를 포함한다. 절연층(110)으로부터 반도체층(108)으로 산소 또는 과잉 산소가 이동함으로써, 반도체층(108) 내의 산소 결손량을 저감할 수 있다.

[0080] 또한, 반도체층(108) 아래에 위치하는 절연층(104)이 과잉 산소를 포함하여도 좋다. 이 경우, 절연층(104)으로부터도 반도체층(108)으로 과잉 산소가 이동함으로써, 반도체층(108) 내의 산소 결손량을 더 저감할 수 있다.

[0081] 반도체층(108)은 금속 산화물을 포함하는 것이 바람직하다. 예를 들어, 반도체층(108)은 In, *M*(*M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중 하나 이상), 및 Zn을 포함하는 것이 바람직하다. 특히, *M*은 Al, Ga, Y, 또는 Sn인 것이 바람직하다.

[0082] 반도체층(108)은 In, Ga, 및 Zn을 포함한 산화물을 사용하여 형성되는 것이 특히 바람직하다.

[0083] 반도체층(108)은 In의 원자수비가 *M*보다 높은 영역을 포함하는 것이 바람직하다. In의 원자수비가 높을수록, 트랜지스터의 전계 효과 이동도가 높아진다.

[0084] 여기서, In, Ga, 및 Zn을 포함한 금속 산화물에서는, In과 산소의 결합력은 Ga과 산소의 결합력보다 약하기 때문에, In의 원자수비가 더 높으면, 금속 산화물막 내에 산소 결손이 발생되는 경향이 있다. 위에서 *M*으로서 나타낸 금속 원소를 Ga 대신에 사용한 경우에 비슷한 경향이 있다. 금속 산화물막 내에 대량의 산소 결손이 있으면, 트랜지스터의 전기 특성이 저하되고 신뢰성이 저하된다.

[0085] 한편, 본 발명의 일 형태에서는 금속 산화물을 포함한 반도체층(108)에 매우 대량의 산소를 공급할 수 있기 때문에, In의 원자수비가 높은 금속 산화물 재료를 사용하여 반도체층(108)을 형성할 수 있다. 이로써, 전계 효과 이동도가 매우 높고, 전기 특성이 안정적이고, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0086] 예를 들어, In의 원자수비가 *M*의 1.5배 이상, 2배 이상, 3배 이상, 3.5배 이상, 또는 4배 이상인 금속 산화물을 적합하게 사용할 수 있다.

[0087] 특히, 반도체층(108)의 In, *M*, 및 Zn의 원자수비를 In:*M*:Zn=5:1:6 또는 그 근방으로 하는 것이 바람직하다. 여기서 "근방"이라는 용어는 In의 비율이 5일 때, *M*의 비율이 0.5 내지 1.5의 범위에 있고, Zn의 비율이 5 내지 7의 범위에 있는 것을 포함한다.

[0088] 또한, 반도체층(108)의 조성은 상기에 한정되지 않는다. 예를 들어, 반도체층(108)의 In, *M*, 및 Zn의 원자수비를 In:*M*:Z=4:2:3 또는 그 근방으로 하는 것이 바람직하다.

[0089] 반도체층(108)의 조성에서, In, *M*, 및 Zn의 원자수비를 서로 실질적으로 동등하게 하여도 좋다. 즉, 반도체층(108)은 원자수비가 In:*M*:Zn=1:1:1 또는 그 근방의 재료를 포함하여도 좋다.

[0090] 반도체층(108)이 In의 원자수비가 *M*보다 높은 영역을 포함하는 경우, 트랜지스터(100)의 전계 효과 이동도를 높게 할 수 있다. 구체적으로, 트랜지스터(100)의 전계 효과 이동도는 $10cm^2/Vs$를 초과하고, 바람직하게는 $30cm^2/Vs$를 초과할 수 있다.

[0091] 예를 들어 게이트 신호를 생성하는 게이트 드라이버에 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 표시 장치의 프레임을 좁게 할 수 있다(내로 베젤). 표시 장치에 포함되는 소스 드라이버(특히, 소스 드라이버에 포함되는 시프트 레지스터의 출력 단자에 접속되는 디멀티플렉서)에 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 표시 장치에 접속되는 배선의 개수를 줄일 수 있다.

[0092] 반도체층(108)이 In의 원자수비가 *M*보다 높은 영역을 포함하여도, 반도체층(108)의 결정성이 높으면, 전계 효과 이동도가 낮아지는 경우가 있다.

[0093] 반도체층(108)의 결정성은 예를 들어, XRD(X-ray diffraction)에 의하여, 또는 TEM(transmission electron microscope)을 사용하여 분석할 수 있다.

[0094] 반도체층(108)에 들어가는 수소 및 수분 등의 불순물은, 트랜지스터 특성에 악영향이기 때문에 문제이다. 그러므로, 반도체층(108)에서는 수소 및 수분 등의 불순물량이 가능한 한 적은 것이 바람직하다.

[0095] 반도체층(108)으로서 불순물 농도가 낮고 결함 준위 밀도가 낮은 금속 산화물막을 사용하면, 트랜지스터가 우수한 전기 특성을 가질 수 있기 때문에 바람직하다. 여기서, 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손량이 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 캐리어 발생원이 적으므로 캐리어 밀도를 낮출 수 있다. 따라서, 상기 금속 산화물막에 채널 영역이 형성되는 트랜지스터는 좀처럼 음의 문턱 전압을 갖지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 오프 상태 전류가 매우 낮고, 소자의 채널 폭이 1×10^{6} μm이고 채널 길이가 10 μm이어도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V일 때, 오프 상태 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13}A 이하가 될 수 있다.

[0096] 반도체층(108)은 2개 이상의 층을 포함한 적층 구조를 가져도 좋다.

[0097] 예를 들어, 반도체층(108)을 조성이 다른 적어도 2개의 금속 산화물막을 포함한 적층으로 할 수 있다.

[0098] 예를 들어, In-Ga-Zn 산화물을 사용하는 경우에는, 반도체층(108)을, 원자수비가 In:*M*:Zn=5:1:6, 4:2:3, 1:1:1, 1:3:4, 또는 1:3:2, 혹은 그 근방의 스퍼터링 타깃을 사용하여 각각 형성되는 적어도 2개의 막을 포함한 적층으로 하는 것이 바람직하다.

[0099] 또는, 반도체층(108)을 결정성이 다른 적어도 2개의 금속 산화물막을 포함한 적층으로 할 수 있다.

[0100] 예를 들어, 결정성이 다른 2개의 금속 산화물막의 적층을 반도체층(108)으로서 사용하는 경우에는, 하나의 산화물 타깃을 사용하고 다른 퇴적 조건을 채용함으로써, 2개의 막을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다.

[0101] 예를 들어, 먼저 형성하는 제 1 금속 산화물막의 형성 시의 산소 유량비를, 이어서 형성하는 제 2 금속 산화물막의 형성 시보다 낮게 설정한다. 또는, 제 1 금속 산화물막의 형성 시에 산소를 흘리지 않는 조건을 채용한다. 이러한 식으로, 제 2 금속 산화물막의 형성 시에 산소를 효과적으로 공급할 수 있다. 제 1 금속 산화물막을 제 2 금속 산화물막보다 결정성을 낮게, 그리고 전기 전도성을 높게 할 수 있다. 적층의 위쪽 막인 제 2 금속 산화물막의 결정성을 제 1 금속 산화물막보다 높게 하면, 반도체층(108)의 가공 시 또는 절연층(110)의 형성 시에 발생하는 대미지를 저감할 수 있다. 예를 들어, 제 1 금속 산화물막 및 제 2 금속 산화물막으로서 각각 CAC-OS막 및 CAAC-OS막을 사용할 수 있다.

[0102] 구체적으로는, 제 1 금속 산화물막의 형성 시의 산소 유량비를 0% 이상 50% 미만, 바람직하게는 0% 이상 30% 이하, 더 바람직하게는 0% 이상 20% 이하, 대표적으로는 10%로 한다. 제 2 금속 산화물막의 형성 시의 산소 유량비를 50% 이상 100% 이하, 바람직하게는 60% 이상 100% 이하, 더 바람직하게는 80% 이상 100% 이하, 더욱 바람직하게는 90% 이상 100% 이하, 대표적으로는 100%로 한다. 제 1 금속 산화물막과 제 2 금속 산화물막 사이에서 압력, 온도, 및 전력 등의 퇴적 조건을 다르게 하여도 좋지만, 산소 유량비 이외의 조건을 같게 하면, 이들 퇴적 단계에 요구되는 시간을 단축할 수 있어 바람직하다.

[0103] 반도체층(108)이 이러한 적층 구조를 가지면, 전기 특성이 우수하고 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0104] 이상이 구조예 1에 관한 설명이다.

[0105] 이하에서는, 구조예 1과 부분적으로 다른 트랜지스터의 구조예에 대하여 설명한다. 또한, 구조예 1과 같은 부분에 관한 설명은 생략하는 경우가 있다. 나중에 참조하는 도면에서, 구조예 1과 비슷한 기능을 갖는 부분은 도 1의 (B) 및 (C)에서 사용한 해칭 패턴으로 나타내며, 부호로 나타내지 않은 경우가 있다.

[0106] [구조예 2]

[0107] 도 2의 (A)는 트랜지스터(100A)의 상면도이다. 도 2의 (B)는 트랜지스터(100A)의 채널 길이 방향의 단면도이다. 도 2의 (C)는 트랜지스터(100A)의 채널 폭 방향의 단면도이다.

[0108] 트랜지스터(100A)는, 트랜지스터(100A)가 기판(102)과 절연층(104) 사이에 도전층(106)을 포함한다는 점에서 구조예 1의 트랜지스터(100)와 주로 다르다. 도전층(106)은 절연층(104)을 개재하여 반도체층(108)과 중첩되는 영역을 포함한다.

[0109] 트랜지스터(100A)에서, 도전층(106)은 제 1 게이트 전극(보텀 게이트 전극이라고도 함)으로서 기능하고, 도전층(112)은 제 2 게이트 전극(톱 게이트 전극이라고도 함)으로서 기능한다. 절연층(104)의 일부는 제 1 게이트 절연층으로서 기능하고, 절연층(110)의 일부는 제 2 게이트 절연층으로서 기능한다.

[0110] 반도체층(108)에서, 반도체층(108)과, 도전층(112) 및 도전층(106) 중 적어도 한쪽이 중첩되는 영역은 채널 형성 영역으로서 기능한다. 이하에서는, 간단하게 하기 위하여, 반도체층(108)에서 도전층(112)과 중첩되는 영역(영역(108i)에 상당하는 영역)을 채널 형성 영역이라고 하는 경우가 있지만, 실제로는 반도체층(108)에서 도전층(112)과 중첩되지 않고 도전층(106)과 중첩되는 영역(즉, 영역(108n)에 상당하는 영역)에 채널이 형성될 수도 있다.

[0111] 도 2의 (C)에 도시된 바와 같이, 도전층(106)은 절연층(104) 및 절연층(110)에 형성된 개구(142)를 통하여 도전층(112)에 전기적으로 접속되어도 좋다. 이 경우, 도전층(106) 및 도전층(112)에는 같은 전위를 공급할 수 있다.

[0112] 도전층(106)은 도전층(112) 또는 도전층(120a 및 120b)에 사용하는 재료와 비슷한 재료를 사용하여 형성될 수 있다. 구리를 포함한 재료를 사용하여 도전층(106)을 형성하면, 저항을 저감할 수 있어 특히 바람직하다.

[0113] 도 2의 (A) 및 (C)에 도시된 바와 같이, 도전층(112) 및 도전층(106)은 채널 폭 방향에서 반도체층(108)의 단부를 넘어 연장되는 것이 바람직하다. 이 경우, 도 2의 (C)에 나타낸 바와 같이, 채널 폭 방향의 반도체층(108)은, 반도체층(108)과 도전층(112) 사이에 절연층(110)을 개재하여, 그리고 반도체층(108)과 도전층(106) 사이에 절연층(104)을 개재하여 도전층(112) 및 도전층(106)으로 전체적으로 덮여 있다.

[0114] 이러한 구조에서, 반도체층(108)은 한 쌍의 게이트 전극에 의하여 발생하는 전계로 전기적으로 둘러싸일 수 있다. 이때, 도전층(106) 및 도전층(112)에는 같은 전위를 공급하는 것이 특히 바람직하다. 이 경우, 채널을 유발시키기 위한 전계를 반도체층(108)에 효과적으로 인가할 수 있기 때문에, 트랜지스터(100A)의 온 상태 전류를 크게 할 수 있다. 그러므로, 트랜지스터(100A)를 미세화할 수 있다.

[0115] 또한, 도전층(112)은 도전층(106)과 접속되지 않아도 된다. 이 경우, 한 쌍의 게이트 전극 중 한쪽에 정전위를 공급하고, 다른 쪽에 트랜지스터(100A)를 구동하기 위한 신호를 공급하여도 좋다. 이때, 상기 게이트 전극 중 한쪽에 공급되는 전위에 의하여, 다른 쪽 게이트 전극으로 트랜지스터(100A)를 구동할 때의 문턱 전압을 제어할 수 있다.

[0116] 이상이 구조예 2에 관한 설명이다.

[0117] [구조예 3]

[0118] 도 3의 (A)는 이하에서 예시하는 트랜지스터(100B)의 상면도이다. 도 3의 (B)는 트랜지스터(100B)의 채널 길이 방향의 단면도이다. 도 3의 (C)는 트랜지스터(100B)의 채널 폭 방향의 단면도이다.

[0119] 트랜지스터(100B)는, 트랜지스터(100B)가 절연층(111)을 포함한다는 점에서 도 1의 (A) 내지 (C)의 트랜지스터(100)와 주로 다르다.

[0120] 절연층(111)은 도전층(112), 금속 산화물층(114), 및 절연층(110)의 측면을 덮어 제공되어 있다.

[0121] 절연층(111)은 배리어층으로서 기능하고, 수소, 산소, 및 물 등이 쉽게 확산되지 않는 층인 것이 바람직하다. 게이트 절연층으로서 기능하는 절연층(110)의 측면을 덮어 절연층(111)을 제공함으로써, 예를 들어 절연층(110) 내로 불순물이 확산되는 것, 그리고 절연층(110) 내의 산소가 그 측면으로부터 방출되는 것을 방지할 수 있어, 신뢰성을 높일 수 있다.

[0122] 절연층(111)은 절연층(110)의 측면으로부터 도전층(112)의 측면으로 연장하여 제공되는 것이 바람직하다. 이에 의하여, 절연층(110)과 금속 산화물층(114)의 계면, 및 금속 산화물층(114)과 도전층(112)의 계면으로 불순물이 확산되는 것을 방지할 수 있다.

[0123] 절연층(111)으로서는, 산화 알루미늄막, 산화 하프늄막, 또는 하프늄 알루미네이트막 등의 금속 산화물막을 사용하는 것이 바람직하다.

[0124] 산화 알루미늄막, 산화 하프늄막, 또는 하프늄 알루미네이트막 등은 두께가 얇아도 배리어성이 매우 높다. 따라서, 이러한 막의 두께를 0.5nm 내지 50nm, 바람직하게는 1nm 내지 40nm, 더 바람직하게는 2nm 내지 30nm로 할 수 있다. 특히, 산화 알루미늄막은 수소 등에 대한 배리어성이 높기 때문에, 막의 두께가 매우 얇아도(예를 들어 두께 0.5nm 내지 1.5nm) 충분한 효과가 얻어진다.

[0125] 절연층(111)은 스퍼터링법 또는 ALD(atomic layer deposition)법 등의 퇴적법에 의하여 형성되는 것이 바람직하다. 구체적으로, ALD법은 단차 피복성이 높고 매우 치밀한 막을 형성할 수 있기 때문에, ALD법에 의하여 형성된 절연층(111)은 높은 배리어성을 가질 수 있다. 스퍼터링법은 대형 유리 기판에 적합하기 때문에 생산성이 높아진다.

[0126] 절연층(111)은 예를 들어, 절연층(111)이 되는 절연막을 형성한 다음, 이방성 에칭에 의하여 도전층(112), 금속 산화물층(114), 및 절연층(110)의 측면과 접하는 부분만을 남기도록 가공함으로써 형성될 수 있다.

[0127] 이상이 구조예 3에 관한 설명이다.

[0128] [구조예 4]

[0129] 도 4의 (A)는 이하에서 예시하는 트랜지스터(100C)의 상면도이다. 도 4의 (B)는 트랜지스터(100C)의 채널 길이 방향의 단면도이다. 도 4의 (C)는 트랜지스터(100C)의 채널 폭 방향의 단면도이다.

[0130] 트랜지스터(100C)는, 트랜지스터(100C)가 절연층(111)을 포함한다는 점에서 도 2의 (A) 내지 (C)의 트랜지스터(100A)와 주로 다르다.

[0131] 구조예 3에서 나타낸 트랜지스터(100B)와 같이, 트랜지스터(100C)는 도전층(112), 금속 산화물층(114), 및 절연층(110)의 측면을 덮는 절연층(111)을 포함한다. 따라서, 절연층(110) 내로 불순물이 확산되는 것, 그리고 절연층(110) 내의 산소가 그 측면으로부터 방출되는 것을 방지할 수 있어, 트랜지스터의 신뢰성이 높아진다.

[0132] 이상이 구조예 4에 관한 설명이다.

[0133] [구조예 5]

[0134] 도 5의 (A)는 이하에서 예시하는 트랜지스터(100D)의 상면도이다. 도 5의 (B)는 트랜지스터(100D)의 채널 길이 방향의 단면도이다. 도 5의 (C)는 트랜지스터(100D)의 채널 폭 방향의 단면도이다.

[0135] 트랜지스터(100D)는, 트랜지스터(100D)가 절연층(111) 및 절연층(107)을 포함한다는 점에서 도 1의 (A) 내지 (C)의 트랜지스터(100)와 주로 다르다.

[0136] 절연층(107)은 절연층(110)과 제 1 층(116) 사이에 위치한다. 또한, 절연층(107)은 절연층(111)에서 도전층(112), 금속 산화물층(114), 및 절연층(110)의 측면을 따르는 부분의 상면, 그리고 절연층(111)에서 반도체층(108)의 상면을 따르는 부분의 상면과 접하여 제공되어 있다.

[0137] 절연층(111 및 107)의 각각은 포토마스크를 사용하지 않고 자기 정합(自己整合)적으로 형성될 수 있다. 예를 들어, 절연층(111)이 되는 절연막과 절연층(107)이 되는 절연막을 적층하고, 포토마스크 없이 이방성 에칭을 실시함으로써, 도전층(112), 금속 산화물층(114), 및 절연층(110)의 측면을 따르는 절연층(107)이 형성된다. 그리고, 절연층(107)을 하드 마스크로서 사용하여 에칭함으로써, 절연층(111)을 형성할 수 있다.

[0138] 절연층(111 및 107)을 자기 정합적으로 형성할 수 있기 때문에, 절연층(111)을 형성하기 위한 포토마스크가 필요하지 않아, 제작 비용이 절감된다. 또한, 자기 정합적으로 절연층(111)을 형성하면, 절연층(111)과 도전층(112) 사이에서 상대적인 정렬 불량이 일어나지 않기 때문에, 반도체층(108) 내의 접합 영역으로서 기능하는 한 쌍의 영역($108n_1$)의 폭을 실질적으로 같게 할 수 있다.

[0139] 절연층(107)은 예를 들어, 절연층(104) 또는 절연층(118)에 사용하는 재료와 비슷한 재료를 사용하여 형성될 수 있다. 절연층(107)으로서는, 예를 들어 산화 실리콘막 또는 산화질화 실리콘막 등의 무기 절연막을 사용할 수 있다.

[0140] 절연층(107)을 제공함으로써, 도전층(112)과 도전층(120a) 또는 도전층(120b) 사이의 물리적인 거리를 크게 할 수 있다. 이에 의하여, 도전층(112)과 도전층(120a) 사이, 그리고 도전층(112)과 도전층(120b) 사이의 기생 용

량을 저감할 수 있는 경우가 있다.

[0141] 도 5의 (B)에 도시된 바와 같이, 절연층(111)은 절연층(110)의 단부(측면)의 외측에서, 반도체층(108)의 상면의 일부와 접하여 제공되어 있다. 반도체층(108)에서, 영역(108i)의 외측에 위치하고 절연층(111)과 중첩되는 한 쌍의 영역을 영역($108n_1$)으로 나타낸다. 즉, 영역($108n_1$)은 반도체층(108)에서 절연층(111)과 접하는 면, 그리고 상기 면 아래의 영역을 포함한다.

[0142] 반도체층(108)에서, 영역(108i) 및 한 쌍의 영역($108n_1$)의 외측에 위치하는 한 쌍의 영역을 영역($108n_2$)으로 나타낸다. 도 5의 (B)에 도시된 바와 같이, 제 1 층(116)이 영역($108n_2$)의 상면과 접하여 제공되는 것이 바람직하다.

[0143] 영역($108n_2$)은 반도체층(108)의 일부이고, 채널 형성 영역으로서 기능하는 영역(108i)보다 저항이 낮다. 영역($108n_2$)은 영역($108n_1$)보다 저항이 낮다.

[0144] 영역($108n_1$)은 영역(108i)과 영역($108n_2$) 사이에 위치하고, 접합 영역이라고 할 수도 있다. 영역($108n_1$)은 캐리어 밀도가 영역(108i)보다 높고, 영역($108n_2$)보다 낮은 부분을 포함한다. 영역($108n_1$)은 영역(108i)보다 캐리어 밀도가 높거나, 산소 결손 밀도가 높거나, 질소 농도가 높거나, n형 도전성이 높거나, 또는 수소 농도가 높다. 또한, 영역($108n_1$)은 영역($108n_2$)보다 캐리어 밀도가 낮거나, 산소 결손 밀도가 낮거나, 질소 농도가 낮거나, 또는 수소 농도가 낮다.

[0145] 도 5의 (B)에 도시된 바와 같이, 영역($108n_1$)과 제 1 층(116) 사이에는 배리어층으로서 기능하는 절연층(111)이 제공되어, 제 1 층(116)과 영역($108n_1$)이 서로 직접 접하지 않기 때문에, 영역($108n_1$)의 캐리어 밀도 등이 영역($108n_2$)보다 낮아진다.

[0146] 또한, 영역($108n_1$)에서 캐리어 밀도는 균일하지 않아도 되고, 영역($108n_1$)은 영역($108n_2$) 측으로부터 영역(108i) 측으로 작아지는 밀도 구배를 갖는 경우가 있다. 예를 들어, 영역($108n_1$)은, 영역($108n_1$) 내의 수소 농도, 질소 농도, 및 산소 결손 밀도 중 적어도 하나(또는 2개 이상)가 영역($108n_2$) 측으로부터 영역(108i) 측으로 작아지는 농도 구배 또는 밀도 구배를 가져도 좋다.

[0147] 트랜지스터(100D)는, 접합 영역으로서 기능하는 영역($108n_1$)을 포함함으로써, 높은 구동 전압 및 흐르는 대전류에 대한 내성이 높아질 수 있다. 그러므로, 예를 들어 표시 장치의 게이트 구동 회로에 트랜지스터(100D)를 적합하게 사용할 수 있다.

[0148] 이상이 구조예 5에 관한 설명이다.

[0149] [구조예 6]

[0150] 도 6의 (A)는 이하에서 예시하는 트랜지스터(100E)의 상면도이다. 도 6의 (B)는 트랜지스터(100E)의 채널 길이 방향의 단면도이다. 도 6의 (C)는 트랜지스터(100E)의 채널 폭 방향의 단면도이다.

[0151] 트랜지스터(100E)는, 트랜지스터(100E)가 제 2 게이트 전극으로서 기능하는 도전층(106)을 포함한다는 점에서 구조예 5의 트랜지스터(100D)와 주로 다르다.

[0152] 트랜지스터가 이러한 구조를 가지면, 더 많은 전류를 흘릴 수 있고, 신뢰성이 높아질 수 있다.

[0153] 이상이 구조예 6에 관한 설명이다.

[0154] 이하에서는 구조예 1의 변형예에 대하여 설명한다.

[0155] [변형예 1]

[0156] 도 7의 (A) 및 (B)는 이하에서 예시하는 트랜지스터(100F)의 단면도이다. 도 7의 (A)는 트랜지스터(100F)의 채널 길이 방향의 단면도이다. 도 7의 (B)는 트랜지스터(100F)의 채널 폭 방향의 단면도이다. 또한, 상면도로서는 도 1의 (A)를 참조할 수 있다.

[0157] 트랜지스터(100F)는, 트랜지스터(100F)가 제 1 층(116)을 포함하지 않는다는 점에서 구조예 1에 나타낸 트랜지

스터(100)와 주로 다르다.

[0158] 이 구조는 예를 들어, 반도체층(108)의 영역(108n)의 저항을 저감하기 위한 가열 처리 후에 제 1 층(나중에 설명하는 제 1 층(116a))을 제거함으로써 얻을 수 있다.

[0159] 본 발명의 일 형태의 제작 방법을 사용하면, 제 1 층(116a)을 사용하여 저항이 저감된 영역(108n)의 도전성은, 산소를 포함하는 분위기에서 영역(108n)에 금속 산화물층(117)이 형성되어 영역(108n)에 산소가 공급되어도 저하되지 않는다. 따라서, 영역(108n)의 저항을 저감하기 위한 제 1 층(116a)으로서 도전막을 사용하여도, 제 1 층(116a)을 제거할 수 있다.

[0160] 이상이 변형예 1에 관한 설명이다.

[0161] [변형예 2]

[0162] 도 8의 (A) 및 (B)는 이하에서 예시하는 트랜지스터(100G)의 단면도이다. 도 8의 (A)는 트랜지스터(100G)의 채널 길이 방향의 단면도이다. 도 8의 (B)는 트랜지스터(100G)의 채널 폭 방향의 단면도이다. 또한, 상면도로서는 도 2의 (A)를 참조할 수 있다.

[0163] 트랜지스터(100G)는, 트랜지스터(100G)가 제 2 게이트 전극으로서 기능하는 도전층(106)을 포함한다는 점에서 변형예 1의 트랜지스터(100F)와 주로 다르다.

[0164] 트랜지스터가 이러한 구조를 가지면, 더 많은 전류를 흘릴 수 있고, 신뢰성이 높아질 수 있다.

[0165] 이상이 변형예 2에 관한 설명이다.

[0166] 상기 구조예 중 임의의 것에서의 반도체층(108)과 같은 면에 형성되는 저저항 금속 산화물층을 사용하여 용량 소자의 한쪽 전극을 형성하는 구조예에 대하여 설명한다.

[0167] [용량 소자의 구조예 1]

[0168] 도 9의 (A)는 구조예 1에서 제시한 트랜지스터(100)와, 트랜지스터(100)와 같은 단계에서 형성될 수 있는 용량 소자(130A)의 단면도이다.

[0169] 용량 소자(130A)는, 한쪽 전극으로서 기능하는 금속 산화물층(108C), 다른 쪽 전극으로서 기능하는 도전층(120b), 그리고 금속 산화물층(108C)과 도전층(120b) 사이에 위치하고 유전체로서 기능하는 제 1 층(116)의 일부, 금속 산화물층(117)의 일부, 및 절연층(118)의 일부로 구성된다.

[0170] 금속 산화물층(108C)은 일부가 반도체층(108)이 되는 금속 산화물막을 가공함으로써 형성된다. 금속 산화물층(108C)의 저항은 반도체층(108)의 영역(108n)에서와 같이 저감되어 있다.

[0171] 도 9의 (A)는, 도전층(120a), 도전층(120b), 및 절연층(118)을 덮어 절연층(119)이 제공되고, 절연층(119) 위에 도전층(109)이 제공되어 있는 예를 도시한 것이다.

[0172] 도전층(109)은 표시 소자의 한쪽 전극(화소 전극)으로서 사용할 수 있다. 도전층(109)은 표시 소자의 구조에 따라, 가시광을 반사하는 재료 또는 가시광을 투과시키는 재료 등을 사용하여 형성될 수 있다.

[0173] 도전층(109)은 절연층(119)에 제공된 개구를 통하여 도전층(120b)에 전기적으로 접속되어 있다.

[0174] 절연층(119)은 평탄화막으로서 기능한다. 이에 의하여, 화소 전극으로서 기능하는 도전층(109)이 형성되는 면의 평탄성을 높일 수 있기 때문에, 표시 소자의 광학 특성이 향상된다.

[0175] [용량 소자의 구조예 2]

[0176] 도 9의 (B)는 구조예 2에서 제시한 트랜지스터(100A)와, 트랜지스터(100A)와 같은 단계에서 형성될 수 있는 용량 소자(130B)의 단면도이다.

[0177] 용량 소자(130B)는, 한쪽 전극으로서 기능하는 금속 산화물층(108C), 다른 쪽 전극으로서 기능하는 도전층(106C), 및 금속 산화물층(108C)과 도전층(106C) 사이에 위치하고 유전체로서 기능하는 절연층(104)의 일부로 구성된다.

[0178] 도전층(106C)은, 일부가 트랜지스터(100A)의 제 1 게이트 전극으로서 기능하는 도전층(106)이 되는 도전막을 가공함으로써 형성된다.

[0179] 도전층(120b)은, 절연층(118), 금속 산화물층(117), 및 제 1 층(116)에 제공된 개구를 통하여 금속 산화물층

(108C)에 전기적으로 접속되어 있다. 그러므로, 트랜지스터(100A)의 소스 및 드레인 중 한쪽과 용량 소자(130B)가 서로 전기적으로 접속되어 있다.

[0180] [용량 소자의 구조예 3]

[0181] 도 9의 (C)는 구조예 2에서 제시한 트랜지스터(100A)와, 트랜지스터(100A)와 같은 단계에서 형성될 수 있는 용량 소자(130C)의 단면도이다.

[0182] 용량 소자(130C)는, 한쪽 전극으로서 기능하는 반도체층(108)의 영역(108n)의 일부, 다른 쪽 전극으로서 기능하는 도전층(106C), 및 영역(108n)의 일부와 도전층(106C) 사이에 위치하고 유전체로서 기능하는 절연층(104)의 일부로 구성된다.

[0183] 도 9의 (C)에 도시된 구조는, 반도체층(108)의 영역(108n)과, 용량 소자(130C)의 한쪽 전극으로서 기능하는 금속 산화물층이 이음매 없이 연속된 구조로 간주할 수 있다.

[0184] 트랜지스터(100A)의 반도체층(108)의 일부(구체적으로는 영역(108n))가 도전층(106C)과 중첩되는 영역으로 연장되고, 용량 소자(130C)의 한쪽 전극을 형성한다. 이로써, 트랜지스터(100A)와 용량 소자(130C)가 서로 전기적으로 접속된다.

[0185] 도 9의 (C)에는 도전층(109)이 도전층(120b)을 통하여 영역(108n)에 전기적으로 접속되는 예를 도시하였지만, 도전층(120b)을 제공하지 않고 도전층(109)과 영역(108n)이 서로 직접 접하여도 좋다.

[0186] 도 9의 (A)에 도시된 트랜지스터(100)는 트랜지스터(100B), 트랜지스터(100D), 또는 트랜지스터(100F)로 대체할 수 있다.

[0187] 도 10의 (A)에는 트랜지스터(100F)를 사용한 예를 도시하였다. 도 10의 (A)에 도시된 용량 소자(130A')는, 도 9의 (A)의 용량 소자(130A)에서 제 1 층(116)을 생략한 구조를 갖는다.

[0188] 도 9의 (B) 및 (C)에 도시된 트랜지스터(100A)는 트랜지스터(100C), 트랜지스터(100E), 또는 트랜지스터(100G)로 대체할 수 있다.

[0189] 도 10의 (B) 및 (C)에는 트랜지스터(100G)를 사용한 예를 도시하였다. 도 10의 (B)에 도시된 용량 소자(130B')는, 용량 소자(130B)에서 제 1 층(116)을 생략한 구조를 갖는다. 도 10의 (C)에 도시된 용량 소자(130C')는, 용량 소자(130C)에서 제 1 층(116)을 생략한 구조를 갖는다.

[0190] 이상이 용량 소자의 구조예에 관한 설명이다.

[0191] [반도체 장치의 구성 요소]

[0192] 다음으로, 본 실시형태의 반도체 장치의 구성 요소에 대하여 자세히 설명한다.

[0193] <기판>

[0194] 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 만큼의 내열성을 갖는 재료이기만 하면, 기판(102)의 재료 등의 특성에 특별한 한정은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판을 기판(102)으로서 사용하여도 좋다. 또는, 실리콘 또는 탄소화 실리콘으로 만들어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등으로 만들어진 화합물 반도체 기판, 또는 SOI 기판 등을 사용할 수 있고, 또는 반도체 소자가 제공된 이들 기판 중 임의의 것을 기판(102)으로서 사용하여도 좋다. 기판(102)으로서 유리 기판을 사용하는 경우, 6세대(1500㎜×1850㎜), 7세대(1870㎜×2200㎜), 8세대(2200㎜×2400㎜), 9세대(2400㎜×2800㎜), 10세대(2950㎜×3400㎜), 10.5세대, 11세대, 및 12세대의 대형 유리 기판 중 임의의 것으로 대형 표시 장치를 제작할 수 있다.

[0195] 또는, 기판(102)으로서 가요성 기판을 사용하고, 가요성 기판에 트랜지스터(100) 등을 직접 형성하여도 좋다. 또는, 기판(102)과 트랜지스터(100) 등 사이에 분리층을 제공하여도 좋다. 분리층은 그 위에 형성된 반도체 장치의 일부 또는 전체를 기판(102)으로부터 분리하고, 이 분리한 반도체 장치를 다른 기판으로 전치(轉置)하는 데 사용할 수 있다. 이러한 경우, 트랜지스터(100) 등은 내열성이 낮은 기판 또는 가요성 기판으로도 전치할 수 있다.

[0196] <절연층(104)>

[0197] 절연층(104)은 스퍼터링법, CVD법, 증착법, PLD(pulsed laser deposition)법, 인쇄법, 또는 코팅법 등에 의하

여 적절히 형성할 수 있다. 절연층(104)은 예를 들어, 산화물 절연막 또는 질화물 절연막을 사용한 단층 또는 적층으로 형성될 수 있다. 절연층(104)과 반도체층(108)의 계면 특성을 향상시키기 위하여, 절연층(104)에서 적어도 반도체층(108)과 접하는 영역은, 산화물 절연막을 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소를 방출하는 산화물 절연막을 사용하여 절연층(104)을 형성하면, 절연층(104)에 포함되는 산소를 가열 처리에 의하여 반도체층(108)으로 이동시킬 수 있다.

[0198] 절연층(104)의 두께는 50nm 이상, 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하로 할 수 있다. 절연층(104)의 두께를 두껍게 함으로써, 절연층(104)으로부터 방출되는 산소량을 증가시킬 수 있고, 절연층(104)과 반도체층(108)의 계면에서의 계면 준위, 및 반도체층(108)에 포함되는 산소 결손을 저감할 수 있다.

[0199] 예를 들어, 절연층(104)은 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 또는 Ga-Zn 산화물 등을 사용한 단층 구조 또는 적층 구조를 갖도록 형성할 수 있다. 본 실시형태에서 절연층(104)은 질화 실리콘막과 산화 질화 실리콘막의 적층 구조를 갖는다. 아래층으로서 질화 실리콘막을, 위층으로서 산화질화 실리콘막을 포함한 이러한 적층 구조를 갖는 절연층(104)에 의하여, 반도체층(108) 내에 산소를 효율적으로 도입할 수 있다.

[0200] 절연층(104)에서 반도체층(108)과 접하는 부분에 산화물막 이외의 막(예를 들어 질화 실리콘막)을 사용할 수 있다. 이 경우, 절연층(104)에서 반도체층(108)과 접하는 표면에 산소 플라스마 처리 등의 전(前)처리를 수행하여, 절연층(104)의 표면 또는 그 표면 근방을 산화시키는 것이 바람직하다.

[0201] <도전층>

[0202] 게이트 전극으로서 기능하는 도전층(112 및 106)과, 소스 전극 및 드레인 전극으로서 기능하는 도전층(120a 및 120b)은 각각, 크로뮴(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브데넘(Mo), 탄탈럼(Ta), 타이타늄(Ti), 텅스텐(W), 망가니즈(Mn), 니켈(Ni), 철(Fe), 및 코발트(Co)에서 선택된 금속 원소, 이들 금속 원소 중 임의의 것을 성분으로서 포함하는 합금, 또는 이들 금속 원소 중 임의의 것의 조합을 포함하는 합금 등을 사용하여 형성될 수 있다.

[0203] 또한, 도전층(112, 106, 120a, 및 120b)의 각각은, 인듐 및 주석을 포함하는 산화물(In-Sn 산화물), 인듐 및 텅스텐을 포함하는 산화물(In-W 산화물), 인듐, 텅스텐, 및 아연을 포함하는 산화물(In-W-Zn 산화물), 인듐 및 타이타늄을 포함하는 산화물(In-Ti 산화물), 인듐, 타이타늄, 및 주석을 포함하는 산화물(In-Ti-Sn 산화물), 인듐 및 아연을 포함하는 산화물(In-Zn 산화물), 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물), 또는 인듐, 갈륨, 및 아연을 포함하는 산화물(In-Ga-Zn 산화물) 등의 산화물 도전체 또는 금속 산화물을 사용하여 형성될 수 있다.

[0204] 여기서, 산화물 도전체에 대하여 설명한다. 본 명세서 등에서는 산화물 도전체를 OC라고 할 수도 있다. 예를 들어, 산화물 도전체는 다음과 같이 얻어진다. 금속 산화물에 산소 결손을 형성한 다음, 이 산소 결손에 수소를 첨가함으로써, 전도대 근방에 도너 준위가 형성된다. 이 결과, 금속 산화물의 도전성이 높아져 금속 산화물이 도전체가 된다. 도전체가 된 금속 산화물을 산화물 도전체라고 할 수 있다. 금속 산화물은 일반적으로 에너지 갭이 크기 때문에 가시광 투과성을 갖는다. 산화물 도전체는 전도대 근방에 도너 준위를 갖는 금속 산화물이다. 산화물 도전체에서는 도너 준위로 인한 흡수의 영향이 작기 때문에, 산화물 도전체는 금속 산화물과 같은 정도의 가시광 투과성을 갖는다.

[0205] 도전층(112)은 상술한 산화물 도전체(금속 산화물)를 포함한 도전막과, 금속 또는 합금을 포함한 도전막의 적층 구조를 가져도 좋다. 금속 또는 합금을 포함한 도전막을 사용함으로써, 배선의 저항을 저감할 수 있다. 이때, 게이트 절연막으로서 기능하는 절연층과 접하는 도전막은, 산화물 도전체를 포함한 도전막인 것이 바람직하다.

[0206] 도전층(112, 106, 120a, 및 120b)으로서 Cu-*X* 합금막(*X*는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 사용하여도 좋다. Cu-*X* 합금막을 사용함으로써 웨트 에칭에 의하여 막을 가공할 수 있기 때문에 제작 비용이 절감된다.

[0207] 도전층(112, 106, 120a, 및 120b)에는, 상술한 금속 원소 중, 타이타늄, 텅스텐, 탄탈럼, 및 몰리브데넘에서 선택된 임의의 하나 이상의 원소가 포함되는 것이 바람직하다. 특히, 도전층(112, 106, 120a, 및 120b)으로서 질화 탄탈럼막을 사용하는 것이 적합하다. 질화 탄탈럼막은 도전성을 갖고, 구리 및 수소에 대한 배리어성이 높다. 또한, 질화 탄탈럼막은 그 자체로부터 방출되는 수소량이 적기 때문에, 반도체층(108)과 접하는 도전막 또는 반도체층(108) 근방의 도전막으로서 바람직하게 사용될 수 있다.

[0208] <절연층(110)>

[0209] 트랜지스터(100) 등의 게이트 절연막으로서 기능하는 절연층(110)은, PECVD(plasma enhanced chemical vapor deposition)법 또는 스퍼터링법 등에 의하여 형성된, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막의 막들 중 적어도 하나를 포함하는 절연층일 수 있다. 또한, 절연층(110)은 2층 구조 또는 3개 이상의 층을 포함한 적층 구조로 하여도 좋다.

[0210] 트랜지스터(100) 등의 채널 영역으로서 기능하는 반도체층(108)과 접하는 절연층(110)은 산화물 절연막인 것이 바람직하고, 화학량론적 조성을 초과하여 산소를 포함한 영역(산소 과잉 영역)을 포함하는 것이 특히 바람직하다. 바꿔 말하면, 절연층(110)은 산소를 방출할 수 있는 절연막이다. 절연층(110)에 산소 과잉 영역을 제공하기 위해서는, 예를 들어 산소 분위기에서 절연층(110)을 형성하거나, 형성한 절연층(110)에 대하여 산소 분위기에서 가열 처리를 실시한다.

[0211] 절연층(110)에 산화 하프늄을 사용하는 경우, 다음 효과를 이룬다. 산화 하프늄은 산화 실리콘 및 산화질화 실리콘보다 비유전율이 높다. 따라서, 산화 하프늄을 사용한 절연층(110)은, 산화 실리콘을 사용한 절연층보다 두께를 두껍게 할 수 있어, 터널 전류로 인한 누설 전류를 저감할 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 비유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정계 및 입방정계가 포함된다. 다만, 본 발명의 일 형태는 상술한 예에 한정되지 않는다.

[0212] 절연층(110)은 결함이 적고, 대표적으로는 전자 스핀 공명(ESR(electron spin resonance)) 분광법에 의하여 관찰되는 시그널이 가능한 한 적은 것이 바람직하다. 상기 시그널의 예에는 g인자가 2.001에서 관찰되는 E'센터에 기인하는 시그널이 포함된다. 또한 E'센터는 실리콘의 댕글링 본드에 기인한다. 절연층(110)으로서는 E'센터에 기인한 시그널의 스핀 밀도가 3×10^{17}spins/cm^3 이하, 바람직하게는 5×10^{16}spins/cm^3 이하인 산화 실리콘막 또는 산화질화 실리콘막을 사용할 수 있다.

[0213] <반도체층>

[0214] 반도체층(108)이 In-*M*-Zn 산화물을 포함하는 경우, In-*M*-Zn 산화물을 형성하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 In>*M*을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비는 예를 들어, In:*M*:Zn=1:1:1, 1:1:1.2, 2:1:3, 3:1:2, 4:2:4.1, 5:1:6, 5:1:7, 5:1:8, 6:1:6, 또는 5:2:5이다.

[0215] 반도체층(108)이 In-*M*-Zn 산화물을 포함하는 경우, 스퍼터링 타깃은 다결정 In-*M*-Zn 산화물을 포함한 타깃인 것이 바람직하다. 다결정 In-*M*-Zn 산화물을 포함한 타깃을 사용함으로써, 결정성을 갖는 반도체층(108)을 형성하기 쉬워진다. 또한, 형성된 반도체층(108)의 금속 원소의 원자수비는, 상기 스퍼터링 타깃의 금속 원소의 원자수비 중 임의의 것으로부터 ±40%의 범위 내에서 변동된다. 예를 들어, 원자수비가 In:Ga:Zn=4:2:4.1의 스퍼터링 타깃을 사용하여 반도체층(108)을 형성하는 경우, 형성된 반도체층(108)의 원자수비는 4:2:3 또는 4:2:3 근방이 되는 경우가 있다.

[0216] 반도체층(108)의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상이다. 이러한 에너지 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 상태 전류를 저감할 수 있다.

[0217] 반도체층(108)은 비단결정 구조를 갖는 것이 바람직하다. 비단결정 구조의 예에는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조가 포함된다. 비단결정 구조에서, 비정질 구조는 결함 준위 밀도가 가장 높은 한편, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0218] [제작 방법의 예]

[0219] 이하에서는, 본 발명의 일 형태에서의 트랜지스터 및 용량 소자의 제작 방법에 대하여 설명한다. 여기서는, 도9의 (B)에 도시된 트랜지스터(100A) 및 용량 소자(130B)를 예로서 사용하여 설명한다.

[0220] 또한, 반도체 장치에 포함되는 박막(예를 들어 절연막, 반도체막, 및 도전막)은 스퍼터링법, CVD(chemical vapor deposition)법, 진공 증착법, PLD(pulsed laser deposition)법, 및 ALD(atomic layer deposition)법 등 중 임의의 것에 의하여 형성할 수 있다. CVD법으로서는 PECVD(plasma-enhanced chemical vapor deposition)법 또는 열 CVD법을 사용할 수 있다. 열 CVD법의 예에는 MOCVD(metal organic CVD)법이 포함된다.

[0221] 또는, 반도체 장치를 구성하는 박막(예를 들어 절연막, 반도체막, 및 도전막)은 스핀 코팅, 디핑(dipping), 스프레이 코팅, 잉크젯 인쇄, 디스펜싱, 스크린 인쇄, 또는 오프셋 인쇄 등의 방법에 의하여, 혹은 닥터 나이프, 슬릿 코터, 롤 코터, 커튼 코터, 또는 나이프 코터를 사용하여 형성할 수 있다.

[0222] 반도체 장치에 포함되는 박막을 가공하기 위해서는, 포토리소그래피법 등을 사용할 수 있다. 그 이외에는, 나노 임프린팅법, 샌드블라스팅법(sandblasting method), 또는 리프트 오프법 등을 박막을 가공하는 데 사용하여도 좋다. 또는, 금속 마스크 등의 차폐 마스크를 사용한 막 형성 방법에 의하여, 섬 형상의 박막을 형성하여도 좋다.

[0223] 포토리소그래피법에는 2개의 대표적인 예가 있다. 상기 방법 중 하나에서는, 가공되는 박막 위에 레지스트 마스크를 형성하고, 에칭에 의하여 상기 박막을 가공한 다음, 레지스트 마스크를 제거한다. 다른 하나의 방법에서는, 감광성 박막을 형성한 다음, 노광 및 현상에 의하여 원하는 형상으로 가공한다.

[0224] 포토리소그래피법에서의 노광용 광으로서는, i선의 광(파장: 365nm), g선의 광(파장: 436nm), h선의 광(파장: 405nm), 또는 i선, g선, 및 h선을 혼합시킨 광을 사용할 수 있다. 또는, 자외광, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수 있다. 노광은 액침 노광 기술에 의하여 수행되어도 좋다. 노광용 광으로서는 EUV(extreme ultraviolet light) 또는 X선을 사용하여도 좋다. 노광용 광 대신에 전자 빔을 사용할 수 있다. EUV, X선, 또는 전자 빔을 사용하면 매우 미세한 가공을 수행할 수 있어 바람직하다. 또한, 전자 빔 등의 빔을 주사함으로써 노광을 수행하는 경우에는, 포토마스크가 필요하지 않다.

[0225] 박막의 에칭에는 드라이 에칭법, 웨트 에칭법, 또는 샌드 블라스트법 등을 사용할 수 있다.

[0226] 도 11의 (A) 내지 (F), 도 12의 (A) 내지 (E), 그리고 도 13의 (A) 및 (B)는 트랜지스터(100A) 및 용량 소자(130B)의 제작 방법을 설명하는, 채널 길이 방향의 단면도이다.

[0227] <도전층(106) 및 도전층(106C)의 형성>

[0228] 기판(102) 위에 도전막을 형성하고 에칭에 의하여 가공함으로써, 게이트 전극으로서 기능하는 도전층(106) 및 용량 소자의 한쪽 전극으로서 기능하는 도전층(106C)이 동시에 형성된다(도 11의 (A)).

[0229] <절연층(104)의 형성>

[0230] 다음으로, 기판(102), 도전층(106), 및 도전층(106C)을 덮어 절연층(104)을 형성한다(도 11의 (B)). 절연층(104)은 플라스마 CVD법, ALD법, 또는 스퍼터링법 등에 의하여 형성할 수 있다.

[0231] <반도체층(108) 및 금속 산화물층(108C)의 형성>

[0233] 그리고, 절연층(104) 위에 금속 산화물막(108f)을 형성한다(도 11의 (C)).

[0234] 금속 산화물막(108f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0235] 금속 산화물막(108f)을 형성하는 경우, 산소 가스와 불활성 가스(예를 들어 헬륨 가스, 아르곤 가스, 또는 제논 가스)를 혼합하여도 좋다. 또한, 금속 산화물막(108f)을 형성할 때 퇴적 가스 전체에서의 산소 가스의 비율(이하, 산소 유량비라고도 함)은 바람직하게는 0% 이상 100% 이하이고, 더 바람직하게는 5% 이상 20% 이하이다. 산소 유량비를 저감하여 결정성이 비교적 낮은 금속 산화물막(108f)으로 함으로써, 온 상태 전류가 높아진 트랜지스터를 얻을 수 있다.

[0236] 금속 산화물막(108f)은 실온 이상 180℃ 이하, 바람직하게는 실온 이상 140℃ 이하의 기판 온도에서 형성한다. 금속 산화물막(108f)을 형성할 때의 기판 온도는 예를 들어 실온 이상 140℃ 미만이면 생산성이 높아지기 때문에 바람직하다. 기판 온도를 실온으로 설정하거나 의도적으로 가열하지 않는 상태로 금속 산화물막(108f)을 형성하면, 금속 산화물막(108f)은 결정성이 낮아지기 쉽다.

[0237] 금속 산화물막(108f)의 두께는 3nm 내지 200nm, 바람직하게는 3nm 내지 100nm, 더 바람직하게는 3nm 내지 60nm의 범위 내로 한다.

[0238] 기판(102)으로서 대형 유리 기판(예를 들어 6세대 내지 12세대)을 사용하고 금속 산화물막(108f)을 200℃ 이상 300℃ 이하의 기판 온도에서 형성한 경우, 기판(102)이 변형될 수 있다(비틀어지거나 휠 수 있다). 따라서, 대형 유리 기판을 사용하는 경우에는, 실온 이상 200℃ 미만의 기판 온도에서 금속 산화물막(108f)을 형성함으로써, 유리 기판의 변형을 억제할 수 있다.

[0239] 또한, 스퍼터링 가스의 순도를 높일 필요가 있다. 예를 들어, 스퍼터링 가스로서 사용되는 산소 가스 또는 아르곤 가스로서, -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하의 이슬점을 갖도록 고순도화된 가스를 사용함으로써, 금속 산화물막(108f)에 수분 등이 들어가는 것을 최소화할 수 있다.

[0240] 금속 산화물막(108f)을 스퍼터링법에 의하여 형성하는 경우에는, 금속 산화물에 대하여 불순물로서 작용하는 물 등을 가능한 한 제거하기 위하여, 크라이오펌프(cryopump) 등의 흡착 진공 배기 펌프를 사용하여 스퍼터링 장치의 체임버를 고진공 상태가 되도록(약 5×10^{-7}Pa 내지 1×10^{-4}Pa 정도까지) 배기하는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 모드(standby mode)에서의, 체임버 내의 H_2O에 상당하는 가스 분자(m/z=18에 상당하는 가스 분자)의 분압은 1×10^{-4}Pa 이하인 것이 바람직하고, 5×10^{-5}Pa 이하인 것이 더 바람직하다.

[0241] 금속 산화물막(108f)을 형성하기 전에, 절연층(104)의 표면에 흡착된 물 및 수소를 방출하기 위한 가열 처리를 수행하는 것이 바람직하다. 예를 들어, 가열 처리는 감압 분위기에 있어서 70℃ 내지 200℃의 온도에서 수행될 수 있다. 이때, 절연층(104)의 표면을 대기에 노출시키지 않고 금속 산화물막(108f)을 연속적으로 형성하는 것이 바람직하다. 예를 들어, 기판이 가열되는 가열 체임버와, 금속 산화물막(108f)이 형성되는 퇴적 체임버가 게이트 밸브 등을 통하여 접속되도록 퇴적 장치를 구성하는 것이 바람직하다.

[0242] 다음으로, 금속 산화물막(108f)을 가공하여, 섬 형상의 반도체층(108) 및 섬 형상의 금속 산화물층(108C)을 동시에 형성한다(도 11의 (D)).

[0243] 금속 산화물막(108f)을 가공하기 위해서는, 웨트 에칭법 및/또는 드라이 에칭법을 사용할 수 있다.

[0244] 금속 산화물막(108f)을 형성한 후, 또는 금속 산화물막(108f)을 가공하여 반도체층(108)을 형성한 후에, 가열 처리를 수행하여 금속 산화물막(108f) 또는 반도체층(108)의 탈수소화 또는 탈수화를 수행하여도 좋다. 이 가열 처리의 온도는 대표적으로 150℃ 이상 기판 변형점(strain point) 미만, 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하이다.

[0245] 가열 처리는 헬륨, 네온, 아르곤, 제논, 또는 크립톤 등의 희가스, 또는 질소를 포함한 불활성 분위기에서 수행할 수 있다. 또는, 먼저 불활성 분위기에서 가열 처리한 후, 산소 분위기에서 가열 처리하여도 좋다. 이 불활성 가스 분위기 및 산소 분위기에는 수소 및 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분 이상 24시간 이하로 한다.

[0246] 이 가열 처리에는 전기로 또는 RTA(rapid thermal annealing) 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우에는 기판의 변형점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.

[0247] 가열하면서 금속 산화물막(108f)을 형성하거나, 금속 산화물막(108f)을 형성한 후에 가열 처리를 수행하면, SIMS(secondary ion mass spectrometry)에 의하여 측정되는 금속 산화물막(108f) 내의 수소 농도를 5×10^{19}atoms/cm^3 이하, 1×10^{19}atoms/cm^3 이하, 5×10^{18}atoms/cm^3 이하, 1×10^{18}atoms/cm^3 이하, 5×10^{17}atoms/cm^3 이하, 또는 1×10^{16}atoms/cm^3 이하로 할 수 있다.

[0248] <절연막(110f)의 형성>

[0249] 다음으로, 반도체층(108), 금속 산화물층(108C), 및 절연층(104) 위에 절연층(110)이 되는 절연막(110f)을 형성한다.

[0250] 절연막(110f)으로서는, 산화 실리콘막 또는 산화질화 실리콘막 등의 산화물막을 플라스마 강화 CVD 장치(PECVD 장치 또는 단순히 플라스마 CVD 장치라고 함)를 사용하여 형성하는 것이 바람직하다. 이 경우, 원료 가스로서는 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인이 포함된다. 산화성 가스의 예에는 산소, 오존, 일산화 이질소, 및 이산화 질소가 포함된다.

[0251] 절연막(110f)으로서는, 산화성 가스의 유량을 퇴적 가스의 유량의 20배보다 크고 100배 미만, 또는 40배 이상 80배 이하로 하고, 처리 체임버 내의 압력을 100Pa 미만 또는 50Pa 이하로 하는 조건하에서 PECVD 장치를 사용함으로써, 결함이 적은 산화질화 실리콘막을 형성할 수 있다.

[0252] 또는, 절연막(110f)으로서는, PECVD 장치의 진공 배기된 처리 체임버에 배치된 기판을 280℃ 이상 350℃ 이하의 온도에서 유지하고, 원료 가스가 도입된 처리 체임버 내의 압력을 20Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 250Pa 이하로 하고, 처리 체임버 내에 제공된 전극에 고주파 전력을 공급하는 조건하에서 치밀한 산화 실리콘막 또는 치밀한 산화질화 실리콘막을 형성할 수 있다.

[0253] 절연막(110f)은 마이크로파를 사용한 PECVD법에 의하여 형성하여도 좋다. 마이크로파란 300MHz 내지 300GHz의 주파수 범위의 파를 말한다. 마이크로파에서는, 전자 온도 및 전자 에너지가 낮다. 또한, 공급된 전력에서는, 전자의 가속에 사용되는 전력의 비율이 낮으므로, 전력을 더 많은 분자의 해리 및 전리에 사용할 수 있다. 따라서, 밀도가 높은 플라스마(고밀도 플라스마)를 여기할 수 있다. 이 방법은 퇴적면 또는 퇴적물에 대한 플라스마 대미지가 적기 때문에, 결함이 적은 절연막(110f)을 형성할 수 있다.

[0254] 또는, 절연막(110f)은 유기 실레인 가스를 사용한 CVD법에 의하여 형성할 수 있다. 유기 실레인 가스로서는 예를 들어, 테트라에틸오쏘실리케이트(TEOS)(화학식: $Si(OC_2H_5)_4$), 테트라메틸실레인(TMS)(화학식: $Si(CH_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸다이실라잔(HMDS), 트라이에톡시실레인($SiH(OC_2H_5)_3$), 및 트리스다이메틸아미노실레인($SiH(N(CH_3)_2)_3$) 등의 실리콘 함유 화합물 중 임의의 것을 사용할 수 있다. 유기 실레인 가스를 사용한 CVD법에 의하여, 피복성이 높은 절연막(110f)을 형성할 수 있다.

[0255] <금속 산화물막(114f)의 형성>

[0256] 그리고, 절연막(110f) 위에 금속 산화물층(114)이 되는 금속 산화물막(114f)을 형성한다.

[0257] 금속 산화물막(114f)은 예를 들어 산소를 포함한 분위기에서 형성되는 것이 바람직하고, 산소를 포함한 분위기에서 스퍼터링법에 의하여 형성되는 것이 특히 바람직하다. 이로써, 금속 산화물막(114f)을 형성할 때 절연막(110f)에 산소를 공급할 수 있다.

[0258] 예를 들어, 금속 산화물막(114f)은, 퇴적 가스로서 산소를 사용하여, 금속 타깃을 사용한 반응 스퍼터링법에 의하여 형성되는 것이 바람직하다. 금속 타깃에 예를 들어 알루미늄을 사용하는 경우에는, 산화 알루미늄막을 형성할 수 있다.

[0259] 금속 산화물막(114f)의 형성 시에는, 퇴적 장치의 퇴적 체임버에 도입하는 퇴적 가스의 유량 전체에 대한 산소 유량의 비율이 높을수록(즉, 산소 유량비가 높을수록), 또는 퇴적 체임버 내의 산소 분압이 높을수록 절연막(110f)에 더 많은 산소를 공급할 수 있다. 산소 유량비 또는 산소 분압은 예를 들어, 50% 이상 100% 이하, 바람직하게는 65% 이상 100% 이하, 더 바람직하게는 80% 이상 100% 이하, 더욱 바람직하게는 90% 이상 100% 이하로 한다. 특히, 산소 유량비를 100%로 하고, 산소 분압을 100%에 가능한 한 가깝게 하는 것이 바람직하다.

[0260] 상술한 식으로 산소를 포함한 분위기에서 스퍼터링법에 의하여 금속 산화물막(114f)을 형성하면, 금속 산화물막(114f)의 형성 중에 절연막(110f)에 산소를 공급할 수 있고, 절연막(110f)으로부터의 산소의 방출을 방지할 수 있다. 이 결과, 절연막(110f)에 매우 대량의 산소를 넣을 수 있다. 또한, 나중에 수행되는 가열 처리에 의하여, 반도체층(108)에 대량의 산소를 공급할 수 있다. 그러므로, 반도체층(108) 내의 산소 결손량을 저감할 수 있어, 신뢰성이 높은 트랜지스터가 된다.

[0261] 그리고, 금속 산화물막(114f)을 형성한 후에, 금속 산화물막(114f), 절연막(110f), 및 절연층(104)을 에칭에 의하여 부분적으로 제거함으로써, 도전층(106)에 도달하는 개구를 형성한다. 이로써, 나중에 형성되는 도전층(112)을 상기 개구를 통하여 도전층(106)에 전기적으로 접속시킬 수 있다.

[0262] <도전막(112f)의 형성>

[0263] 이어서, 금속 산화물막(114f) 위에 도전층(112)이 되는 도전막(112f)을 형성한다(도 11의 (E)).

[0264] 도전막(112f)은 금속 또는 합금으로 만들어진 스퍼터링 타깃을 사용한 스퍼터링에 의하여 형성되는 것이 바람직하다.

[0265] <도전막(112f), 금속 산화물막(114f), 및 절연막(110f)의 에칭>

[0266] 그리고, 도전막(112f), 금속 산화물막(114f), 및 절연막(110f)을 에칭에 의하여 부분적으로 제거함으로써, 금속 산화물층(108C), 및 반도체층(108)의 일부를 노출시킨다(도 11의 (F)).

[0267] 여기서, 도전막(112f), 금속 산화물막(114f), 및 절연막(110f)은 하나의 레지스트 마스크를 사용하여 가공되는

것이 바람직하다. 또는, 에칭에 의하여 얻은 도전층(112)을 뒤의 에칭을 위한 하드 마스크로서 사용하여, 금속 산화물층(114) 및 절연층(110)을 얻어도 좋다.

[0268] 이러한 식으로, 상면 형상이 실질적으로 같은 섬 형상의 도전층(112), 금속 산화물층(114), 및 절연층(110)을 형성할 수 있다.

[0269] 또한, 도전막(112f), 금속 산화물막(114f), 및 절연막(110f)의 에칭 중에, 금속 산화물층(108C), 및 절연층(110)으로 덮여 있지 않은 반도체층(108)의 일부가 에칭되고 두께가 얇아지는 경우가 있다.

[0270] <제 1 층(116)의 형성>

[0271] 다음으로, 제 1 층(116)을 형성한다(도 12의 (A)).

[0272] 여기서는, 제 1 층(116)으로서 절연성을 갖는 막을 형성한다. 또한, 가열 처리 등의 나중의 단계에서 제 1 층(116)을 절연화시키는 경우에는, 형성 시의 제 1 층(116)은 도전성을 가져도 좋다.

[0273] 제 1 층(116)으로서는, 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 등의 금속 원소 중 적어도 하나를 포함한 막을 형성한다. 제 1 층(116)은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하는 것이 바람직하다. 또한, 이들 금속 원소 중 적어도 하나를 포함한 질화물 또는 이들 금속 원소 중 적어도 하나를 포함한 산화물이 적합하게 사용된다. 절연성을 갖는 막으로서는, 예를 들어 질화 알루미늄 타이타늄막, 질화 타이타늄막, 또는 질화 알루미늄막 등의 질화물막, 또는 산화 알루미늄 타이타늄막 등의 산화물막이 적합하게 사용된다.

[0274] 여기서, 제 1 층(116)은 퇴적 가스로서 질소 가스 또는 산소 가스를 사용한 스퍼터링법에 의하여 형성되는 것이 바람직하다. 이러한 경우에는, 스퍼터링 타깃을 변경하지 않아도 퇴적 가스의 유량을 제어함으로써, 막의 품질을 쉽게 제어할 수 있다.

[0275] <가열 처리>

[0276] 다음으로, 가열 처리를 수행한다(도 12의 (B)). 가열 처리에 의하여, 반도체층(108)에서 제 1 층(116)과 접하는 영역의 저항이 저감되어, 반도체층(108)에 저저항 영역(108n)이 형성된다. 동시에, 금속 산화물층(108C)의 저항을 저감할 수도 있다.

[0277] 가열 처리는 질소 또는 희가스 등의 불활성 가스 분위기에서 수행되는 것이 바람직하다. 가열 처리의 온도는 가능한 한 높은 것이 바람직하고, 예를 들어 기판(102), 도전층(106), 및 도전층(112)의 내열성을 고려하여 설정될 수 있다. 온도의 범위는 예를 들어, 120℃ 내지 500℃, 바람직하게는 150℃ 내지 450℃, 더 바람직하게는 200℃ 내지 400℃, 더욱 바람직하게는 250℃ 내지 400℃로 할 수 있다. 예를 들어, 가열 처리의 온도가 약 350℃인 경우, 대형 유리 기판을 사용한 생산 시설에 의하여 반도체 장치를 높은 수율로 제작할 수 있다.

[0278] 이 제작 방법에서는 제 1 층(116)을 제거하지 않기 때문에, 가열 처리는 제 1 층(116)의 형성 후이면 언제든지 수행할 수 있다. 또한, 이 가열 처리는 다른 가열 처리로서도 기능하여도 좋다.

[0279] 가열 처리에 의하여, 반도체층(108) 및 금속 산화물층(108C) 내의 산소가 제 1 층(116)으로 추출되므로, 산소 결손이 생성된다. 이 산소 결손과 반도체층(108) 또는 금속 산화물층(108C) 내의 수소가 결합됨으로써, 캐리어 농도가 높아지고, 반도체층(108) 및 금속 산화물층(108C)에서 제 1 층(116)과 접하는 부분의 저항이 저감된다.

[0280] 또는, 제 1 층(116)에 포함되는 금속 원소가 가열 처리에 의하여 반도체층(108) 및 금속 산화물층(108C)으로 확산되면, 반도체층(108) 및 금속 산화물층(108C)이 부분적으로 합금화되어 저항이 저감되는 경우가 있다.

[0281] 또는, 제 1 층(116)에 포함되는 질소 및 수소, 또는 가열 처리의 분위기에 포함되는 질소 등이 가열 처리에 의하여 반도체층(108) 및 금속 산화물층(108C)으로 확산됨으로써, 반도체층(108) 및 금속 산화물층(108C)의 저항이 저감되는 경우가 있다.

[0282] 상기 복합적인 요소에 의하여 저항이 저감된 반도체층(108)의 영역(108n) 및 금속 산화물층(108C)은 매우 안정적인 저저항 영역이다. 상술한 식으로 형성된 영역(108n) 및 금속 산화물층(108C)은, 예를 들어 나중의 단계에서 산소를 공급하는 처리가 수행되어도 저항이 다시 높아지지 않는다는 특징을 갖는다.

[0283] <금속 산화물층(117)의 형성>

[0284] 다음으로, 제 1 층(116) 위에 금속 산화물층(117)을 형성한다(도 12의 (C)). 금속 산화물층(117)은 금속 산화

물막(114f)과 비슷한 방법에 의하여 형성될 수 있다.

[0285] 금속 산화물층(117)의 형성 시에, 제 1 층(116)을 통하여 반도체층(108)의 영역(108n) 및 금속 산화물층(108C)에 산소가 첨가되는 경우가 있고, 상술한 바와 같이 영역(108n) 및 금속 산화물층(108C)의 저항은 다시 높아지지 않고 낮게 유지된다.

[0286] 또한, 금속 산화물층(117)의 형성 시에, 제 1 층(116) 및 반도체층(108)을 통하여 절연층(104)에 산소를 공급할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(110)의 측면으로부터, 제 1 층(116)을 통하여 절연층(104)에 산소를 공급할 수 있다.

[0287] 금속 산화물층(117)의 형성 후에 가열 처리를 수행하여도 좋다. 배리어층으로서 기능하는 금속 산화물층(117)이 반도체층(108)을 덮는 상태로 수행되는 가열 처리에 의하여, 반도체층(108)의 채널 형성 영역인 영역(108i)에, 절연층(110) 및 절연층(104)으로부터 바람직하게 산소를 공급할 수 있다.

[0288] <절연층(118)의 형성>

[0289] 다음으로, 금속 산화물층(117)을 덮어 절연층(118)을 형성한다(도 12의 (D)).

[0291] 절연층(118)은 플라스마 CVD법 또는 스퍼터링법 등에 의하여 형성할 수 있다.

[0292] <개구(141a, 141b, 및 141c)의 형성>

[0293] 이어서, 절연층(118)의 의도하는 위치에 리소그래피에 의하여 마스크를 형성한 다음, 절연층(118), 금속 산화물층(117), 및 제 1 층(116)을 에칭에 의하여 부분적으로 제거함으로써, 영역(108n)에 도달하는 개구(141a 및 141b) 및 금속 산화물층(108C)에 도달하는 개구(141c)를 형성한다.

[0294] <도전층(120a 및 120b)의 형성>

[0295] 다음으로, 개구(141a, 141b, 및 141c)를 메우도록 절연층(118) 위에 도전막을 형성하고, 이 도전막을 원하는 형상으로 가공함으로써, 도전층(120a) 및 도전층(120b)을 형성한다(도 12의 (E)).

[0296] 상술한 단계를 통하여, 서로 전기적으로 접속된 트랜지스터(100A) 및 용량 소자(130B)를 제작할 수 있다. 이하에서는 표시 소자의 화소 전극 형성을 포함한 뒤의 단계에 대하여 설명한다.

[0297] <절연층(119)의 형성>

[0298] 다음으로, 도전층(120a), 도전층(120b), 및 절연층(118)을 덮어 절연층(119)을 형성한다(도 13의 (A)).

[0299] 절연층(119)을 유기 수지를 사용하여 형성하면, 평탄성이 높아지기 때문에 바람직하다. 절연층(119)은 대표적으로 스핀 코팅, 디스펜싱, 스크린 인쇄, 또는 슬릿 코팅 등에 의하여 형성할 수 있다.

[0300] 또한, 절연층(119)은 무기 절연 재료를 사용하여 형성되어도 좋다. 이 경우, 절연층(119)은 절연층(118)과 비슷한 방법에 의하여 형성될 수 있다.

[0301] 절연층(119)을 감광성 수지 재료를 사용하여 형성하면, 도전층(120b)에 도달하는 개구를 절연층(119)의 형성과 동시에 형성할 수 있다. 또한, 절연층(119)을 비감광성 재료를 사용하여 형성하는 경우에는, 에칭에 의하여 개구를 형성할 수 있다.

[0302] <도전층(109)의 형성>

[0303] 다음으로, 도전층(109)을 형성한다(도 13의 (B)). 도전층(109)은 도전막(112) 등과 비슷한 방법에 의하여 형성될 수 있다.

[0304] 상술한 단계를 통하여, 화소 전극, 트랜지스터(100A), 및 용량 소자(130B)를 제작할 수 있다. 또한, 도 13의 (B)는 도 9의 (B)와 같다.

[0305] 또한, 도 9의 (A)에 도시된 용량 소자(130A)는, 도전층(120b)을 금속 산화물층(108C)과 중첩하여 가공함으로써 제작될 수 있다.

[0306] 도 9의 (C)에 도시된 용량 소자(130C)는, 상기 제작 방법에서 반도체층(108) 및 금속 산화물층(108C)을 얻는 데 사용한 포토마스크를 변경하여, 이들 층을 하나의 섬 형상의 층으로서 형성함으로써 제작될 수 있다.

[0307] 이상이 제작 방법의 예에 관한 설명이다.

[0308] [제작 방법의 예의 변형예]

[0309] 이하에서는, 도 10의 (B)에 도시된 트랜지스터(100G) 및 용량 소자(130B')의 제작 방법의 예에 대하여 설명한다. 또한, 상기 제작 방법의 예와 공통되는 부분에 관한 설명은 생략하고, 상기 예와의 차이점에 대하여 주로 설명한다.

[0310] 먼저, 상기 제작 방법의 예에서와 같이, 기판(102) 위에 도전층(106), 도전층(106C), 절연층(104), 반도체층(108), 금속 산화물층(108C), 절연층(110), 금속 산화물층(114), 및 도전층(112)을 형성한다.

[0311] 그리고, 제 1 층(116a)을 형성한다.

[0312] 제 1 층(116a)은 나중의 단계에서 제거되기 때문에, 제 1 층(116a)은 상기 제작 방법의 예에서 예시한 절연성을 갖는 막, 또는 절연화되는 막뿐만 아니라, 도전성을 갖는 막일 수도 있다.

[0313] 제 1 층(116a)으로서는, 상기에 더하여 예를 들어 알루미늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 및 루테늄 등의 금속 원소 중 적어도 하나를 포함한 금속막 또는 합금막을 형성할 수 있다. 제 1 층(116a)은 알루미늄, 타이타늄, 탄탈럼, 및 텅스텐 중 적어도 하나를 포함하는 것이 바람직하다.

[0314] 다음으로, 가열 처리를 수행함으로써, 저저항 영역(108n) 및 저저항 금속 산화물층(108C)이 형성된다(도 14의 (A)).

[0315] 이어서, 제 1 층(116a)을 에칭에 의하여 제거한다(도 14의 (B)).

[0316] 제 1 층(116a)의 에칭 시에, 도전층(112), 금속 산화물층(114), 절연층(110), 반도체층(108), 또는 금속 산화물층(108C) 등의 일부도 에칭되는 경우가 있다. 특히, 제 1 층(116a)이 금속막 또는 합금막인 경우에는, 도전층(112)과는 다른 재료를 사용하여 제 1 층(116a)을 형성하고, 도전층(112)에 대한 제 1 층(116a)의 에칭 선택비가 높은 에칭 방법을 선택하는 것이 바람직하다.

[0317] 그리고, 상기와 비슷한 방법에 의하여 금속 산화물층(117)을 형성한다(도 14의 (C)). 여기서, 금속 산화물층(117)은 영역(108n) 및 금속 산화물층(108C)과 접하여 제공되기 때문에, 금속 산화물층(117)의 형성 중에 영역(108n) 및 금속 산화물층(108C)에 산소가 공급되는 경우가 있고, 상술한 바와 같이 영역(108n) 및 금속 산화물층(108C)의 저항은 다시 높아지지 않고 낮게 유지된다.

[0318] 뒤의 단계에는 상기 제작 방법의 예를 참조할 수 있다.

[0319] 상술한 방법에 의하여, 도 14의 (D)에 도시된 바와 같이 트랜지스터(100G), 용량 소자(130B'), 및 도전층(109)을 형성할 수 있다. 또한, 도 14의 (D)는 도 10의 (B)와 같다.

[0320] 이상이 제작 방법의 예의 변형예에 관한 설명이다.

[0321] 본 실시형태에서 설명한 구조예, 제작 방법의 예, 및 이들에 대응하는 도면 등 중 임의의 것의 적어도 일부는, 다른 구조예, 다른 제작 방법의 예, 및 이들에 대응하는 다른 도면 등 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0322] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0323] (실시형태 2)

[0324] 본 실시형태에서는, 실시형태 1에서 설명한 트랜지스터 중 임의의 것을 포함한 표시 장치의 예에 대하여 설명한다.

[0325] [구조예]

[0326] 도 15의 (A)는 표시 장치의 예를 도시한 상면도이다. 도 15의 (A)의 표시 장치(700)는, 제 1 기판(701) 위의 화소부(702), 제 1 기판(701) 위의 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706), 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸도록 제공된 실재(712), 및 제 1 기판(701)과 대향하도록 제공된 제 2 기판(705)을 포함한다. 제 1 기판(701)과 제 2 기판(705)은 실재(712)로 서로 접착되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 제 1 기판(701), 실재(712), 및 제 2 기판(705)으로 밀봉되어 있다. 도 15의 (A)에는 도시하지 않았지만, 제 1 기판(701)과 제 2 기판(705) 사이에는 표시 소자가 제공된다.

[0327] 표시 장치(700)에서는, 제 1 기판(701) 위의 실재(712)로 둘러싸인 영역과는 다른 영역에 FPC(flexible printed circuit) 단자부(708)가 제공된다. FPC 단자부(708)는 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 전기적으로 접속된다. FPC 단자부(708)에는 FPC(716)가 접속되고, FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 각종 신호 등이 공급된다. 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에는 신호선(710)이 접속된다. 신호선(710)을 통하여 FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 각종 신호 등이 공급된다.

[0328] 표시 장치(700)에 복수의 게이트 드라이버 회로부(706)를 제공하여도 좋다. 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)가, 화소부(702)도 형성되는 제 1 기판(701) 위에 형성되는 표시 장치(700)의 예에 대하여 설명하지만, 구조는 이에 한정되지 않는다. 예를 들어, 게이트 드라이버 회로부(706)만을 제 1 기판(701) 위에 형성하여도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기판(701) 위에 형성하여도 좋다. 이러한 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을 포함한 IC를, 제 1 기판(701) 또는 FPC(716)에 제공하여도 좋다. 별도로 형성된 이러한 구동 회로 기판의 접속 방법에 특별한 한정은 없으며, 예를 들어 COG(chip on glass) 방식 또는 와이어 본딩 방식을 사용할 수 있다.

[0329] 표시 장치(700)에 포함되는 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 복수의 트랜지스터를 포함한다. 복수의 트랜지스터로서는, 본 발명의 일 형태에 따른 반도체 장치인 트랜지스터 중 임의의 것을 사용할 수 있다.

[0330] 표시 장치(700)는 다양한 소자 중 임의의 것을 포함할 수 있다. 상기 소자의 예에는, 일렉트로루미네선스(EL) 소자(예를 들어, 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자, 및 LED), 발광 트랜지스터 소자(전류에 따라 광을 방출하는 트랜지스터), 전자 방출체(electron emitter), 액정 소자, 전자 잉크 디스플레이, 전기 영동 소자, 일렉트로웨팅 소자, PDP(plasma display panel), MEMS(microelectromechanical systems) 디스플레이(예를 들어, GLV(grating light valve), DMD(digital micromirror device), DMS(digital micro shutter) 소자, 및 IMOD(interferometric modulator display) 소자), 및 압전 세라믹 디스플레이가 포함된다.

[0331] EL 소자를 포함하는 표시 장치의 예로서 EL 디스플레이가 있다. 전자 방출체를 포함하는 표시 장치의 예로서는 FED(field emission display) 및 SED 방식 평판 디스플레이(SED: surface-conduction electron-emitter display)가 있다. 액정 소자를 포함하는 표시 장치의 예에는 액정 디스플레이(예를 들어 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 및 투사형 액정 디스플레이)가 포함된다. 전자 잉크 디스플레이 또는 전기 영동 소자를 포함하는 표시 장치의 예로서는 전자 종이가 있다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이에서, 화소 전극의 일부 또는 모두는 반사 전극으로서 기능한다. 예를 들어, 화소 전극의 일부 또는 모두는 알루미늄 또는 은 등을 포함하도록 형성된다. 이러한 경우, 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수 있어, 소비전력을 더 저감할 수 있다.

[0332] 표시 장치(700)에서의 표시 방식으로서는, 프로그레시브 방식 또는 인터레이스 방식 등을 채용할 수 있다. 또한, 컬러 표시를 위하여 화소에서 제어되는 색 요소는 R(적색), G(녹색), 및 B(청색)의 3개의 색에 한정되지 않는다. 예를 들어, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개의 화소를 채용하여도 좋다. 또는, 색 요소는 펜타일(PenTile) 레이아웃에서와 같이 R, G, 및 B 중 2개의 색으로 구성되어도 좋고, 색 요소 사이에서 이 2개의 색이 달라도 좋다. 또는, RGB에 황색, 시안, 및 마젠타(magenta) 등 중 하나 이상의 색을 추가하여도 좋다. 또한, 색 요소의 각 도트에 따라 표시 영역의 크기가 달라도 좋다. 또한, 개시되는 발명의 일 형태는 컬러 표시의 표시 장치에 한정되지 않고, 개시되는 발명은 흑백 표시의 표시 장치에 적용될 수도 있다.

[0333] 백라이트 또는 프런트 라이트(예를 들어 유기 EL 소자, 무기 EL 소자, LED, 또는 형광등)에 백색광(W)을 사용한 컬러 표시 장치를 얻기 위하여, 착색층(컬러 필터라고도 함)을 사용하여도 좋다. 예를 들어, 적색(R) 착색층, 녹색(G) 착색층, 청색(B) 착색층, 및 황색(Y) 착색층을 적절히 조합하여 사용할 수 있다. 착색층을 사용하면, 착색층이 없는 경우보다 높은 색 재현성을 얻을 수 있다. 여기서, 착색층이 있는 영역과 착색층이 없는 영역을 제공함으로써, 착색층이 없는 영역에서의 백색광을 직접 표시에 이용하여도 좋다. 착색층이 없는 영역을 부분적으로 제공함으로써, 착색층으로 인한 밝은 화상의 휘도 저하를 억제할 수 있고, 소비전력을 약 20% 내지 30% 저감할 수 있는 경우가 있다. 유기 EL 소자 또는 무기 EL 소자 등의 자기 발광 소자를 사용하여 풀 컬러 표시를 수행하는 경우, 소자들이 R, G, B, Y, 및 W 각 색의 광을 방출하여도 좋다. 자기 발광 소자를

사용함으로써, 착색층을 사용하는 경우와 비교하여 소비전력을 더 저감할 수 있는 경우가 있다.

[0334] 착색 방식으로서는, 백색광의 일부를 컬러 필터를 통하여 적색광, 녹색광, 및 청색광으로 변환하는 상술한 컬러 필터 방식, 적색광, 녹색광, 및 청색광을 사용하는 3색 방식, 및 청색광의 일부를 적색광 또는 녹색광으로 변환하는 색 변환 방식 또는 퀀텀닷(quantum dot) 방식 중 임의의 방식을 사용하여도 좋다.

[0335] 도 15의 (B)에 도시된 표시 장치(700A)는 대형 화면을 갖는 전자 기기에 적합하게 사용할 수 있는 표시 장치이다. 예를 들어, 표시 장치(700A)는 텔레비전 장치, 모니터, 또는 디지털 사이니지에 적합하다.

[0336] 표시 장치(700A)는 복수의 소스 드라이버 IC(721) 및 한 쌍의 게이트 드라이버 회로(722)를 포함한다.

[0337] 복수의 소스 드라이버 IC(721)는 각 FPC(723)에 접착되어 있다. FPC(723)의 각각에서는, 한쪽 단자가 제 1 기판(701)에 접속되고, 다른 쪽 단자가 인쇄 회로 기판(724)에 접속되어 있다. FPC(723)를 구부림으로써, 인쇄 회로 기판(724)을 화소부(702)의 뒤쪽에 배치하여 전자 기기에 실장할 수 있기 때문에, 공간 절약형의 전자 기기를 실현할 수 있다.

[0338] 한편, 게이트 드라이버 회로(722)는 제 1 기판(701) 위에 제공되어 있다. 그러므로, 베젤이 좁은 전자 기기를 제작할 수 있다.

[0339] 이러한 구조로 함으로써, 대형이고 해상도가 높은 표시 장치를 제공할 수 있다. 예를 들어, 화면 크기(대각선)가 30인치 이상, 40인치 이상, 50인치 이상, 또는 60인치 이상의 표시 장치에 이러한 구조를 적용할 수 있다. 또한, 풀 HD(high definition), 4K2K, 또는 8K4K 등의 해상도가 매우 높은 표시 장치를 제공할 수 있다.

[0340] [단면 구조예]

[0341] 이하에서는, 표시 소자로서 액정 소자 또는 EL 소자를 포함한 구조에 대하여 도 16, 도 17, 및 도 18을 참조하여 설명한다. 도 16 및 도 17은 각각 도 15의 (A)의 일점쇄선 Q-R를 따르는 단면도이고, 표시 소자로서 액정 소자를 포함한 구조를 도시한 것이다. 도 18은 도 15의 (A)의 일점쇄선 Q-R를 따르는 단면도이고, 표시 소자로서 EL 소자를 포함한 구조를 도시한 것이다.

[0342] 이하에서는, 도 16, 도 17, 및 도 18 사이에서 공통되는 구성 요소에 대하여 먼저 설명하고, 그 다음에 도 16, 도 17, 및 도 18 사이에서 상이한 구성 요소에 대하여 설명한다.

[0343] <표시 장치에서 공통되는 구성 요소>

[0344] 도 16 내지 도 18의 표시 장치(700)는, 리드 배선부(711), 화소부(702), 소스 드라이버 회로부(704), 및 FPC 단자부(708)를 각각 포함한다. 리드 배선부(711)는 신호선(710)을 포함한다. 화소부(702)는 트랜지스터(750) 및 용량 소자(790)를 포함한다. 소스 드라이버 회로부(704)는 트랜지스터(752)를 포함한다.

[0345] 트랜지스터(750 및 752)로서는, 실시형태 1에서 설명한 트랜지스터 중 임의의 것을 사용할 수 있다.

[0346] 본 실시형태에서 사용하는 트랜지스터는, 산소 결손의 형성이 억제되고 고순도화된 산화물 반도체막을 포함한다. 상기 트랜지스터는 오프 상태 전류를 낮게 할 수 있다. 이로써, 영상 신호 등의 전기 신호를 오랫동안 유지할 수 있고, 영상 신호 등의 기록 동작 간의 간격을 길게 설정할 수 있다. 그러므로, 리프레시 동작의 빈도를 감소할 수 있어, 소비전력이 낮아진다.

[0347] 또한, 본 실시형태에서 사용하는 트랜지스터는, 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에 고속 동작이 가능하다. 예를 들어, 이러한 고속 트랜지스터를 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와 구동 회로부의 드라이버 트랜지스터를 하나의 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 반도체 장치가, 구동 회로로서 추가적으로 필요하지 않기 때문에, 표시 장치의 부품 수를 줄일 수 있다. 또한, 고속 트랜지스터를 화소부에 사용함으로써, 고품질의 화상을 제공할 수 있다.

[0348] 용량 소자(790)는 하부 전극 및 상부 전극을 포함한다. 하부 전극은 트랜지스터(750)의 반도체층에 제공되는 소스 영역 및 드레인 영역과 같은 단계를 통하여 형성된다. 상부 전극은 트랜지스터(750)의 소스 전극 및 드레인 전극으로서 기능하는 도전막이 되는 도전막을 가공하는 단계를 통하여 형성된다. 하부 전극과 상부 전극 사이에는, 트랜지스터(750) 위의 보호 절연막으로서 기능하는 절연막의 일부가 배치된다. 즉, 용량 소자(790)는, 유전체막으로서 기능하는 절연막이 한 쌍의 전극 사이에 배치된 적층 구조를 갖는다.

[0349] 도 16 내지 도 18에서는, 트랜지스터(750), 트랜지스터(752), 및 용량 소자(790) 위에 평탄화 절연막(770)이 제

공되어 있다.

[0350] 또한, "소스 드라이버 회로부(704)"라는 용어는 "게이트 드라이버 회로부"라는 용어와 치환할 수 있다.

[0351] 신호선(710)은, 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 통하여 형성된다. 구리 원소를 포함하는 재료를 사용하여 신호선(710)을 형성하는 경우, 예를 들어 배선 저항에 기인한 신호 지연 등이 저감되어, 대화면 표시가 가능해진다.

[0352] FPC 단자부(708)는 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 포함한다. 접속 전극(760)은 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 통하여 형성된다. 접속 전극(760)은, 이방성 도전막(780)을 통하여 FPC(716)의 단자에 전기적으로 접속된다.

[0353] 예를 들어, 제 1 기판(701) 및 제 2 기판(705)으로서, 유리 기판을 사용할 수 있다. 또는, 제 1 기판(701) 및 제 2 기판(705)으로서 가요성 기판을 사용하여도 좋다. 가요성 기판의 예에는 플라스틱 기판이 포함된다.

[0354] 제 1 기판(701)과 제 2 기판(705) 사이에는 구조체(778)가 제공된다. 구조체(778)는 기둥형 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또한, 구조체(778)로서, 구(球)형 스페이서를 사용하여도 좋다.

[0355] 제 2 기판(705)에는, 블랙 매트릭스로서 기능하는 차광막(738), 컬러 필터로서 기능하는 착색막(736), 및 차광막(738) 및 착색막(736)과 접하는 절연막(734)이 제공된다.

[0356] <액정 소자를 사용하는 표시 장치의 구조예>

[0357] 도 16에 도시된 표시 장치(700)는 액정 소자(775)를 포함한다. 액정 소자(775)는 도전막(772), 도전막(774), 및 액정층(776)을 포함한다. 도전막(774)은 제 2 기판(705)에 제공되며 대향 전극으로서 기능한다. 도 16에서의 표시 장치(700)는, 도전막(772)과 도전막(774)에 인가되는 전압에 따라 액정층(776)의 배향 상태가 변화됨으로써, 광의 투과 또는 비투과를 제어하여 화상을 표시할 수 있다.

[0358] 도전막(772)은, 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막에 전기적으로 접속된다. 도전막(772)은, 평탄화 절연막(770) 위에 형성되고, 화소 전극, 즉 표시 소자의 한쪽 전극으로서 기능한다.

[0359] 가시광을 투과시키는 도전막 또는 가시광을 반사하는 도전막을 도전막(772)으로서 사용할 수 있다. 가시광을 투과시키는 도전막은 예를 들어 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함한 재료를 사용하여 형성되는 것이 바람직하다. 가시광을 반사하는 도전막은 예를 들어 알루미늄 또는 은을 포함한 재료를 사용하여 형성되는 것이 바람직하다.

[0360] 도전막(772)으로서 가시광을 반사하는 도전막을 사용하는 경우, 표시 장치(700)는 반사형 액정 표시 장치이다. 도전막(772)으로서 가시광을 투과시키는 도전막을 사용하는 경우, 표시 장치(700)는 투과형 액정 표시 장치이다. 반사형 액정 표시 장치에 대해서는, 시인자 측에 편광판을 제공한다. 한편, 투과형 액정 표시 장치에 대해서는, 액정 소자를 개재하도록 한 쌍의 편광판을 제공한다.

[0361] 도전막(772) 위의 구조를 변경하면, 액정 소자의 구동 방법을 바꿀 수 있다. 도 17은 이 경우의 예를 나타낸 것이다. 도 17에 도시된 표시 장치(700)는 액정 소자의 구동 모드로서 수평 전계 모드(예를 들어 FFS 모드)를 채용한 예이다. 도 17에 도시된 구조에서는, 도전막(772) 위에 절연막(773)이 제공되고, 절연막(773) 위에 도전막(774)이 제공된다. 이 구조에서, 도전막(774)은 공통 전극으로서 기능하고, 절연막(773)을 통하여 도전막(772)과 도전막(774) 사이에 발생하는 전계는 액정층(776)의 배향 상태를 제어할 수 있다.

[0362] 도 16 및 도 17에는 도시하지 않았지만, 도전막(772) 및/또는 도전막(774)에, 액정층(776)과 접하는 측에 배향막을 제공하여도 좋다. 도 16 및 도 17에는 도시하지 않았지만, 예를 들어 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판)를 적절히 제공하여도 좋다. 예를 들어, 편광 기판 및 위상차 기판을 사용함으로써, 원형 편광을 채용하여도 좋다. 또한, 광원으로서 백라이트 또는 사이드 라이트 등을 사용하여도 좋다.

[0363] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 고분자 네트워크형 액정, 강유전성 액정, 또는 반(anti)강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.

[0364] 수평 전계 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다.

블루상은 액정상 중 하나이며, 콜레스테릭 액정의 온도가 상승되면서 콜레스테릭상이 등방상으로 전이하기 직전에 발현한다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 넓히기 위하여 키랄제가 수중량% 이상 점유하도록 혼합된 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 시간이 짧고, 광학적 등방성을 가지므로 배향 처리가 불필요하다. 배향막을 제공할 필요가 없기 때문에 러빙 처리가 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기 방전 대미지를 방지할 수 있고, 제작 공정에서의 액정 표시 장치의 불량 및 대미지를 저감할 수 있다. 또한, 블루상을 나타내는 액정 재료는 시야각 의존성이 작다.

[0365] 표시 소자로서 액정 소자를 사용하는 경우, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned microcell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드, ECB(electrically controlled birefringence) 모드, 또는 게스트 호스트 모드 등을 채용할 수 있다.

[0366] 또한, 표시 장치는 수직 배향(VA) 모드를 이용한 투과형 액정 표시 장치 등의 노멀리 블랙 액정 표시 장치로 하여도 좋다. 채용되는 수직 배향 모드의 예로서는 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 및 ASV(advanced super view) 모드가 있다.

[0367] <발광 소자를 사용하는 표시 장치>

[0368] 도 18에 도시된 표시 장치(700)는 발광 소자(782)를 포함한다. 발광 소자(782)는 도전막(772), EL층(786), 및 도전막(788)을 포함한다. 도 18에 도시된 표시 장치(700)는 각 화소에 제공되는 발광 소자(782)의 EL층(786)으로부터의 발광을 이용함으로써 화상을 표시할 수 있다. 또한, EL층(786)은 유기 화합물, 또는 퀀텀닷 등의 무기 화합물을 포함한다.

[0369] 유기 화합물에 사용할 수 있는 재료의 예에는 형광 재료 및 인광 재료가 포함된다. 퀀텀닷에 사용할 수 있는 재료의 예에는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어 셸형 퀀텀닷 재료, 및 코어형 퀀텀닷 재료가 포함된다. 12족 및 16족에 속하는 원소, 13족 및 15족에 속하는 원소, 또는 14족 및 16족에 속하는 원소를 포함하는 재료를 사용하여도 좋다. 또는, 카드뮴(Cd), 셀레늄(Se), 아연(Zn), 황(S), 인(P), 인듐(In), 텔루륨(Te), 납(Pb), 갈륨(Ga), 비소(As), 또는 알루미늄(Al) 등의 원소를 포함하는 퀀텀닷 재료를 사용하여도 좋다.

[0370] 도 18의 표시 장치(700)에서는, 평탄화 절연막(770) 및 도전막(772) 위에 절연막(730)이 제공되어 있다. 절연막(730)은 도전막(772)의 일부를 덮는다. 또한, 발광 소자(782)는 톱 이미션 구조를 갖기 때문에, 도전막(788)은 투광성을 가지며, EL층(786)으로부터 방출되는 광을 투과시킨다. 본 실시형태에서는 톱 이미션 구조를 예시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 광이 도전막(772) 측으로 방출되는 보텀 이미션 구조, 또는 광이 도전막(772) 측과 도전막(788) 측의 양쪽으로 방출되는 듀얼 이미션 구조를 채용하여도 좋다.

[0371] 착색막(736)은 발광 소자(782)와 중첩되도록 제공된다. 차광막(738)은 절연막(730)과 중첩되도록 리드 배선부(711) 및 소스 드라이버 회로부(704)에 제공된다. 착색막(736) 및 차광막(738)은 절연막(734)으로 덮여 있다. 발광 소자(782)와 절연막(734) 사이의 공간은 밀봉막(732)으로 채워진다. 표시 장치(700)의 구조는 착색막(736)이 제공된 도 18의 예에 한정되지 않는다. 예를 들어, EL층(786)을 화소마다 섬 형상으로 형성(즉, 구분 착색으로 형성)하는 경우에는 착색막(736)이 없는 구조를 채용하여도 좋다.

[0372] <입출력 장치가 제공된 표시 장치의 구조예>

[0373] 도 16 내지 도 18의 각각에 도시된 표시 장치(700)에 입출력 장치를 제공하여도 좋다. 이 입출력 장치의 예로서는 터치 패널이 있다.

[0374] 도 19는 도 17에 나타낸 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다. 도 20은 도 18에 나타낸 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다.

[0375] 도 19는 도 17에 나타낸 표시 장치(700)에 터치 패널(791)이 제공된 구조의 단면도이다. 도 20은 도 18에 나타낸 표시 장치(700)에 터치 패널(791)이 제공된 구조의 단면도이다.

[0376] 이하에서는, 도 19 및 도 20에 도시된 터치 패널(791)에 대하여 먼저 설명한다.

[0377] 도 19 및 도 20에 도시된 터치 패널(791)은 기판(705)과 착색막(736) 사이에 제공되는 인셀 터치 패널이다. 터

치 패널(791)은 착색막(736)을 형성하기 전에 기판(705)에 형성된다.

[0378] 터치 패널(791)은 절연막(792), 전극(793), 전극(794), 절연막(795), 전극(796), 및 절연막(797)을 포함한다. 터치 패널(791)은, 예를 들어 손가락 또는 스타일러스 등의 물체가 근접함으로써 발생할 수 있는 전극들(793 및 794) 사이의 용량의 변화를 검지할 수 있다.

[0379] 도 19 및 도 20에는 트랜지스터(750) 상방의 전극(793 및 794)의 교차 부분을 도시하였다. 절연막(795)에 형성된 개구를 통하여, 전극(796)은 전극(794)을 개재하는 2개의 전극(793)에 전기적으로 접속되어 있다. 또한, 도 19 및 도 20에는 전극(796)이 형성되는 영역을 화소부(702)에 제공하는 구조예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 전극(796)이 형성되는 영역을 소스 드라이버 회로부(704)에 제공하여도 좋다.

[0380] 전극(793 및 794)은 차광막(738)과 중첩되는 영역에 제공된다. 도 19 및 도 20에 도시된 바와 같이, 전극(793)은 액정 소자(775) 또는 발광 소자(782)와 중첩되지 않도록 제공되는 것이 바람직하다. 바꿔 말하면, 전극(793)은 발광 소자(782) 또는 액정 소자(775)와 중첩되는 영역에 개구를 갖는다. 즉, 전극(793)은 메시 형상을 갖는다. 이러한 구조로 함으로써, 전극(793)은 발광 소자(782)로부터 방출되는 광 또는 액정 소자(775)를 투과하는 광을 차단하지 않는다. 따라서, 터치 패널(791)이 배치되더라도 휘도는 저감되기 어렵기 때문에, 시인성이 높고 소비전력이 낮은 표시 장치를 실현할 수 있다. 또한, 전극(794)은 비슷한 구조를 가질 수 있다.

[0381] 전극(793 및 794)은 발광 소자(782) 또는 액정 소자(775)와 중첩되지 않기 때문에, 전극(793 및 794)은 가시광 투과율이 낮은 금속 재료를 사용하여 형성될 수 있다.

[0382] 따라서, 가시광 투과율이 높은 산화물 재료를 사용한 전극과 비교하여, 전극(793 및 794)의 저항을 저감할 수 있어, 터치 패널의 감도를 높일 수 있다.

[0383] 예를 들어, 전극(793, 794, 및 796)에는 도전성 나노와이어를 사용하여도 좋다. 상기 나노와이어는 평균 직경이 1nm 내지 100nm, 바람직하게는 5nm 내지 50nm, 더 바람직하게는 5nm 내지 25nm이다. 나노와이어로서는, 카본 나노튜브, 혹은 Ag 나노와이어, Cu 나노와이어, 또는 Al 나노와이어 등의 금속 나노와이어를 사용할 수 있다. 예를 들어, 전극(793, 794, 및 796) 중 하나 또는 모두에 Ag 나노와이어를 사용하는 경우, 89% 이상의 가시광 투과율, 그리고 40Ω/square 이상 100Ω/square 이하의 시트 저항을 실현할 수 있다.

[0384] 도 19 및 도 20에는 인셀 터치 패널의 구조를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 표시 장치(700) 위에 형성되는 터치 패널(즉, 온셀 터치 패널) 또는 표시 장치(700)에 접합되는 터치 패널(즉, 아웃셀 터치 패널)을 사용하여도 좋다.

[0385] 이러한 식으로, 본 발명의 일 형태에 따른 표시 장치는 다양한 형태의 터치 패널과 조합될 수 있다.

[0386] 본 실시형태에서 설명한 구조예 및 이들에 대응하는 도면 등 중 임의의 것의 적어도 일부는, 다른 구조예 및 이들에 대응하는 다른 도면 등 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0387] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0388] (실시형태 3)

[0389] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치를 포함하는 표시 장치에 대하여 도 21의 (A) 내지 (C)를 참조하여 설명한다.

[0390] 도 21의 (A)에 도시된 표시 장치는, 화소들을 포함하는 영역(이하, 이 영역을 화소부(502)라고 함), 화소부(502) 외측에 제공되며 화소들을 구동시키기 위한 회로를 포함하는 회로부(이하, 이 부분을 드라이버 회로부(504)라고 함), 소자를 보호하는 기능을 각각 갖는 회로(이하, 이 회로를 보호 회로(506)라고 함), 및 단자부(507)를 포함한다. 또한, 보호 회로(506)를 반드시 제공할 필요는 없다.

[0391] 드라이버 회로부(504)의 일부 또는 전체를, 화소부(502)가 형성되는 기판 위에 형성하는 것이 바람직하다. 이로써, 구성 요소의 개수와 단자의 개수를 줄일 수 있다. 드라이버 회로부(504)의 일부 또는 전체를, 화소부(502)가 형성되는 기판 위에 형성하지 않는 경우, 드라이버 회로부(504)의 일부 또는 전체를 COG 또는 TAB(tape automated bonding)에 의하여 실장할 수 있다.

[0392] 화소부(502)는, *X*행(*X*는 2 이상의 자연수임) *Y*열(*Y*는 2 이상의 자연수임)로 배치된 표시 소자들을 구동시키기

위한 복수의 회로(이하, 이러한 회로를 화소 회로(501)라고 함)를 포함한다. 드라이버 회로부(504)는, 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 이 회로를 게이트 드라이버(504a)라고 함) 및 화소의 표시 소자를 구동시키는 신호(데이터 신호)를 공급하기 위한 회로(이하, 이 회로를 소스 드라이버(504b)라고 함) 등의 구동 회로를 포함한다.

[0393] 게이트 드라이버(504a)는 시프트 레지스터 등을 포함한다. 게이트 드라이버(504a)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호를 받고, 신호를 출력한다. 예를 들어, 게이트 드라이버(504a)는, 스타트 펄스 신호 또는 클럭 신호 등을 받고, 펄스 신호를 출력한다. 게이트 드라이버(504a)는, 주사 신호를 공급받는 배선(이하, 이러한 배선을 게이트선(GL_1 내지 GL_*X*)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 복수의 게이트 드라이버(504a)를 제공하여 게이트선(GL_1 내지 GL_*X*)을 개별적으로 제어하여도 좋다. 또는, 게이트 드라이버(504a)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 게이트 드라이버(504a)는 다른 신호를 공급할 수 있다.

[0394] 소스 드라이버(504b)는 시프트 레지스터 등을 포함한다. 소스 드라이버(504b)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호뿐만 아니라, 데이터 신호의 바탕이 되는 신호(영상 신호)를 받는다. 소스 드라이버(504b)는, 화소 회로(501)에 기록될, 영상 신호에 기초한 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 스타트 펄스 신호 또는 클럭 신호 등의 입력에 의하여 생성되는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 데이터 신호를 공급받는 배선(이하, 이러한 배선을 데이터선(DL_1 내지 DL_*Y*)이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(504b)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 소스 드라이버(504b)는 다른 신호를 공급할 수 있다.

[0395] 소스 드라이버(504b)는 예를 들어, 복수의 아날로그 스위치를 포함한다. 소스 드라이버(504b)는, 복수의 아날로그 스위치를 순차적으로 온으로 함으로써, 영상 신호를 시분할하여 얻어지는 신호를, 데이터 신호로서 출력할 수 있다. 소스 드라이버(504b)는 시프트 레지스터 등을 포함하여도 좋다.

[0396] 주사 신호를 공급받는 복수의 주사선(GL) 중 하나 및 데이터 신호를 공급받는 복수의 데이터선(DL) 중 하나를 통하여, 복수의 화소 회로(501) 각각에, 펄스 신호 및 데이터 신호가 각각 입력된다. 복수의 화소 회로(501) 각각에서의 데이터 신호의 기록 및 유지는, 게이트 드라이버(504a)에 의하여 제어된다. 예를 들어, *m*행 *n*열째(*m*은 *X* 이하의 자연수이고, *n*은 *Y* 이하의 자연수임)의 화소 회로(501)에는, 게이트선(GL_*m*)을 통하여 게이트 드라이버(504a)로부터 펄스 신호가 입력되고, 게이트선(GL_*m*)의 전위에 따라 데이터선(DL_*n*)을 통하여 소스 드라이버(504b)로부터 데이터 신호가 입력된다.

[0397] 도 21의 (A)에 나타낸 보호 회로(506)는, 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 게이트선(GL)에 접속된다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 화소 회로(501) 사이의 데이터선(DL)에 접속된다. 또는, 보호 회로(506)는, 게이트 드라이버(504a)와 단자부(507) 사이의 배선에 접속될 수 있다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 단자부(507) 사이의 배선에 접속될 수 있다. 또한, 단자부(507)는, 외부 회로로부터 표시 장치에 전력, 제어 신호, 및 영상 신호를 입력하기 위한 단자를 갖는 부분을 의미한다.

[0398] 보호 회로(506)는, 이 보호 회로에 접속된 배선에 특정한 범위 외의 전위가 인가되었을 때, 이 보호 회로에 접속된 해당 배선을 다른 배선에 전기적으로 접속시키는 회로이다.

[0399] 도 21의 (A)에 도시된 바와 같이, 화소부(502) 및 드라이버 회로부(504)에 보호 회로(506)를 제공함으로써, ESD(electrostatic discharge) 등에 의하여 발생되는 과전류에 대한 표시 장치의 내성을 향상시킬 수 있다. 또한, 보호 회로(506)의 구성은 이에 한정되지 않고, 예를 들어 보호 회로(506)는 게이트 드라이버(504a) 또는 소스 드라이버(504b)에 접속될 수 있다. 또는, 보호 회로(506)는 단자부(507)에 접속될 수 있다.

[0400] 도 21의 (A)에 드라이버 회로부(504)가 게이트 드라이버(504a) 및 소스 드라이버(504b)를 포함하는 예를 나타내었지만, 구성은 이에 한정되지 않는다. 예를 들어, 게이트 드라이버(504a)만을 형성하여도 좋고, 소스 드라이버 회로가 형성된 별도로 준비된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을 실장하여도 좋다.

[0401] 도 22에는 도 21의 (A)와 다른 구성을 도시하였다. 도 22에서는, 소스선 방향으로 배열되는 복수의 화소를 개재하도록 한 쌍의 소스선(예를 들어, 소스선(DLa1) 및 소스선(DLb1))이 제공되어 있다. 또한, 인접한 2개의 게이트선(예를 들어, 게이트선(GL_1) 및 게이트선(GL_2))이 서로 전기적으로 접속되어 있다.

[0402] 게이트선(GL_1)에 접속되는 화소는 한쪽 소스선(소스선(DLa1) 또는 소스선(DLa2) 등)에 접속된다. 게이트선(GL_2)에 접속되는 화소는 다른 쪽 소스선(소스선(DLb1) 또는 소스선(DLb2) 등)에 접속된다.

[0403] 이러한 구성에서는, 2개의 게이트선을 동시에 선택할 수 있어, 1수평 기간의 길이를 도 21의 (A)의 구성의 2배로 할 수 있다. 이에 의하여, 표시 장치의 해상도를 높이는 것 및 화면 크기를 크게 하는 것이 용이해진다.

[0404] 도 21의 (A) 및 도 22의 복수의 화소 회로(501) 각각은, 예를 들어 도 21의 (B)에 도시된 구성을 가질 수 있다.

[0405] 도 21의 (B)에 도시된 화소 회로(501)는 액정 소자(570), 트랜지스터(550), 및 용량 소자(560)를 포함한다. 트랜지스터(550)로서는, 상술한 실시형태에서 설명한 트랜지스터 중 임의의 것을 사용할 수 있다.

[0406] 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위는 화소 회로(501)의 사양에 따라 적절히 설정된다. 액정 소자(570)의 배향 상태는, 기록되는 데이터에 의존한다. 복수의 화소 회로(501) 각각에 포함되는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위를 공급하여도 좋다. 또한, 하나의 행의 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공급되는 전위는, 다른 행의 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공급되는 전위와 달라도 좋다.

[0407] 액정 소자(570)를 포함하는 표시 장치의 구동 방법의 예에는 TN 모드, STN(super twisted nematic) 모드, VA 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS 모드, FFS 모드, 및 TBA(transverse bend alignment) 모드가 포함된다. 표시 장치의 구동 방법의 다른 예에는 ECB(electrically controlled birefringence) 모드, PDLC(polymer-dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 및 게스트 호스트 모드가 포함된다. 이에 한정되지 않고, 다양한 액정 소자 및 구동 방법을 사용할 수 있다.

[0408] *m*행 *n*열째 화소 회로(501)에 있어서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은 데이터선(DL_*n*)에 전기적으로 접속되고, 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은 게이트선(GL_*m*)에 전기적으로 접속된다. 트랜지스터(550)는, 온 또는 오프가 됨으로써 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0409] 용량 소자(560)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선(VL)이라고 함)에 전기적으로 접속되고, 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 전위 공급선(VL)의 전위는, 화소 회로(501)의 사양에 따라 적절히 설정된다. 용량 소자(560)는, 기록된 데이터를 저장하기 위한 저장 용량 소자(storage capacitor)로서 기능한다.

[0410] 예를 들어, 도 21의 (B)의 화소 회로(501)를 포함하는 표시 장치에서는, 도 21의 (A)에 도시된 게이트 드라이버(504a)에 의하여 화소 회로(501)를 행마다 순차적으로 선택함으로써, 트랜지스터(550)를 온으로 하고 데이터 신호를 기록한다.

[0411] 트랜지스터(550)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써, 화상을 표시할 수 있다.

[0412] 또는, 도 21의 (A)의 복수의 화소 회로(501) 각각은, 예를 들어 도 21의 (C)에 도시된 구성을 가질 수 있다.

[0413] 도 21의 (C)에 도시된 화소 회로(501)는, 트랜지스터(552 및 554), 용량 소자(562), 및 발광 소자(572)를 포함한다. 트랜지스터들(552 및 554) 중 한쪽 또는 양쪽으로서, 상술한 실시형태에서 설명한 트랜지스터들 중 임의의 것을 사용할 수 있다.

[0414] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽은 데이터선(DL_*n*)에 전기적으로 접속되고, 트랜지스터(552)의 게이트 전극은 게이트선(GL_*m*)에 전기적으로 접속된다.

[0415] 트랜지스터(552)는, 온 또는 오프가 됨으로써 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0416] 용량 소자(562)의 한 쌍의 전극 중 한쪽은 전위 공급선(VL_a)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0417] 용량 소자(562)는, 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.

[0418] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 한쪽은, 전위 공급선(VL_a)에 전기적으로 접속된다. 또한, 트랜지스터(554)의 게이트 전극은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된

다.

[0419] 발광 소자(572)의 양극 및 음극 중 한쪽은 전위 공급선(VL_b)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0420] 발광 소자(572)로서는, 예를 들어 유기 전계 발광 소자(유기 EL 소자라고도 함)를 사용할 수 있다. 또한, 발광 소자(572)는 이에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자이어도 좋다.

[0422] 또한, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에 고전원 전위(VDD)가 공급되고, 다른 쪽에 저전원 전위(VSS)가 공급된다.

[0423] 예를 들어, 도 21의 (C)의 화소 회로(501)를 포함하는 표시 장치에서는, 도 21의 (A)에 도시된 게이트 드라이버(504a)에 의하여 화소 회로(501)를 행마다 순차적으로 선택함으로써, 트랜지스터(552)를 온으로 하고 데이터 신호를 기록한다.

[0424] 트랜지스터(552)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 또한, 트랜지스터(554)의 소스 전극과 드레인 전극 사이에 흐르는 전류량은, 기록된 데이터 신호의 전위에 따라 제어된다. 발광 소자(572)는 흐르는 전류량에 대응하는 휘도로 광을 방출한다. 이 동작을 행마다 순차적으로 수행함으로써, 화상을 표시할 수 있다.

[0425] 본 실시형태에서 설명한 구조예 및 이들에 대응하는 도면 등 중 임의의 것의 적어도 일부는, 다른 구조예 및 이들에 대응하는 다른 도면 등 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0426] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0427] (실시형태 4)

[0428] 이하에서는, 본 발명의 일 형태에 따른 표시 장치가 사용될 수 있는 전자 기기에 대하여 설명한다. 여기서는, 발전 장치 및 수전 장치를 포함하는 전자 기기를 예로서 설명한다.

[0429] 전자 기기의 예로서, 도 23의 (A) 내지 (C)를 참조하여 휴대 정보 단말기에 대하여 설명한다.

[0430] 도 23의 (A)는 휴대 정보 단말기(8040)의 정면 및 측면을 도시한 사시도이다. 휴대 정보 단말기(8040)는 휴대 전화 통화, 전자 메일, 문장 열람 및 편집, 음악 재생, 인터넷 통신, 및 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다. 휴대 정보 단말기(8040)에서, 하우징(8041)은 그 정면에 표시부(8042), 카메라(8045), 마이크로폰(8046), 및 스피커(8047)를, 그 왼쪽 면에 조작용 버튼(8043)을, 그리고 그 바닥면에 접속 단자(8048)를 포함한다.

[0431] 표시부(8042)에는 본 발명의 일 형태에 따른 표시 모듈 또는 표시 패널이 사용된다.

[0432] 도 23의 (A)에 도시된 휴대 정보 단말기(8040)는 하우징(8041)에 하나의 표시부(8042)를 제공한 예이지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 표시부(8042)는 휴대 정보 단말기(8040)의 뒷면에 제공되어도 좋다. 또한, 휴대 정보 단말기(8040)는, 2개 이상의 표시부가 제공된 폴더블 휴대 정보 단말기이어도 좋다.

[0433] 표시부(8042)에는, 손가락 또는 스타일러스 등의 지시 수단에 의하여 데이터를 입력할 수 있는 터치 패널이 입력 수단으로서 제공되어 있다. 따라서, 표시부(8042)에 표시된 아이콘(8044)을 지시 수단에 의하여 쉽게 조작할 수 있다. 터치 패널을 제공하기 때문에, 휴대 정보 단말기(8040)에서의 키보드를 위한 영역이 필요하지 않아, 큰 영역에 표시부를 제공할 수 있다. 또한, 손가락 또는 스타일러스로 데이터를 입력할 수 있기 때문에, 사용하기 쉬운 인터페이스를 얻을 수 있다. 터치 패널은 저항막 방식, 정전 용량 방식, 적외선 방식, 전자기 유도 방식, 및 표면 탄성파 방식 등의 각종 방식 중 임의의 것으로 할 수 있지만, 저항막 방식 또는 정전 용량 방식은 표시부(8042)를 구부릴 수 있기 때문에 특히 바람직하다. 또한, 이러한 터치 패널은, 터치 패널이 상기 표시 모듈 또는 표시 패널과 통합된 소위 인셀 터치 패널이어도 좋다.

[0434] 또한, 터치 패널은 이미지 센서로서 기능하여도 좋다. 이 경우, 예를 들어 표시부(8042)를 손바닥 또는 손가락으로 터치하여 장문 또는 지문 등의 화상을 찍음으로써, 개인 인증을 실시할 수 있다. 또한, 근적외광을 방출하는 백라이트 또는 센싱용 광원을 표시부(8042)에 사용함으로써, 손가락 정맥 또는 손바닥 정맥 등의 화상을 찍을 수도 있다.

[0435] 표시부(8042)에는 터치 패널 대신에 키보드를 제공하여도 좋다. 또는, 터치 패널과 키보드의 양쪽을 제공하여

도 좋다.

[0436] 조작용 버튼(8043)은 사용 목적에 따라 다양한 기능을 가질 수 있다. 예를 들어, 버튼(8043)을 홈 버튼으로서 사용하여, 버튼(8043)을 누름으로써 표시부(8042)에 홈 화면을 표시하여도 좋다. 또한, 버튼(8043)을 소정의 시간 누름으로써 메인 전원이 오프가 되도록 휴대 정보 단말기(8040)를 구성하여도 좋다. 버튼(8043)을 누름으로써, 잠자기 모드에 있는 휴대 정보 단말기(8040)가 잠자기 모드에서 깨어나는 구조를 채용하여도 좋다. 그 이외에는, 예를 들어 누르는 시간의 길이에 따라, 또는 다른 버튼과 동시에 버튼을 누름으로써 각종 기능을 기동하는 스위치로서 버튼을 사용할 수 있다.

[0437] 또한, 버튼(8043)을 음량 제어 버튼 또는 음 소거 버튼으로서 사용하여, 예를 들어 소리를 출력하기 위한 스피커(8047)의 음량을 조정하는 기능을 갖게 하여도 좋다. 스피커(8047)는 다양한 종류의 소리를 출력하며, 그 예로서는 OS(operating system)의 시작음 등 소정의 처리를 위하여 설정된 소리, 음악 재생 애플리케이션 소프트웨어에서의 음악 등 각종 애플리케이션에서 실행되는 음성 파일에서의 소리, 및 전자 메일의 수신음이 있다. 도시하지 않았지만, 소리를 출력하기 위한 스피커(8047)와 함께 또는 그 대신에, 헤드폰, 이어폰, 또는 헤드세트 등의 장치에 소리를 출력하기 위한 커넥터를 제공하여도 좋다.

[0438] 상술한 바와 같이, 버튼(8043)은 다양한 기능을 가질 수 있다. 도 23의 (A)에서는 휴대 정보 단말기(8040)의 왼쪽 면에 2개의 버튼(8043)을 제공하고 있지만, 물론 버튼(8043)의 개수, 배치, 및 위치 등은 이 예에 한정되지 않고, 적절히 설계할 수 있다.

[0439] 마이크로폰(8046)은 음성 입력 및 녹음에 사용할 수 있다. 카메라(8045)를 사용하여 얻은 화상을 표시부(8042)에 표시할 수 있다.

[0440] 휴대 정보 단말기(8040)는, 표시부(8042)에 제공된 터치 패널 또는 버튼(8043)에 의한 조작에 더하여, 카메라(8045) 또는 휴대 정보 단말기(8040)에 제공된 센서 등을 사용하여 사용자의 동작(제스처)을 인식함으로써 조작될 수 있다(제스처 입력이라고도 함). 또는, 휴대 정보 단말기(8040)는, 마이크로폰(8046)을 사용하여, 사용자의 음성을 인식함으로써 조작될 수 있다(음성 입력이라고도 함). 인간의 자연스러운 행동에 의하여 전자 기기에 데이터를 입력할 수 있는 NUI(natural user interface) 기술을 도입함으로써, 휴대 정보 단말기(8040)의 조작성을 더 향상시킬 수 있다.

[0441] 접속 단자(8048)는, 외부 장치와의 통신 시의 신호 입력 또는 전력 공급 시의 전력 입력을 위한 단자이다. 예를 들어, 접속 단자(8048)는 휴대 정보 단말기(8040)에 외부 메모리 드라이브를 접속하기 위하여 사용할 수 있다. 외부 메모리 드라이브의 예로서는, 외장형 하드 디스크 드라이브(HDD), 플래시 메모리 드라이브, DVD(digital versatile disk) 드라이브, DVD-R(DVD-recordable) 드라이브, DVD-RW(DVD-rewritable) 드라이브, CD(compact disc) 드라이브, CD-R(compact disc recordable) 드라이브, CD-RW(compact disc rewritable) 드라이브, MO(magneto-optical) 디스크 드라이브, FDD(floppy disk drive), 및 다른 비휘발성 SSD(solid state drive) 장치 등의 기억 매체 드라이브가 있다. 휴대 정보 단말기(8040)는 표시부(8042)에 터치 패널을 갖지만, 이 터치 패널 대신에 하우징(8041) 상에 키보드를 제공하여도 좋고, 또는 키보드를 외부에 추가하여도 좋다.

[0442] 도 23의 (A)에서는 휴대 정보 단말기(8040)에 하나의 접속 단자(8048)를 제공하고 있지만, 물론 접속 단자(8048)의 개수, 배치, 및 위치 등은 이 예에 한정되지 않고, 적절히 설계할 수 있다.

[0443] 도 23의 (B)는 휴대 정보 단말기(8040)의 뒷면 및 측면을 도시한 사시도이다. 휴대 정보 단말기(8040)에서, 하우징(8041)은 그 뒷면에 태양 전지(8049) 및 카메라(8050)를 포함하고, 휴대 정보 단말기(8040)는 충방전 제어 회로(8051), 배터리(8052), 및 DC-DC 컨버터(8053) 등을 더 포함한다.

[0444] 휴대 정보 단말기(8040)의 뒷면에 접합된 태양 전지(8049)에 의하여, 표시부, 터치 패널, 및 영상 신호 처리부 등에 전력을 공급할 수 있다. 또한, 태양 전지(8049)를 하우징(8041)의 한쪽 면 또는 양쪽 면에 제공할 수 있다. 휴대 정보 단말기(8040)에 태양 전지(8049)를 포함함으로써, 옥외 등 전력 공급 수단이 제공되지 않은 공간에서도 휴대 정보 단말기(8040)의 배터리(8052)를 충전할 수 있다.

[0445] 태양 전지(8049)로서는, 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 또는 비정질 실리콘으로 이루어진 단층 또는 적층을 포함한 실리콘계 태양 전지, InGaAs계, GaAs계, CIS계, Cu_2ZnSnS_4계, 또는 CdTe-CdS계 태양 전지, 유기 염료를 포함한 염료 감응형 태양 전지, 도전성 폴리머 또는 풀러렌 등을 포함한 유기 박막 태양 전지, 및 i층에 실리콘 등에 의한 퀀텀닷 구조를 형성한, pin 구조를 갖는 퀀텀닷 태양 전지 등 중 임의의 것을 사용할 수 있다.

[0446] 여기서, 도 23의 (B)에 도시된 충방전 제어 회로(8051)의 구조 및 동작의 예에 대하여 도 23의 (C)의 블록도를 참조하여 설명한다.

[0447] 도 23의 (C)에는 태양 전지(8049), 배터리(8052), DC-DC 컨버터(8053), 컨버터(8057), 스위치(8054), 스위치(8055), 스위치(8056), 및 표시부(8042)를 도시하였다. 배터리(8052), DC-DC 컨버터(8053), 컨버터(8057), 및 스위치(8054 내지 8056)는 도 23의 (B)의 충방전 제어 회로(8051)에 대응한다.

[0448] 외광을 사용함으로써 태양 전지(8049)에 의하여 발생한 전력의 전압은, 배터리(8052)를 충전하기 위하여 필요한 수준이 되도록, DC-DC 컨버터(8053)에 의하여 상승되거나 강하된다. 표시부(8042)의 동작에 태양 전지(8049)로부터의 전력이 사용되는 경우에는, 스위치(8054)를 온으로 하고, 전력의 전압을 표시부(8042)를 조작하는 데 필요한 전압으로 컨버터(8057)에 의하여 상승시키거나 강하시킨다. 또한, 표시부(8042)에서의 표시를 수행하지 않는 경우에는, 스위치(8054)를 오프로 하고 스위치(8055)를 온으로 함으로써 배터리(8052)를 충전한다.

[0449] 발전 수단의 예로서 태양 전지(8049)에 대하여 설명하였지만, 발전 수단은 이에 한정되지 않고, 압전 소자 또는 열전 변환 소자(펠티에 소자) 등의 다른 발전 수단에 의하여 배터리(8052)를 충전하여도 좋다. 휴대 정보 단말기(8040)의 배터리(8052)의 충전 방법은 이에 한정되지 않고, 예를 들어 접속 단자(8048)를 전원과 접속하여 충전하여도 좋다. 무선으로 전력을 송수신함으로써 충전하는 비접촉 전력 전송 모듈에 의하여 배터리(8052)를 충전하여도 좋고, 또는 상기 충전 방법 중 임의의 것을 조합하여 사용하여도 좋다.

[0450] 여기서, 배터리(8052)의 충전 상태(SOC)는 표시부(8042)의 왼쪽 위 모서리(파선의 테두리 내)에 표시된다. 그러므로, 사용자는 배터리(8052)의 충전 상태를 확인할 수 있어, 휴대 정보 단말기(8040)의 절전 모드를 선택할 수 있다. 사용자가 절전 모드를 선택하는 경우에는, 예를 들어 버튼(8043) 또는 아이콘(8044)을 조작하여 휴대 정보 단말기(8040)의 구성 요소, 예를 들어 표시 모듈 또는 표시 패널, CPU 등의 연산 장치, 및 메모리를 절전 모드로 전환할 수 있다. 구체적으로는, 각 구성 요소에서, 임의의 기능의 사용 빈도를 저감하여 사용을 정지한다. 또한, 휴대 정보 단말기(8040)는, 충전 상태에 따라 절전 모드로 자동으로 전환하도록 구성될 수 있다. 또한, 휴대 정보 단말기(8040)에 광 센서 등의 센서를 제공함으로써, 휴대 정보 단말기(8040)의 사용 시의 외광의 양이 감지되어 표시 휘도가 최적화되므로, 배터리(8052)의 소비전력을 저감할 수 있다.

[0451] 또한, 태양 전지(8049) 등을 사용하여 충전하는 경우에는, 도 23의 (A)에 도시된 바와 같이 표시부(8042)의 왼쪽 위 모서리(파선의 테두리 내)에 태양 전지를 사용하여 충전하고 있다는 것을 나타내는 화상 등을 표시하여도 좋다.

[0452] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0453] (실시형태 5)

[0454] 본 실시형태에서는, 본 발명의 일 형태를 사용하여 제작할 수 있는 표시 모듈에 대하여 설명한다.

[0455] 도 24의 (A)의 표시 모듈(6000)에는, 상부 커버(6001)와 하부 커버(6002) 사이에, FPC(6005)에 접속된 표시 장치(6006), 프레임(6009), 인쇄 회로 기판(6010), 및 배터리(6011)가 제공되어 있다.

[0456] 예를 들어, 본 발명의 일 형태를 사용하여 제작된 표시 장치를 표시 장치(6006)로서 사용할 수 있다. 표시 장치(6006)에 의하여, 소비전력이 매우 낮은 표시 모듈을 제작할 수 있다.

[0457] 상부 커버(6001) 및 하부 커버(6002)의 형상 및 크기는, 표시 장치(6006)의 크기에 따라 적절히 변경될 수 있다.

[0458] 표시 장치(6006)와 중첩되도록 터치 패널을 제공하여도 좋다. 터치 패널은 저항막 터치 패널 또는 정전 용량 터치 패널로 할 수 있고, 표시 장치(6006)와 중첩되도록 형성하여도 좋다. 터치 패널을 제공하는 대신에, 표시 장치(6006)가 터치 패널 기능을 가질 수 있다.

[0459] 프레임(6009)은 표시 장치(6006)를 보호하고, 인쇄 회로 기판(6010)의 동작에 의하여 발생되는 전자기파를 차단하기 위한 전자기 실드로서도 기능한다. 프레임(6009)은 방열판으로서 기능하여도 좋다.

[0460] 인쇄 회로 기판(6010)은 전원 회로와, 영상 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 별도로 제공된 배터리(6011)를 사용하여도 좋다. 상용 전원을 사용하는 경우 배터리(6011)는 생략할 수 있다.

[0461] 도 24의 (B)는 광학식 터치 센서를 갖는 표시 모듈(6000)의 단면 개략도이다.

[0462] 표시 모듈(6000)은 인쇄 회로 기판(6010)에 제공된 발광부(6015) 및 수광부(6016)를 포함한다. 상부 커버(6001) 및 하부 커버(6002)로 둘러싸인 영역에는 한 쌍의 도광부(도광부(6017a) 및 도광부(6017b))가 제공되어 있다.

[0463] 상부 커버(6001) 및 하부 커버(6002)에는, 예를 들어 플라스틱 등을 사용할 수 있다. 상부 커버(6001) 및 하부 커버(6002)는 각각 얇게(예를 들어, 0.5㎜ 이상 5㎜ 이하) 할 수 있다. 따라서, 표시 모듈(6000)을 상당히 가볍게 할 수 있다. 또한, 상부 커버(6001) 및 하부 커버(6002)를 적은 재료로 제작할 수 있기 때문에, 제작 비용을 절감할 수 있다.

[0464] 표시 장치(6006)는 프레임(6009)을 개재하여 인쇄 회로 기판(6010) 및 배터리(6011)와 중첩된다. 표시 장치(6006) 및 프레임(6009)은 도광부(6017a) 및 도광부(6017b)에 고정되어 있다.

[0466] 발광부(6015)로부터 방출된 광(6018)은, 도광부(6017a)를 통하여 표시 장치(6006) 위를 이동하고, 도광부(6017b)를 통하여 수광부(6016)에 도달한다. 예를 들어, 손가락 또는 스타일러스 등의 검지 대상에 의한 광(6018)의 차단을 터치 동작으로서 검출할 수 있다.

[0467] 복수의 발광부(6015)는 예를 들어, 표시 장치(6006)의 인접한 2변을 따라 제공된다. 복수의 수광부(6016)는 발광부(6015)와 대향하도록 제공된다. 따라서, 터치 동작의 위치에 관한 정보를 얻을 수 있다.

[0468] 발광부(6015)로서는, LED 소자 등의 광원을 사용할 수 있다. 발광부(6015)로서는, 사용자에 의하여 시인되지 않고, 사용자에게 무해한 적외선을 방출하는 광원을 사용하는 것이 특히 바람직하다.

[0469] 수광부(6016)로서는, 발광부(6015)에 의하여 방출되는 광을 받고 전기 신호로 변환하는 광전 소자를 사용할 수 있다. 적외선을 받을 수 있는 포토다이오드를 바람직하게 사용할 수 있다.

[0470] 도광부(6017a 및 6017b)에는, 적어도 광(6018)을 투과시키는 부재를 사용할 수 있다. 도광부(6017a 및 6017b)를 사용함으로써, 발광부(6015) 및 수광부(6016)를 표시 장치(6006) 아래에 배치할 수 있고, 수광부(6016)에 도달한 외광으로 인한 터치 센서의 오동작을 방지할 수 있다. 가시광을 흡수하고 적외선을 투과시키는 수지를 사용하는 것이 특히 바람직하다. 이는 터치 센서의 오동작을 억제하는 데 더 효과적이다.

[0471] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0472] (실시형태 6)

[0473] 본 실시형태에서는, 본 발명의 일 형태를 사용하여 제작된 표시 장치를 각각 포함한 전자 기기에 대하여 설명한다.

[0474] 도 25의 (A)는 파인더(8100)가 장착된 카메라(8000)의 외관도이다.

[0475] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004) 등을 포함한다. 또한, 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다.

[0476] 여기서 카메라(8000)의 렌즈(8006)는 교환을 위하여 하우징(8001)에서 떼어낼 수 있지만 렌즈(8006)는 하우징(8001)에 포함되어도 좋다.

[0477] 셔터 버튼(8004)을 눌러 카메라(8000)로 촬상할 수 있다. 또한, 터치 패널로서 기능하는 표시부(8002)를 터치하여 촬상할 수 있다.

[0478] 카메라(8000)의 하우징(8001)은 전극을 포함하는 마운트를 포함하기 때문에, 파인더(8100) 또는 스트로보스코프 등을 하우징(8001)에 접속시킬 수 있다.

[0479] 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103) 등을 포함한다.

[0480] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트를 포함하기 때문에, 파인더(8100)를 카메라(8000)에 접속시킬 수 있다. 이 마운트는 전극을 포함하고, 전극을 통하여 카메라(8000)로부터 수신한 화상 등을 표시부(8102)에 표시할 수 있다.

[0481] 버튼(8103)은 전원 버튼으로서 기능한다. 버튼(8103)에 의하여 표시부(8102)를 온 및 오프로 할 수 있다.

[0482] 본 발명의 일 형태에 따른 표시 장치를 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 사용할 수 있다.

[0483] 도 25의 (A)에서 카메라(8000)와 파인더(8100)는 분리되어 있고 탈착 가능한 전자 기기이지만, 카메라(8000)의 하우징(8001)에는 표시 장치를 갖는 파인더가 포함되어도 좋다.

[0484] 도 25의 (B)는 헤드 마운트 디스플레이(8200)의 외관도이다.

[0485] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 포함한다. 장착부(8201)는 배터리(8206)를 포함한다.

[0486] 케이블(8205)을 통하여 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 포함하여 화상 데이터 등의 영상 데이터를 수신하고 그것을 표시부(8204)에 표시한다. 본체(8203)의 카메라에 의하여 사용자의 눈알 및 눈꺼풀의 움직임을 파악한 다음, 그 파악한 데이터를 사용하여 사용자의 시선의 좌표를 산출함으로써, 사용자의 시선을 입력 수단으로서 이용한다.

[0487] 장착부(8201)는 사용자와 접하도록 복수의 전극을 포함하여도 좋다. 본체(8203)는 사용자의 눈알의 움직임에 따라 전극을 흐르는 전류를 검지함으로써 사용자의 시선을 인식하도록 구성되어도 좋다. 본체(8203)는 상기 전극을 흐르는 전류를 검지함으로써 사용자의 맥박을 모니터하도록 구성되어도 좋다. 장착부(8201)는 사용자의 생체 정보를 표시부(8204)에 표시할 수 있도록, 온도 센서, 압력 센서, 및 가속도 센서 등의 센서를 포함하여도 좋다. 본체(8203)는 사용자의 머리 등의 움직임을 검지하여 사용자의 머리 등의 움직임에 맞추어 표시부(8204)에 표시하는 영상을 바꾸도록 구성되어도 좋다.

[0488] 본 발명의 일 형태에 따른 표시 장치를 표시부(8204)에 사용할 수 있다.

[0489] 도 25의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관도이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 디스플레이를 고정하기 위한 밴드 형상의 물건(8304), 및 한 쌍의 렌즈(8305)를 포함한다.

[0490] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 표시부(8302)는 휘어져 있는 것이 바람직하다. 표시부(8302)가 휘어져 있으면, 사용자는 화상의 높은 현실감을 느낄 수 있다. 본 실시형태에서 예로서 설명한 구조는 하나의 표시부(8302)를 갖지만, 제공되는 표시부(8302)의 개수는 하나에 한정되지 않는다. 예를 들어, 2개의 표시부(8302)를 제공하여도 좋고, 이 경우 하나의 표시부가 사용자의 한쪽 눈에 대응하도록 제공되면, 시차(視差)를 사용한 입체적인 표시 등이 가능해진다.

[0491] 본 발명의 일 형태에 따른 표시 장치를 표시부(8302)에 사용할 수 있다. 본 발명의 일 형태에 따른 반도체 장치를 포함한 표시 장치는 해상도가 매우 높으므로, 도 25의 (E)에 도시된 바와 같이, 렌즈(8305)를 사용하여 화상을 확대하더라도, 사용자는 화소를 인식하지 않아, 더 현실적인 화상을 표시할 수 있다.

[0492] 다음으로, 도 26의 (A) 내지 (G)는 도 25의 (A) 내지 (E)에 도시된 것과 다른 전자 기기의 예를 도시한 것이다.

[0493] 도 26의 (A) 내지 (G)에 도시된 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 및 마이크로폰(9008) 등을 포함한다.

[0494] 도 26의 (A) 내지 (G)에 도시된 전자 기기는 다양한 기능을 갖는다. 예를 들어 전자 기기의 각각은, 다양한 데이터(정지 화상, 동영상, 및 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능에 의하여 다양한 컴퓨터 네트워크에 접속되는 기능, 무선 통신 기능에 의하여 다양한 데이터를 송수신하는 기능, 및 기억 매체에 저장된 프로그램 또는 데이터를 판독하고 이 프로그램 또는 데이터를 표시부에 표시하는 기능 등의 다양한 기능을 가질 수 있다. 또한, 도 26의 (A) 내지 (G)에 도시된 전자 기기에 제공할 수 있는 기능은 상술한 것에 한정되지 않고, 전자 기기는 다양한 기능을 가질 수 있다. 도 26의 (A) 내지 (G)에는 도시하지 않았지만, 전자 기기들은 복수의 표시부를 포함하여도 좋다. 전자 기기들은 카메라 등을 가져도 좋고, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 기억 매체(외부 기억 매체 또는 카메라에 포함되는 기억 매체)에 저장하는 기능, 또는 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0495] 이하에서는, 도 26의 (A) 내지 (G)에 도시된 전자 기기에 대하여 자세히 설명한다.

[0496] 도 26의 (A)는 텔레비전 장치(9100)를 도시한 사시도이다. 텔레비전 장치(9100)는 예를 들어, 50인치 이상 또는 100인치 이상의 화면 크기가 큰 표시부(9001)를 포함할 수 있다.

[0497] 도 26의 (B)는 휴대 정보 단말기(9101)의 사시도이다. 휴대 정보 단말기(9101)는 예를 들어, 전화기, 노트, 및 정보 열람 시스템 중 하나 이상으로서 기능한다. 구체적으로는, 휴대 정보 단말기는 스마트폰으로서 사용할 수 있다. 또한, 휴대 정보 단말기(9101)는 스피커(9003), 접속 단자(9006), 또는 센서(9007) 등을 포함하여도 좋다. 휴대 정보 단말기(9101)는 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 예를 들어, 3개의 조작 버튼(9050)(조작 아이콘 또는 간단하게 아이콘이라고도 함)을 표시부(9001)의 하나의 면에 표시할 수 있다. 또한, 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수 있다. 정보(9051)의 예에는 SNS(social networking service)로부터의 알림, 전자 메일의 수신 및 전화의 착신을 나타내는 표시, 전자 메일 및 SNS 등의 제목, 전자 메일 및 SNS 등의 송신자, 날짜, 시각, 배터리 잔량, 및 안테나의 수신 강도가 포함된다. 정보(9051) 대시에, 정보(9051)가 표시되는 위치에 조작 버튼(9050) 등을 표시하여도 좋다.

[0498] 도 26의 (C)는 휴대 정보 단말기(9102)의 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3개 이상의 면에 정보를 표시하는 기능을 갖는다. 여기서는, 정보(9052), 정보(9053), 및 정보(9054)가 다른 면에 표시되어 있다. 예를 들어, 휴대 정보 단말기(9102)의 사용자는, 자신 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 넣은 상태로 표시(여기서는 정보(9053))를 볼 수 있다. 구체적으로는, 착신한 전화의 발신자의 전화번호 또는 이름 등을, 휴대 정보 단말기(9102)의 상방에서 볼 수 있는 위치에 표시한다. 따라서, 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 보고, 전화를 받을지 여부를 결정할 수 있다.

[0499] 도 26의 (D)는 손목시계형 휴대 정보 단말기(9200)의 사시도이다. 휴대 정보 단말기(9200)는 휴대 전화 통화, 이메일, 문장의 열람 및 편집, 음악 재생, 인터넷 통신, 및 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다. 표시부(9001)의 표시면이 구부러져 있고, 구부러진 표시면에 화상을 표시할 수 있다. 휴대 정보 단말기(9200)는, 기존의 통신 표준에 따른 통신 방식인 근거리 무선 통신을 채용할 수 있다. 예를 들어, 휴대 정보 단말기(9200)와, 무선 통신이 가능한 헤드셋 간의 상호 통신을 수행할 수 있어 핸즈프리 통화가 가능하다. 휴대 정보 단말기(9200)는 접속 단자(9006)를 포함하고, 커넥터를 통하여 다른 정보 단말기에 데이터를 직접 송신하고 다른 정보 단말기로부터 데이터를 직접 수신할 수 있다. 접속 단자(9006)를 통한 충전이 가능하다. 또한, 접속 단자(9006)를 사용하지 않고 무선 급전에 의하여 충전 동작을 수행하여도 좋다.

[0500] 도 26의 (E), (F), 및 (G)는 폴더블 휴대 정보 단말기(9201)의 사시도이다. 도 26의 (E)는 펼친 휴대 정보 단말기(9201)를 도시한 사시도이다. 도 26의 (F)는 펼치고 있는 중 또는 접고 있는 중의 휴대 정보 단말기(9201)를 도시한 사시도이다. 도 26의 (G)는, 접은 휴대 정보 단말기(9201)를 도시한 사시도이다. 휴대 정보 단말기(9201)는, 접었을 때 휴대가 매우 쉽다. 휴대 정보 단말기(9201)를 펼치면, 이음매 없는 큰 표시 영역의 일람성이 높다. 휴대 정보 단말기(9201)의 표시부(9001)는, 힌지(9055)에 의하여 연결된 3개의 하우징(9000)에 의하여 지지된다. 힌지(9055)를 이용하여 2개의 하우징(9000) 사이의 연결부에서 휴대 정보 단말기(9201)를 접음으로써, 휴대 정보 단말기(9201)를, 펼친 상태에서 접은 상태로 가역적으로 변형할 수 있다. 예를 들어, 휴대 정보 단말기(9201)는 곡률 반경 1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0501] 본 실시형태에서 설명한 전자 기기들의 각각은 어떤 종류의 데이터를 표시하기 위한 표시부를 포함한다. 또한, 본 발명의 일 형태에 따른 반도체 장치는, 표시부를 갖지 않는 전자 기기에도 사용될 수 있다.

[0502] 본 실시형태에서 설명한 구조예 및 이들에 대응하는 도면 등 중 임의의 것의 적어도 일부는, 다른 구조예 및 이들에 대응하는 다른 도면 등 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0503] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0504] (실시형태 7)

[0505] 본 실시형태에서는, 본 발명의 일 형태에 따른 전자 기기에 대하여 도면을 참조하여 설명한다.

[0506] 이하에서 설명하는 전자 기기는, 표시부에 본 발명의 일 형태에 따른 표시 장치가 제공되어 있다. 그러므로, 상기 전자 기기는 고해상도를 실현한다. 또한, 상기 전자 기기는 고해상도와 대화면의 양쪽 모두를 실현할 수 있다.

[0507] 본 발명의 일 형태에 따른 전자 기기의 표시부는 예를 들어, 풀 HD, 4K2K, 8K4K, 16K8K, 또는 그 이상의 해상도를 갖는 화상을 표시할 수 있다. 표시부의 화면 크기로서는, 대각선 크기가 20인치 이상, 30인치 이상, 50인치

이상, 60인치 이상, 또는 70인치 이상으로 할 수 있다.

[0508] 전자 기기의 예에는 텔레비전 장치, 데스크톱 또는 노트북 퍼스널 컴퓨터, 컴퓨터의 모니터, 디지털 사이니지, 및 대형 게임기(예를 들어 파친코기) 등의 비교적 대화면의 전자 기기; 디지털 카메라; 디지털 비디오 카메라; 디지털 포토 프레임; 휴대 전화; 휴대용 게임기; 휴대 정보 단말기; 및 음향 재생 장치가 포함된다.

[0509] 본 발명의 일 형태에 따른 전자 기기 또는 조명 장치는 집 또는 빌딩의 내벽/외벽의 곡면, 또는 자동차의 내장/외장의 곡면을 따라 제공될 수 있다.

[0510] 본 발명의 일 형태에 따른 전자 기기는 안테나를 포함하여도 좋다. 안테나에 의하여 신호를 수신하면, 전자 기기는 화상 또는 데이터 등을 표시부에 표시할 수 있다. 전자 기기가 안테나 및 이차 전지를 포함하는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0511] 본 발명의 일 형태에 따른 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서)를 포함하여도 좋다.

[0512] 본 발명의 일 형태에 따른 전자 기기는 다양한 정보(예를 들어 정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 및 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능 등의 다양한 기능을 가질 수 있다.

[0513] 도 27의 (A)는 텔레비전 장치의 예를 도시한 것이다. 텔레비전 장치(7100)에서는, 하우징(7101)에 표시부(7500)가 포함된다. 여기서, 하우징(7101)은 스탠드(7103)에 의하여 지지되어 있다.

[0514] 표시부(7500)에 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있다.

[0515] 도 27의 (A)에 도시된 텔레비전 장치(7100)는 하우징(7101)에 제공된 조작 스위치 또는 별체의 리모트 컨트롤러(7111)로 조작될 수 있다. 표시부(7500)는 터치 센서를 포함하여도 좋다. 텔레비전 장치(7100)는 손가락 등으로 표시부(7500)를 터치함으로써 조작될 수 있다. 리모트 컨트롤러(7111)에는 상기 리모트 컨트롤러(7111)로부터 출력되는 데이터를 표시하는 표시부가 제공되어도 좋다. 리모트 컨트롤러(7111)의 조작 키 또는 터치 패널에 의하여, 채널 및 음량을 제어할 수 있고, 표시부(7500)에 표시되는 화상을 제어할 수 있다.

[0516] 또한, 텔레비전 장치(7100)에는 수신기 및 모뎀 등이 제공된다. 수신기를 사용함으로써, 일반 텔레비전 방송을 수신할 수 있다. 텔레비전 장치를 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이)의 데이터 통신을 수행할 수 있다.

[0517] 도 27의 (B)에는 노트북 퍼스널 컴퓨터(7200)를 도시하였다. 노트북 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 및 외부 접속 포트(7214) 등을 포함한다. 하우징(7211)에는 표시부(7500)가 포함된다.

[0518] 표시부(7500)에 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있다.

[0519] 도 27의 (C) 및 (D)는 디지털 사이니지의 예를 도시한 것이다.

[0520] 도 27의 (C)에 도시된 디지털 사이니지(7300)는 하우징(7301), 표시부(7500), 및 스피커(7303) 등을 포함한다. 또한, 디지털 사이니지는 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 및 마이크로폰 등을 포함할 수 있다.

[0521] 도 27의 (D)는 원주 형상의 기둥(7401)에 장착된 디지털 사이니지(7400)를 도시한 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7500)를 포함한다.

[0522] 본 발명의 일 형태에 따른 표시 장치를 도 27의 (C) 및 (D)에 도시된 표시부(7500)의 각각에 사용할 수 있다.

[0523] 표시부(7500)의 면적이 클수록 한번에 더 많은 정보를 제공할 수 있다. 또한, 표시부(7500)가 클수록 더 눈에 띄기 때문에, 예를 들어 광고의 효과를 높일 수 있다.

[0524] 이러한 구조를 갖는 장치는 정지 화상 또는 동영상을 표시할 뿐만 아니라 사용자가 직관적으로 조작할 수 있기 때문에, 표시부(7500)에 터치 패널을 사용하는 것이 바람직하다. 또는, 본 발명의 일 형태에 따른 표시 장치를, 노선 정보 또는 교통 정보 등의 정보를 제공하기 위하여 사용하는 경우, 직관적인 조작에 의하여 유용

성을 높일 수 있다.

[0525] 또한, 도 27의 (C) 및 (D)에 도시된 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는, 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신으로 연동하는 것이 바람직하다. 예를 들어, 표시부(7500)에 표시되는 광고의 정보를 휴대 정보 단말기(7311 또는 7411)의 화면에 표시할 수 있다. 또한, 정보 단말기(7311 또는 7411)를 조작함으로써, 표시부(7500)에 표시되는 화상을 전환할 수 있다.

[0526] 또한, 디지털 사이니지(7300 또는 7400)에 의하여, 휴대 정보 단말기(7311 또는 7411)의 화면을 조작 수단(컨트롤러)으로서 사용한 게임을 실행할 수 있다. 따라서, 불특정 다수인이 동시에 게임에 참가하고 즐길 수 있다.

[0527] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0528] (실시형태 8)

[0529] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치를 포함한 표시 장치를 사용할 수 있는 텔레비전 장치의 예에 대하여 도면을 참조하여 설명한다.

[0530] 도 28의 (A)는 텔레비전 장치(600)를 도시한 블록도이다.

[0531] 또한, 본 명세서에 첨부한 블록도에서는, 구성 요소를 그 기능에 따라 분류하고 독립적인 블록으로서 나타내었지만, 실제로는 그 기능에 따라 구성 요소를 완전히 구분하는 것은 어렵고, 하나의 구성 요소가 복수의 기능을 가질 수 있다.

[0532] 텔레비전 장치(600)는 제어부(601), 기억부(602), 통신 제어부(603), 화상 처리 회로(604), 디코더 회로(605), 영상 신호 수신부(606), 타이밍 컨트롤러(607), 소스 드라이버(608), 게이트 드라이버(609), 및 표시 패널(620) 등을 포함한다.

[0533] 상기 실시형태에서 설명한 표시 장치는 도 28의 (A)에 도시된 표시 패널(620)에 사용할 수 있다. 따라서, 크기가 크고, 선명도가 높고, 시인성이 높은 텔레비전 장치(600)를 제작할 수 있다.

[0534] 제어부(601)는 예를 들어 중앙 처리 장치(CPU)로서 기능할 수 있다. 예를 들어, 제어부(601)는 시스템 버스(630)를 통하여 기억부(602), 통신 제어부(603), 화상 처리 회로(604), 디코더 회로(605), 및 영상 신호 수신부(606) 등의 구성 요소를 제어하는 기능을 갖는다.

[0535] 제어부(601)와 구성 요소 사이에서는 시스템 버스(630)를 통하여 신호가 전송된다. 제어부(601)는 시스템 버스(630)를 통하여 접속된 구성 요소로부터 입력되는 신호를 처리하는 기능, 및 구성 요소에 출력되는 신호를 생성하는 기능 등을 갖기 때문에, 시스템 버스(630)에 접속된 구성 요소를 종합적으로 제어할 수 있다.

[0536] 기억부(602)는 제어부(601) 및 화상 처리 회로(604)에 의하여 액세스될 수 있는 저항 소자, 캐시 메모리, 메인 메모리, 또는 이차 메모리 등으로서 기능한다.

[0537] 이차 메모리로서 사용할 수 있는 기억 장치로서는, 예를 들어 재기록 가능한 비휘발성 기억 소자를 포함한 기억 장치를 사용할 수 있다. 이 기억 장치의 예에는 플래시 메모리, MRAM(magnetoresistive random access memory), PRAM(phase change RAM), ReRAM(resistive RAM), 및 FeRAM(ferroelectric RAM)이 포함된다.

[0538] 저항 소자, 캐시 메모리, 또는 메인 메모리 등의 일시 메모리로서 사용할 수 있는 기억 장치로서는, DRAM(dynamic RAM) 또는 SRAM(static random access memory) 등의 휘발성 기억 소자를 사용하여도 좋다.

[0539] 메인 메모리에 제공되는 RAM으로서는 예를 들어 DRAM이 사용되고, 이 경우 제어부(601)의 작업 공간으로서 메모리 공간이 가상적으로 할당되고 사용된다. 기억부(602)에 저장된 운영 체제, 애플리케이션 프로그램, 프로그램 모듈, 및 프로그램 데이터 등은 RAM에 로딩되고 실행된다. RAM에 로딩된 상기 데이터, 프로그램, 및 프로그램 모듈은 제어부(601)에 의하여 직접 액세스되고 조작된다.

[0540] ROM에는, 재기록이 필요하지 않은 BIOS(basic input/output system) 및 펌웨어 등을 저장할 수 있다. ROM으로서는, 마스크 ROM, OTPROM(one-time programmable read only memory), 또는 EPROM(erasable programmable read only memory)을 사용할 수 있다. EPROM으로서는, 저장된 데이터를 자외선을 조사함으로써 삭제할 수 있는 UV-EPROM(ultra-violet erasable programmable read only memory), EEPROM(electrically erasable programmable read only memory), 및 플래시 메모리 등을 들 수 있다.

[0541] 기억부(602) 이외에, 탈착 가능한 기억 장치가 텔레비전 장치(600)에 접속되어도 좋다. 예를 들어, HDD(hard disk drive) 또는 SSD(solid state drive) 등 기억 장치로서 기능하는 기록 매체 드라이브, 혹은 플래시 메모리, Blu-ray 디스크, 또는 DVD 등의 기록 매체와 접속되는 단자를 제공하는 것이 바람직하다. 이러한 구조로 함으로써, 화상을 저장할 수 있다.

[0542] 통신 제어부(603)는 컴퓨터 네트워크를 통하여 주고받는 통신을 제어하는 기능을 갖는다. 예를 들어 통신 제어부(603)는, 제어부(601)로부터의 명령에 응하여 컴퓨터 네트워크에 접속하기 위한 제어 신호를 제어하고, 상기 신호를 컴퓨터 네트워크에 전송한다. 이로써, WWW(World Wide Web)의 기반인 인터넷, 인트라넷(intranet), 엑스트라넷(extranet), PAN(personal area network), LAN(local area network), CAN(campus area network), MAN(metropolitan area network), WAN(wide area network), 또는 GAN(global area network) 등의 컴퓨터 네트워크에 접속함으로써 통신을 수행할 수 있다.

[0543] 통신 제어부(603)는, Wi-Fi(등록 상표), Bluetooth(등록 상표), 또는 ZigBee(등록 상표) 등의 통신 규격을 사용하여 컴퓨터 네트워크 또는 다른 전자 기기와 통신하는 기능을 가져도 좋다.

[0544] 통신 제어부(603)는 무선 통신의 기능을 가져도 좋다. 예를 들어 안테나 및 고주파 회로(RF 회로)를 제공하여 RF 신호를 송수신한다. 고주파 회로는 각 국법에 따른 주파수 대역의 전자기 신호를 전기 신호로 변환하고, 이 전자기 신호를 다른 통신 기기에 무선으로 전송한다. 수10kHz 내지 수10GHz는 일반적으로 사용되는 실용적인 주파수 대역이다. 안테나에 접속되는 고주파 회로는, 복수의 주파수 대역과 호환성이 있는 고주파 회로부를 포함하고, 고주파 회로부는 증폭기, 믹서, 필터, DSP, 또는 RF 트랜스시버 등을 포함할 수 있다.

[0545] 영상 신호 수신부(606)는 예를 들어 안테나, 복조 회로, 및 아날로그-디지털 변환 회로(AD 변환 회로) 등을 포함한다. 복조 회로는 안테나로부터 입력된 신호를 복조하는 기능을 갖는다. AD 변환 회로는 복조된 아날로그 신호를 디지털 신호로 변환하는 기능을 갖는다. 영상 신호 수신부(606)에서 처리된 신호는 디코더 회로(605)에 전송된다.

[0546] 디코더 회로(605)는, 영상 신호 수신부(606)로부터 입력되는 디지털 신호에 포함되는 영상 데이터를, 이 영상 데이터를 전송하기 위한 방송 규격의 사양에 따라 디코딩하는 기능과, 화상 처리 회로에 전송하는 신호를 생성하는 기능을 갖는다. 예를 들어, 8K 방송에서의 방송 규격으로서는, H.265|MPEG-H high efficiency video coding(HEVC)이 제시된다.

[0547] 영상 신호 수신부(606)에 포함되는 안테나는 지상파 및 위성파 등의 방송 전파를 수신할 수 있다. 안테나는 아날로그 방송 및 디지털 방송 등, 그리고 화상과 음성만의 방송 및 음성만의 방송 등을 위한 방송 전파를 수신할 수 있다. 예를 들어, 안테나는 UHF대(약 300MHz 내지 3GHz) 또는 VHF대(30MHz 내지 300MHz) 등, 특정의 주파수 대역에서 전송되는 방송 전파를 수신할 수 있다. 복수의 주파수 대역에서 수신한 복수의 데이터를 사용하면, 전송 레이트를 높일 수 있기 때문에, 더 많은 정보를 얻을 수 있다. 이로써, 4K2K, 8K4K, 16K8K, 또는 그 이상 등, 풀 HD보다 해상도가 높은 화상을 표시 패널(620)에 표시할 수 있다.

[0548] 또는, 영상 신호 수신부(606) 및 디코더 회로(605)는, 컴퓨터 네트워크를 통한 데이터 전송 기술에 의하여 전송된 방송용 데이터를 사용하여, 화상 처리 회로(604)에 대한 신호를 생성하여도 좋다. 디지털 신호를 수신한 경우에는, 영상 신호 수신부(606)는 복조 회로 및 AD 변환 회로 등을 포함하지 않아도 된다.

[0549] 화상 처리 회로(604)는 디코더 회로(605)로부터 입력되는 영상 신호에 기초하여, 타이밍 컨트롤러(607)에 출력하는 영상 신호를 생성하는 기능을 갖는다.

[0550] 타이밍 컨트롤러(607)는, 화상 처리 회로(604)가 처리를 수행한 영상 신호 등에 포함되는 동기 신호에 기초하여, 게이트 드라이버(609) 및 소스 드라이버(608)에 출력하는 신호(예를 들어, 클럭 신호 또는 스타트 펄스 신호)를 생성하는 기능을 갖는다. 또한, 타이밍 컨트롤러(607)는 상기 신호에 더하여, 소스 드라이버(608)에 출력하는 영상 신호를 생성하는 기능을 갖는다.

[0551] 표시 패널(620)은 복수의 화소(621)를 포함한다. 각 화소(621)는 게이트 드라이버(609) 및 소스 드라이버(608)로부터 공급되는 신호에 의하여 구동된다. 여기서는, 화소수가 7680×4320, 즉 8K4K의 규격에 대응한 해상도를 갖는 표시 패널의 예를 나타낸다. 또한, 표시 패널(620)의 해상도는 상기에 한정되지 않고, 풀 HD(화소수 1920×1080) 또는 4K2K(화소수 3840×2160) 등의 규격에 대응한 해상도를 가져도 좋다.

[0552] 도 28의 (A)에 도시된 제어부(601) 또는 화상 처리 회로(604)는 예를 들어 프로세서를 포함하여도 좋다. 예를 들어, 제어부(601)에는 중앙 처리 장치(CPU)로서 기능하는 프로세서를 사용할 수 있다. 화상 처리 회로(604)에

는 예를 들어 DSP(digital signal processor) 또는 GPU(graphics processing unit) 등의 다른 프로세서를 사용할 수 있다. 또한, 제어부(601) 또는 화상 처리 회로(604)에는 FPGA(field programmable gate array) 또는 FPAA(field programmable analog array) 등의 PLD(programmable logic device)에 의하여 얻어지는 이러한 프로세서를 사용하여도 좋다.

[0553] 프로세서는 다양한 프로그램으로부터의 명령을 해석하고 실행함으로써, 다양한 종류의 데이터를 처리하고 프로그램을 제어한다. 프로세서에 의하여 실행되는 프로그램은, 프로세서에 포함되는 메모리 영역 또는 추가로 제공되는 기억 장치에 저장되어도 좋다.

[0554] 제어부(601), 기억부(602), 통신 제어부(603), 화상 처리 회로(604), 디코더 회로(605), 영상 신호 수신부(606), 및 타이밍 컨트롤러(607)의 기능 중 2개 이상의 기능을 하나의 IC칩에 모아 시스템 LSI를 형성한다. 예를 들어, 이러한 시스템 LSI는 프로세서, 디코더 회로, 튜너 회로, AD 변환 회로, DRAM, 및 SRAM 등을 포함하여도 좋다.

[0555] 또한, 채널 형성 영역에 산화물 반도체를 포함하고 오프 상태 전류가 매우 낮은 트랜지스터를, 제어부(601) 또는 다른 구성 요소에 포함되는 IC 등에 사용할 수 있다. 기억 소자로서 기능하는 용량 소자에 흐르는 전하(데이터)를 유지하기 위한 스위치로서 오프 상태 전류가 매우 낮은 상기 트랜지스터를 사용함으로써, 긴 데이터 유지 기간을 확보할 수 있다. 이 특성을 제어부(601) 등의 저항 소자 또는 캐시 메모리에 이용함으로써, 필요할 때만 제어부(601)를 동작시키고, 그 외의 시간에는 전의 처리에 대한 데이터를 기억 소자에 저장하는 노멀리 오프 컴퓨팅이 실현되기 때문에, 텔레비전 장치(600)의 소비전력을 저감할 수 있다.

[0556] 또한, 도 28의 (A)에 도시된 텔레비전 장치(600)의 구조는 단지 예일 뿐이고, 여기서 도시한 구성 요소 모두가 포함되지 않아도 된다. 텔레비전 장치(600)는 도 28의 (A)에 도시된 구성 요소 중 필요한 구성 요소를 적어도 포함하면 좋다. 또한, 텔레비전 장치(600)는 도 28의 (A)에 도시된 구성 요소 이외의 구성 요소를 포함하여도 좋다.

[0557] 예를 들어, 텔레비전 장치(600)는 도 28의 (A)에서의 구성 요소 이외에, 외부 인터페이스, 음성 출력부, 터치 패널 유닛, 센서 유닛, 또는 카메라 유닛을 포함하여도 좋다. 외부 인터페이스의 예에는 USB(universal serial bus) 단자, LAN(local area network) 접속 단자, 전원 수신 단자, 음성 출력 단자, 음성 입력 단자, 영상 출력 단자, 및 영상 입력 단자 등의 외부 접속 단자, 적외선, 가시광, 또는 자외선 등을 사용한 광 통신용 송수신기, 및 하우징에 제공된 물리 버튼이 포함된다. 음성 입출력부의 예에는 음성 컨트롤러, 마이크로폰, 및 스피커가 포함된다.

[0558] 이하에서는, 화상 처리 회로(604)에 대하여 자세히 설명한다.

[0559] 화상 처리 회로(604)는 디코더 회로(605)로부터 입력되는 영상 신호에 기초하여 화상 처리를 수행하는 기능을 갖는 것이 바람직하다.

[0560] 화상 처리의 예에는 노이즈 제거, 계조 변환, 색조 보정, 및 휘도 보정이 포함된다. 색조 보정 또는 휘도 보정으로서는, 예를 들어 감마 보정을 제시할 수 있다.

[0561] 또한, 화상 처리 회로(604)는 해상도의 업 컨버전(up-conversion)에 따른 화소 보간(pixel interpolation)의 기능, 또는 프레임 주파수의 업 컨버전에 따른 프레임 보간의 기능 등을 갖는 것이 바람직하다.

[0562] 노이즈 제거 처리는, 문자 등의 윤곽 주변에 나타나는 모스키토 노이즈, 고속의 동영상에 나타나는 블록 노이즈, 플리커가 일어나는 랜덤 노이즈, 및 해상도의 업 컨버전에 의하여 발생하는 도트 노이즈 등의 다양한 노이즈를 제거하기 위한 처리이다.

[0563] 계조 변환 처리는, 화상의 계조를 표시 패널(620)의 출력 특성에 대응한 계조로 변환한다. 예를 들어 계조수를 크게 하는 경우, 입력된 화상에 대하여 적은 계조수로 화소의 계조값을 보간하고 화소에 할당함으로써, 평활한 히스토그램을 얻을 수 있다. 또한, 다이내믹 레인지를 크게 하는 HDR(high-dynamic range) 처리도 계조 변환 처리에 포함된다.

[0564] 화소 보간 처리는 해상도를 업 컨버트한 경우에 실제로는 존재하지 않는 데이터를 보간한다. 예를 들어, 목적의 화소 주변의 화소를 참조하여, 화소의 색 사이에서 중간색을 표시하도록 데이터를 보간한다.

[0565] 색조 보정 처리는 화상의 색조를 보정한다. 휘도 보정 처리는 화상의 밝기(휘도 콘트라스트)를 보정한다. 예를 들어, 이들 처리는, 텔레비전 장치(600)가 제공되는 공간에 배치된 조명의 종류, 휘도, 및 색 순도 등을 검

출하고, 이 검출에 따라 휘도 및 색조가 최적이 되도록 표시 패널(620)에 표시되는 화상의 휘도 및 색조를 보정한다. 이들 처리는, 표시되는 화상과, 미리 저장된 화상 리스트 내의 다양한 장면의 다양한 화상을 조회한 다음, 이 화상에 가장 가까운 장면의 화상에 적합하게 되도록, 표시되는 화상의 휘도 및 색조를 보정하는 기능을 가질 수 있다.

[0566] 프레임 보간은, 표시되는 영상의 프레임 주파수를 높이는 경우에, 원래 존재하지 않는 프레임(보간 프레임)의 화상을 생성한다. 예를 들어, 2개의 화상 사이에 삽입하는 보간 프레임의 화상을 2개의 화상의 차이로부터 생성한다. 또는, 2개의 화상 사이에 복수의 보간 프레임의 화상을 생성할 수 있다. 예를 들어, 디코더 회로(605)로부터 입력되는 영상 신호의 프레임 주파수가 60Hz일 때, 복수의 보간 프레임을 생성하면, 타이밍 컨트롤러(607)에 출력되는 영상 신호의 프레임 주파수를 2배(120Hz), 4배(240Hz), 또는 8배(480Hz) 등으로 높일 수 있다.

[0567] 화상 처리 회로(604)는 신경망을 이용하여 화상 처리를 수행하는 기능을 갖는 것이 바람직하다. 도 28의 (A)에는 화상 처리 회로(604)가 신경망(610)을 포함하는 예를 도시하였다.

[0568] 예를 들어, 신경망(610)에 의하여, 영상에 포함되는 화상 데이터로부터 특징을 추출할 수 있다. 또한, 화상 처리 회로(604)는, 추출된 특징에 따라 최적의 보정 방법을 선택하거나, 보정에 사용하는 파라미터를 선택할 수 있다.

[0569] 또는, 화상 처리를 수행하는 기능을 신경망(610) 자체가 가져도 좋다. 바꿔 말하면, 신경망(610)은, 화상 처리가 수행되지 않은 화상 데이터를 받고, 화상 처리가 수행된 화상 데이터를 출력하여도 좋다.

[0570] 신경망(610)에 사용하는 가중 계수의 데이터는, 데이터 테이블로서 기억부(602)에 저장된다. 상기 가중 계수를 포함한 데이터 테이블은, 예를 들어 통신 제어부(603)에 의하여 컴퓨터 네트워크를 통하여 업데이트할 수 있다. 또는, 화상 처리 회로(604)가 학습 기능을 갖고, 가중 계수를 포함한 데이터 테이블을 업데이트할 수 있게 하여도 좋다.

[0571] 도 28의 (B)는 화상 처리 회로(604)에 포함되는 신경망(610)을 도시한 개략도이다.

[0572] 본 명세서 등에서 신경망이란, 생물학적 신경망을 본뜨고 학습에 의하여 뉴런들의 결합 강도를 결정하는, 문제 해결 능력을 갖는 일반적인 모델을 가리킨다. 신경망은 입력층, 중간층(은닉층이라고도 함), 및 출력층을 포함한다. 2개 이상의 중간층을 갖는 신경망을 심층 신경망(DNN)이라고 한다.

[0573] 본 명세서 등에서 신경망에 관한 설명을 하는 데 있어서, 존재하는 데이터로부터 뉴런들의 결합 강도(가중 계수라고도 함)를 결정하는 것을 "학습"이라고 부르는 경우가 있다. 본 명세서 등에서, 학습에 의하여 얻은 결합 강도를 사용하여 신경망을 형성하여, 새로운 결론을 도출하는 것을 "추론"이라고 부르는 경우가 있다.

[0574] 신경망(610)은 입력층(611), 하나 이상의 중간층(612), 및 출력층(613)을 포함한다. 입력층(611)에는 입력 데이터가 입력된다. 출력층(613)으로부터는 출력 데이터가 출력된다.

[0575] 입력층(611), 중간층(612), 및 출력층(613)의 각각은 뉴런(615)을 포함한다. 뉴런(615)이란 적화 연산을 수행하는 회로 소자(적화 연산 소자)를 가리킨다. 도 28의 (B)에서는, 2개의 층의 2개의 뉴런들(615) 사이에서의 데이터의 입출력 방향을 화살표로 나타내었다.

[0576] 각 층에서의 연산 처리는, 앞의 층의 뉴런(615)의 출력과 가중 계수를 적화 연산함으로써 실행된다. 예를 들어, 입력층(611)의 i번째 뉴런으로부터의 출력을 x_i로 나타내고, 출력 x_i와 입력층(611)의 다음인 중간층(612)의 j번째 뉴런의 결합 강도(가중 계수)를 w_{ji}로 나타내면, 상기 중간층의 j번째 뉴런으로부터의 출력은 $y_j=f(\Sigma w_{ji} \cdot x_i)$로 나타내어진다. 또한, i 및 j는 각각 1 이상의 정수(整數)이다. 여기서, $f(x)$는 활성화 함수를 나타내고, 시그모이드 함수 또는 문턱값 함수(threshold function) 등을 사용할 수 있다. 이와 같이, 각 층의 뉴런(615)의 출력은, 앞의 층의 뉴런(615)으로부터의 출력과 가중 계수의 적화 연산 결과에 대하여, 활성화 함수로부터 얻은 값이 된다. 층들 간의 결합은 모든 뉴런이 결합되는 전결합이어도 좋고, 일부의 뉴런이 결합되는 부분 결합이어도 좋다. 도 28의 (B)에는 모든 뉴런이 결합되는 경우를 나타내었다.

[0577] 도 28의 (B)에는 3개의 중간층(612)을 포함하는 예를 도시하였다. 중간층(612)의 개수는 3개에 한정되지 않고, 적어도 하나의 중간층을 포함하는 구조이면 좋다. 하나의 중간층(612)에 포함되는 뉴런의 개수를 사양에 따라 적절히 변경하여도 좋다. 예를 들어, 하나의 중간층(612)에 포함되는 뉴런(615)의 개수는, 입력층(611) 또는 출력층(613)에 포함되는 뉴런(615)의 개수보다 많아도 좋고 적어도 좋다.

[0578] 뉴런들(615)의 결합 강도의 지표로서 기능하는 가중 계수는 학습에 의하여 결정된다. 학습은 텔레비전 장치(600)의 프로세서에 의하여 실행하여도 좋지만, 전용 서버 또는 클라우드 등, 연산 처리 특성이 높은 계산기에 의하여 학습을 실행하는 것이 바람직하다. 학습에 의하여 결정된 가중 계수는 데이터 테이블로서 기억부(602)에 저장되고, 화상 처리 회로(604)에 의하여 가중 계수가 판독됨으로써 사용된다. 상기 테이블은, 필요에 따라 컴퓨터 네트워크를 통하여 업데이트할 수 있다.

[0579] 이상이 신경망에 관한 설명이다.

[0580] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0581] (부기)

[0582] 본 명세서 등에서 트랜지스터는, 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 형성 영역을 포함하고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한, 본 명세서 등에서 채널 형성 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0583] 또한, 소스 및 드레인의 기능은, 예를 들어 다른 극성의 트랜지스터를 채용하거나 회로 동작에서 전류가 흐르는 방향이 변화되는 경우에 바뀔 수 있다. 따라서, 본 명세서 등에서는 "소스" 및 "드레인"이라는 용어를 서로 바꿀 수 있다.

[0584] 또한, 본 명세서 등에서, "전기적으로 접속"이라는 용어에는 어떠한 전기적 작용을 갖는 물체를 통하여 구성 요소들이 접속되는 경우가 포함된다. "어떠한 전기적 작용을 갖는 물체"에는, 그 물체를 통하여 접속된 구성 요소들 간에서 전기 신호가 송수신될 수 있기만 하면, 특별한 한정은 없다. "어떠한 전기적 작용을 갖는 물체"의 예로서는 전극 및 배선에 더하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 및 다양한 기능을 갖는 소자가 있다.

[0585] 본 명세서 등에서, "평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때문에, 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. "수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 그 각도가 85° 이상 95° 이하인 경우도 포함한다.

[0586] 본 명세서 등에서는, 경우 또는 상황에 따라 "막" 및 "층"이라는 용어를 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0587] 별도로 명시되지 않으면, 본 명세서 등에서 오프 상태 전류란, 오프 상태(비도통 상태 및 차단(cutoff) 상태라고도 함)에서의 트랜지스터의 드레인 전류를 말한다. 별도로 명시되지 않으면, n채널 트랜지스터의 오프 상태는 그 게이트와 소스 사이의 전압(V_{gs}: 게이트-소스 전압)이 문턱 전압 V_{th}보다 낮은 것을 의미하고, p채널 트랜지스터의 오프 상태는 게이트-소스 전압 V_{gs}가 문턱 전압 V_{th}보다 높은 것을 의미한다.

[0588] 트랜지스터의 오프 상태 전류는 V_{gs}에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 상태 전류가 I 이하"란, 트랜지스터의 오프 상태 전류가 I 이하가 되는 V_{gs}가 있다는 것을 의미하는 경우가 있다. 또한, "트랜지스터의 오프 상태 전류"란, "소정의 V_{gs}에서의 오프 상태 시의 오프 상태 전류", "소정의 범위 내의 V_{gs}에서의 오프 상태 시의 오프 상태 전류", 또는 "충분히 저감된 오프 상태 전류가 얻어지는 V_{gs}에서의 오프 상태 시의 오프 상태 전류" 등을 의미한다.

[0589] 일례로서, 문턱 전압 V_{th}가 0.5V이고, 드레인 전류가 전압 V_{gs} 0.5V에서 1×10^{-9}A, 전압 V_{gs} 0.1V에서 1×10^{-13}A, 전압 V_{gs} -0.5V에서 1×10^{-19}A, 그리고 전압 V_{gs} -0.8V에서 1×10^{-22}A인 n채널 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} -0.5V에서 또는 V_{gs} -0.8V 내지 -0.5V의 범위에서 1×10^{-19}A 이하이기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-19}A 이하라고 할 수 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22}A 이하가 되는 V_{gs}가 있기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-22}A 이하라고 하는 경우가 있다.

[0590] 본 명세서 등에서는, 채널 폭 W의 트랜지스터의 오프 상태 전류를 채널 폭 W에 관련된 전류값 또는 소정의 채널 폭(예를 들어, 1μm)당 전류값으로 나타내는 경우가 있다. 후자(後者)의 경우, 오프 상태 전류는 길이당 전류의 차원을 갖는 단위(예를 들어, A/μm)로 나타내어지는 경우가 있다.

[0591] 트랜지스터의 오프 상태 전류는 온도에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는 실온, 60℃, 85℃, 95℃, 또는 125℃에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서의 오프 상태 전류인 경우가 있다. "트랜지스터의 오프 상태 전류가 I 이하"라는 기재는, 실온, 60℃, 85℃, 95℃, 125℃, 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs}가 있는 상황을 말하는 경우가 있다.

[0592] 트랜지스터의 오프 상태 전류는 드레인과 소스 간의 전압 V_{ds}에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등의 요구되는 신뢰성이 보장되는 V_{ds}, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 V_{ds}에서의 오프 상태 전류일 수 있다. "트랜지스터의 오프 상태 전류가 전류 I 이하"라는 기재는, 전압 V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V, 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 전압 V_{ds}, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 전압 V_{ds}에서 트랜지스터의 오프 상태 전류가 전류 I 이하인 V_{gs}가 있는 것을 의미하는 경우가 있다.

[0593] 오프 상태 전류에 대한 상기 기재에서, 드레인이 소스와 교체되어도 좋다. 즉, 오프 상태 전류는 오프 상태의 트랜지스터의 소스를 통하여 흐르는 전류를 말하는 경우가 있다.

[0594] 본 명세서 등에서, "누설 전류"라는 용어는 "오프 상태 전류"와 같은 뜻을 표현하는 경우가 있다. 본 명세서 등에서, 오프 상태 전류는 예를 들어, 오프 상태에 있는 트랜지스터의 소스와 드레인 사이에 흐르는 전류를 말하는 경우가 있다.

[0595] 본 명세서 등에서, 트랜지스터의 문턱 전압은 트랜지스터에 채널이 형성될 때의 게이트 전압(V_g)을 말한다. 구체적으로는, 가로축이 게이트 전압(V_g)을 나타내고 세로축이 드레인 전류(I_d)의 제곱근을 나타내는 그래프에서, 트랜지스터의 문턱 전압은 드레인 전류(I_d)의 제곱근이 0(I_d=0A)일 때와, 플롯된 곡선(V_g-$\sqrt{I_d}$ 특성)에 대한 최대 기울기와의 접선인 외삽된 직선의 교점에서의 게이트 전압(V_g)을 말하는 경우가 있다. 또는, 트랜지스터의 문턱 전압이란, L을 채널 길이로 하고, W를 채널 폭으로 한 I_d[A]×L[μm]/W[μm]의 값이 1×10^{-9}[A]인 게이트 전압(V_g)을 말하는 경우가 있다.

[0596] 본 명세서 등에서 "반도체"는 예를 들어 도전성이 충분히 낮을 때는 "절연체"의 특성을 포함하는 경우가 있다. 또한, "반도체"와 "절연체"의 경계는 명백하지 않기 때문에, "반도체"와 "절연체"를 서로 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "절연체"라고 부를 수 있는 경우가 있고, 그 반대도 마찬가지이다.

[0597] 본 명세서 등에서 "반도체"는 예를 들어 도전성이 충분히 높을 때는 "도전체"의 특성을 포함하는 경우가 있다. 또한, "반도체"와 "도전체"의 경계는 명백하지 않기 때문에, "반도체"와 "도전체"를 서로 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "도전체"라고 부를 수 있는 경우가 있고, 그 반대도 마찬가지이다.

[0598] 본 명세서 등에서, "In:Ga:Zn=4:2:3 또는 In:Ga:Zn=4:2:3 근방"이란, In, Ga, 및 Zn의 원자의 총수에 대하여 In이 4일 때, Ga이 1 이상 3 이하이고, Zn이 2 이상 4 이하인 원자수비를 말한다. 또한, "In:Ga:Zn=5:1:6 또는 In:Ga:Zn=5:1:6 근방"이란, In, Ga, 및 Zn의 원자의 총수에 대하여 In이 5일 때, Ga이 0.1보다 크고 2 이하이고, Zn이 5 이상 7 이하인 원자수비를 말한다. 또한, "In:Ga:Zn=1:1:1 또는 In:Ga:Zn=1:1:1 근방"이란, In, Ga, 및 Zn의 원자의 총수에 대하여 In이 1일 때, Ga이 0.1보다 크고 2 이하이고, Zn이 0.1보다 크고 2 이하인

원자수비를 말한다.

[0599] 본 명세서 등에서 금속 산화물이란 넓은 의미에서 금속의 산화물을 의미한다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 및 산화물 반도체(단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 사용되는 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. "OS FET"란 금속 산화물 또는 산화물 반도체를 포함하는 트랜지스터를 말한다.

[0600] 본 명세서 등에서는, 질소를 포함하는 금속 산화물을 금속 산화물이라고 부르는 경우도 있다. 또한, 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0601] 본 명세서 등에서는, "CAAC(c-axis aligned crystal)" 또는 "CAC(cloud-aligned composite)"라고 말하는 경우가 있다. CAAC는 결정 구조의 예를 말하고, CAC는 기능 또는 재료 구성의 예를 말한다.

[0602] 본 명세서 등에서, CAC-OS 또는 CAC metal oxide는 재료의 일부에서는 도전성 기능을 갖고, 재료의 다른 일부에서는 절연성 기능을 갖고, 전체로서는 CAC-OS 또는 CAC metal oxide는 반도체의 기능을 갖는다. CAC-OS 또는 CAC metal oxide를 트랜지스터의 활성층에 사용하는 경우, 도전성 기능은 캐리어로서 기능하는 전자(또는 정공)를 흐르게 하는 것이고, 절연성 기능은 캐리어로서 기능하는 전자를 흐르지 않게 하는 것이다. 도전성 기능과 절연성 기능의 상보적인 작용에 의하여, CAC-OS 또는 CAC metal oxide는 스위칭 기능(온/오프 기능)을 가질 수 있다. CAC-OS 또는 CAC metal oxide에서는, 상기 기능을 분리함으로써 각 기능을 극대화할 수 있다.

[0603] 본 명세서 등에서, CAC-OS 또는 CAC metal oxide는 도전성 영역 및 절연성 영역을 포함한다. 도전성 영역은 상술한 도전성 기능을 갖고, 절연성 영역은 상술한 절연성 기능을 갖는다. 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 도전성 영역 및 절연성 영역은 재료 내에서 고르지 않게 분포되어 있는 경우가 있다. 도전성 영역은 그 경계가 흐릿해져 클라우드상(cloud-like)으로 연결되어 관찰되는 경우가 있다.

[0604] 또한, CAC-OS 또는 CAC metal oxide에서, 도전성 영역 및 절연성 영역 각각은 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기를 갖고, 재료 내에서 분산되어 있는 경우가 있다.

[0605] CAC-OS 또는 CAC metal oxide는 밴드 갭이 상이한 성분을 포함한다. 예를 들어, CAC-OS 또는 CAC metal oxide는 절연성 영역에 기인하는 와이드 갭(wide gap)을 갖는 성분 및 도전성 영역에 기인하는 내로 갭(narrow gap)을 갖는 성분을 포함한다. 이러한 구성의 경우, 내로 갭을 갖는 성분에 캐리어가 주로 흐른다. 내로 갭을 갖는 성분은 와이드 갭을 갖는 성분을 보완하고, 내로 갭을 갖는 성분과 연동하여 와이드 갭을 갖는 성분에도 캐리어가 흐른다. 그러므로, 상술한 CAC-OS 또는 CAC metal oxide를 트랜지스터의 채널 영역에 사용하는 경우, 트랜지스터의 온 상태에서의 높은 전류 구동 능력, 즉 높은 온 상태 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

[0606] 바꿔 말하면, CAC-OS 또는 CAC-metal oxide를 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수 있다.

[0607] 금속 산화물의 결정 구조의 예에 대하여 설명한다. 또한, In-Ga-Zn 산화물 타깃(원자수비 In:Ga:Zn=4:2:4.1)을 사용한 스퍼터링법에 의하여 퇴적된 금속 산화물을 예로 들어 이하에서 설명한다. 기판 온도 100℃ 이상 130℃ 이하에서 상술한 타깃을 사용한 스퍼터링법에 의하여 형성되는 금속 산화물을 sIGZO라고 하고, 기판 온도가 실온(R.T.)으로 설정된 상태에서 상술한 타깃을 사용한 스퍼터링법에 의하여 형성되는 금속 산화물을 tIGZO라고 한다. 예를 들어, sIGZO는 나노 결정(nc) 및 CAAC의 결정 구조 중 한쪽 또는 양쪽을 갖는다. 또한 tIGZO는 nc의 결정 구조를 갖는다. 또한, 여기서 실온(R.T.)은 기판을 의도적으로 가열하지 않는 경우의 온도를 말하기도 한다.

[0608] 또한, CAAC 구조는, 복수의 나노 결정(최대 직경이 각각 10nm 미만인 결정 영역)을 갖는 박막 등의 결정 구조이다. 나노 결정은 각각 특정의 방향으로 c축 배향을 갖는다. 나노 결정은 각각 a축 배향도 b축 배향도 갖지 않고, a축 방향 및 b축 방향에서 결정립계를 갖지 않는 연속적인 결정 결합을 갖는다. 특히, CAAC 구조를 갖는 박막에서는, 나노 결정의 c축이 막 두께 방향, 박막이 형성되는 표면의 법선 방향, 또는 박막의 표면의 법선 방향으로 배향되기 쉽다.

[0609] 여기서, 결정학에서는, a축, b축, 및 c축의 3개의 축(결정축)으로 형성된 단위 격자를 선택하는 일반적인 방법으로서, 특이한 축을 c축으로서 사용하는 단위 격자를 선택하는 것이 있다. 특히, 층상 구조를 갖는 결정의 경우에는, 층의 면 방향에 평행한 2개의 축을 a축 및 b축으로서 사용하고, 층과 교차되는 축을 c축으로서 사용하

는 단위 격자를 선택하는 것이 단위 격자를 선택하는 일반적인 방법이다. 이러한 층상 구조를 갖는 결정의 대표적인 예에는 육방정계에 분류되는 그래파이트가 포함된다. 그래파이트의 단위 격자에서는, a축 및 b축이 벽개(劈開)면에 평행하고, c축이 벽개면과 직교한다. 예를 들어, $YbFe_2O_4$형의 결정 구조를 갖는 $InGaZnO_4$ 결정은 육방정계에 분류될 수 있고, 그 단위 격자에서는 a축 및 b축이 층의 면 방향에 평행하고, c축이 층과 직교한다(즉, a축 및 b축과 직교함).

[0610] 본 명세서 등에서, 표시 장치의 일 형태로서의 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 갖기 때문에, 표시 패널은 출력 장치의 일 형태이다.

[0611] 본 명세서 등에서는, 표시 패널의 기판에 FPC(flexible printed circuit) 또는 TCP(tape carrier package) 등의 커넥터가 접착된 구조, 또는 COG(chip on glass) 방식 등에 의하여 기판에 IC가 실장된 구조를 표시 패널 모듈 또는 표시 모듈이라고 하거나 단순히 표시 패널 등이라고 하는 경우가 있다.

[0612] 본 명세서 등에서, 터치 센서는 손가락 또는 스타일러스 등의 물체의 접촉, 압력, 또는 접근 등을 검지하는 기능을 갖는다. 또한, 터치 센서는 위치 정보를 검지하는 기능을 가져도 좋다. 따라서, 터치 센서는 입력 장치의 일 형태이다. 예를 들어, 터치 센서는 하나 이상의 센서 소자를 포함할 수 있다.

[0613] 본 명세서 등에서는, 터치 센서가 제공된 기판을 터치 센서 패널이라고 하거나 단순히 터치 센서 등이라고 하는 경우가 있다. 또한, 본 명세서 등에서는, 터치 센서 패널의 기판에 FPC 또는 TCP 등의 커넥터가 접착된 구조, 또는 COG 방식 등에 의하여 기판에 IC가 실장된 구조를 터치 센서 패널 모듈, 터치 센서 모듈, 또는 센서 모듈이라고 하거나 단순히 터치 센서 등이라고 하는 경우가 있다.

[0614] 또한, 본 명세서 등에서, 표시 장치의 일 형태인 터치 패널은, 표시면에 화상 등을 표시(출력)하는 기능과, 표시면에 대한 손가락 또는 스타일러스 등의 물체의 접촉, 압력, 또는 접근 등을 검지할 수 있는 터치 센서로서의 기능을 갖는다. 따라서, 터치 패널은 입출력 장치의 일 형태이다.

[0615] 터치 패널은 예를 들어, 터치 센서를 갖는 표시 패널(또는 표시 장치) 또는 터치 센서 기능을 갖는 표시 패널(또는 표시 장치)이라고 할 수 있다.

[0616] 터치 패널에는 표시 패널 및 터치 센서 패널이 포함될 수 있다. 또는, 터치 패널은 표시 패널의 내부 또는 표시 패널의 표면에 터치 센서의 기능을 가질 수 있다.

[0617] 본 명세서 등에서는, 터치 패널의 기판에 FPC 또는 TCP 등의 커넥터가 접착된 구조, 또는 COG 방식 등에 의하여 기판에 IC가 실장된 구조를 터치 패널 모듈 또는 표시 모듈이라고 하거나 단순히 터치 패널 등이라고 하는 경우가 있다.

[0618] (실시예 1)

[0619] 본 실시예에서는, 제 1 층을 사용하여 각 금속 산화물막의 저항을 저감하고, 상기 금속 산화물막의 시트 저항을 평가한 결과에 대하여 설명한다.

[0620] 평가 1에서는, 상이한 재료를 사용하여 제 1 층이 형성된 복수의 시료를 제작하고, 각 금속 산화물막의 시트 저항을 측정하였다. 평가 2에서는, 시료를 제작하는 각 단계 후에 금속 산화물막의 시트 저항을 측정하고, 금속 산화물막의 시트 저항의 추이(推移)를 평가하였다. 평가 3에서는, 상이한 재료를 사용하여 금속 산화물막이 형성된 복수의 시료를 제작하고, 각 금속 산화물막의 시트 저항을 측정하였다.

[0621] [평가 1]

[0622] 평가 1에서는, 상이한 재료를 사용하여 제 1 층이 형성된 4개의 시료 및 하나의 비교 시료를 제작하고, 금속 산화물막의 시트 저항을 측정하였다.

[0623] 먼저, 유리 기판 위에 두께 약 40nm의 금속 산화물막을 형성하였다.

[0624] 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다. 퇴적 가스 전체에서의 산소의 비율을 산소 유량비라고 하는 경우가 있다. 금속 산화물막 형성 시의 산소 유량비는 10%이었다.

[0625] 그 후, 금속 산화물막 위에 한 쌍의 측정용 단자를 형성하였다.

[0626] 측정용 단자는 스퍼터링 장치를 사용하여, 두께 50nm의 타이타늄막, 두께 100nm의 알루미늄막, 및 두께 50nm의 타이타늄막을 이 순서대로 퇴적함으로써 형성하였다. 한 쌍의 측정용 단자는, 각 단자의 직경이 1mm이고, 단자들 간의 거리가 8mm가 되도록 금속 마스크를 사용하여 형성하였다.

[0627] 다음으로, 금속 산화물막 및 측정용 단자 위에 제 1 층을 형성하였다.

[0628] 시료 A1의 제 1 층으로서는, 두께 약 5nm의 텅스텐막을 형성하였다. 시료 A2의 제 1 층으로서는, 두께 약 5nm의 알루미늄막을 형성하였다. 시료 A3의 제 1 층으로서는, 두께 약 5nm의 타이타늄막을 형성하였다. 시료 A4의 제 1 층으로서는, 두께 약 5nm의 질화 타이타늄막을 형성하였다. 비교 시료 A의 제 1 층으로서는, 두께 약 100nm의 수소를 포함한 질화 실리콘막을 형성하였다. 시료 A1 내지 시료 A4의 제 1 층은 스퍼터링법에 의하여 각각 형성하고, 비교 시료 A의 제 1 층은 플라스마 CVD법에 의하여 형성하였다.

[0629] 그리고, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0630] 다음으로, 드라이 에칭법에 의하여 제 1 층을 제거하여 측정용 단자를 노출시켰다.

[0631] 그리고, 측정용 단자를 사용하여, 금속 산화물막의 시트 저항을 측정하였다. 본 실시예에서는, 한 쌍의 측정용 단자 사이의 저항을 측정하였다.

[0632] 도 29는 시료들의 금속 산화물막의 시트 저항을 나타낸 것이다.

[0633] 도 29에 나타낸 바와 같이, 시료 A1 내지 시료 A4의 각각에서는, 비교 시료 A에서와 같이 금속 산화물막의 저항이 저감되어 있다는 것을 알았다.

[0634] [평가 2]

[0635] 평가 2에서는, 시료를 제작하는 각 단계 후에 금속 산화물막의 시트 저항을 측정하고, 금속 산화물막의 시트 저항의 추이를 평가하였다. 구체적으로는, 금속 산화물막의 시트 저항의 측정을 상이한 타이밍에 실시하는 5종류의 시료를 제작하였다.

[0636] 먼저, 유리 기판 위에 두께 약 40nm의 금속 산화물막을 형성하였다.

[0637] 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다.

[0638] 그 후, 금속 산화물막 위에 측정용 단자를 형성하였다. 이때 시트 저항의 측정을 실시한 시료를 시료 B1이라고 하였다.

[0639] 측정용 단자는 스퍼터링 장치를 사용하여, 두께 50nm의 타이타늄막, 두께 100nm의 알루미늄막, 및 두께 50nm의 타이타늄막을 이 순서대로 퇴적함으로써 형성하였다. 측정용 단자는 금속 마스크를 사용하여 형성하였다.

[0640] 다음으로, 제 1 층으로서, 금속 산화물막 및 측정용 단자 위에 두께 약 5nm의 텅스텐막을 형성하였다. 이때 시트 저항의 측정을 실시한 시료를 시료 B2라고 하였다. 또한, 시료 B2에서는, 드라이 에칭법에 의하여 제 1 층을 제거하여 시트 저항을 측정하기 위한 측정용 단자를 노출시켰다.

[0641] 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0642] 다음으로, 드라이 에칭법에 의하여 제 1 층을 제거하여 측정용 단자를 노출시켰다. 이때 시트 저항의 측정을 실시한 시료를 시료 B3이라고 하였다.

[0643] 다음으로, 금속 산화물막 및 측정용 단자 위에 두께 약 20nm의 산화 알루미늄막을 형성하였다. 산화 알루미늄막은 산소를 포함한 분위기에서 스퍼터링법에 의하여 형성하였다. 이때 시트 저항의 측정을 실시한 시료를 시료 B4라고 하였다.

[0644] 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다. 이때 시트 저항의 측정을 실시한 시료를 시료 B5라고 하였다.

[0645] 상기 단계를 통하여 5개의 시료(시료 B1 내지 시료 B5)를 제작하였다.

[0646] 도 30은 각 시료의 금속 산화물막의 시트 저항을 나타낸 것이다.

[0647] 시료 B1의 측정 결과로부터, 형성 직후의 금속 산화물막의 시트 저항은 매우 높고 측정 상한을 넘는다는 것을

알았다. 시료 B2의 측정 결과로부터, 금속 산화물막 위에 제공된 제 1 층은 저항을 저감한다는 것을 알았다. 또한, 시료 B3의 측정 결과로부터, 금속 산화물막 위에 제 1 층을 제공한 상태로 가열 처리를 수행하면, 금속 산화물막의 시트 저항을 더 저감할 수 있다는 것을 알았다.

[0648] 시료 B4의 측정 결과로부터, 저저항 금속 산화물막 위의 제 1 층을 제거하고, 산소를 포함한 분위기에서 상기 금속 산화물막 위에 접하여 산화물 절연막을 형성하여도, 상기 금속 산화물막의 저항은 낮게 유지된다는 것을 알았다. 또한, 시료 B5의 측정 결과로부터, 금속 산화물막 위에 산화물 절연막을 제공한 상태로 가열 처리를 수행하여도, 금속 산화물막의 저항은 낮게 유지된다는 것을 알았다.

[0649] 산화 알루미늄막의 형성 단계 및 이 형성 단계 후의 가열 단계는, 금속 산화물막에 산소를 첨가하는 처리에 상당한다. 그러나, 도 30에 나타낸 결과로부터, 제 1 층을 사용한 저저항 금속 산화물막은, 산소가 공급될 수 있는 형성 단계 및 가열 단계 후에도 안정적이고 저항이 쉽게 높아지지 않는다.

[0650] [평가 3]

[0651] 평가 3에서는, 상이한 재료를 사용하여 금속 산화물막이 형성된 3개의 시료를 제작하고, 금속 산화물막의 시트 저항을 측정하였다.

[0652] 먼저, 유리 기판 위에 두께 약 40nm의 금속 산화물막을 형성하였다.

[0653] 시료 C1의 금속 산화물막은, 기판 온도를 실온(25℃)으로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=1:1:1[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다.

[0654] 시료 C2의 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다.

[0655] 시료 C3의 금속 산화물막은, 기판 온도를 실온(25℃)으로 하고, 유량 200sccm의 아르곤 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=5:1:7[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다.

[0656] 그 후, 금속 산화물막 위에 측정용 단자를 형성하였다.

[0657] 측정용 단자는 스퍼터링 장치를 사용하여, 두께 50nm의 타이타늄막, 두께 100nm의 알루미늄막, 및 두께 50nm의 타이타늄막을 이 순서대로 퇴적함으로써 형성하였다. 측정용 단자는 금속 마스크를 사용하여 형성하였다.

[0658] 다음으로, 제 1 층으로서, 금속 산화물막 및 측정용 단자 위에 두께 약 5nm의 텅스텐막을 형성하였다.

[0659] 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0660] 다음으로, 드라이 에칭법에 의하여 제 1 층을 제거하여 측정용 단자를 노출시켰다.

[0661] 그리고, 측정용 단자를 사용하여, 금속 산화물막의 시트 저항을 측정하였다.

[0662] 도 31은 각 시료의 금속 산화물막의 시트 저항을 나타낸 것이다.

[0663] 도 31에 나타낸 바와 같이, 시료 C1 내지 시료 C3의 각각에서는, 금속 산화물막의 저항이 저감되어 있다는 것을 알았다. 또한, 금속 산화물막에 포함되는 인듐의 비율이 높아질수록, 금속 산화물막의 저항이 낮아진다는 것을 알았다.

[0664] (실시예 2)

[0665] 본 실시예에서는, 채널 길이가 짧은 트랜지스터를 제작하고, 그 전기 특성을 평가하였다.

[0666] [시료의 제작]

[0667] 제작한 트랜지스터의 구조에는, 실시형태 1에서 설명하고 도 8의 (A) 및 (B)에 도시된 트랜지스터(100G)를 참조할 수 있다.

[0668] 여기서는, 위쪽 부분에 위치하는, 다른 제 2 게이트 절연층을 포함한 트랜지스터를 제작하였다.

[0669] <시료의 제작 1>

[0670] 여기서는, 두께가 가장 얇은 제 2 게이트 절연층을 포함한 트랜지스터를 제작하였다.

[0671] 먼저, 유리 기판 위에 두께 약 100nm의 텅스텐막을 스퍼터링법에 의하여 형성하고, 이 텅스텐막을 가공하여 제 1 게이트 전극을 형성하였다. 그리고, 제 1 게이트 절연층으로서, 두께 약 300nm의 질화 실리콘막과 두께 약 5nm의 산화질화 실리콘막을 플라스마 CVD법에 의하여 적층하였다. 이때, 질화 실리콘막을 퇴적한 후에, 산소 가스를 포함한 분위기에 있어서 진공에서 플라스마 처리를 연속하여 수행하였다. 플라스마 처리의 조건은 온도 350℃, 압력 40Pa, 전원 전력 3000W, 산소 유량비 100%, 그리고 처리 시간 300초로 하였다.

[0672] 다음으로, 제 1 게이트 절연층 위에 두께 약 40nm의 금속 산화물막을 형성하고, 이 금속 산화물막을 가공하여 반도체층을 형성하였다. 금속 산화물막은 In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용한 스퍼터링법에 의하여 형성하였다. 그리고, 질소 분위기에서 가열 처리를 수행하였다.

[0673] 그리고, 제 2 게이트 절연층이 되는 산화질화 실리콘막을 플라스마 CVD법에 의하여 형성하였다. 여기서, 산화질화 실리콘막의 두께는 20nm로 하였다.

[0674] 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다. 그리고, 산소 공급 처리로서, 산소를 포함한 분위기에서 플라스마 처리를 수행하였다. 플라스마 처리의 조건은 온도 350℃, 압력 40Pa, 전원 전력 3000W, 산소 유량비 100%, 그리고 처리 시간 300초로 하였다.

[0675] 다음으로, 산화질화 실리콘막 위에 두께 약 5nm의 금속 산화물막을 스퍼터링법에 의하여 형성하였다. 금속 산화물막으로서는, 알루미늄 타깃을 사용한 반응성 스퍼터링법에 의하여 두께 약 5nm의 산화 알루미늄막을 형성하였다. 금속 산화물막은, 기판 온도를 170℃로 유지하고, 퇴적 가스로서 아르곤 가스와 산소 가스의 혼합 가스를 사용하고, 압력을 0.6Pa로 하고, 전력을 7.5kW로 한 조건하에서 형성하였다. 또한, 퇴적 시의 산소 유량비는 70%로 하였다.

[0676] 다음으로, 금속 산화물막 위에 두께 약 50nm의 타이타늄막, 두께 약 200nm의 알루미늄막, 및 두께 약 50nm의 타이타늄막을 스퍼터링법에 의하여 적층하고, 이들 막을 가공하여 제 2 게이트 전극, 금속 산화물층, 및 제 2 게이트 절연층을 형성하였다.

[0677] 그리고, 트랜지스터를 덮는 제 1 층으로서, 두께 약 3nm의 질화 알루미늄막을 스퍼터링법에 의하여 형성하였다. 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행한 다음, 웨트 에칭법에 의하여 상기 질화 알루미늄막을 제거하였다.

[0678] 다음으로, 트랜지스터를 덮는 보호 절연층으로서, 두께 약 20nm의 산화 알루미늄막을 스퍼터링법에 의하여 형성한 다음, 두께 약 300nm의 산화질화 실리콘막을 플라스마 CVD법에 의하여 형성하였다. 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다. 그리고, 트랜지스터를 덮는 절연층의 일부에 개구를 형성하고, 스퍼터링법에 의하여 몰리브데넘막을 형성하고, 이 막을 가공하여 소스 전극 및 드레인 전극을 형성하였다. 그 후, 평탄화층으로서 두께 약 1.5㎛의 아크릴막을 형성하고, 가열 처리를 질소 분위기에 있어서 250℃에서 1시간 동안 수행하였다.

[0679] 상기 공정을 통하여, 유리 기판 위에 형성된 트랜지스터를 제작하였다.

[0680] <시료의 제작 2>

[0681] 여기서는, 상기 트랜지스터에서보다 두께가 두꺼운 제 2 게이트 절연층을 포함한 트랜지스터를 제작하였다.

[0682] 먼저, 상기와 비슷한 식으로 제 1 게이트 전극, 제 1 게이트 절연층, 및 반도체층을 형성하고, 질소 분위기에서 가열 처리를 수행하였다.

[0683] 그리고, 제 2 게이트 절연층이 되는 산화질화 실리콘막을 플라스마 CVD법에 의하여 형성하였다. 여기서, 산화질화 실리콘막의 두께를 150nm, 100nm, 80nm, 및 50nm로 한 4개의 시료를 제작하였다.

[0684] 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다. 그리고, 산소 공급 처리로서, 산소를 포함한 분위기에서 플라스마 처리를 수행하였다. 플라스마 처리의 조건은 온도 350℃, 압력 40Pa, 전원 전력 3000W, 산소 유량비 100%, 그리고 처리 시간 300초로 하였다.

[0685] 다음으로, 제 2 게이트 절연층 위에 두께 약 5nm의 금속 산화물막을 스퍼터링법에 의하여 형성하였다. 금속 산화물막으로서는, 알루미늄 타깃을 사용한 반응성 스퍼터링법에 의하여 두께 약 5nm의 산화 알루미늄막을 형성하였다. 금속 산화물막은, 기판 온도를 170℃로 유지하고, 퇴적 가스로서 아르곤 가스와 산소 가스의 혼합 가스

를 사용하고, 압력을 0.6Pa로 하고, 전력을 7.5kW로 한 조건하에서 형성하였다. 또한, 퇴적 시의 산소 유량비는 70%로 하였다.

[0686] 다음으로, 금속 산화물막 위에 두께 약 50nm의 타이타늄막, 두께 약 200nm의 알루미늄막, 및 두께 약 50nm의 타이타늄막을 스퍼터링법에 의하여 형성하고, 이들 막을 가공하여 제 2 게이트 전극, 금속 산화물층, 및 제 2 게이트 절연층을 형성하였다.

[0687] 다음으로, 트랜지스터를 덮는 보호 절연층으로서, 두께 약 20nm의 산화 알루미늄막을 스퍼터링법에 의하여 형성한 다음, 두께 약 300nm의 산화질화 실리콘막을 플라스마 CVD법에 의하여 형성하였다. 그 후, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다. 그리고, 트랜지스터를 덮는 절연층의 일부에 개구를 형성하고, 스퍼터링법에 의하여 몰리브데넘막을 형성하고, 이 막을 가공하여 소스 전극 및 드레인 전극을 형성하였다. 그 후, 평탄화층으로서 두께 약 1.5μm의 아크릴막을 형성하고, 가열 처리를 질소 분위기에 있어서 250℃에서 1시간 동안 수행하였다.

[0688] 상기 공정을 통하여, 유리 기판 위에 형성된 트랜지스터를 제작하였다.

[0689] [트랜지스터의 I_d-V_g 특성]

[0690] 도 32는, 시료의 제작 1에서 설명한 방법에 의하여 제작된, 제 2 게이트 절연층의 두께가 약 20nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 상기 트랜지스터의 I_d-V_g 특성의 측정 결과를 나타낸 것이다.

[0691] 각 트랜지스터의 I_d-V_g 특성을 측정하기 위한 조건으로서는, 제 1 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 게이트 전압(V_g)이라고도 함) 및 제 2 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 백 게이트 전압(V_{bg})이라고도 함)을 -5V에서 +5V까지 0.1V의 증분으로 변화시켰다. 소스 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 소스 전압(V_s)이라고도 함)은 0V(common)이었고, 드레인 전극으로서 기능하는 도전막에 인가되는 전압(이 전압을 드레인 전압(V_d)이라고도 함)은 0.1V 및 5.1V이었다.

[0692] 도 32에 나타낸 바와 같이, 채널 길이가 약 0.7μm로 매우 얇고, 제 2 게이트 절연층의 두께가 20nm로 매우 얇아도, 양호한 트랜지스터 특성을 얻을 수 있다는 것을 알았다.

[0693] [트랜지스터의 온 상태 전류 특성]

[0694] 다음으로, 제작한 상기 시료인 트랜지스터의 온 상태 전류를 측정하였다. 트랜지스터의 온 상태 전류는, 제 1 게이트 전극 및 제 2 게이트 전극에 인가하는 전압(게이트 전압(V_g))을 5V로 하고, 소스 전극에 인가하는 전압(소스 전압(V_s))을 0V로 하고, 드레인 전극에 인가하는 전압(드레인 전압(V_d))을 5V로 한 조건하에서 측정하였다.

[0695] 이하에서 설명하는 6종류의 트랜지스터를 측정하였다. 제 1 트랜지스터는, 제 2 게이트 절연층의 두께가 약 150nm이고, 채널 길이 L이 약 3μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다. 제 2 트랜지스터는, 제 2 게이트 절연층의 두께가 약 150nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다. 제 3 트랜지스터는, 제 2 게이트 절연층의 두께가 약 100nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다. 제 4 트랜지스터는, 제 2 게이트 절연층의 두께가 약 80nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다. 제 5 트랜지스터는, 제 2 게이트 절연층의 두께가 약 50nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다. 제 6 트랜지스터는, 제 2 게이트 절연층의 두께가 약 20nm이고, 채널 길이 L이 약 0.7μm이고, 채널 폭 W가 약 20μm인 트랜지스터이다.

[0696] 또한, 제 1 내지 제 5 트랜지스터는 시료의 제작 2에서 설명한 방법에 의하여 제작되고, 제 6 트랜지스터는 시료의 제작 1에서 설명한 방법에 의하여 제작되었다.

[0697] 도 33에는 트랜지스터의 온 상태 전류의 측정 결과를 나타내었다. 채널 길이 L이 약 0.7μm인 트랜지스터의 각각에서는, 온 상태 전류가 1×10^{-4}A보다 높다. 또한, 제 2 게이트 절연층이 얇을수록 온 상태 전류가 높아지는 경향이 있고, 제 2 게이트 절연층이 약 20nm인 트랜지스터에서는, 온 상태 전류가 약 8.49×10^{-4}A로 매우 높다.

[0698] 여기서, 폴리실리콘을 사용한 일반적인 트랜지스터에서는, 소스 영역 및 드레인 영역의 저항을 저감하기 위하여

소스 영역 및 드레인 영역에 불순물을 도핑한다. 이때, 도핑된 불순물은 채널 형성 영역으로 부분적으로 확산된다. 그러므로, 채널 길이 L을 매우 짧게(예를 들어, 3㎛ 이하) 하면, 트랜지스터 특성을 얻기가 어려운 경우가 있다. 그러나, 본 발명의 일 형태에 따른 트랜지스터는 채널 길이 L이 0.7㎛ 이하이어도 양호한 트랜지스터 특성을 가질 수 있다.

[0699] 또한, 일반적인 폴리실리콘막의 표면 거칠기는 결정화로 인하여 매우 크기 때문에, 그 거칠기의 정도보다 게이트 절연층의 두께가 얇으면, 충분한 게이트 내압을 얻을 수 없다는 문제가 있다. 그러므로, 일반적인 폴리실리콘막을 사용한 트랜지스터에서는, 게이트 절연층의 두께를 얇게 하는 것이 어렵고, 그 두께는 약 100nm보다 클 필요가 있다. 반대로, 본 발명의 일 형태에 따른 트랜지스터에 사용되는 금속 산화물막의 표면은 매우 평탄하기 때문에, 게이트 절연층의 두께를 충분히 얇게(예를 들어 20nm 이하) 할 수 있다.

[0700] 또한, 상기와 같은 조건에서 측정된, 일반적인 폴리실리콘을 사용한 n채널 트랜지스터(채널 길이 L이 약 6.4㎛이고, 채널 폭 W가 약 19㎛)의 온 상태 전류는, 약 5.3×10^{-5}A이다. 한편, 본 발명의 일 형태에 따른 트랜지스터에서는, 채널 길이 L을 1㎛ 미만(서브미크론)으로 하고, 제 2 게이트 절연층을 충분히 얇게 한 경우에, 폴리실리콘을 사용한 트랜지스터보다 1자릿수 이상 온 상태 전류를 높게 할 수 있다.

[0701] 또한, 제 2 게이트 절연층의 두께가 약 50nm인 트랜지스터와, 제 2 게이트 절연층의 두께가 약 20nm인 트랜지스터를 비교하면, 후자의 트랜지스터의 온 상태 전류는, 제 2 게이트 절연층의 두께의 차이에서 추정되는 값(제 2 게이트 절연층의 두께가 약 50nm인 트랜지스터의 2.5배의 값)보다 높아질 수 있다. 이는, 제 1 층을 채용함으로써 소스와 드레인 사이의 저항이 더 저감되었기 때문이라고 생각된다.

[0702] (실시예 3)

[0703] 본 실시예에서는, 채널 길이가 짧은 트랜지스터를 사용하여 소스 드라이버 회로를 얻을 수 있을지 여부를 검증하였다.

[0704] 표시 패널의 소스 드라이버 회로는 매우 높은 구동 주파수가 요구된다. 예를 들어, 표시부의 크기가 약 5인치인 HD OLED 패널을 사용하는 경우, 싱글 엔디드 방식(single-ended method)(48지점 동시 샘플링) 및 아날로그 선 순차 방식(54지점 동시 샘플링)에서는 각각 약 30MHz의 구동 주파수 및 약 3MHz의 구동 주파수가 요구된다.

[0705] 도 34의 (A)에는 아날로그 선 순차 방식(54지점 동시 샘플링)의 소스 드라이버 회로의 구성예를 나타내었다. 소스 드라이버 회로는 시프트 레지스터, 2개의 래치 회로(래치 1 및 래치 2), 및 소스 폴로어 회로를 포함한다. 도 34의 (A)의 소스 드라이버 회로는 2160개의 소스 신호선(SL)을 구동할 수 있다.

[0706] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 사용하여 링 발진 회로를 형성하고, 그 발진 주파수를 측정하였다.

[0707] 도 34의 (B)는 형성된 링 발진 회로의 회로도를 나타낸 것이다. 링 발진 회로는, 17개의 반전 회로가 직렬로 접속된 구성을 갖는다.

[0708] 또한, 도 34의 (C)는 하나의 반전 회로의 회로도를 나타낸 것이다. 반전 회로는 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 용량 소자(C)를 포함한다. 여기서, 트랜지스터(M1)로서는, 채널 폭 W가 각각 20㎛인, 병렬로 접속된 2개의 트랜지스터를 사용하였다. 트랜지스터(M2)로서는, 채널 폭 W가 각각 50㎛인, 병렬로 접속된 2개의 트랜지스터를 사용하였다. 트랜지스터(M3)로서는, 채널 폭 W가 각각 50㎛인, 병렬로 접속된 20개의 트랜지스터를 사용하였다. 용량 소자(C)의 용량은 약 3.71pF로 하였다.

[0709] 여기서, 트랜지스터의 조건이 서로 다른 다음 4개의 링 발진 회로를 제작하고, 그 발진 주파수를 측정하였다. 제 1 링 발진 회로에서는, 트랜지스터의 채널 길이가 각각 약 3㎛이고, 제 2 게이트 절연층의 두께가 각각 약 150nm이다. 제 2 링 발진 회로에서는, 트랜지스터의 채널 길이가 각각 약 0.8㎛이고, 제 2 게이트 절연층의 두께가 각각 약 150nm이다. 제 3 링 발진 회로에서는, 트랜지스터의 채널 길이가 각각 약 0.8㎛이고, 제 2 게이트 절연층의 두께가 각각 약 80nm이다. 제 4 링 발진 회로에서는, 트랜지스터의 채널 길이가 각각 약 0.8㎛이고, 제 2 게이트 절연층의 두께가 각각 약 20nm이다.

[0710] 여기서, 제 2 게이트 절연층의 두께가 약 20nm인 트랜지스터는, 실시예 2의 시료의 제작 1에서 제 2 게이트 전극을 텅스텐막과 교체한 트랜지스터이다. 또한, 그 이외의 트랜지스터는 실시예 2의 시료의 제작 2와 같은 방법에 의하여 제작하였다.

[0711] 도 35의 (A)는, VDD를 5.1V로 한 조건하에서 4개의 링 발진 회로의 각각을 구동시킨 경우의 발진 주파수 및 1단

당 지연 시간의 측정 결과를 나타낸 것이다. 채널 길이 L을 약 0.8㎛로 하고 제 2 게이트 절연층의 두께를 약 20nm로 한 조건하에서는, 3MHz보다 높은 발진 주파수가 얻어졌다.

[0712] 또한, 도 35의 (B)는, VDD를 10V로 한 조건하에서 제 2 게이트 절연층의 두께가 80nm 이상인 3개의 링 발진 회로를 구동시킨 경우의 발진 주파수 및 1단당 지연 시간의 측정 결과를 나타낸 것이다. 이때, 채널 길이 L을 약 0.8㎛로 한 2개의 조건하에서, 3MHz보다 높은 발진 주파수가 얻어졌다.

[0713] 이들 결과를 보면, 본 발명의 일 형태에 따른 트랜지스터를 사용함으로써, 아날로그 선 순차 방식의 소스 드라이버 회로를 표시 패널 상에 형성할 수 있다는 것이 시사된다.

[0714] (실시예 4)

[0715] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 제작하고, 그 전기 특성 및 신뢰성을 평가하였다.

[0716] [시료의 제작]

[0717] 제작한 트랜지스터의 구조에는, 실시형태 1에서 설명하고 도 8의 (A) 및 (B)에 도시된 트랜지스터(100G)를 참조할 수 있다. 여기서는, 산소가 확산되기 어려운 In-Ga-Zn 산화물을 금속 산화물층(114)에 사용하고, 제 1 층이 서로 다른 2종류의 트랜지스터를 제작하였다.

[0718] 먼저, 유리 기판 위에 제 1 게이트 전극, 제 1 게이트 절연층, 및 반도체층을 이 순서대로 형성하였다. 제 1 게이트 전극에는, 스퍼터링법에 의하여 형성된 두께 약 100nm의 텅스텐막을 사용하였다. 제 1 게이트 절연층으로서는, PECVD법에 의하여 각각 형성된, 두께 약 300nm의 질화 실리콘막 및 두께 약 5nm의 산화질화 실리콘막을 포함한 적층막을 사용하였다. 반도체층에는, In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용한 스퍼터링법에 의하여 형성된 금속 산화물막을 사용하였다.

[0719] 다음으로, 제 2 게이트 절연층, 금속 산화물층, 및 제 2 게이트 전극을 형성하였다. 제 2 게이트 절연층에는, PECVD법에 의하여 형성된 두께 약 150nm의 산화질화 실리콘막을 사용하였다. 제 2 게이트 전극에는, 스퍼터링법에 의하여 형성된 두께 약 100nm의 몰리브데넘막을 사용하였다.

[0720] 여기서, 제 2 게이트 절연층과 제 2 게이트 전극 사이의 금속 산화물층에는, In-Ga-Zn 산화물 타깃(In:Ga:Zn=1:3:4[원자수비])을 사용한 스퍼터링법에 의하여 형성된 금속 산화물막을 사용하였다. 이와 같이, 인듐의 비율이 갈륨보다 낮은 재료를 사용하면, 산소 결손이 생성되기 어려운 막을 형성할 수 있고, 이 결과 산소가 확산되기 어려운 막 또는 산소를 흡수하기 어려운 막을 얻을 수 있다. 또한, 아연의 비율이 인듐보다 높은 재료를 사용하면, 결정화가 쉽게 일어나기 때문에, 산소가 더 확산되기 어려운 막을 얻을 수 있다.

[0721] 예를 들어, 막 형성 후에 질소 분위기하에서 소성을 수행하면, 조성이 In:Ga:Zn=4:2:4.1[원자수비]인 산화물 타깃을 사용한 경우에는, 산소 결손의 증가로 인한 캐리어 밀도의 증가에 의하여 시트 저항값이 저감되고, 조성이 In:Ga:Zn=1:3:4[원자수비]인 산화물 타깃을 사용한 경우에는, 시트 저항이 측정기의 측정 상한($5\times10^{6}\Omega$/square 이상)을 유지하고 금속 산화물층이 실질적으로 절연체이다.

[0722] 다음으로, 다음의 2개의 시료(시료 D1 및 시료 D2)로서 상이한 제 1 층을 형성하였다.

[0723] 시료 1에서는, 제 1 층에 두께 약 20nm의 질화 알루미늄막을 사용하였다. 질화 알루미늄막은 Al 타깃을 사용하여, 퇴적 가스로서 Ar 가스와 N_2 가스의 혼합 가스를 사용한 반응성 스퍼터링법에 의하여 형성하였다. 또한, 제 1 층은 에칭에 의하여 제거하지 않고 남긴다.

[0724] 시료 2에서는, 수소를 포함한 두께 약 100nm의 질화 실리콘막을 제 1 층에 사용하였다. 질화 실리콘막은 퇴적 가스로서 실레인 가스, N_2 가스, 및 암모니아 가스의 혼합 가스를 사용한 PECVD법에 의하여 형성하였다.

[0725] 제 1 층을 형성한 후, 보호 절연층으로서 두께 약 300nm의 산화질화 실리콘막을 PECVD법에 의하여 형성하고, 질소 분위기에 있어서 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0726] 그리고, 반도체층에 도달하는 개구를 보호 절연층에 형성한 다음, 소스 전극 및 드레인 전극을 형성하였다. 소스 전극 및 드레인 전극에는, 스퍼터링법에 의하여 형성된 두께 약 100nm의 몰리브데넘막을 사용하였다.

[0727] 상기 공정을 통하여, 유리 위에 형성된 트랜지스터(시료 D1 및 시료 D2)를 얻었다.

[0728] [트랜지스터의 I_d-V_g 특성]

[0729] 도 36은 시료 D1 및 시료 D2인 트랜지스터의 I_d-V_g 특성의 측정 결과를 나타낸 것이다. 도 36에는, 채널 길이를 약 2μm, 약 3μm, 및 약 6μm로 한 3개의 트랜지스터의 결과를 나타내었다. 또한, 각 트랜지스터의 채널 폭은 약 50μm로 하였다.

[0730] 도 36에 나타낸 바와 같이, 제 1 층에 질화 알루미늄막(AlN_x라고 표기)을 사용한 시료 D1에서는, 채널 길이가 약 2μm로 짧은 경우에도 변동이 적은 양호한 전기 특성을 얻을 수 있다.

[0731] 한편, 수소를 포함한 질화 실리콘막(SiN:H라고 표기)을 제 1 층에 사용한 시료 D2에 있어서, 채널 길이가 약 3μm 이상인 트랜지스터에서는 양호한 특성을 얻을 수 있지만, 채널 길이가 약 2μm인 트랜지스터에서는 특성의 변동이 크다.

[0732] [게이트 바이어스-온도 스트레스 시험]

[0733] 시료 D1 및 시료 D2에 대하여 게이트-바이어스 온도 스트레스 시험(GBT 시험)을 실시하였다. GBT 시험에서는, 트랜지스터가 형성된 기판을 60℃로 유지하고, 트랜지스터의 소스 및 드레인에 0V의 전압을 인가하고, 게이트에 20V 또는 -20V의 전압을 인가하고, 이 상태를 1시간 동안 유지하였다. 게이트에 양의 전압을 인가하고 시험 환경이 어두운 시험을 PBTS라고 하고, 게이트에 음의 전압을 인가하고 시험 환경이 어두운 시험을 NBTS라고 한다. 시료에 광을 조사한 상태에서의 PBTS를 PBITS라고 하고, 시료에 광을 조사한 상태에서의 NBTS를 NBITS라고 한다. 광 조사에는, 약 10000lx의 백색 LED광을 사용하였다.

[0734] 도 37에는, 각각 채널 길이가 3μm이고 채널 폭이 50μm인 트랜지스터의 GBT 시험 결과를 나타내었다. 세로축은 문턱 전압(Vth)의 변동량(ΔVth)을 나타낸다. 이 결과로부터, 문턱 전압의 변동량은 시료 D1 및 D2의 각각에서 매우 작다는 것을 알 수 있다.

[0735] 이상으로부터, 본 발명의 일 형태에 따른 트랜지스터의 신뢰성은 매우 높다는 것을 알았다.

부호의 설명

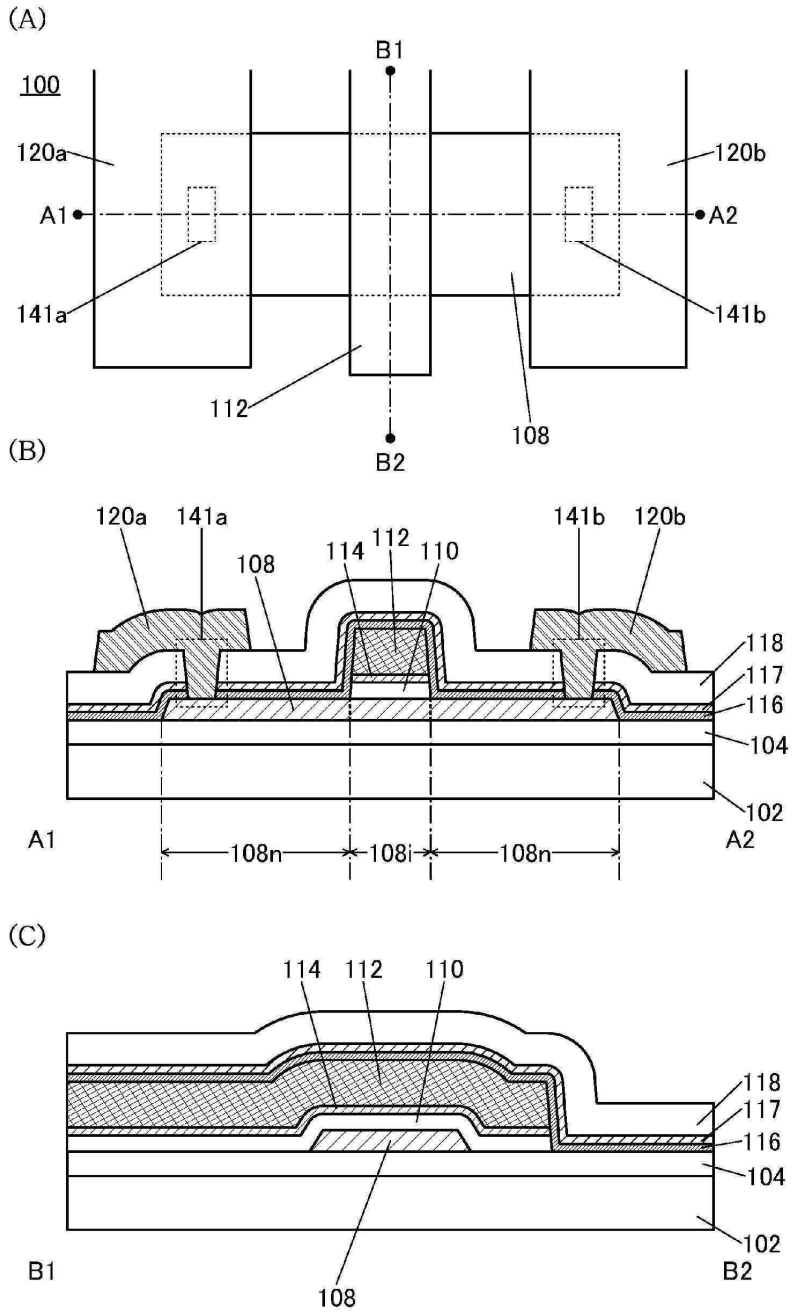
[0736] 100: 트랜지스터, 100A: 트랜지스터, 100B: 트랜지스터, 100C: 트랜지스터, 100D: 트랜지스터, 100E: 트랜지스터, 100F: 트랜지스터, 100G: 트랜지스터, 102: 기판, 104: 절연층, 106: 도전층, 106C: 도전층, 107: 절연층, 108: 반도체층, 108C: 금속 산화물층, 108f: 금속 산화물막, 108i: 영역, 108n: 영역, 108n1: 영역, 108n2: 영역, 109: 도전층, 110: 절연층, 110f: 절연막, 111: 절연층, 112: 도전층, 112f: 도전막, 114: 금속 산화물층, 114f: 금속 산화물막, 116: 제 1 층, 116a: 제 1 층, 117: 금속 산화물층, 118: 절연층, 119: 절연층, 120a: 도전층, 120b: 도전층, 130A: 용량 소자, 130B: 용량 소자, 130C: 용량 소자, 141a: 개구, 141b: 개구, 141c: 개구, 142: 개구, 501: 화소 회로, 502: 화소부, 504: 드라이버 회로부, 504a: 게이트 드라이버, 504b: 소스 드라이버, 506: 보호 회로, 507: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터, 560: 용량 소자, 562: 용량 소자, 570: 액정 소자, 572: 발광 소자, 600: 텔레비전 장치, 601: 제어부, 602: 기억부, 603: 통신 제어부, 604: 화상 처리 회로, 605: 디코더 회로, 606: 영상 신호 수신부, 607: 타이밍 컨트롤러, 608: 소스 드라이버, 609: 게이트 드라이버, 610: 신경망, 611: 입력층, 612: 중간층, 613: 출력층, 615: 뉴런, 620: 표시 패널, 621: 화소, 630: 시스템 버스, 700: 표시 장치, 700A: 표시 장치, 701: 기판, 702: 화소부, 704: 소스 드라이버 회로부, 705: 기판, 706: 게이트 드라이버 회로부, 708: FPC(flexible printed circuit) 단자부, 710: 신호선, 711: 배선부, 712: 실재, 716: FPC, 721: 소스 드라이버 IC, 722: 게이트 드라이버 회로, 723: FPC, 724: 인쇄 회로 기판, 730: 절연막, 732: 밀봉막, 734: 절연막, 736: 착색막, 738: 차광막, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 770: 평탄화 절연막, 772: 도전막, 773: 절연막, 774: 도전막, 775: 액정 소자, 776: 액정층, 778: 구조체, 780: 이방성 도전막, 782: 발광 소자, 786: EL층, 788: 도전막, 790: 용량 소자, 791: 터치 패널, 792: 절연막, 793: 전극, 794: 전극, 795: 절연막, 796: 전극, 797: 절연막, 6000: 표시 모듈, 6001: 상부 커버, 6002: 하부 커버, 6005: FPC, 6006: 표시 장치, 6009: 프레임, 6010: 인쇄 회로 기판, 6011: 배터리, 6015: 발광부, 6016: 수광부, 6017a: 도광부, 6017b: 도광부, 6018: 광, 7100: 텔레비전 장치, 7101: 하우징, 7103: 스탠드, 7111: 리모트 컨트롤러, 7200: 노트북 퍼스널 컴퓨터, 7211: 하우징, 7212: 키보드, 7213: 포인팅 디바이스, 7214: 외부 접속 포트, 7300: 디지털 사이니지, 7301: 하우징, 7303: 스피커, 7311: 정보 단말기, 7400: 디지털 사이니지, 7401: 기둥, 7411: 정보 단말기, 7500: 표시부, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8040: 휴대 정보 단말기, 8041: 하우징, 8042: 표시부, 8043: 버튼, 8044: 아이콘, 8045: 카메라, 8046: 마이크로폰, 8047: 스피커, 8048: 접속 단자, 8049: 태양 전지, 8050: 카메라, 8051: 충방전 제어 회로, 8052: 배터리,

8053: DC-DC 컨버터, 8054: 스위치, 8055: 스위치, 8056: 스위치, 8057: 컨버터, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 헤드 마운트 디스플레이, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 헤드 마운트 디스플레이, 8301: 하우징, 8302: 표시부, 8304: 물건, 8305: 렌즈, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 조작 버튼, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9100: 텔레비전 장치, 9101: 휴대 정보 단말기, 9102: 휴대 정보 단말기, 9200: 휴대 정보 단말기, 9201: 휴대 정보 단말기.

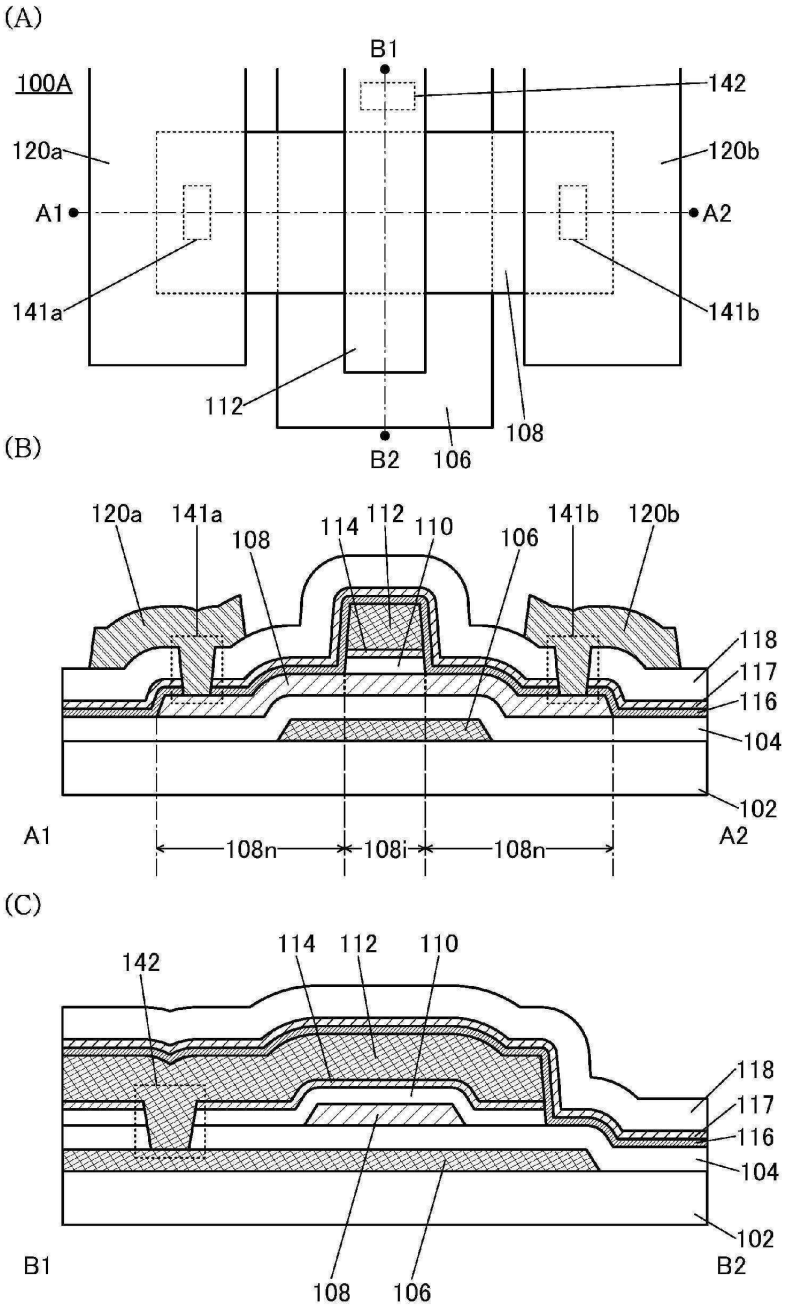
본 출원은 2017년 5월 19일에 일본 특허청에 출원된 일련 번호 2017-099571의 일본 특허 출원, 2017년 7월 6일에 일본 특허청에 출원된 일련 번호 2017-133092의 일본 특허 출원, 및 2017년 11월 9일에 일본 특허청에 출원된 일련 번호 2017-216684의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

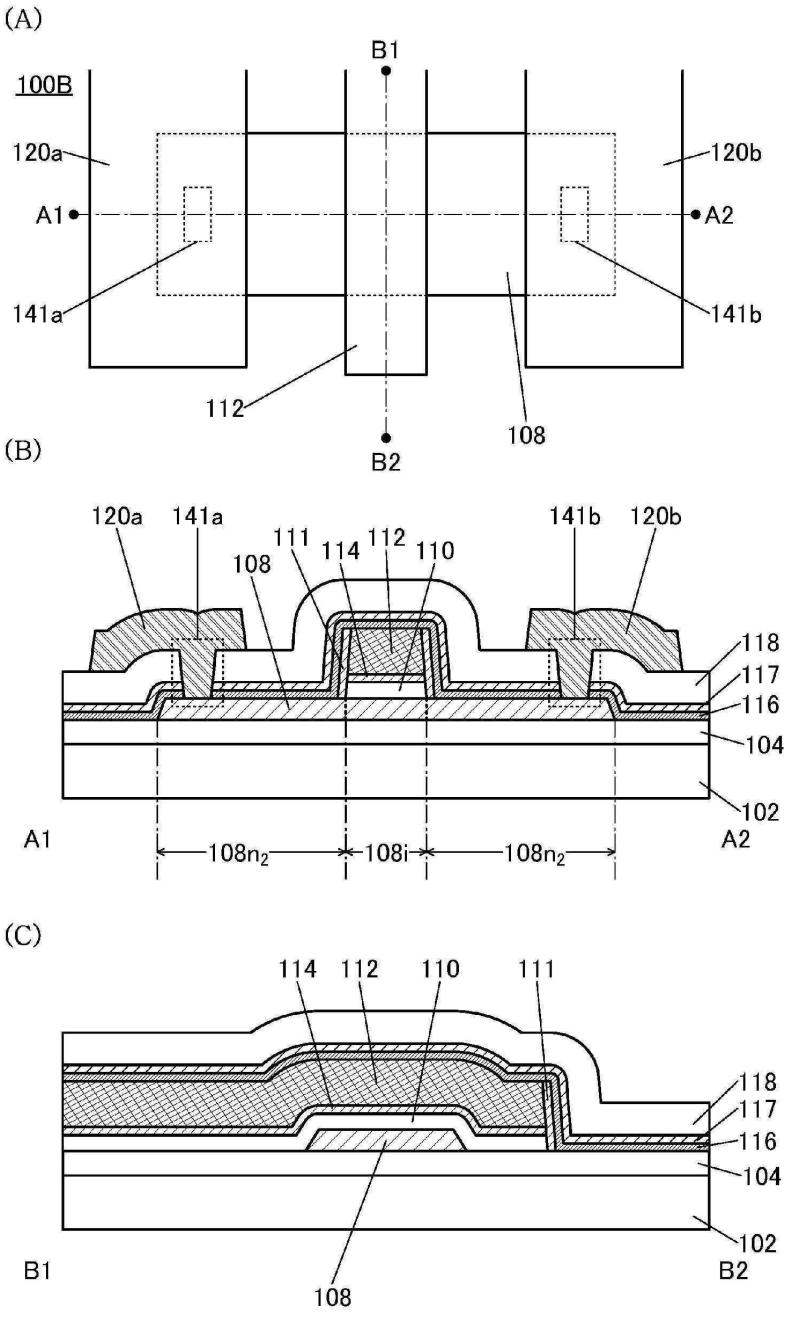
도면1



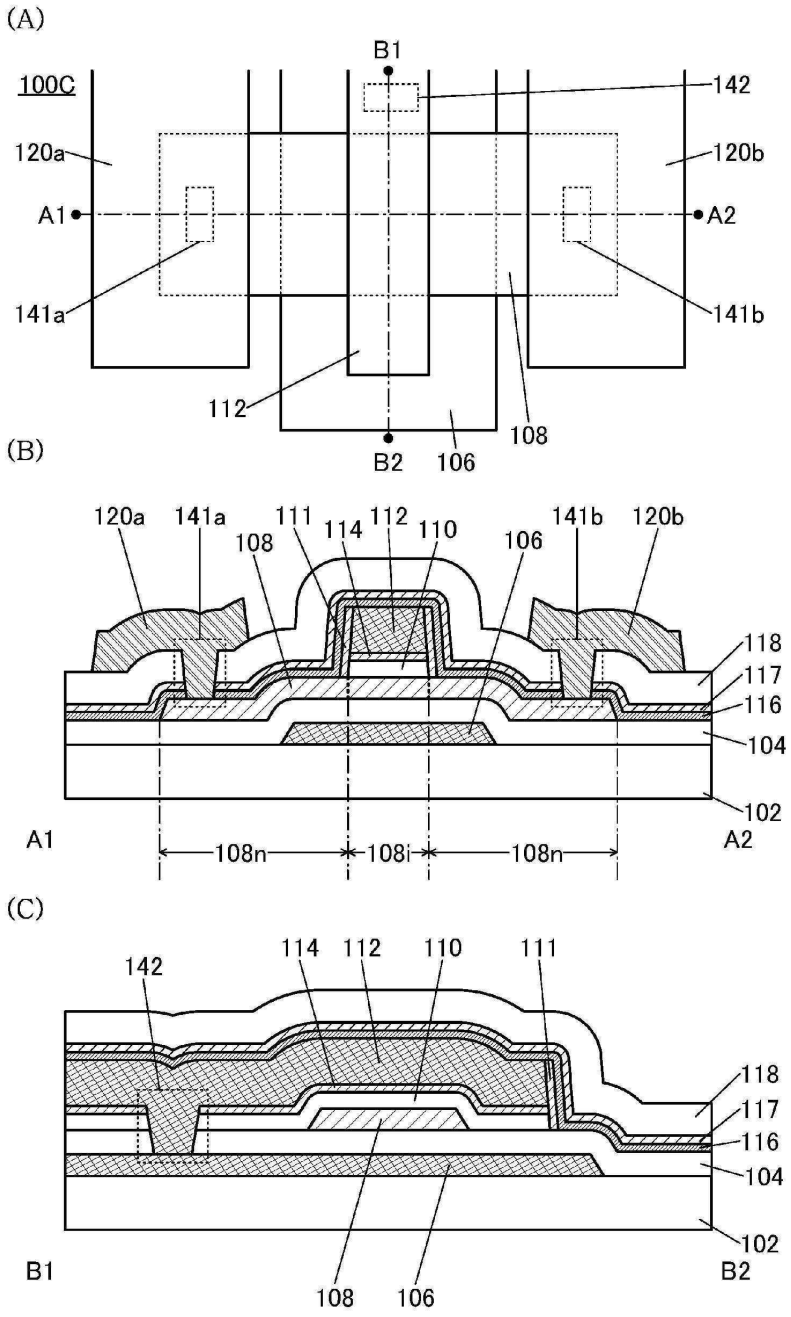
도면2


(A)
B1
100A
142
120a
120b
A1
A2
141a
141b
112
108
B2
106
(B)
120a
141a
108
114
112
110
106
141b
120b
118
117
116
104
102
A1
A2
108n
108i
108n
(C)
142
114
112
110
118
117
116
104
102
B1
B2
108
106

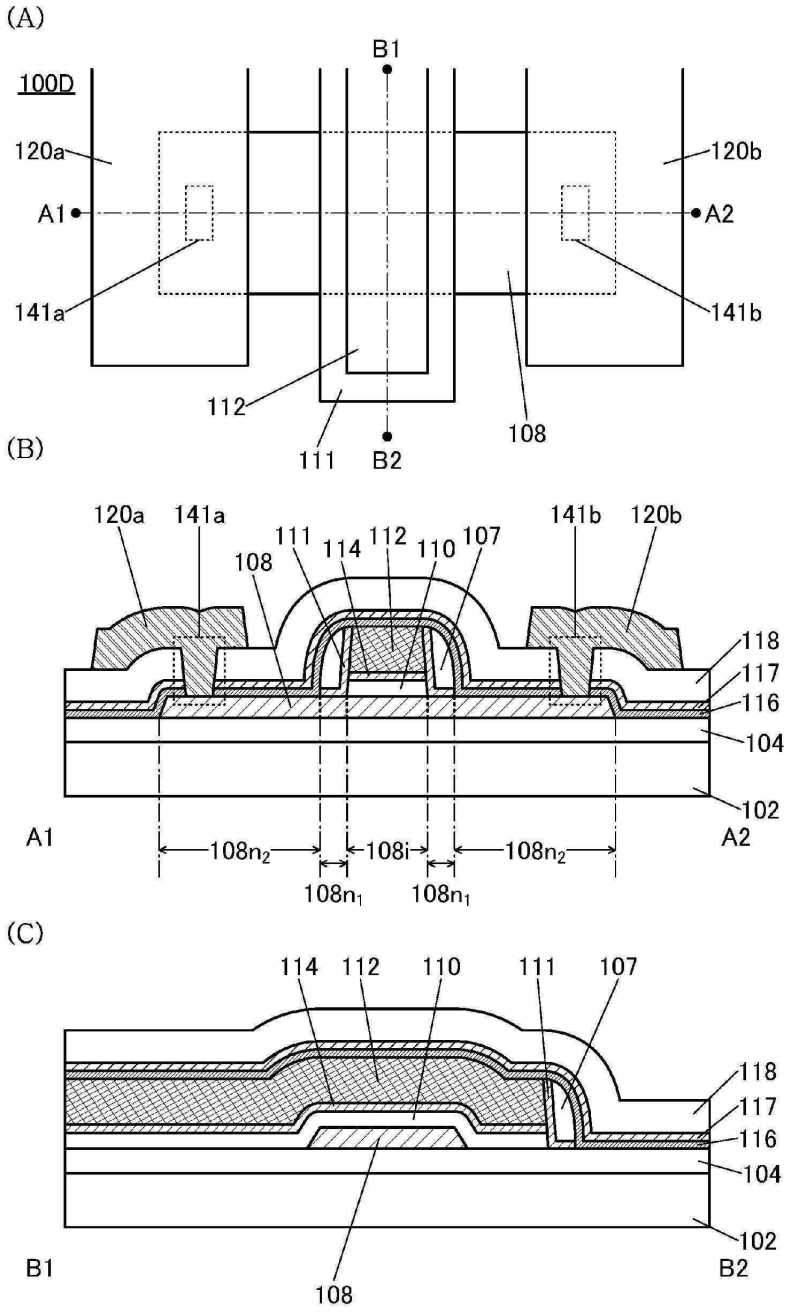
도면3


(A)
B1
100B
120a
120b
A1
A2
141a
141b
112
108
B2
(B)
120a
141a
111
114
112
110
108
141b
120b
118
117
116
104
102
A1
A2
108n2
108i
108n2
(C)
114
112
110
111
118
117
116
104
102
B1
B2
108

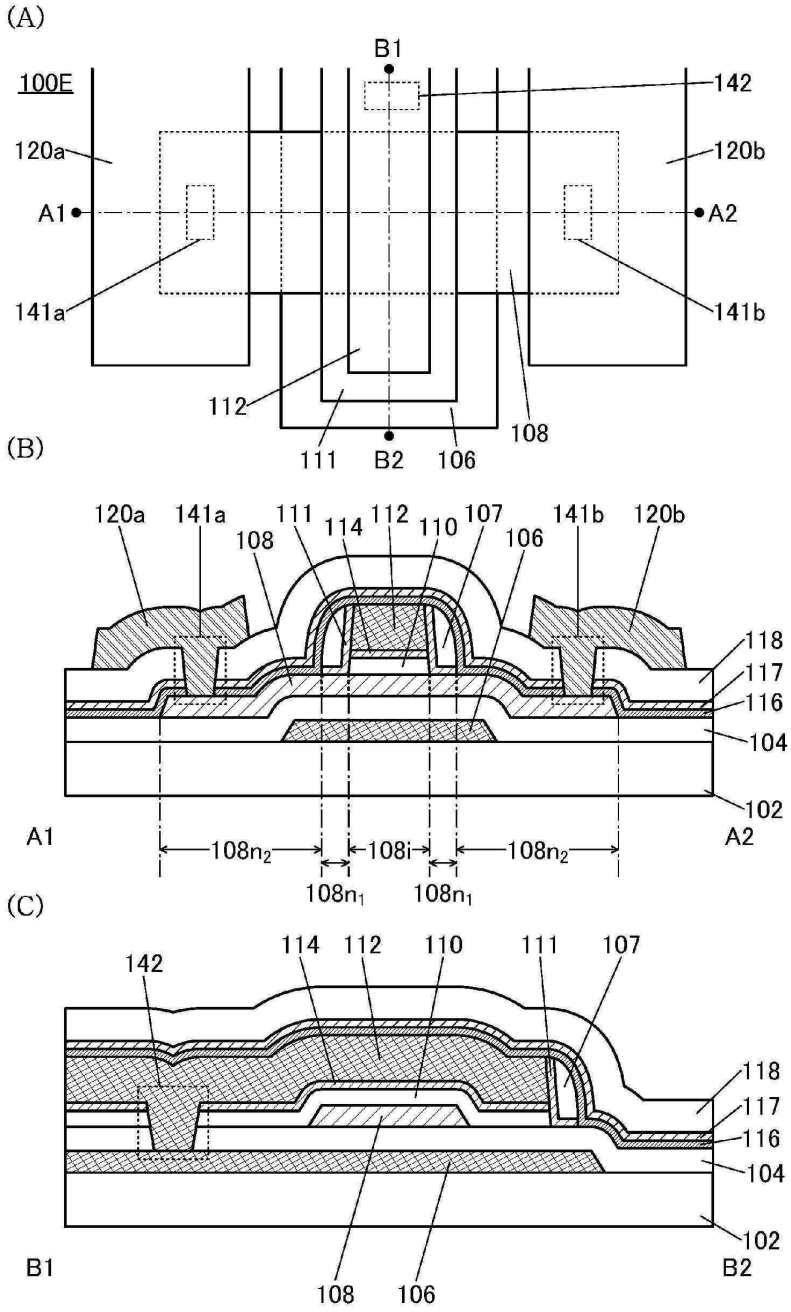
도면4


(A)
B1
100C
142
120a
120b
A1
A2
141a
141b
112
108
B2
106
(B)
120a
141a
111
108
114
112
110
106
141b
120b
118
117
116
104
102
A1
A2
108n
108i
108n
(C)
142
114
112
110
111
118
117
116
104
102
B1
B2
108
106

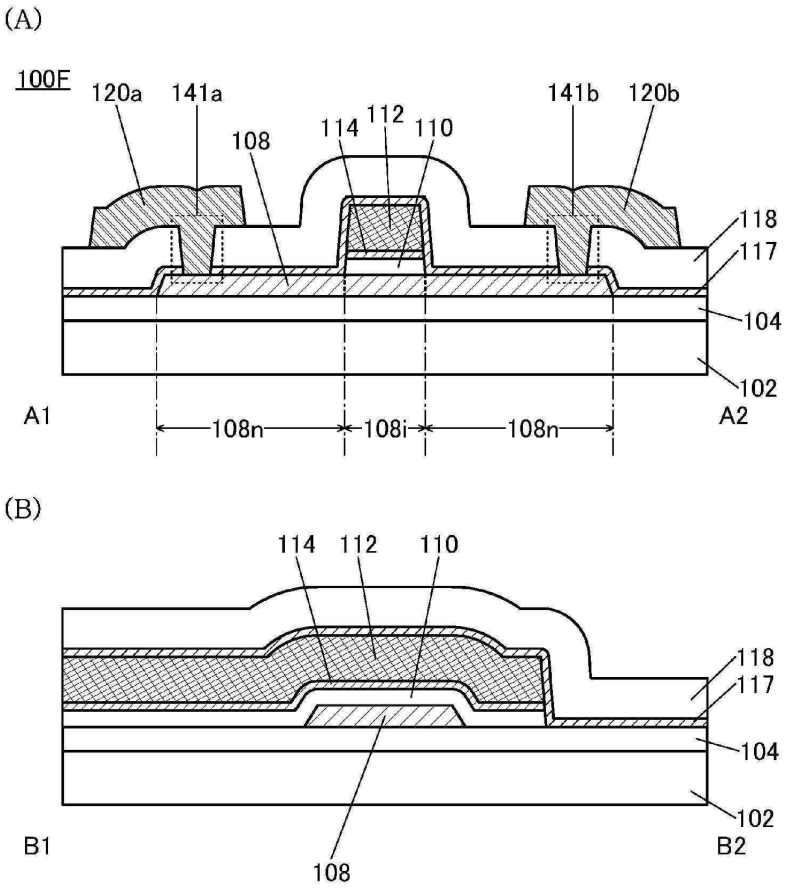
도면5


(A)
B1
100D
120a
120b
A1
A2
141a
141b
112
111
B2
108
(B)
120a
141a
111
114
112
110
107
141b
120b
108
118
117
116
104
102
A1
A2
$108n_2$
108i
$108n_2$
$108n_1$
$108n_1$
(C)
114
112
110
111
107
118
117
116
104
102
B1
B2
108

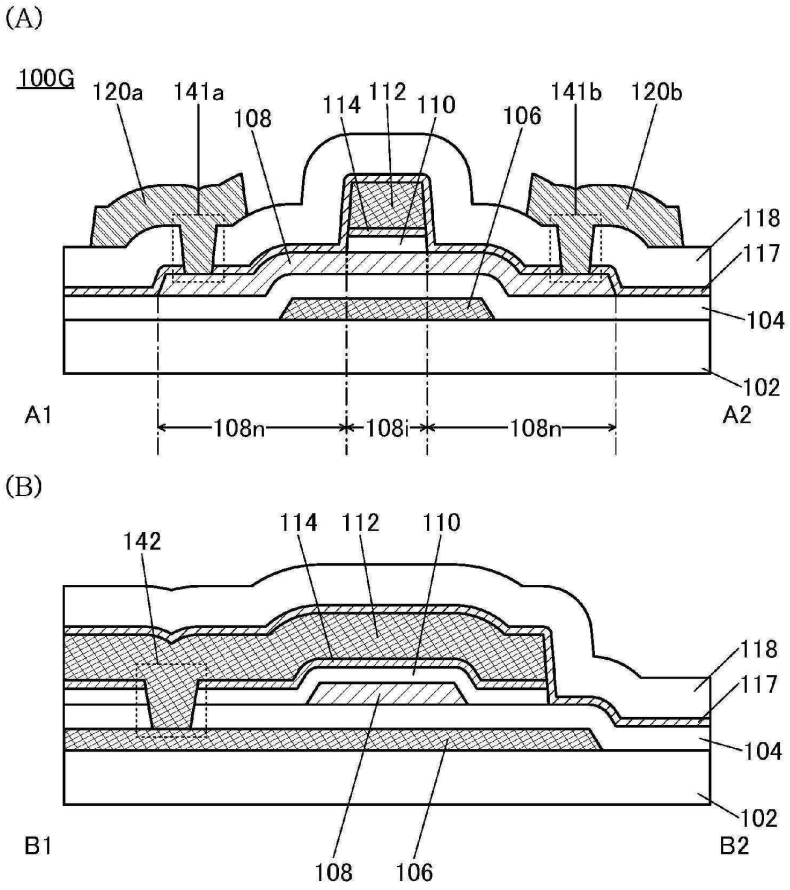
도면6


(A)
B1
100E
142
120a
120b
A1
A2
141a
141b
112
108
111
B2
106
(B)
120a
141a
111
114
112
110
107
141b
120b
108
106
118
117
116
104
102
A1
A2
108n2
108i
108n2
108n1
108n1
(C)
142
114
112
110
111
107
118
117
116
104
102
B1
B2
108
106

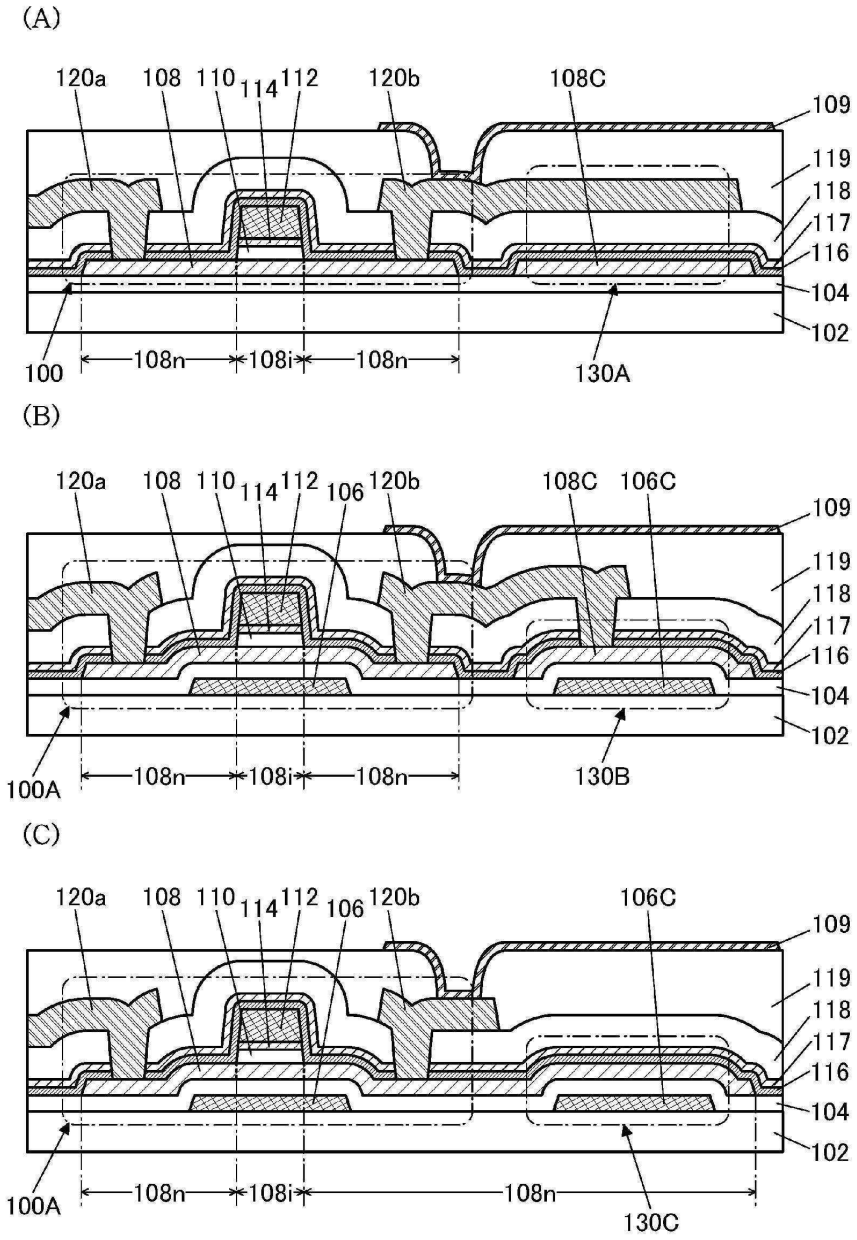
도면7


(A)
100F
120a
141a
108
114
112
110
141b
120b
118
117
104
102
A1
108n
108i
108n
A2
(B)
114
112
110
118
117
104
102
B1
108
B2

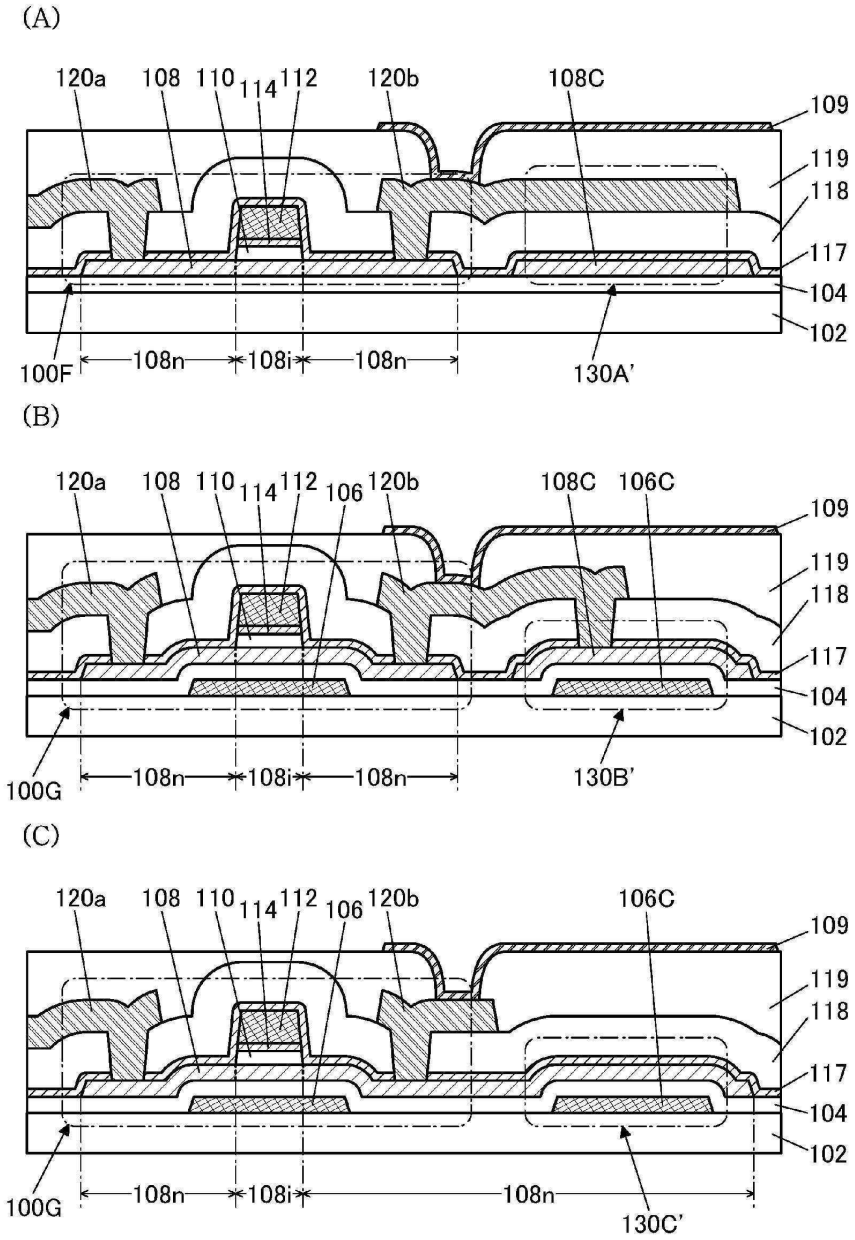
도면8


(A)
100G
120a
141a
108
114
112
110
106
141b
120b
118
117
104
102
A1
A2
108n
108i
108n
(B)
142
114
112
110
118
117
104
102
B1
B2
108
106

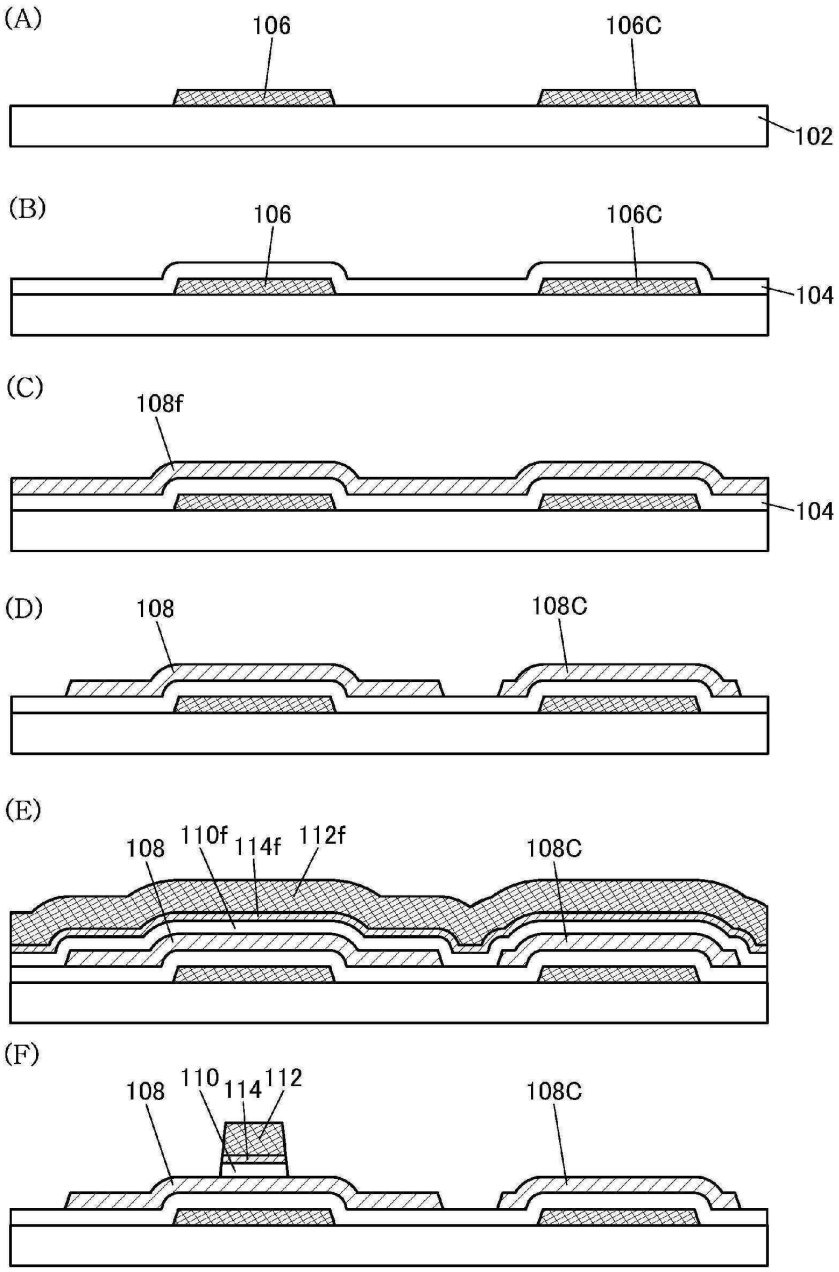
도면9


(A)
120a
108
110
114
112
120b
108C
109
119
118
117
116
104
102
100
108n
108i
108n
130A
(B)
120a
108
110
114
112
106
120b
108C
106C
109
119
118
117
116
104
102
100A
108n
108i
108n
130B
(C)
120a
108
110
114
112
106
120b
106C
109
119
118
117
116
104
102
100A
108n
108i
108n
130C

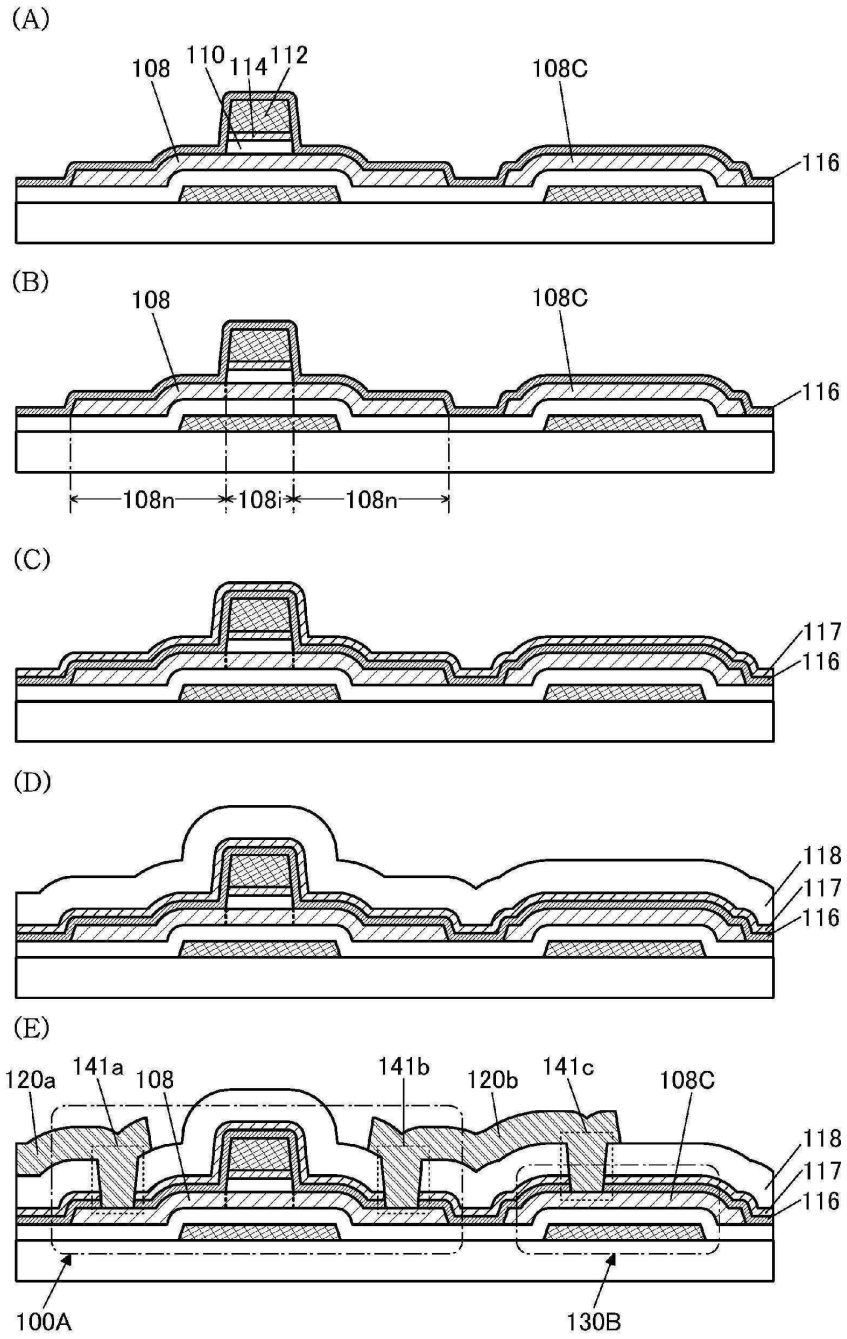
도면10


(A)
120a
108
110
114
112
120b
108C
109
119
118
117
104
102
100F
108n
108i
108n
130A'
(B)
120a
108
110
114
112
106
120b
108C
106C
109
119
118
117
104
102
100G
108n
108i
108n
130B'
(C)
120a
108
110
114
112
106
120b
106C
109
119
118
117
104
102
100G
108n
108i
108n
130C'

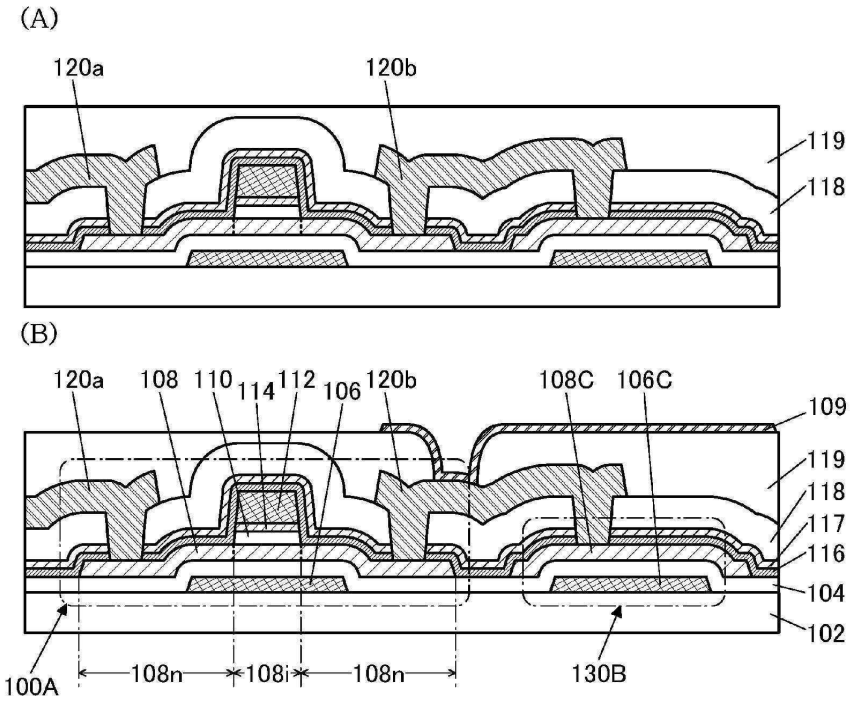
도면11


(A)
106
106C
102
(B)
106
106C
104
(C)
108f
104
(D)
108
108C
(E)
108
110f
114f
112f
108C
(F)
108
110
114
112
108C

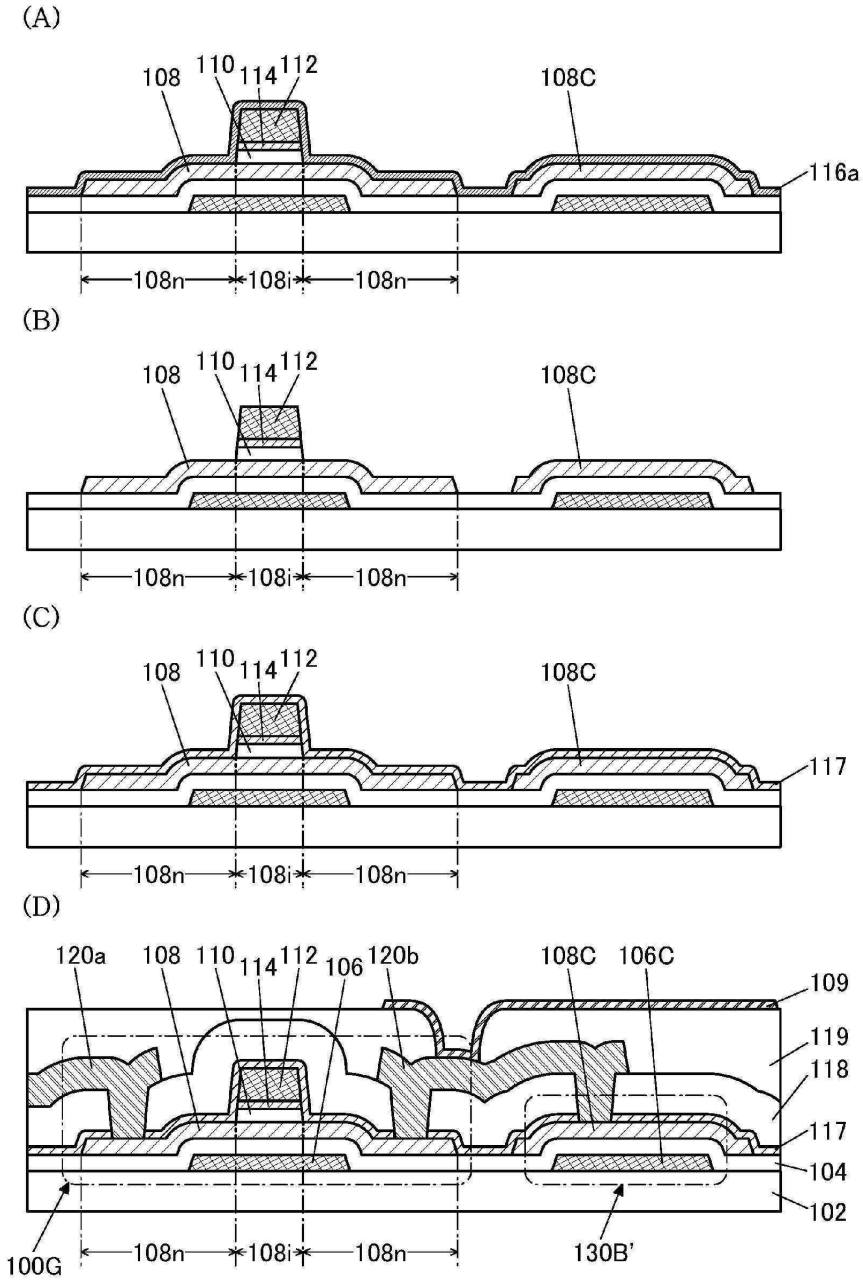
도면12


(A)
108
110
114
112
108C
116
(B)
108
108C
116
108n
108i
108n
(C)
117
116
(D)
118
117
116
(E)
120a
141a
108
141b
120b
141c
108C
118
117
116
100A
130B

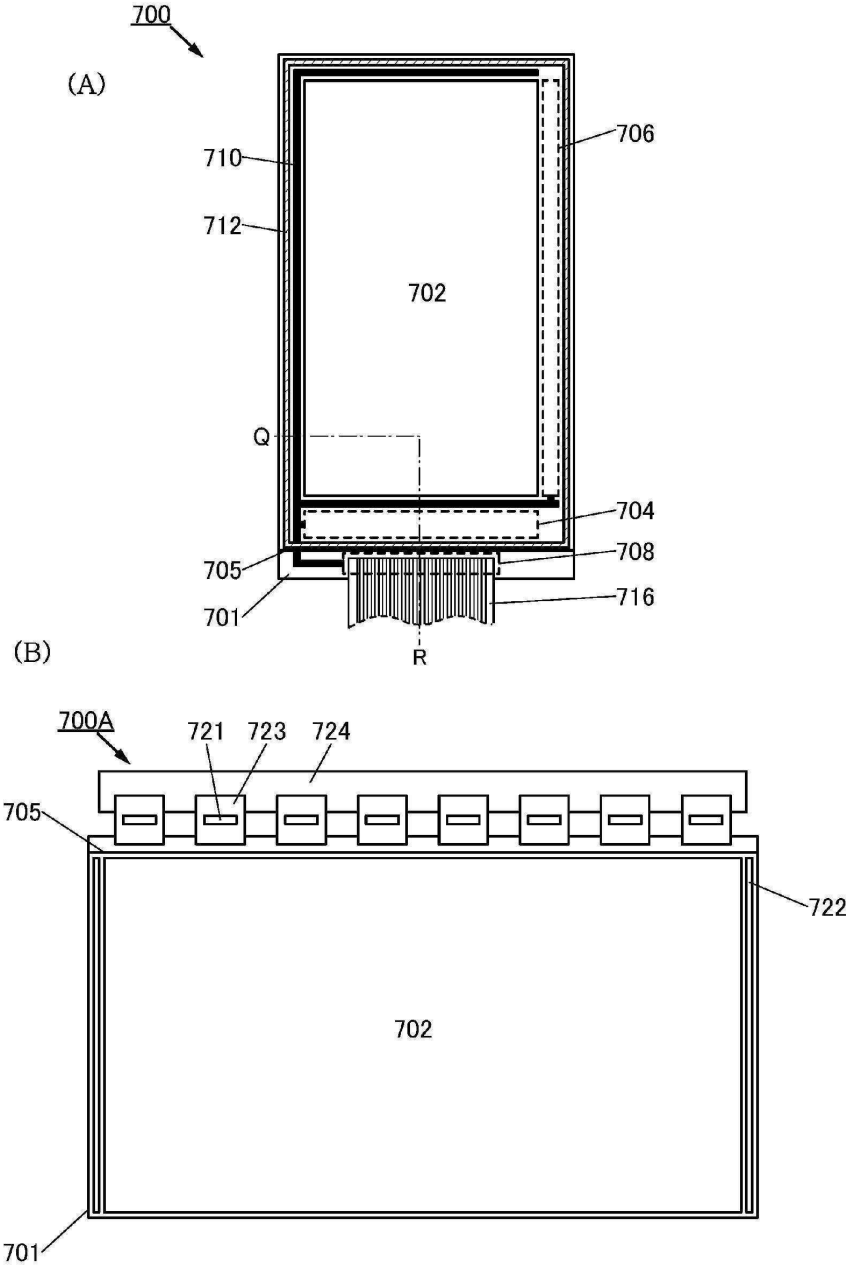
도면13


(A)
120a
120b
119
118
(B)
120a
108
110
114
112
106
120b
108C
106C
109
119
118
117
116
104
102
100A
108n
108i
108n
130B

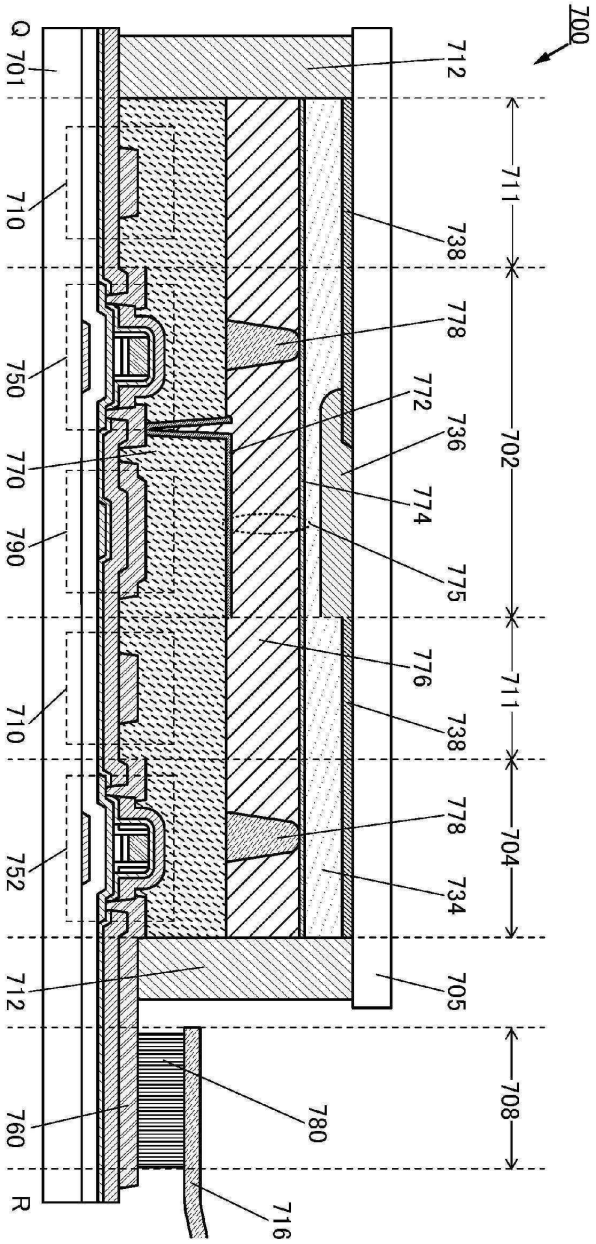
도면14


(A)
108
110
114
112
108C
116a
108n
108i
108n
(B)
108
110
114
112
108C
108n
108i
108n
(C)
108
110
114
112
108C
117
108n
108i
108n
(D)
120a
108
110
114
112
106
120b
108C
106C
109
119
118
117
104
102
100G
108n
108i
108n
130B'

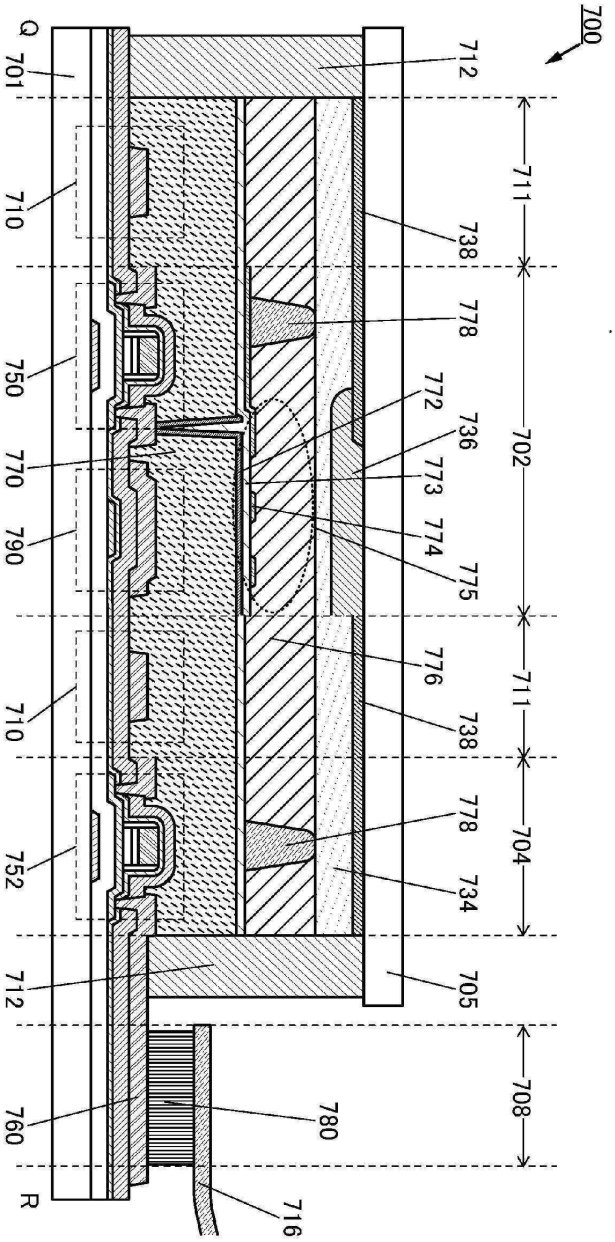
도면15


700
(A)
710
712
706
702
Q
704
708
705
716
701
R
(B)
700A
721
723
724
705
722
702
701

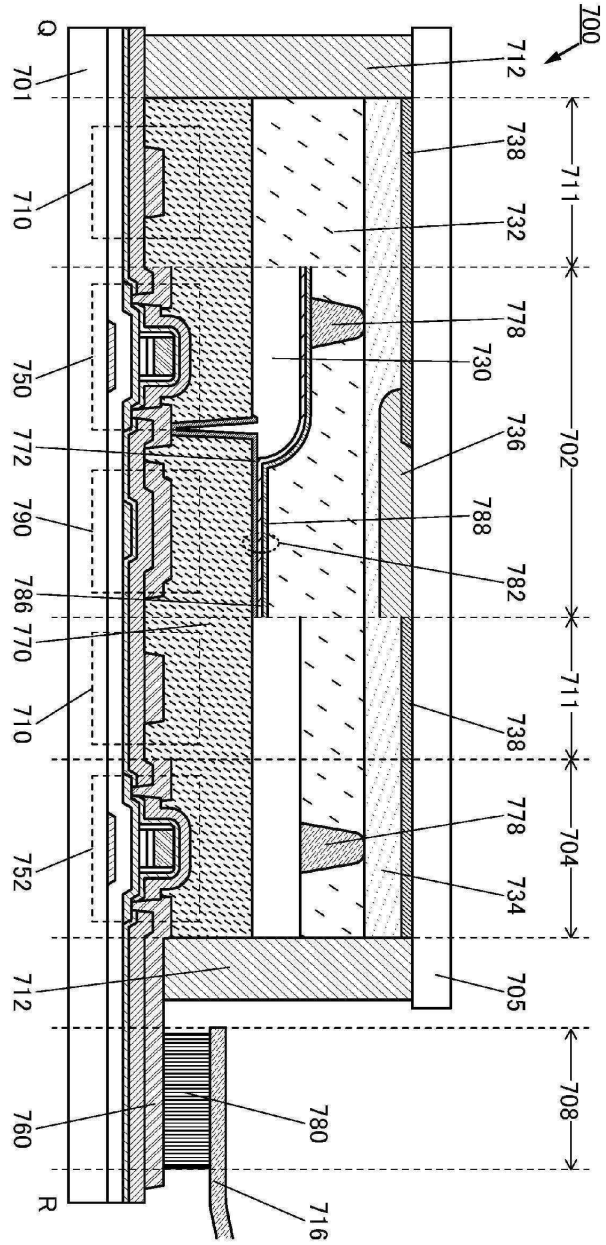
도면16


700
Q
701
712
711
710
738
778
750
772
736
702
770
774
790
775
776
711
710
738
778
704
752
734
712
705
708
760
780
R
716

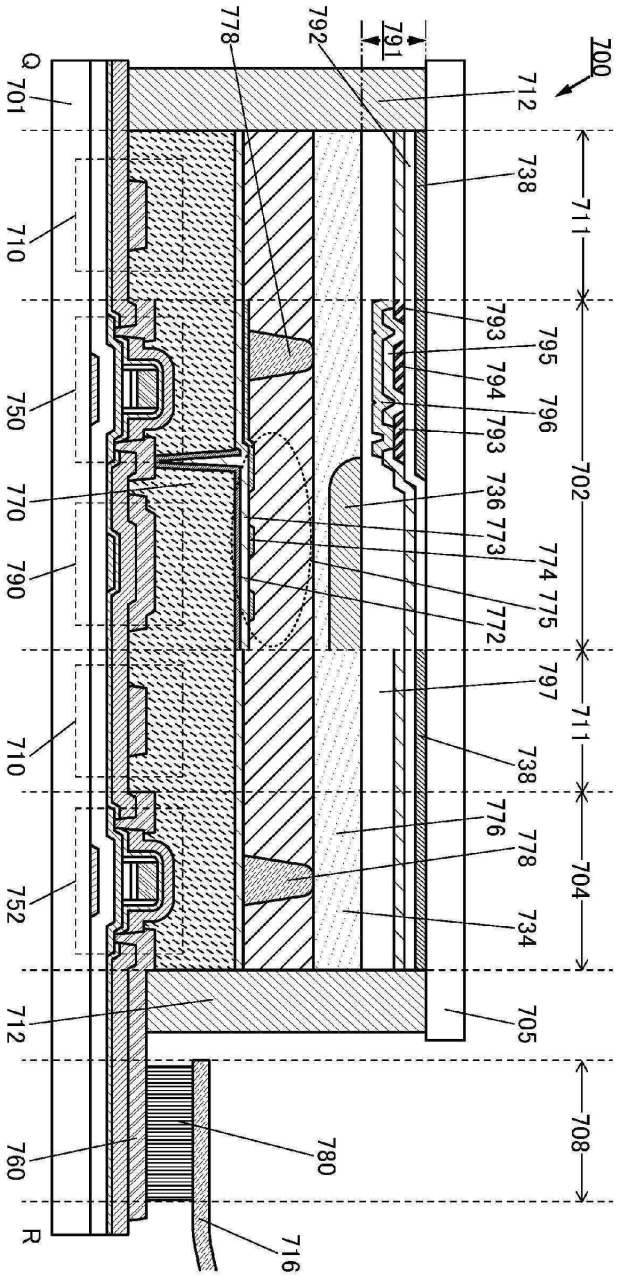
도면17


700
Q
701
712
711
710
738
778
750
772
736
702
770
773
774
790
775
776
711
710
738
778
752
704
734
712
705
708
760
780
R
716

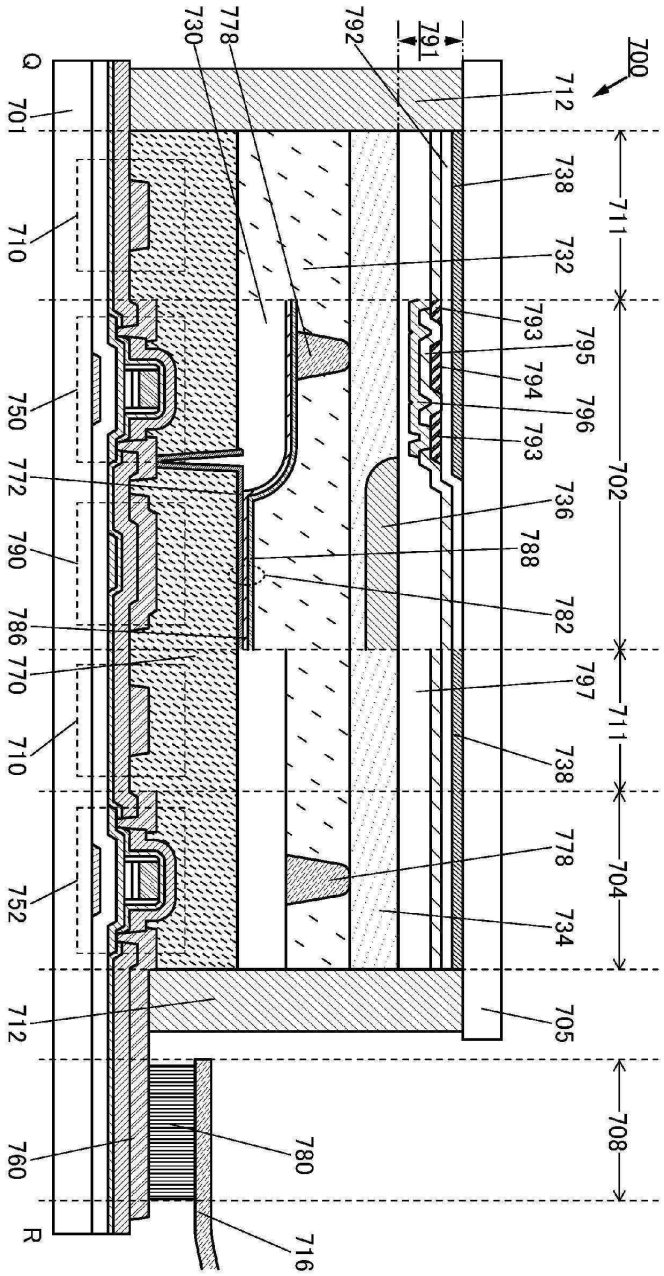
도면18


700
Q
R
701
710
750
772
790
786
770
710
752
712
760
712
738
732
778
730
736
788
782
738
778
734
705
780
716
711
702
711
704
708

도면19

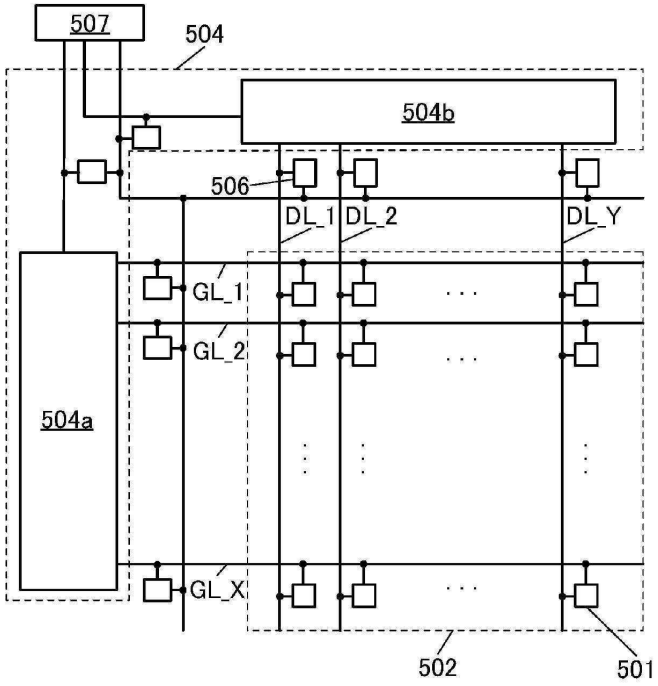

700
Q
701
710
750
770
790
710
752
712
760
R
716
780
708
705
712
738
711
793
795
794
796
793
736
773
774
775
772
702
797
711
738
776
778
734
704
792
791
778

도면20

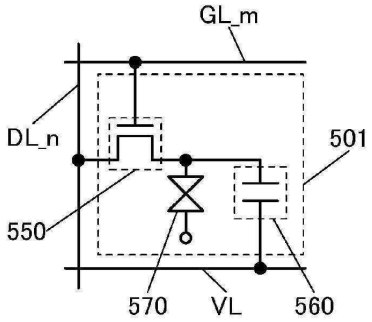

700
Q
R
701
710
750
772
790
786
770
710
752
712
760
730
778
792
791
712
738
732
793
795
794
796
793
736
788
782
797
738
778
734
705
780
716
711
702
711
704
708

도면21

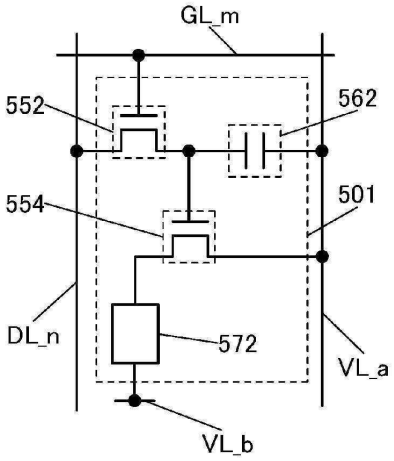
(A)


507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
504a
GL_X
502
501

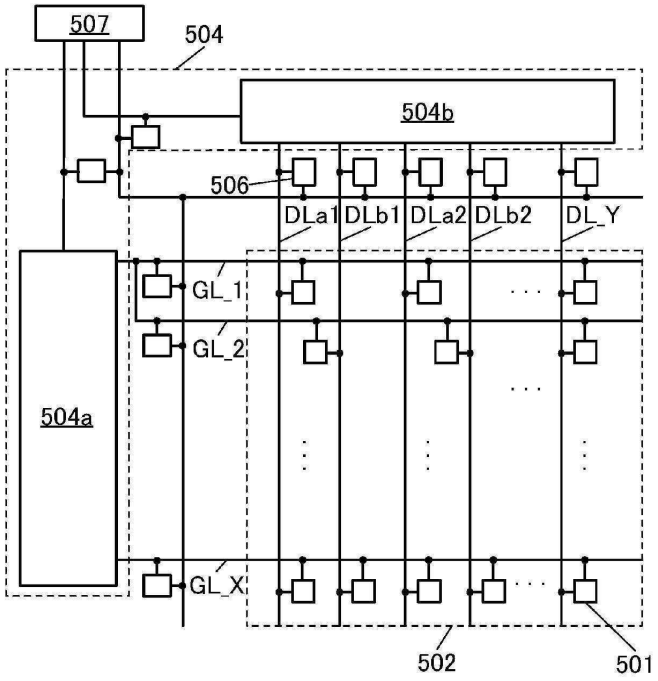
(B)


GL_m
DL_n
501
550
570
VL
560

(C)

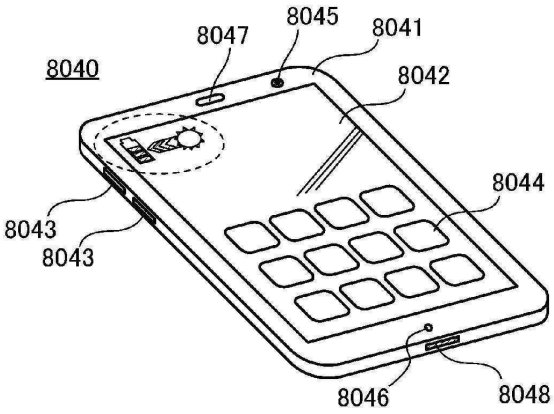

GL_m
552
562
554
501
DL_n
572
VL_a
VL_b

도면22

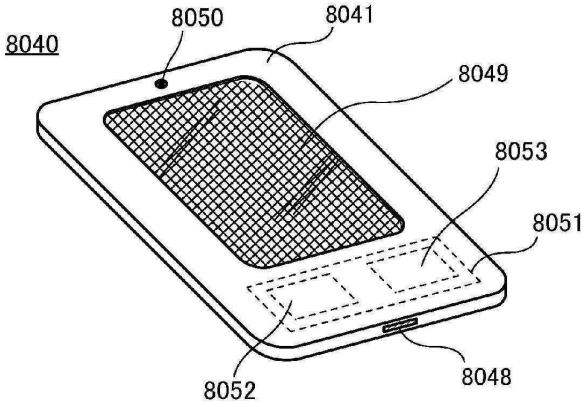

507
504
504b
506
DLa1
DLb1
DLa2
DLb2
DL_Y
GL_1
GL_2
504a
GL_X
502
501

도면23

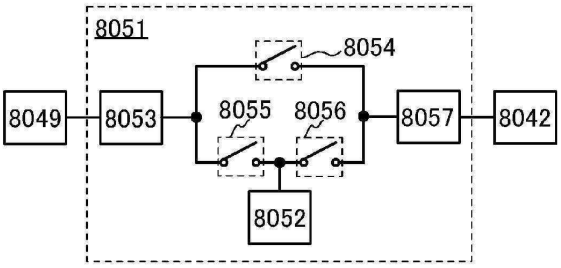
(A)


8040
8047
8045
8041
8042
8044
8043
8043
8046
8048

(B)

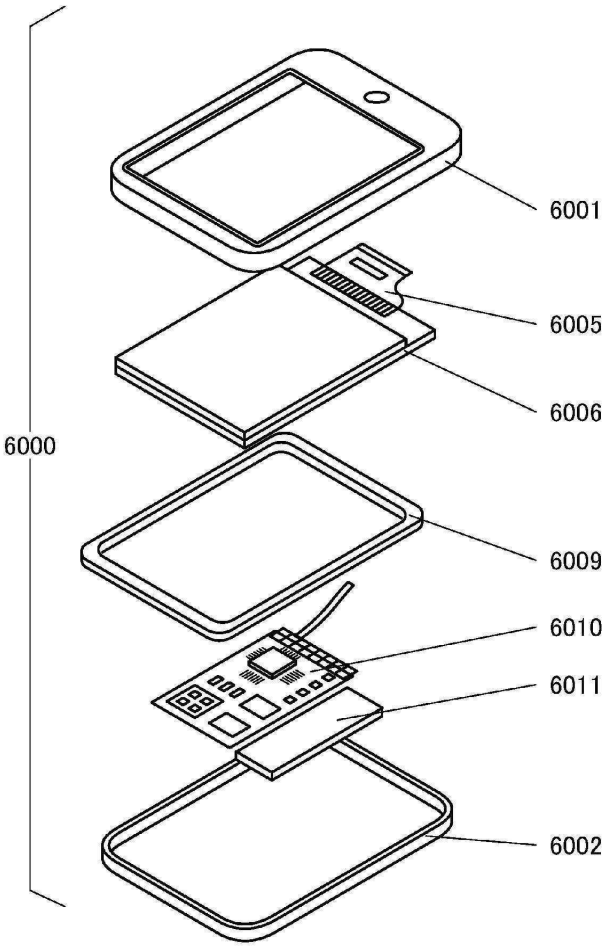

8040
8050
8041
8049
8053
8051
8052
8048

(C)

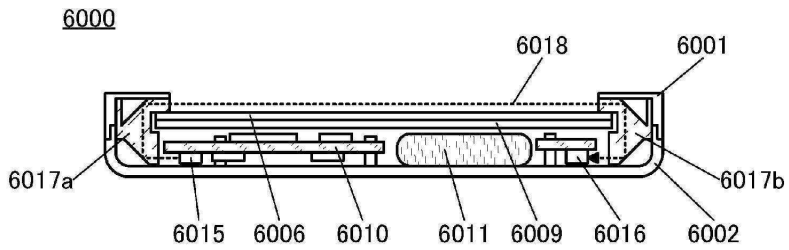

8051
8054
8049
8053
8055
8056
8057
8042
8052

도면24

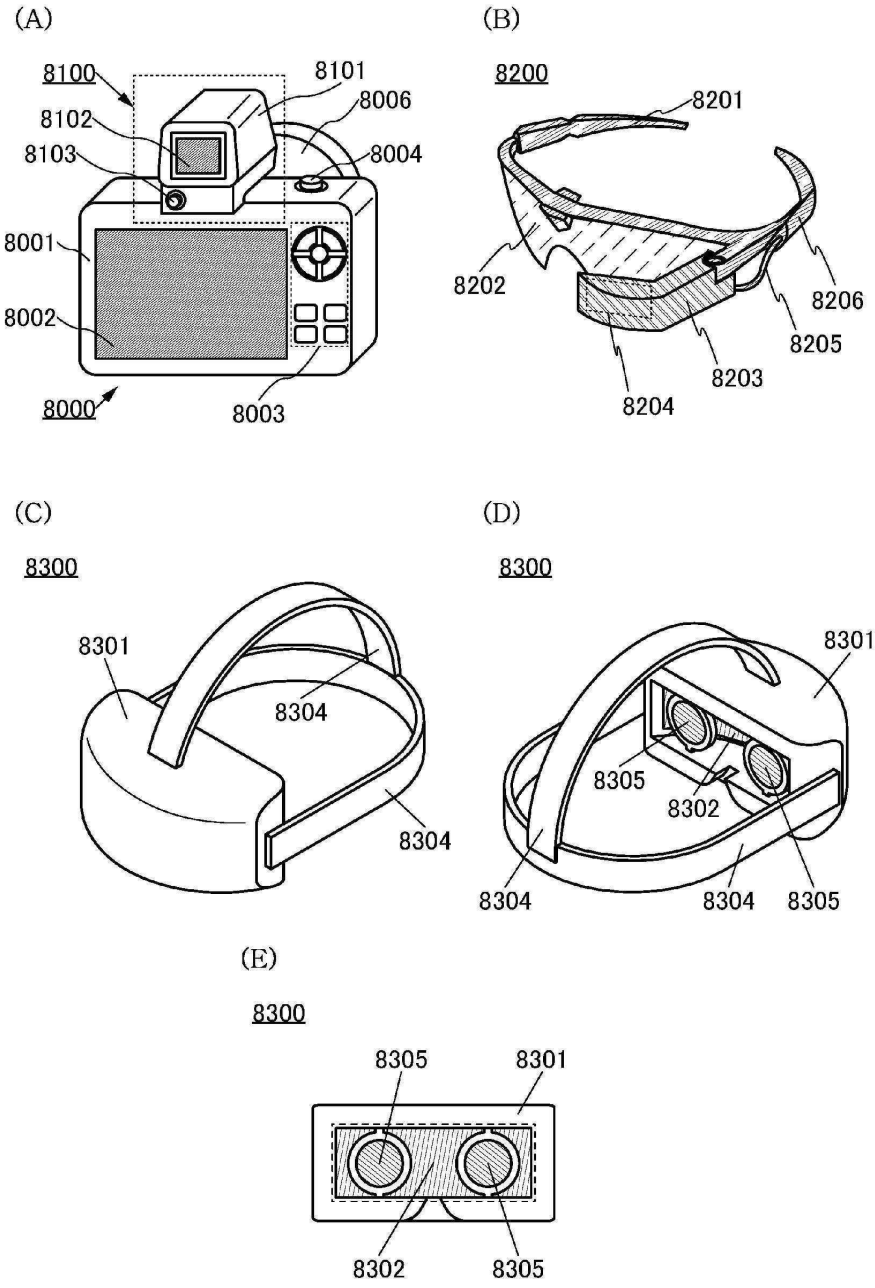
(A)


6001
6005
6006
6000
6009
6010
6011
6002

(B)

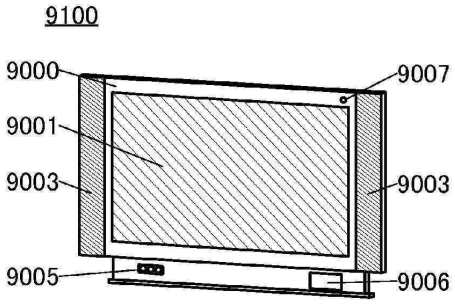

6000
6018
6001
6017a
6017b
6015
6006
6010
6011
6009
6016
6002

도면25

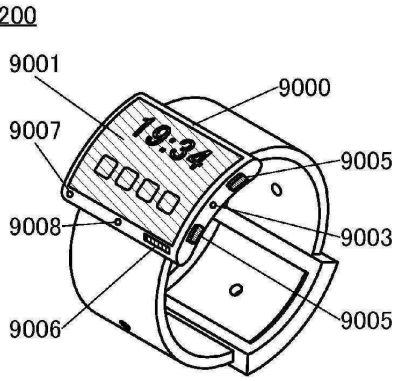

(A)
8100
8101
8006
8102
8004
8103
8001
8002
8000
8003
(B)
8200
8201
8202
8206
8205
8203
8204
(C)
8300
8301
8304
8304
(D)
8300
8301
8305
8302
8304
8304
8305
(E)
8300
8305
8301
8302
8305

도면26

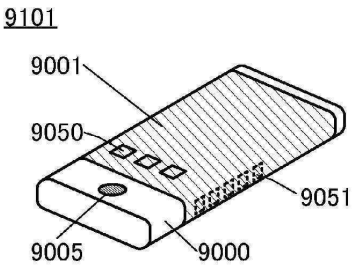
(A)



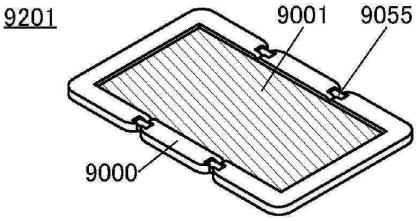
(D)



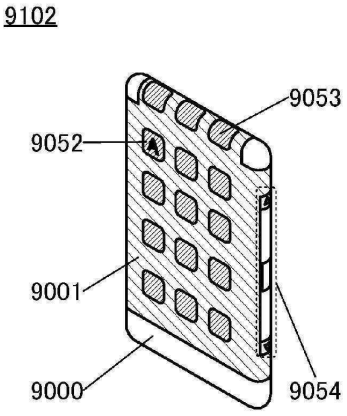
(B)



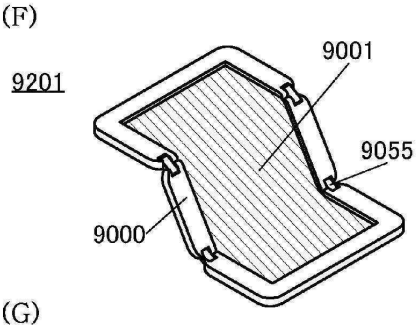
(E)



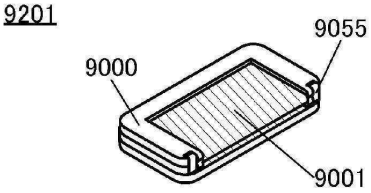
(C)



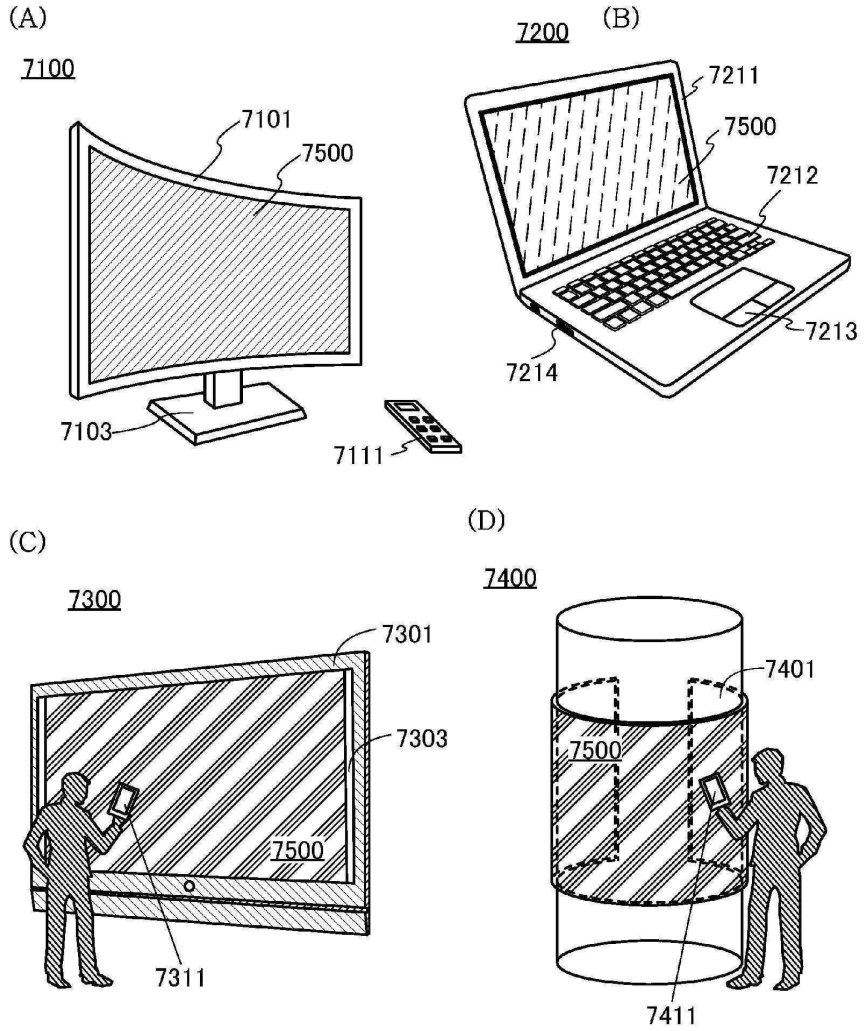
(F)



(G)

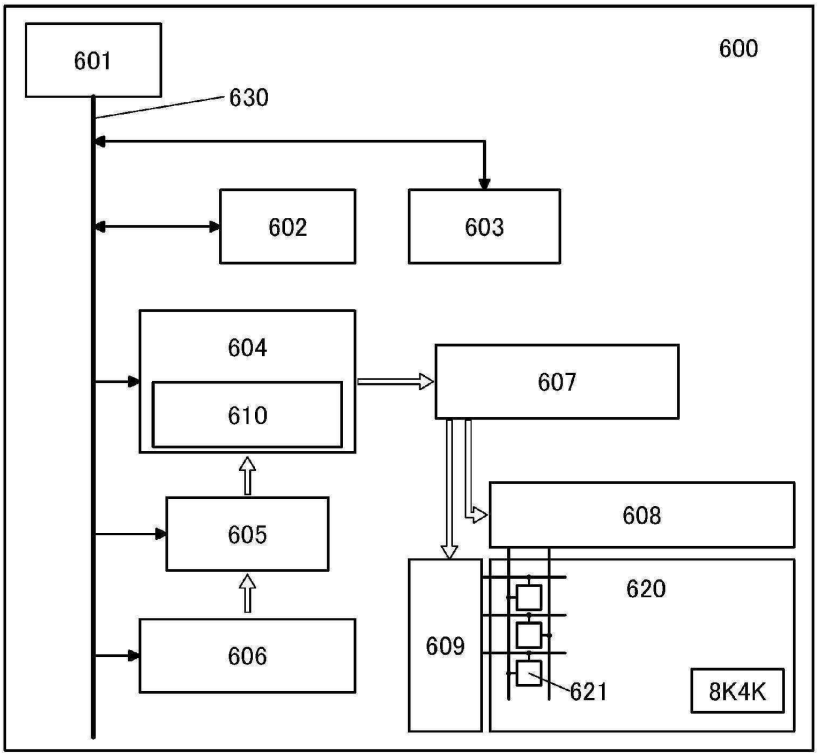


도면27

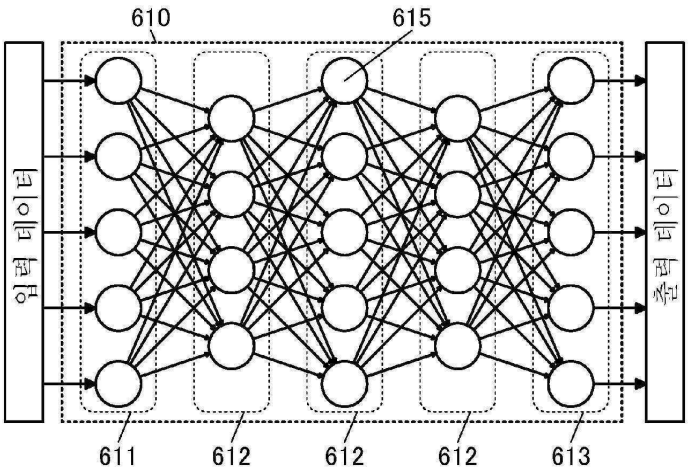

(A)
7100
7101
7500
7103
7111
(B)
7200
7211
7500
7212
7213
7214
(C)
7300
7301
7303
7500
7311
(D)
7400
7401
7500
7411

도면28

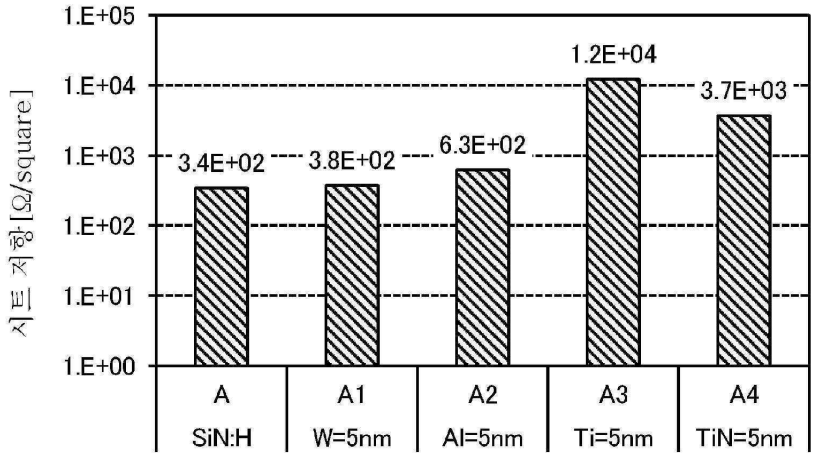
(A)


601
600
630
602
603
604
610
607
608
605
620
609
606
621
8K4K

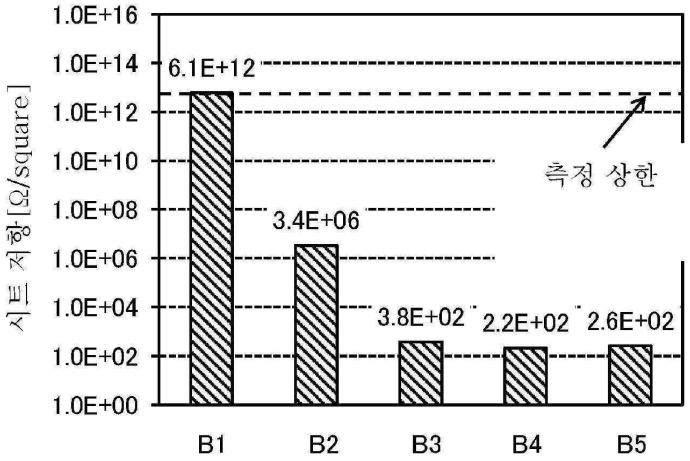
(B)


610
615
입력 데이터
출력 데이터
611
612
612
612
613

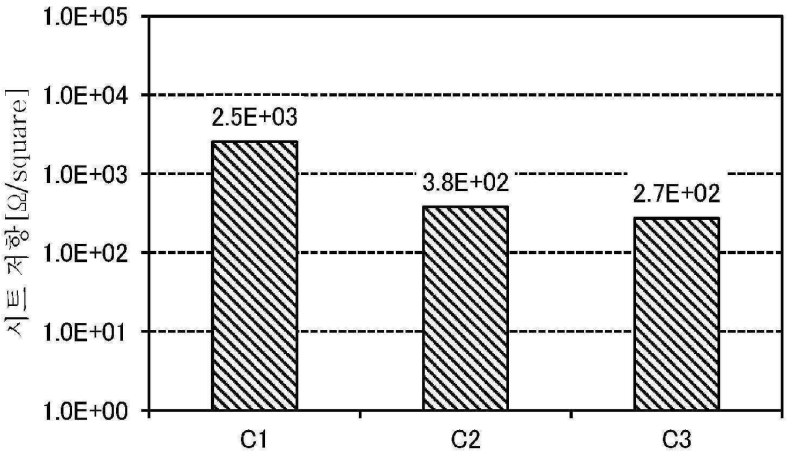
도면29



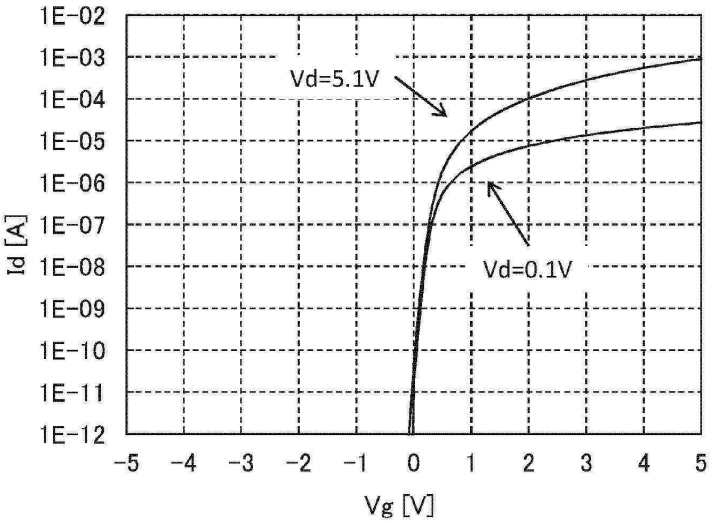
도면30



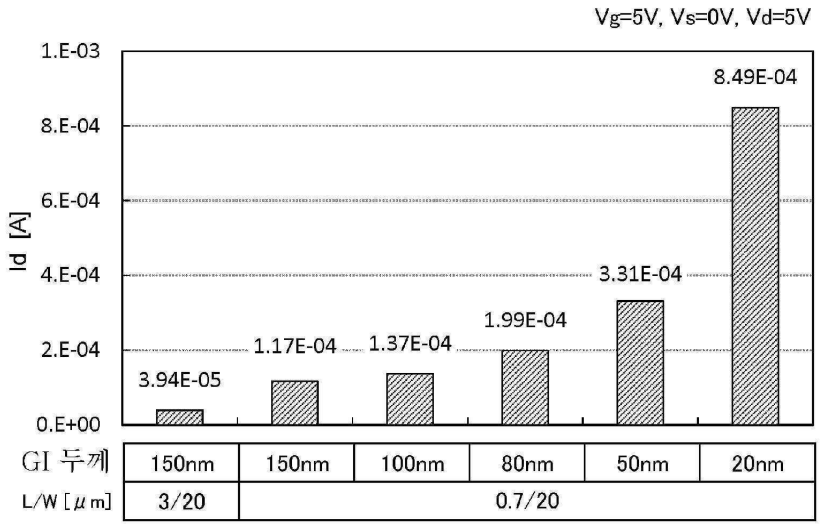
도면31



도면32

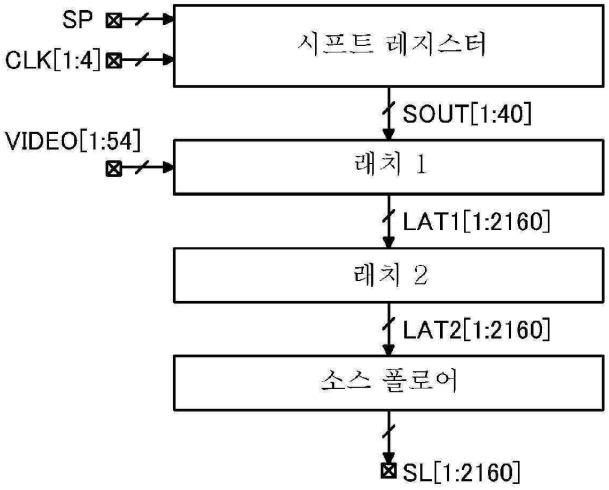

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
Vd=5.1V
Vd=0.1V
-5 -4 -3 -2 -1 0 1 2 3 4 5
Vg [V]

도면33

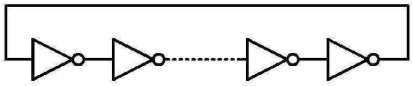

Vg=5V, Vs=0V, Vd=5V
1.E-03
8.E-04
6.E-04
4.E-04
2.E-04
0.E+00
Id [A]
3.94E-05
1.17E-04
1.37E-04
1.99E-04
3.31E-04
8.49E-04
GI 두께
150nm
150nm
100nm
80nm
50nm
20nm
L/W [μm]
3/20
0.7/20

도면34

(A)

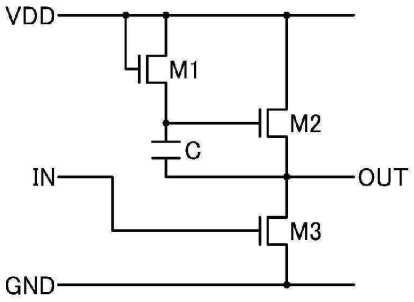


(B)

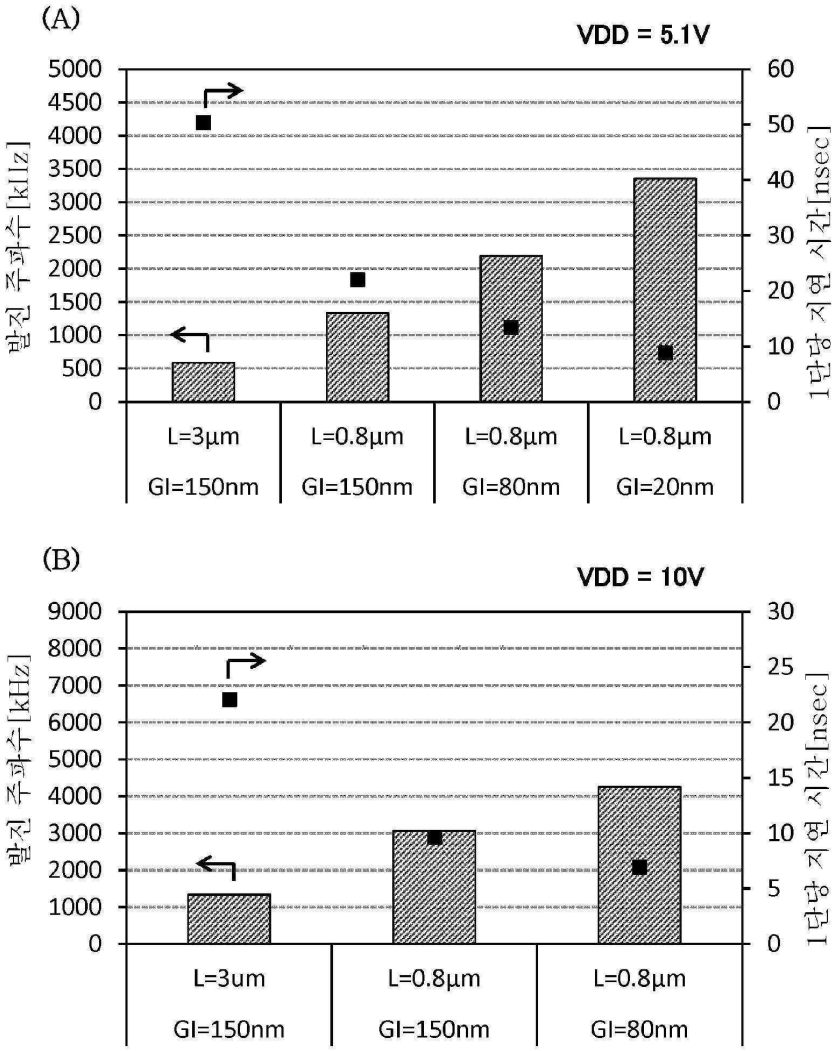


17개의 반전 회로

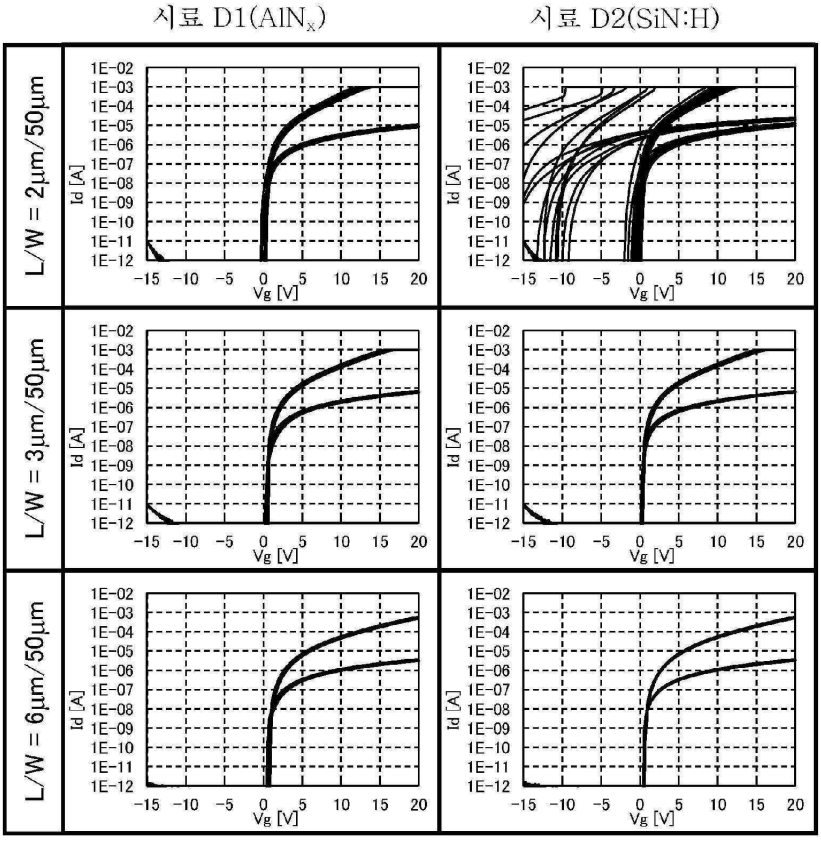
(C)



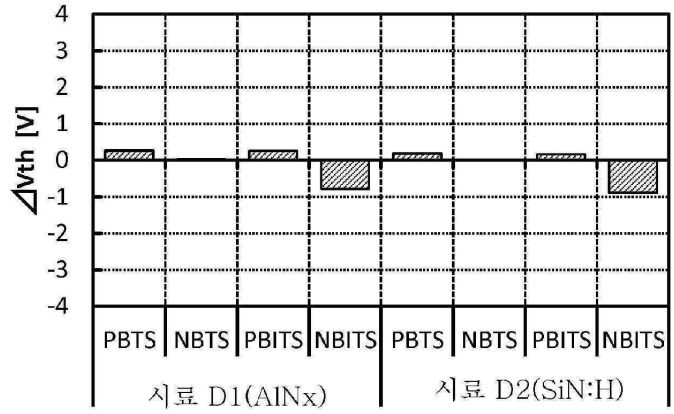
도면35


(A)
VDD = 5.1V
발진 주파수 [kHz]
1단당 지연 시간 [nsec]
5000
4500
4000
3500
3000
2500
2000
1500
1000
500
0
60
50
40
30
20
10
0
L=3μm
GI=150nm
L=0.8μm
GI=150nm
L=0.8μm
GI=80nm
L=0.8μm
GI=20nm
(B)
VDD = 10V
발진 주파수 [kHz]
1단당 지연 시간 [nsec]
9000
8000
7000
6000
5000
4000
3000
2000
1000
0
30
25
20
15
10
5
0
L=3um
GI=150nm
L=0.8μm
GI=150nm
L=0.8μm
GI=80nm

도면36


시료 D1(AlN$_x$)
시료 D2(SiN:H)
L/W = 2μm/50μm
L/W = 3μm/50μm
L/W = 6μm/50μm
Id [A]
Vg [V]

도면37


ΔVth [V]
PBTS
NBTS
PBITS
NBITS
시료 D1(AlNx)
시료 D2(SiN:H)