



(12) 发明专利

(10) 授权公告号 CN 1265509 B

(45) 授权公告日 2010.10.27

(21) 申请号 99123118.X

(22) 申请日 1999.10.21

(30) 优先权数据

09/259,454 1999.03.01 US

(73) 专利权人 自由度半导体公司

地址 美国得克萨斯

(72) 发明人 雷·张 威廉·R·威尔

理查德·Y·王

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 付建军

(51) Int. Cl.

G11C 5/00(2006.01)

审查员 汪宁

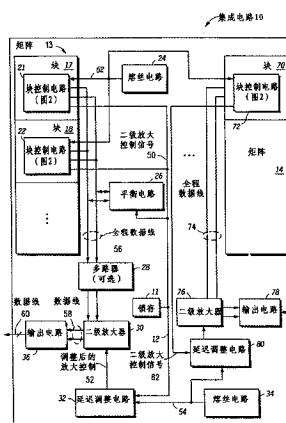
权利要求书 1 页 说明书 9 页 附图 4 页

(54) 发明名称

存储器中的可编程延迟控制

(57) 摘要

一种具有提供数据到全程数据线上被二级放大器接收的灵敏放大器的存储器。由可编程延迟电路定时的时钟启动该灵敏放大器和该二级放大器。由延迟选择电路对可编程延迟进行编程,提供连续的输出到可编程延迟电路。有两种延迟选择电路。一种是由启动灵敏放大器的所有可编程延迟电路共享,另一种是由启动二级放大器的所有可编程延迟电路共享。选择这两种延迟选择电路的输出,以提供对可编程延迟电路进行编程的输出,用来优化存储器访问时间的最坏情况。



1. 一种集成电路,包括:

第一熔丝电路 (24),其具有用于提供指示第一延迟的第一选择信号的输出端;

由存储单元块组成的多个矩阵 (13,14),其中,每个存储单元块包括:

灵敏放大器 (46),用于检测所述存储单元的逻辑状态并具有用于响应于被启动而提供表示所述存储单元的逻辑状态的信号的输出端;和

第一延迟调整电路 (40),用于接收所述第一选择信号并为所述灵敏放大器提供延迟信息;

耦接到所述灵敏放大器的输出端 (60,78) 的全程数据线 (56,74);

多个二级放大器 (30,76),其耦接到所述全程数据线并且提供表示所选的存储单元的输出端;

第二熔丝电路 (34),其具有用于提供指示第二延迟的第二选择信号的输出端;和

第二延迟调整电路 (32,80),用于接收所述第二选择信号并为所述二级放大器提供延迟信息。

2. 一种存储器,包括:

由存储单元块组成的多个矩阵;

多个灵敏放大器,其位于所述存储单元块中,用于检测所述存储单元的逻辑状态并具有用于响应于被启动而提供表示所述存储单元的逻辑状态的信号的输出端;

耦接到所述灵敏放大器的输出端的全程数据线;

第一熔丝电路,其具有用于提供延迟选择值的输出端;

第一多个延迟调整电路,用于启动所述灵敏放大器,所述第一多个延迟调整电路的每一个都具有耦接到所述第一熔丝电路的输出端的编程输入端;

多个二级放大器,其耦接到所述全程数据线;

第二熔丝电路,其具有用于提供延迟选择值的输出端;和

第二多个延迟调整电路,其启动所述二级放大器,所述第二多个延迟调整电路的每一个都具有耦接到所述第二熔丝电路的输出端的编程输入端。

3. 权利要求 2 的存储器,其中,所述第一熔丝电路包括多个耦合在一起以提供延迟选择值的熔丝,通过对该多个熔丝中选中的熔丝进行烧制来选择所述延迟选择值。

存储器中的可编程延迟控制

技术领域

[0001] 本发明涉及存储器中延迟的控制,尤其涉及利用可编程延迟来控制延迟。

背景技术

[0002] 存储器电路设计中的困难之一是优化 (optimizing) 存储器电路中启动 (enable) 各种功能的时钟信号的定时 (timing)。任何时钟信号从发送该时钟信号的电路到接收它的电路的过程中都存在固有的传输延迟。产生一个时钟信号一般是用于启动某种功能,具体来说,用于启动某个其它电路,该电路对被启动的功能起作用。为了使要求的延迟最优化,提供时钟信号来达到定时的目的。能对定时起帮助所作的事是对该延迟编程。该方法的特点之一是为了实现这种编程延迟,必须具有某些特征 (feature),例如熔丝。这种熔丝要在集成电路上占有空间。产生的时钟信号能为它所启动的一个电路进行优化,但是由于接收电路所处位置不同延迟也不同,因此另一个电路的时钟优化点的时间可能提前。提供某种级别的优化,但是利用熔丝来使延迟编程并不能解决与延迟的优化控制有关的所有问题。然而,由于熔丝占据空间,因此每一个可编程延迟元件本身不仅占用附加空间,而且必须包含一个以上的延迟。这样就要求有一个以上的全程延迟电路。除此以外,为了完成编程,还要求可熔性连接或其他结构。

[0003] 在存储器设计中,动态放大器的优点是众人皆知的。与静态放大器相比,动态放大器的优越之处主要在于节省功耗。静态放大器的优点是可以放大存在的任何信号,不管是什么时候,而不用锁存数据。因此一旦数据到达,就开始放大,如果数据必须被反相或者原始数据中带有噪音,不会产生输出端提供错误数据的危险,因为在错误的方向上不会锁存。如果开始在错误的方向上放大,它也能自动反相过来,最终提供正确的数据。在动态放大器中,一旦放大器开始工作,数据就被锁存。如果此时存在错误的或者不充分的数据,它就可能错误的方向上锁存。因此为了采用动态放大器在低功耗方面的优点,最重要的是启动的动态放大器的定时要被优化。如果被启动的时间迟于必要的时间,就会牺牲速度。如果启动太快了,会产生可靠性问题。具有正确定时的动态放大器的速度也可以比静态放大器快。

[0004] 为了改善功耗的效率和访问数据的速度的效率,在存储器中一般都要把存储器划分为许多子矩阵。存储器中存在很长的线,用于提供数据在输入端和存储单元所在的位置之间的传送。还可能有时钟信号分布在整个芯片上。从这些时钟的发源地到接收这些时钟的电路的距离可能相差很大,因此一个电路接收到时钟的延迟和另一个电路可能不一致。由于为了启动动态放大器要求有时钟,因此动态放大器存在这个问题。另外动态放大器还要经过加工处理,被供电,及存在其他二级效应,都将影响这种放大器是如何由时钟定时。这种二级效应还可能包括集成电路的其他部分产生的噪音,这种噪音可能由于在集成电路中的位置而产生变化。这些类型的变化增加了在存储器中实现动态放大器的难度。因此有必要为系统提供优化时钟,使接收时钟的电路在正确的时刻接收到时钟。

发明内容

[0005] 为解决上述技术问题,根据本发明的第一方面,提供一种集成电路,包括:第一熔丝电路(24),其具有用于提供指示第一延迟的第一选择信号的输出端;由存储单元块组成的多个矩阵(13,14),其中,每个存储单元块包括:灵敏放大器(46),用于检测所述存储单元的逻辑状态并具有用于响应于被启动而提供表示所述存储单元的逻辑状态的信号的输出端;和第一延迟调整电路(40),用于接收所述第一选择信号并为所述灵敏放大器提供延迟信息;耦接到所述灵敏放大器的输出端(60,78)的全程数据线(56,74);二级放大器(30,76),其耦接到所述全程数据线并且提供表示所选的存储单元的输出生;第二熔丝电路(34),其具有用于提供指示第二延迟的第二选择信号的输出端;和多个第二延迟调整电路(32,80),用于接收所述第二选择信号并为所述二级放大器提供延迟信息。

[0006] 根据本发明的第二方面,提供一种存储器,包括:由存储单元块组成的多个矩阵;多个灵敏放大器,其位于所述存储单元块中,用于检测所述存储单元的逻辑状态并具有用于响应于被启动而提供表示所述存储单元的逻辑状态的信号的输出端;耦接到所述灵敏放大器的输出端的全程数据线;第一熔丝电路,其具有用于提供延迟选择值的输出端;第一多个延迟调整电路,用于启动所述灵敏放大器,所述第一多个延迟调整电路的每一个都具有耦接到所述第一熔丝电路的输出端的编程输入端;多个二级放大器,其耦接到所述全程数据线;

[0007] 第二熔丝电路,其具有用于提供延迟选择值的输出端;和第二多个延迟调整电路,其启动所述二级放大器,所述第二多个延迟调整电路的每一个都具有耦接到所述第二熔丝电路的输出端的编程输入端。

[0008] 根据本发明的第三方面,提供一种存储器,其包括:由存储单元块组成的多个矩阵;位于存储单元块的第一块中的灵敏放大器,该灵敏放大器耦接到数据线,并具有启动输入端;耦接到数据线的二级放大器;具有用于提供第一延迟选择值的输出端的第一延迟选择电路;以及第一可编程延迟电路,其具有耦接到第一延迟选择电路输出端的编程输入端,并具有耦接到灵敏放大器启动输入端的输出端,以便根据从所述第一延迟选择电路接收的第一延迟选择值,向所述灵敏放大器输出具有第一被编程延迟的第一启动信号。

附图说明

[0009] 图1是根据本发明的一种实施方式的存储器的方块图;

[0010] 图2是图1的存储器的选择部分的方块图;

[0011] 图3示图2中所示的选择部分的一部分的逻辑图;

[0012] 图4是根据本发明的一种实施方式的灵敏放大器的电路图。

具体实施方式

[0013] 图1说明集成电路10的一种实施方式。集成电路10的至少一部分中包含存储电路。矩阵13和14是该存储电路的一部分。每一个矩阵都被划分为多个块(block)。例如,矩阵13包括块17和18。每一个存储块都包含块控制电路。例如,存储块17包含块控制电路21,存储块18包含块控制电路22。在本发明的一个实施方式中,块控制电路21和22是相同的。在本发明的其他实施方式中,在每一个存储块中的块控制电路可以相同,也可以

稍有不同。熔丝电路 24 具有提供信号 62 到块控制电路 21 和 22 的输出端,信号 62 在本实施方式中它由四个二进制数据位组成。块控制电路 21 和 22 连接到全程数据线 56,并通过全程数据线 56 提供输出到二级放大器 30。块控制电路 21 和 22 还连接到线 12 并通过线 12 提供输出给延迟调整电路 32。图 1 还表示出矩阵 14 中的块 70、块控制电路 72、全程数据线 74、与二级放大器 30 类似的二级放大器 76、输出电路 78 及延迟调整电路 80。块 70 中包含与块控制电路 21 和 22 类似的块控制电路 72。块控制电路 72 具有连接到全程数据线 74 的一对输出端、提供二级放大控制信号 82 的输出端及连接到熔丝电路 24 的输出的输入端。二级放大器 76 具有连接到全程数据线 74 的一对信号输入端、启动输入端及一对输出端。输出电路 78 的一对输入端连接到二级放大器 76 的一对输出端。延迟调整电路 80 具有用于接收二级放大控制信号 82 的时钟输入端、连接到熔丝电路 34 输出端的编程输入端及连接到二级放大器 76 的启动输入端的输出端。

[0014] 可选的多路器 28 可以用来确定用位于矩阵 13 还是矩阵 14 中的块来给二级放大器 30 提供数据。块控制电路 21 和 22 每一个都能单独给延迟调整电路 32 和平衡电路 26 提供二级放大控制信号 50。平衡电路 26 连接到全程数据线 56。熔丝电路 34 给延迟调整电路 32 提供一个或多个信号 54。延迟调整电路 32 给二级放大器 30 提供调整放大控制信号 52。二级放大器 30 给输出电路 36 提供数据线 58。输出电路 36 提供数据线 60 到集成电路 10 的外部。锁存器 11 通过线连接到块控制电路,例如块控制电路 21 和 22,并锁存二级放大器控制信号 50。诸如块控制电路 21 和 22 的块控制电路提供的输出及二级放大控制信号 50 都可以进行三态控制。

[0015] 图 2 表示块控制电路 21 和熔丝电路 24 的一部分。熔丝电路 24 对延迟调整电路 40 提供一个或多个信号 47。延迟调整电路 40 也接收块选择信号 49 和读信号 51 作为输入。块选择信号 49 也作为输入送到灵敏放大控制信号产生电路 42。延迟调整电路 40 给灵敏放大控制信号产生电路 42 和二级放大控制信号产生电路 44 提供信号 45。灵敏放大控制信号产生电路 42 给灵敏放大器 46 提供灵敏放大控制信号 43。二级放大控制信号产生电路 44 提供二级放大控制信号 50。灵敏放大器 46 连接到局域数据线 61 和 62,局部线 61 和 62 又连接到列译码器 47。译码器 47 通过位线 53 连接到存储单元 48。灵敏放大器 46 提供输出到全程数据线 56 和 57。

[0016] 图 3 表示图 2 的延迟调整电路 40 的一种实施方式。延迟调整电路 40 包含预定延迟电路 100 ~ 103、三态缓冲器 110 ~ 117、反相器 118-121 及与非门 104。与非门 104 的输入端接收块选择信号 49 和读信号 51。与非门 104 的输出端连接到预定延迟电路 100,并连接到三态缓冲器 110 的输入端。预定延迟电路 100 的输出端连接到三态缓冲器 114 的输入端。三态缓冲器 114 的输出端连接到预定延迟电路 101 的输入端和三态缓冲器 111 的输入端。预定延迟电路 101 的输出端连接到三态缓冲器 115 的输入端。三态缓冲器 115 的输出端连接到预定延迟电路 102,并连接到三态缓冲器 112 的输入端。预定延迟电路 102 的输出端连接到三态缓冲器 116 的输入端。三态缓冲器 116 的输出端连接到预定延迟电路 103,及三态缓冲器 113 的输入端。预定延迟电路 103 的输出端连接到三态缓冲器 117 的输入端。三态缓冲器 117 的输出端连接到三态缓冲器 113 的输出端,并提供信号 45。三态缓冲器 110 的输出端连接到三态缓冲器 111 的输入端。三态缓冲器 111 的输出端连接到三态缓冲器 112 的输入端。三态缓冲器 112 的输出端连接到三态缓冲器 113 的输入端。

[0017] 熔丝电路 26 给延迟调整电路 40 提供 N 个选择信号 122 ~ 125。虽然在图 3 所示的实施方式中表示出从熔丝电路 24 提供了四个选择信号,但本发明的实施方式也可以采用任何数量的选择信号。选择信号 122 连接到反相器 118 的输入端,连接到三态缓冲器 110 的反相控制输入端,并连接到三态缓冲器 114 的同相控制输入端。选择信号 123 连接到反相器 119 的输入端,连接到三态缓冲器 111 的反相控制输入端,并连接到三态缓冲器 115 的同相控制输入端。选择信号 124 连接到反相器 120 的输入端,连接到三态缓冲器 112 的反相控制输入端,并连接到三态缓冲器 116 的同相控制输入端。选择信号 125 连接到反相器 121 的输入端,连接到三态缓冲器 113 的反相控制输入端,并连接到三态缓冲器 117 的同相控制输入端。反相器 118 的输出端连接到三态缓冲器 110 的同相控制输入端,并连接到三态缓冲器 114 的反相控制输入端。反相器 119 的输出端连接到三态缓冲器 111 的同相控制输入端,并连接到三态缓冲器 115 的反相控制输入端。反相器 120 的输出端连接到三态缓冲器 112 的同相控制输入端,并连接到三态缓冲器 116 的反相控制输入端。反相器 121 的输出端连接到三态缓冲器 113 的同相控制输入端,并连接到三态缓冲器 117 的反相控制输入端。

[0018] 图 4 用方块图的形式更详细地表示出图 2 中的灵敏放大器 46。灵敏放大器 46 由以下组成:P 沟晶体管 202,P 沟晶体管 204,P 沟晶体管 206,P 沟晶体管 208,N 沟晶体管 210,N 沟晶体管 212,N 沟晶体管 214,P 沟晶体管 216,及 P 沟晶体管 218。晶体管 202 和 204 的栅用来接收预充信号 200。预充信号 200 是图 2 中所示的灵敏放大器控制信号 43 中的一个。晶体管 202 和 204 每一个的源都连接到正电源端 VDD,以接受正电源供电。晶体管 202 的漏连接到局域数据线 61。晶体管 204 的漏连接到局域数据线 62。晶体管 206 的源连接到 VDD,栅连接到局域数据线 62,漏连接到局域数据线 61。晶体管 208 的源连接到 VDD,栅连接到局域数据线 61,漏连接到局域数据线 62。晶体管 210 的栅连接到局域数据线 62,漏连接到局域数据线 61。晶体管 212 的栅连接到局域数据线 61,漏连接到局域数据线 62,源连接到晶体管 210 的源。晶体管 214 的栅用来接收灵敏放大启动信号 201,它也是图 2 中所示的灵敏放大控制信号 43 中的一个。晶体管 214 的漏连接到 210 和 212 的源,源连接到图 4 中所示的作为地的负电源端。晶体管 216 的栅连接到局域数据线 61,漏连接到地,源连接到全程数据线 56。晶体管 218 的栅连接到局域数据线 62,漏连接到地,源连接到全程数据线 57。

[0019] 在工作中,存储器中有类似于矩阵 13 和 14 的八个矩阵,习惯上称为八分矩阵(octant)。在本实施方式的描述中,在集成电路 10 的存储器的任何给定的访问中,四个八分矩阵将提供数据。每次访问提供 36 位数据,因此在每次访问中每个八分矩阵提供 9 位。每一个八分矩阵都有 32 个如图 1 所示的 17 和 18 的块。对于给定的访问,只有一个块会提供数据,因此对于给定的访问被选中的块将提供 9 位数据,被选中的四个八分矩阵中各有一个块。这样,矩阵 13 和 14 可以被看成是集成电路 10 的子矩阵,块 17 和 18 可以被看成是矩阵 13 的子矩阵。

[0020] 读之前,平衡电路 26 使全程数据线 56 平衡。图 1 中的多路器 28 通过全程数据线 56 连接到具有块 17 和 18 的八分矩阵。来自不同的八分矩阵,例如来自矩阵 14 的全程数据线也可以连接到多路器 28。多路器 28 提供从全程数据线 56 接收到的数据,或者从没有表示出的全程数据线接收的数据,送到二级放大器 30。也可以选择没有多路器 28 的情况,全程

数据线 56 直接连接到二级放大器 30,这样就必须有另外的二级放大器用来接收来自例如矩阵 14 的其他八分矩阵的未表示出来的全程数据线的的数据。

[0021] 输出电路 36 接收来自二级放大器 30 的数据,并在数据线 60 上提供要求的输出。延迟调整电路 32 为二级放大器 30 提供启动的定时。延迟的多少由熔丝电路 34 在线 54 上提供的信息决定。在集成电路 10 已经全部制造完成后的处理过程中单独选择熔丝电路 34。在存储器工艺中熔丝的烧制是很常用的。存储器一般具有通过熔丝烧制选择实现的冗余部份。另外根据批号、在圆片上的位置和其它信息来标识单个集成电路也变得很常用。这种信息也通过熔丝的烧制置于集成电路上。这种信息通过熔丝的烧制进行编码。这样,实际上对制作的每一个器件都要进行熔丝的烧制。当存储器具有冗余部份时,只有当要求冗余时才进行熔丝的烧制。实现冗余的技术是非常可靠的,因此虽然对每一个器件都有影响,但是使用这种技术的危险性非常小。

[0022] 熔丝电路 24 同样给块控制电路 21 和 22 与没有表示出来的块的块控制电路提供信息。该熔丝电路也是在电测试之后选择性地烧制以得到最优延迟。块控制电路 21 和 22 实现熔丝电路 24 在线 62 上提供的信息。例如,块控制电路 21 启动对块 17 提供的信息的灵敏放大 (sensing)。启动数据灵敏放大的块控制电路 21 同样也给延迟调整电路 32 提供二级放大控制信号 50。由熔丝电路 34 选择延迟数量的二级放大控制信号 50 启动延迟调整电路 32 对二级放大器 30 的触发。二级放大控制信号 50 也用于中止由平衡电路 26 提供的平衡过程。在这种情况下,信号 50 由锁存器 11 锁存,以维持由块控制电路 21 提供的逻辑状态,并输入到延迟调整电路。输送信号 50 的线 12 与全程数据线 56 物理上是匹配的。特意这样制作,使得信号 50 的行为 (behavior) (包括延迟) 与在全程数据线 56 上提供的输出的行为形成完美的匹配。这种由熔丝电路 24 完成的选择延迟的功能也可以由另一种类型的可编程电路来完成。例如这种功能可以由四位非挥发存储器来完成。这尤其可以应用于与具有 EEPROM 的 MCU 同在一个片上的 SRAM 提供延迟的情况。选择的延迟可以很方便的提供给 EEPROM,而不用烧制熔丝。

[0023] 图 2 表示块控制电路 21 与熔丝电路 24 的一部分。图 2 还表示出代表块 17 的存储单元的一块存储单元 48,以及表示出列译码器 47,它把来自存储单元的数据选择性地连接到灵敏放大器 46。因此在工作时,存储单元 48 中的一行存储单元被启动,位线沿着该字线检测 (develop) 数据。在位线对上检测数据。然后由列译码器 47 选择这些位线对中的一对连接到灵敏放大器 46。这是用于 SRAMs 的标准操作。除了在列译码器启动前灵敏放大器就启动了之外,该操作与用于 DRAMs 的相同。灵敏放大器 46 响应灵敏放大控制信号 43,放大并锁存来自选中的位线对的信息。在本特定的实施方式中,灵敏放大器 46 通过局域数据线 61 和局域数据线 62 接收来自位线的信息。列译码器 47 在八个位线对中选择,八个位线对中的一对通过局域数据线 61 和 62 耦合到灵敏放大器 46。来自灵敏放大控制信号产生电路 42 的灵敏放大控制信号 43 启动灵敏放大器 46。延迟调整电路 40 在线 45 上提供共用时钟信号,它是块选择信号和读信号的组合。灵敏放大控制信号产生电路 42 也接收到块选择信号 49,并用它在启动灵敏放大器 46 之前关断灵敏放大器 46 的预充。在图 4 中更详细的表示出灵敏放大器 46。预充信号 200 是灵敏放大控制信号 43 中的一个。

[0024] 正常工作时,首先激活读信号,然后激活块选择信号。然后延迟调整电路 40 响应由熔丝电路 24 决定的块选择信号延迟提供其输出——共用时钟信号。延迟调整电路 40 可

以根据熔丝电路 24 提供的选择信号对延迟进行编程。在这里描述的实施方式中,熔丝电路 24 提供四位二进制数据来调整延迟调整电路 40 的延迟。如图所示,熔丝电路 24 通过线 47 给延迟调整电路 40 提供数据。用于其它块的类似的延迟调整电路也连接到熔丝电路 24,从其接收这四个二进制数据。这样,这些在块控制电路中的其它可编程延迟(例如在块控制电路 21 中的延迟调整电路 40)中的每一个都被编程为同样的延迟。

[0025] 二级放大控制信号产生电路 44 也响应延迟调整电路 40 的输出——共用时钟信号 45,并提供二级放大控制信号 50,用于通过延迟调整电路 32 启动二级放大器 30,如图 1 所示。这样,通过共用时钟信号 45 响应块选择信号 49 启动灵敏放大器 46 和二级放大器 30 二者。由于信号 45 是在局部从块选择信号 49 产生的控制信号,因此灵敏放大器 46 的时钟、全程数据线 56 上数据的产生及用于使二级放大器 40 定时的信号 50 的产生都是紧密配合的。未被选中的块中的二级放大控制信号产生电路 44 必须提供高阻抗输出,因此其它选中的块的类似的块控制电路就可以通过延迟调整电路 32 启动二级放大器 30。二级放大控制信号产生电路 44 具有包括三态缓冲器的输出级。当没有块被激活时,锁存器 11 维持灵敏放大控制信号 50。灵敏放大器 46 在全程数据线 56 和 57 上提供的数据在如图 1 所示的实施方式中通过多路器 28 由二级放大器 30 间接接收,或在其它实施方式中由二级放大器 30 直接接收。

[0026] 在集成电路 10 被加工到能进行电测试之后,根据所进行的电测量来烧制熔丝电路 24 和 34。利用电测试来确定用于延迟调整电路 40 和延迟调整电路 32 的最优延迟。通过确定对来自每一个存储单元的数据进行可靠的检测的最小延迟得到最佳延迟。这样选择的熔丝电路 24 和 34 使得即使是最慢的位也会是可靠的。如果某些位非常慢,那么他们实际上是有缺陷的,在来为诸如延迟调整电路 40 和 32 这样的延迟调整电路来选择正确延迟时不把它们考虑在内。在延迟过长的情况下,这些过慢的位被认为是有缺陷的,用在存储器中通常可以利用的冗余部分来取代这些位。通过选择熔丝电路 24 和 34 优化了延迟调整电路之后,如果必要的话实现冗余替代,对标定的熔丝进行烧制,然后对集成电路 10 进行重新测试。

[0027] 延迟调整电路 40 位于块中的这种安排使得可以非常精确地跟踪与由调整电路 40 提供的延迟有关的其他延迟。延迟调整电路 40 也可以改变为与相邻的块选择电路共享。例如,延迟调整电路 40 可以由块控制电路 21 和 22 共享。熔丝电路 24 用于不由于工艺的变化而变化的精细调节。例如,与延迟调整电路在芯片上的单独位置上相比,通过将延迟调整电路靠近每一个块,就可以减少延迟长和延迟不一致的问题。为了提高效率,灵敏放大器 46 必须非常接近位线,否则会非常慢。存储单元提供到位线上的数据驱动能力非常小。这样对于诸如在块 21 中的灵敏放大器 46 这样的块内部的灵敏放大器,任何位于中心的延迟调整电路都必需横跨从其所在的位置到每一块的距离。这样从延迟电路到块所横跨的距离就会根据选中的块而改变。在局部提供延迟电路的另一个优点是能够和电源的变化匹配。电源电压随着在芯片上的位置而变化。与电源距离块的位置远的块相比,对于延迟电路靠近块的情况,延迟电路接收的电源电压更接近该块所接收的电压。同样,延迟调整电路 32 靠近电压放大器 30 能加强二者之间的匹配。

[0028] 电源电压随着在芯片中的位置不同变化可能很大。传送电源电压的线的尺寸很细,因此在这些线上流动的电流会产生电压降,位置不同,电压本身会改变。因此,通过烧制

熔丝对熔丝电路进行编程对可编程调整电路（例如延迟调整电路 40）提供信息，熔丝电路可以对那种有变化但是通过靠近电路没有完全匹配的情况进行调整。这可以包括电源变化的情况。另一个例子是：灵敏放大器提供有效输出的速度可能随加工工艺而改变。这种特性与产生时钟信号的普通反相器和逻辑门中产生的延迟不成比例，如果说在某种程度上成比例的话，也不是一一对一地成比例。因此，让这种变化的、不能匹配的，或至少不能简单的例如通过靠近块电路完全匹配的参数由熔丝电路 24 来处理。

[0029] 最慢的位决定存储器的速度。在实际应用中用户绝不会知道使用哪一位，不使用那一位。必须假定所有的位都使用。这样，制造者根据最慢的位来规定器件的速度。器件的操作者或者用户也只能简单的使器件工作在保证最慢位的时钟速度下。在这种情况下，局部电路 (local circuitry) 确保了对于任何给定的位，可以在最高速度下工作，熔丝电路确保即使工作最慢的位也被考虑在内，以至于最慢的位也会以其最快的能力工作。

[0030] 这样，就为灵敏放大器和二级放大器提供了最优延迟，从而为可靠的检测产生了足够的信号，但是和必要的相比延迟时间并不长。获得以上是通过使时钟延迟电路尽量接近这些延迟所定时的电路达到的。由于最坏情况是由器件的速度决定的，所以用于对这些延迟进行编程的独立的 (single) 熔丝电路是有效的，独立的熔丝电路对于优化最慢情况下的速度是足够的。比较快的位并不工作在其最快的速度下。但是无论如何这并不改善器件的效用。在这种情况下与延迟有关的信息广泛并连续传送，因此延迟电路在接收到任何其他信号之前就接收到用于延迟的延迟信息。这样就不会存在与延迟信息的传送有关的延迟，因此由独立的电路给在各个位置上的其他电路提供信息一般会产生的定时冲突就不会由于熔丝电路的位置产生问题。

[0031] 灵敏放大器 46 和二级放大器 30 的每一个都是被称为动态放大器的类型。灵敏放大器 46 由灵敏放大控制信号 43 来定时，因此它并不比必须的慢，但是它又足够长以确保可靠的数据的锁存。同样，二级放大器 30 也用同样的考虑来定时。在这种情况下，如果例如在二级放大器启动时，由块 17 在全程数据线 56 上提供的数据灵敏放大的不足够时，二级放大器可能会过早的接通。延迟调整电路 32 的位置非常接近电压放大器 30，块控制电路也非常接近块 17。这样从块 17 至二级放大器 30 的全程数据线 56 上的延迟就与从块控制电路 21 至延迟调整电路 32 的线 12 上的延迟匹配。由于这种匹配，在延迟调整电路 32 接收输入与电压放大器 30 在全程数据线 56 上接收数据之间的信号检测 (development) 延迟是完全一致的。放大控制信号 50 和灵敏放大控制信号 43 二者都是从共用信号——块选择信号 49 产生的，其优点是使得在全程数据线 56 上提供的数据与在线 12 上提供的二级放大控制信号的关系进一步匹配。

[0032] 熔丝电路 34 进行与熔丝电路 24 同样的优化。通过测量以得知最坏的情况，熔丝电路 34 把该信息提供给延迟调整电路 32，由此使得二级放大器 30 的启动延迟必要的长度，以保证能可靠的工作，但是又要尽可能的短，以使工作速度最快。根据与二级放大器 30 的工作有关的最坏情况来选择熔丝电路 34，但是每一个八分矩阵可能都有它自己的二级放大器。熔丝电路 34 根据每一个二级放大器选择延迟。虽然芯片的工作速度不比诸如二级放大器 30 的二级放大器的最慢工作快，由于熔丝电路 34 使最坏的情况优化，因此对于每一个二级放大器都有独立的熔丝电路组并不使工作速度降低。由于灵敏放大器 46 和二级放大器 30 的启动定时的改善，可以使动态放大器的功耗下降，同时使工作速度提高。

[0033] 图 3 表示的是用作延迟调整电路 40 的延迟电路。在该电路中,有四个不同的、成比例增加的延迟。在这种情况下,假定预定的延迟 103 作为参考延迟,用园括号 (1) 表示在图 3 中。预定的延迟 102 的延迟是预定的延迟 103 的两倍 (2),预定的延迟 101 的延迟是预定的延迟 103 的四倍 (4),预定的延迟 100 的延迟是预定的延迟 103 的八倍 (8)。由于是使用四位个二进制位,因此这四个延迟根据这四位来选择及安排,因此可以选择从 0 至 15 的任何数量的延迟,把从这四个二进制位可以得到的所有 16 个选择都计算在内。

[0034] 预定的延迟 100,101,102 及 103 中任何预定的延迟都可以被旁路,或以任何组合被使用。延迟 100,101,102 和 103 分别相应于二进制信号 122,123,124 与 125。当某特定的二进制信号为逻辑高时,相应的延迟启动。例如通过给二进制信号 122 和 124 施加逻辑高状态、二进制信号 123 和 125 施加逻辑低状态就可以得到延迟 10。其作用是经过预定的延迟 100 和 102,而旁路预定的延迟 101 和预定的延迟 103。通过使其中的两个工作,并在延迟之间利用三态驱动器,可以得到从 0 至 15 的所有可选择的线性的延迟。由于把译码电路集成在延迟通路中,因此是很密集的,其结果是只占用相当小的面积。在这种方式中这种类型的可编程延迟是很有利的,但不是必须的。可以用业界已知的其它类型的可编程延迟来代替延迟调整电路 40。

[0035] 除了二进制的一、二、四、八的方法外,也可以选用其它可得到的延迟比例。可能有基于位选择使用非线性延迟的情况。还可能会有这种情况:选择很大的延迟或延迟几乎为零,但是二者都要求进行精细调节。在这种情况下,在要求长延迟时,可以把预定的延迟 100 选定为相对长的延迟的近似值。其它延迟仍维持同样的一、二、四的关系,以覆盖长延迟或近于零的延迟情况的微细分辨率。无论在任何情况下,都可以用更有用的、能通过 122,123,124,和 125 输入二进制来得到的延迟的其它组合。

[0036] 图 4 表示灵敏放大器 46 接收到逻辑低状态的预充信号,使晶体管 202 和 204 导通,把局域数据线 61 和 62 预充到电源电压 VDD。局域数据线 61 (LDLB) 代表互补数据线。局域数据线 62 (LDL) 为真正的数据线。由于预充信号 200 在逻辑低状态时将局域数据线 61 和 62 预充到逻辑高,因此预充信号 200 逻辑低有效。预充信号 200 预充局域数据线 61 和 62 的同时,平衡电路 26 使全程数据线 56 和 57 平衡到 VDD。由于局域数据线 61 和 62 为逻辑高,因此晶体管 216 和 218 被禁止。开始读时,预充信号 200 被禁止,局域数据线 61 和 62 维持逻辑高的状态,这是由与这些线及连接到线上的晶体管节点有关的电容维持的。读过程开始时,位线开始检测数据,诸如列译码器 47 的列译码器把选中的位线对连接到局域数据线 61 和 62。局域数据线 61 和 62 检测到足够的信号之后,灵敏放大启动信号 201 启动,因此晶体管 214 导通。其作用是通过启动晶体管 206、208、210 和 212 而启动灵敏放大器 46,以开始放大并锁存局域数据线 61 和 62 上提供的数据。在本例中,假定局域数据线 61 和 62 分别接收由逻辑低状态和逻辑高状态代表的信息。在这种情况下,晶体管 218 仍然不导通,晶体管 216 变为导通。晶体管 216 导通的同时,由于电流通过晶体管 216 流到地,因此全程数据线 56 上的电压逐渐降低。在晶体管 216 变成不导通之前,全程数据线 56 上的电压会继续下降。全程数据线上的电压降低到不再超过晶体管 216 的阈电压时晶体管 216 变成不导通。晶体管 216 的阈电压受到由于晶体管 216 的源的体效应的影响。这样,在全程数据线 56 和局域数据线 61 之间的电压差的大小等于 P 沟晶体管的正常阈电压加上由于体效应所增加的量。

[0037] 全程数据线 57 保持不变。因此在全程数据线 56 和全程数据线 57 之间建立了电压差,但是该电压仅限制在 VDD 与晶体管 216 的阈电压加上体效应之差。这种类型的放大器的优点在于该电压差相当小,但又足以使二级放大器 30 很快地检测到。由于全程数据线 56 和 57 相当长,电容很大,因此这个很小的电压差有助于减少可能发生的下一次读操作的准备期间的预充时间。由于二级放大器 30 是动态放大器,因此它能检测到这个微小的电压差并锁存全程数据线 56 提供的的数据。然而主要优点是节省电流,由于在这种情况下,这些访问可能仅仅相隔 3ns,因此流到全程数据线 56 和 57 的大电容上的电荷数量就变得十分重要。

[0038] 灵敏放大启动信号 201 是优化灵敏放大器 46 的工作的关键定时信号。延迟调整电路 40 要对该信号进行准确的延迟,并由熔丝电路 24 提供的延迟选择信号 47 编程。给延迟调整电路(例如延迟调整电路 40)全程提供延迟信息的信号 47 响应块选择信号 49 对共用时钟信号 45 的启动进行准确的局部延迟。准确产生的共用时钟信号 45 又准确地产生灵敏放大启动信号 201。共用信号 45 也产生二级放大信号 50,因此在全程数据线 56 上数据的检测与在线 12 上二级放大信号 50 的检测相互匹配。

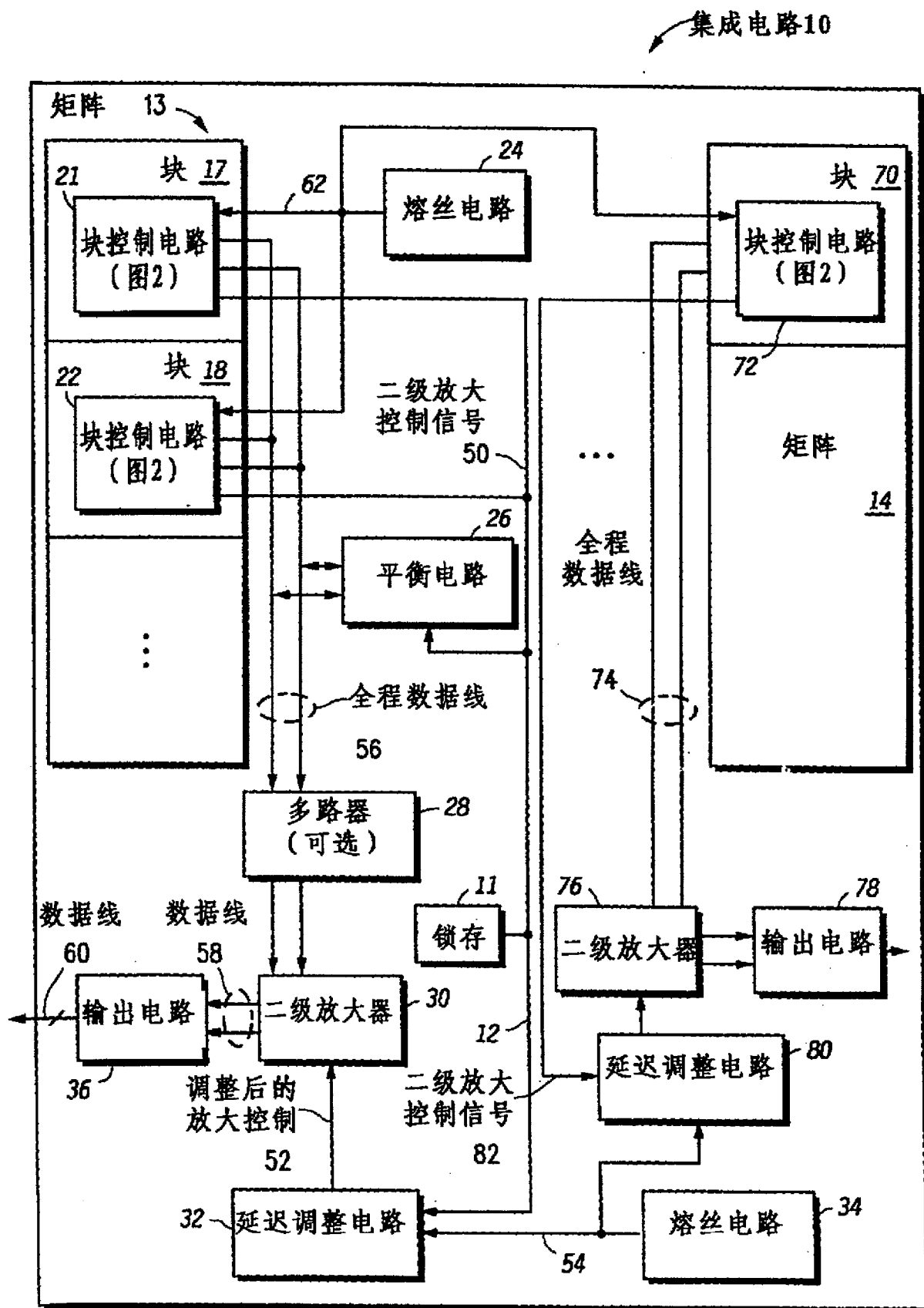


图 1

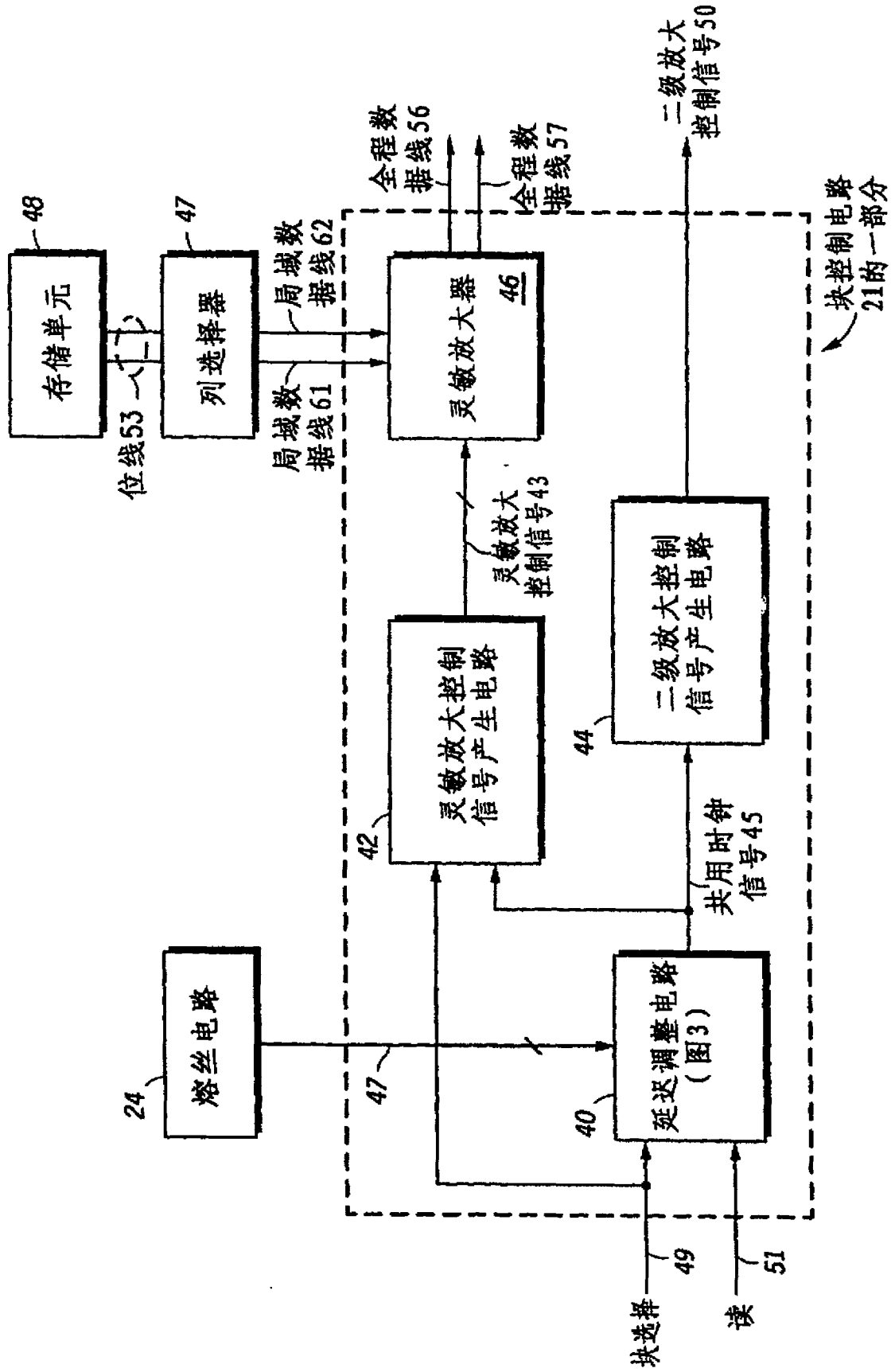


图 2

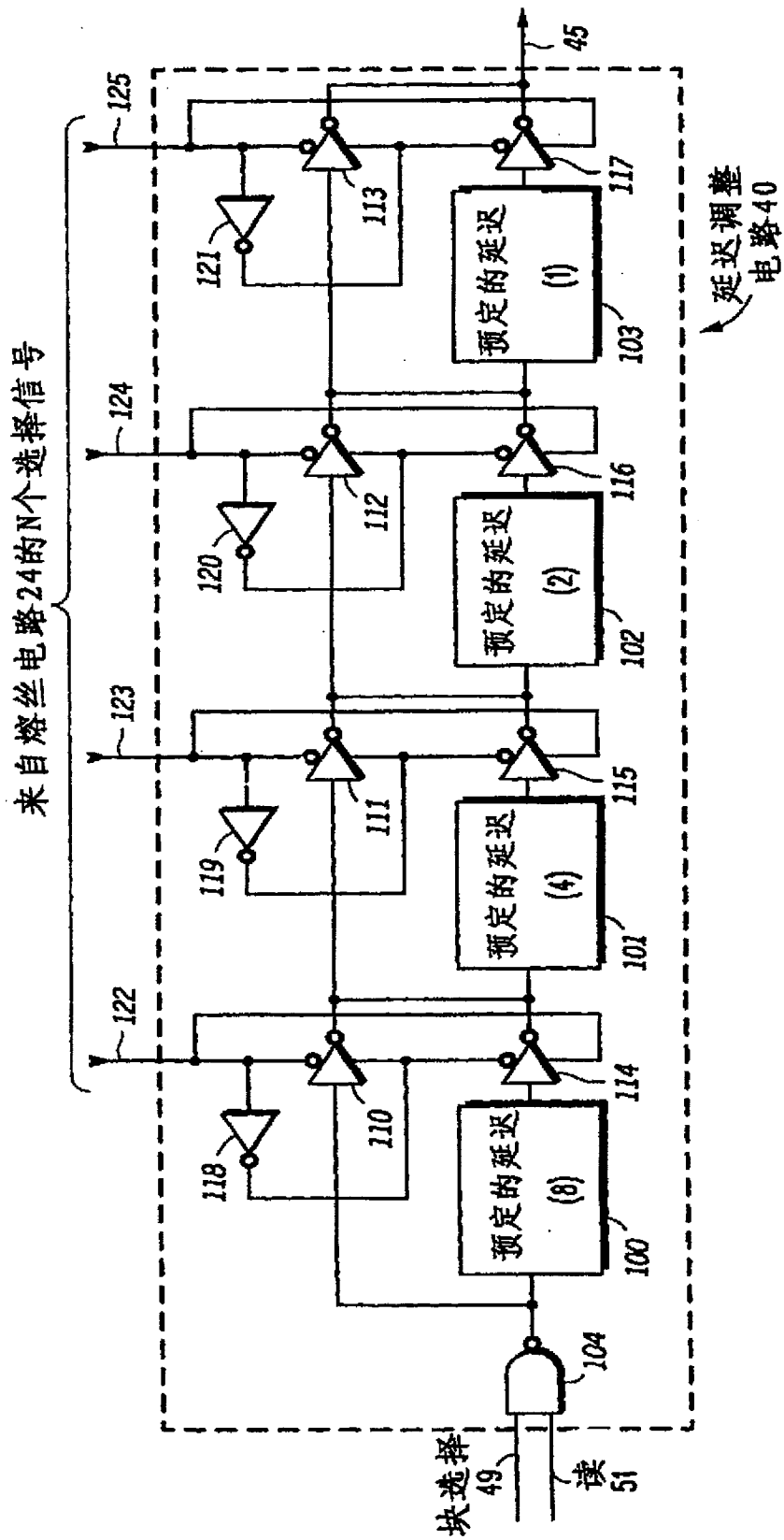


图 3

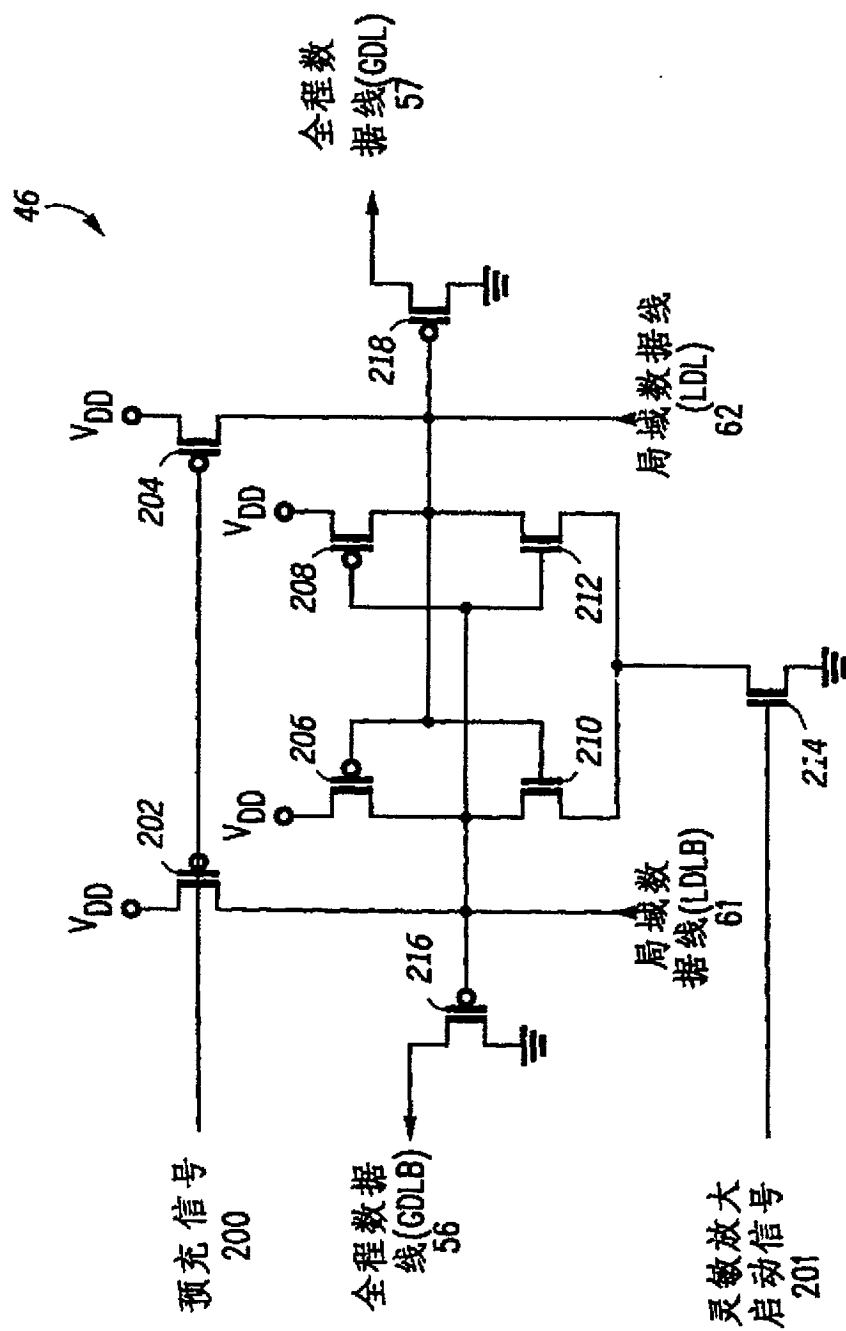


图 4