

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200510087664.7

H01L 27/115 (2006.01)

H01L 29/78 (2006.01)

H01L 21/8247 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2008 年 10 月 1 日

[11] 授权公告号 CN 100423273C

[22] 申请日 2000.12.8

[21] 申请号 200510087664.7

分案原申请号 00137393.5

[30] 优先权

[32] 1999.12.9 [33] JP [31] 350841/1999

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 井口直 姬野嘉朗 角田弘昭

[56] 参考文献

JP11-87543A 1999.3.30

JP11-163304A 1999.6.18

US5420060A 1995.5.30

审查员 谢朝方

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 岳耀锋

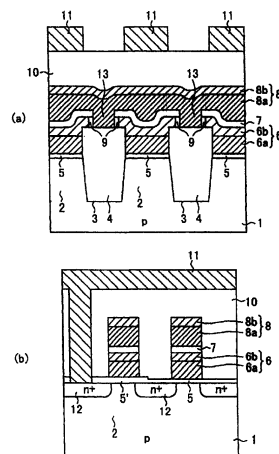
权利要求书 1 页 说明书 11 页 附图 21 页

[54] 发明名称

非易失性半导体存储器件的制造方法

[57] 摘要

提供一种非易失性半导体存储器件的制造方法，能够防止因浮栅间电荷移动导致的数据破坏，并且提高可靠性。其特征包括以上工序：在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜；在半导体衬底上形成第一栅绝缘膜；在第一栅绝缘膜上淀积第一栅电极材料膜；蚀刻第一栅电极材料膜，在元件分隔绝缘膜上形成分隔第一栅电极材料膜的隔缝；蚀刻隔缝露出的元件分隔绝缘膜的表面，形成凹部；在第一栅电极材料膜和元件分隔绝缘膜上依次淀积第二栅绝缘膜和第二栅电极材料膜；依次蚀刻第二栅电极材料膜、第二栅绝缘膜、第一栅电极材料膜，布图形成第一栅电极材料膜构成的浮栅和第二栅电极材料膜构成的控制栅；以及形成与控制栅自对准的源、漏扩散层。



1. 一种非易失性半导体存储器件的制造方法，其特征在于包括以下工序：

在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜；

在所述半导体衬底上形成第一栅绝缘膜；

在所述第一栅绝缘膜上淀积第一栅电极材料膜；

蚀刻所述第一栅电极材料膜，在所述元件分隔绝缘膜上形成分隔所述第一栅电极材料膜的隔缝；

蚀刻所述隔缝露出的所述元件分隔绝缘膜的表面，形成凹部；

在所述第一栅电极材料膜和所述元件分隔绝缘膜上依次淀积第二栅绝缘膜和第二栅电极材料膜；

依次蚀刻所述第二栅电极材料膜、所述第二栅绝缘膜、所述第一栅电极材料膜，布图形成所述第一栅电极材料膜构成的浮栅和所述第二栅电极材料膜构成的控制栅；以及

形成与所述控制栅自对准的源、漏扩散层。

2. 根据权利要求1所述的非易失性半导体存储器件的制造方法，其特征在于，所述第二栅绝缘膜是氧化硅膜/氮化硅膜/氧化硅膜的层叠膜。

3. 根据权利要求1所述的非易失性半导体存储器件的制造方法，其特征在于，所述第一栅电极材料膜由在所述元件分隔绝缘膜形成前淀积的第一导电膜和在所述元件分隔绝缘膜形成后淀积的第二导电膜的层叠膜构成。

4. 根据权利要求1所述的非易失性半导体存储器件的制造方法，其特征在于，所述元件分隔绝缘膜埋入在所述半导体衬底中形成的沟槽中。

非易失性半导体存储器件的制造方法

本申请是申请日为 2000 年 12 月 8 日、申请号为 00137393.5、发明名称为“非易失性半导体存储器件及其制造方法”的分案申请。

技术领域

本发明涉及非易失性半导体存储器件及其制造方法。

背景技术

采用浮栅和控制栅层叠的叠层栅极结构的存储单元，可以进行电改写的非易失性半导体存储器件（EEPROM）是公知的。这种 EEPROM 中，浮栅与半导体衬底之间的第一栅绝缘膜采用隧道绝缘膜，浮栅与控制栅之间的第二栅绝缘膜，通常采用氧化硅膜（O）/氮化硅膜（N）/氧化硅膜（O）的层叠结构膜的 ONO 膜。

各个存储单元形成在被元件分隔绝缘膜隔开的元件形成区域中。一般通过在元件分隔绝缘膜上的隔缝加工，浮栅电极膜在控制栅线（字线）方向形成分隔。在这种隔缝加工阶段，不进行位线方向的浮栅分隔。这样，在包含隔缝加工的浮栅电极膜上的衬底整体上，通过 ONO 膜淀积控制栅电极膜，通过依次蚀刻控制栅电极膜、ONO 膜、浮栅电极膜，在位线方向分隔控制栅和浮栅。之后，与控制栅自对准地形成源和漏扩散层。

在上述已有的 EEPROM 结构中，在元件分隔绝缘膜上分隔在字线方向邻接的存储单元的浮栅，而在其上形成的 ONO 膜在字线方向连续地配置。这种结构中，如果为了使存储单元细微化，使字线方向的浮栅的分隔宽度（隔缝宽度）变小，则可知邻接浮栅的电荷积累状态不同时，通过 ONO 膜发生电荷移动。这是因为电荷易于在 ONO 膜的氮化硅膜或者氮化硅膜与氧化硅膜的界面横向地移动。因此，在细

微化的 EEPROM 中, 与字线方向邻接的存储单元在不同的数据状态时, 由于电荷移动阈值发生变动, 由于这种情况导致数据被破坏。

发明内容

针对上述问题, 本发明的目的在于提供能够防止因浮栅间电荷移动而导致数据被破坏、提高可靠性的非易失性半导体存储器件及其制造方法。

根据本发明的非易失性半导体存储器件, 其特征在于包括: 半导体衬底; 在半导体衬底上由元件分隔绝缘膜所划分的多个元件形成区域; 通过所述各元件形成区域的第一栅绝缘膜, 分隔每个元件形成区域所形成的浮栅; 在浮栅上形成的, 由元件分隔绝缘膜切断分隔的第二栅绝缘膜; 通过第二栅绝缘膜在所述浮栅上形成的控制栅; 与控制栅自对准地形成的源、漏扩散层。

根据本发明的非易失性半导体存储器件, 其特征在于包括: 半导体衬底, 具有多个元件分隔沟槽和由该元件分隔沟槽划分的元件形成区域; 元件分隔绝缘膜, 埋入所述元件分隔沟槽中, 其上部从所述半导体衬底的表面突出, 而且其上部形成有凹部, 该凹部具有底面, 该底面的高度与所述半导体衬底的表面的高度大致相等; 第一栅绝缘膜, 形成在所述各元件形成区域上; 浮栅, 在所述第一栅绝缘膜上按各元件形成区域分开形成, 其高度高于所述元件分隔绝缘膜的高度, 其被相邻的所述元件分隔绝缘膜夹持的部分的侧面沿所述元件分隔绝缘膜的侧面形成; 第二栅绝缘膜, 形成在所述浮栅上和所述凹部的内面; 以及控制栅, 隔着所述第二栅绝缘膜形成在所述浮栅上和所述凹部内。

根据本发明的非易失性半导体存储器件的第一制造方法, 其特征在于包括以下工序: 在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜; 通过所述半导体衬底上的第一栅绝缘膜淀积第一栅电极材料膜和第二栅绝缘膜; 蚀刻所述第二栅绝缘膜及其之下的第一栅电极材料膜, 在所述元件分隔绝缘膜上形成分隔所述第一栅电极材料膜的隔缝; 在所述第一栅电极材料膜侧面形成绝缘膜之后, 淀积第二栅电

极材料膜；依次蚀刻所述第二栅电极材料膜、第二栅绝缘膜、第一栅电极材料膜，布图形成所述第一栅电极材料膜构成的浮栅和所述第二栅电极材料膜构成的控制栅；以及形成与所述控制栅自对准的源、漏扩散层。

根据本发明的非易失性半导体存储器件的第二制造方法，其特征在于包括以下工序：在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜；通过所述半导体衬底上的第一栅绝缘膜淀积第一栅电极材料膜和第二栅绝缘膜；蚀刻所述第二栅绝缘膜及其之下的第一栅电极材料膜，在所述元件分隔绝缘膜上形成分隔所述第一栅电极材料膜的隔缝；依次淀积第三栅绝缘膜和第二栅电极材料膜；依次蚀刻所述第二栅电极材料膜、第三和第二栅绝缘膜、第一栅电极材料膜，布图形成所述第一栅电极材料膜构成的浮栅和所述第二栅电极材料膜构成的控制栅；以及形成与所述控制栅自对准的源、漏扩散层。

根据本发明的非易失性半导体存储器件的第三制造方法，其特征在于包括以下工序：在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜；通过所述半导体衬底上的第一栅绝缘膜淀积第一栅电极材料膜；蚀刻所述第一栅电极材料膜，在所述元件分隔绝缘膜上形成分隔所述第一栅电极材料膜的第一隔缝；在所述第一栅电极材料膜和元件分隔绝缘膜上淀积第二栅绝缘膜；蚀刻与所述第二栅绝缘膜的所述第一隔缝重合的部分，在所述元件分隔绝缘膜上形成分隔所述第二栅绝缘膜的第二隔缝；淀积第二栅电极材料膜；依次蚀刻所述第二栅电极材料膜、第二栅绝缘膜、第一栅电极材料膜，布图形成所述第一栅电极材料膜构成的浮栅和所述第二栅电极材料膜构成的控制栅；以及形成与所述控制栅自对准的源、漏扩散层。

根据本发明的非易失性半导体存储器件的第四制造方法，其特征在于包括以下工序：在半导体衬底上形成划分元件形成区域的元件分隔绝缘膜；在所述半导体衬底上形成第一栅绝缘膜；在所述第一栅绝缘膜上淀积第一栅电极材料膜；蚀刻所述第一栅电极材料膜，在所述元件分隔绝缘膜上形成分隔所述第一栅电极材料膜的隔缝；蚀刻所述隔缝露出的所述元件分隔绝缘膜表面，形成凹部；在所述第一栅电极

材料膜和所述元件分隔绝缘膜上依次淀积第二栅绝缘膜和第二栅电极材料膜；依次蚀刻所述第二栅电极材料膜、所述第二栅绝缘膜、所述第一栅电极材料膜，布图形成所述第一栅电极材料膜构成的浮栅和所述第二栅电极材料膜构成的控制栅；以及形成与所述控制栅自对准的源、漏扩散层。

根据本发明，在夹持元件分隔绝缘膜而邻接的存储单元之间，在元件分隔绝缘膜上分隔浮栅和控制栅之间的第二栅绝缘膜，由此可以防止通过第二栅绝缘膜邻接的浮栅之间产生电荷移动。

而且，即使在元件分隔膜上不完全分隔第二栅绝缘膜，把元件分隔绝缘膜表面加工成凹部，使第二栅绝缘膜沿此凹部连续分布，实质上等价于邻接的浮栅间距增大，也可以防止邻接浮栅之间产生电荷移动。

因此，即使在使存储器单元微细化的情况下，也可以防止电荷移动造成的数据破坏，提高可靠性。

附图说明

图1是根据本发明第一实施例的EEPROM的存储单元阵列的布图。

图2是图1的A-A'和B-B'的剖面图。

图3是第一实施例的制造工序的剖面图。

图4是第一实施例的制造工序的剖面图。

图5是第一实施例的制造工序的剖面图。

图6是第一实施例的制造工序的剖面图。

图7是第一实施例的制造工序的剖面图。

图8是第一实施例的制造工序的剖面图。

图9是本发明第二实施例的制造工序剖面图。

图10是第二实施例的制造工序的剖面图。

图11是第二实施例的制造工序的剖面图。

图12是第二实施例的制造工序的剖面图。

图13是本发明第三实施例的制造工序剖面图。

图 14 是第三实施例的制造工序的剖面图。

图 15 是第三实施例的制造工序的剖面图。

图 16 是第三实施例的制造工序的剖面图。

图 17 是根据本发明第四实施例的 EEPROM 与图 2 (a) (b) 对应的剖面图。

图 18 是第四实施例的制造工序的剖面图。

图 19 是第四实施例的制造工序的剖面图。

图 20 是第四实施例的制造工序的剖面图。

图 21 是第四实施例的制造工序的剖面图。

图 22 是第四实施例的制造工序的剖面图。

图 23 是第四实施例的制造工序的剖面图。

图 24 是第四实施例的制造工序的剖面图。

图 25 是第四实施例的制造工序的剖面图。

图 26 是用于说明第四实施例效果的不良位数与隔缝宽度的相互关系图。

具体实施方式

以下, 参照附图说明本发明的实施例。

[第一实施例]

图 1 是根据本发明第一实施例的 NAND 型 EEPROM 的单元阵列的布图, 图 2 (a)、(b) 分别是图 1 的 A-A'、B-B'剖面图。

在硅衬底 1 的 p 型阱中形成存储单元阵列。在硅衬底 1 中形成元件分隔沟槽 3, 其中埋置形成元件分隔绝缘膜 4, 通过此元件分隔绝缘膜 4 划分出带状元件形成区域 2。

在各个元件形成区域 2 中, 通过作为隧道绝缘膜的第一栅绝缘膜 5, 形成浮栅 6。浮栅 6 是元件分隔前形成的第一多晶硅 (或非晶硅) 膜 6a 和元件分隔后形成的第二多晶硅 (或非晶硅) 膜 6b 的两层结构, 分隔每个存储单元。在浮栅 6 上, 通过第二栅绝缘膜 7 形成控制栅 8。控制栅 8 是多晶硅 (或非晶硅) 膜 8a 和硅化钨 (WSi) 膜 8b 的两层

结构。如图 2(a) 的剖面所示, 控制栅 8 跨越多个元件形成区域 2, 连续地布图形成, 构成字线 WL。

浮栅 6 和控制栅 8 之间的第二栅绝缘膜 7 是 ONO 膜。在此实施例中, 在如图 2(a) 的剖面图所示的字线 WL 方向, 利用元件分隔绝缘膜 4 上的隔缝 13, 分隔第二栅绝缘膜 7, 使其仅设置在各浮栅 6 之上。因此, 在浮栅 6 的侧面形成氧化硅膜 9, 由此实现与控制栅 8 的分隔。

形成与控制栅 8 自对准的源、漏扩散层 12, 构成多个存储单元串联连接的 NAND 型单元组件。

在 NAND 型单元组件的一端漏侧, 配置与控制栅 8 同时形成的选择栅 13, 位线 (BL) 11 与其漏扩散层连接。选择栅 13 具有与存储单元的栅极同样的层叠栅结构, 但第一层栅电极材料不作为浮栅分隔, 两层作为一体化地构成在预定位置短路的选择栅 13。而且, 该选择栅 13 的第一栅绝缘膜 5' 形成得比存储单元区域更厚。NAND 单元组件的另一端源侧未示出, 但与漏侧同样地构成。

参照作为与图 2(a)(b) 的剖面图对应的工序剖面图的图 3(a)(b) ~ 图 8(a)(b), 说明此实施例的 EEPROM 的具体制造工序。

如图 3(a)(b) 所示, 首先在硅衬底 1 上形成 10nm 的氧化硅膜, 作为第一栅绝缘膜 5, 在其上淀积 60nm 的第一多晶硅膜 6a, 作为栅电极材料膜, 再淀积用于元件分隔加工的掩模 21。在选择栅晶体管区域形成比单元晶体管区域更厚的栅绝缘膜 5'。掩模 21 是氮化硅膜和氧化硅膜的层叠膜。布图形成此掩模 21 使其留在元件形成区域, 采用该掩模蚀刻多晶硅膜 6a、第一栅绝缘膜 5、5', 再蚀刻衬底 1, 形成元件分隔沟槽 3。

之后, 在 O_2 气氛中进行 1000°C 的加热, 如图 4(a)(b) 所示, 在元件分隔沟槽 3 的内壁形成 6nm 左右的氧化硅膜 22。接着, 通过等离子体 CVD 淀积氧化硅膜, 通过 CMP 处理使其平坦化, 在元件分隔沟槽 3 内埋置元件分隔绝缘膜 4。之后, 在 900°C 的氮气气氛中进行 900°C 的加热处理, 然后除去掩模 21。通过 150°C 的磷酸处理除去氮化

硅膜。

之后,如图5(a)(b)所示,采用减压CVD法淀积掺杂磷的第二多晶硅膜6b,作为栅电极材料膜,接着淀积第二栅绝缘膜7构成的ONO膜。在元件分隔绝缘膜4上设置具有开口的抗蚀剂图形掩模,对这些第二栅绝缘膜7和第二多晶硅膜6b进行RIE蚀刻,如图6(a)(b)所示,形成在元件分隔绝缘膜4上分隔浮栅6的隔缝13。隔缝13的长度跨越NAND单元组件中的多个存储单元。就第二栅绝缘膜7来说,在利用元件分隔绝缘膜4上的隔缝13同时分隔这一点上与已有技术不同。

在O₂气氛中通过1000℃的加热,在因隔缝13的加工露出的多晶硅膜6b的侧面形成氧化硅膜9对其保护。之后,如图7(a)(b)所示,采用CVD法淀积掺杂磷的多晶硅膜8a,作为栅电极材料膜,接着在其上淀积WSi膜8b。

然后布图形成抗蚀剂,通过RIE依次蚀刻WSi膜8b、多晶硅膜8a、第二栅绝缘膜7、多晶硅膜6b、6a、第一栅绝缘膜5,如图8(a)(b)所示,布图形成作为连续字线WL的控制栅8,在位线方向对各个存储单元分隔每个浮栅6。进行离子注入,形成与控制栅8自对准的各存储单元的源、漏扩散层12。

对于选择栅线SG,不进行下部栅电极材料膜6a、6b的元件分隔绝缘膜4上的分隔,与上部栅电极材料膜8a、8b一体地连续布图形成。

之后,如图2(a)(b)所示,淀积层间绝缘膜10,设置接触孔,布图形成位线11。

根据以上所述实施例,浮栅6上的ONO膜构成的第二栅电极材料膜,与浮栅6同时在元件分隔绝缘膜4上被分隔。因此,在邻接存储单元的浮栅接近的情况,不会发生电荷泄漏,数据保持性优异。

[第二实施例]

图9(a)(b)~12(a)(b)展示了另一实施例的制造工序。与在先实施例对应的部分采用与在先实施例相同的符号,省略了详细说明。本实施例中,浮栅6上的ONO膜构成的第二栅绝缘膜7也在

元件分隔绝缘膜 4 上被分隔, 但是其工序与在先实施例不同。

直到图 5 (a) (b) 均与在先实施例的工序相同。之后, 如图 9 (a) (b) 所示, 在第二栅绝缘膜 7 上淀积氧化硅膜 31, 在元件分隔绝缘膜 4 上对其开出隔缝加工用开口 13'。再淀积氧化硅膜 32。这样, 进行蚀刻, 如图 10 (a) (b) 所示, 在开口 13' 留下氧化硅膜 32 作为侧隔板。在此状态, 以氧化硅膜 31、32 作为掩模, 通过 RIE 蚀刻第二栅绝缘膜 7 和多晶硅膜 6b。由此, 与在先实施例相同地, 在元件分隔绝缘膜 4 上加工出分隔第二栅绝缘膜 7 和多晶硅膜 6b 的隔缝 13。

之后, 采用 HF 去除氧化硅膜 31、32 之后, 如图 11 (a) (b) 所示, 通过减压 CVD 法全面淀积氧化硅膜 33。该氧化硅膜 33 淀积后, 在 O_2 气氛中, 在 1000°C 加热, 制成无电荷移动等的致密氧化膜。这种氧化硅膜 33 与第二栅绝缘膜 7 共同构成绝缘膜, 而且成为保护多晶硅膜 6b 侧面的绝缘膜。

之后, 如图 12 (a) (b) 所示, 依次淀积多晶硅膜 8a 和 WSi 膜 8b, 以下与在先实施例相同地对其进行布图, 形成控制栅 8 和浮栅 6, 形成源、漏扩散层 12。

对于该实施例, 与在先实施例一样, 浮栅 6 上的 ONO 膜构成的第二栅绝缘膜 7 被元件分隔区域分隔。因此获得优异的数据保持性。

[第三实施例]

图 13 (a) (b) ~ 图 16 (a) (b) 是另一实施例的制造工序。在先实施例中, 如图 5 (a) (b) 所示, 是连续淀积第二多晶硅膜 6b 和第二栅绝缘膜 7。与其不同, 本实施例中, 如图 13 (a) (b) 所示, 在淀积第二栅绝缘膜 7 之前, 形成使第二多晶硅膜 6b 在元件分隔绝缘膜 4 上被分隔的隔缝 13。之后, 淀积第二栅绝缘膜 7。

因此, 在第二栅绝缘膜 7 上, 形成具有与隔缝 13 相同的开口的抗蚀剂图形 (未示出), 采用 RIE 蚀刻第二栅绝缘膜 7, 如图 14 (a) (b) 所示, 在隔缝 13 的部分分隔。之后, 与在先实施例一样, 如图 15 (a) (b) 所示, 采用 CVD 法淀积掺杂磷的多晶硅膜 8a 作为栅电极材料膜, 接着在其上淀积 WSi 膜 8b。

随后布图形成抗蚀剂，通过 RIE 依次蚀刻 WSi 膜 8b、多晶硅膜 8a、第二栅绝缘膜 7、多晶硅膜 6b、6a、第一栅绝缘膜 5，如图 16(a) (b) 所示，布图形成控制栅 8 作为连续的字线 WL，在位线方向对每个存储单元分隔浮栅 6。进行离子注入，形成与控制栅 8 自对准的各存储单元的源、漏扩散层 12。

通过本实施例，由于在元件分隔绝缘膜 4 上分隔浮栅 6 上的第二栅绝缘膜 7，所以获得与在先实施例同样优异的数据保持特性。

[第四实施例]

在此之前的实施例中，是在元件分隔绝缘膜 4 上切断分隔第二栅绝缘膜 7，但是本实施例不进行切断分隔，也能获得实质上等同的效果。本实施例的单元阵列的剖面结构如图 17(a) (b) 所示，与图 2(a) (b) 对应。

图 17(a) (b) 的结构与图 2(a) (b) 的不同点在于，在淀积第二栅绝缘膜 7 之前，进行在元件分隔绝缘膜 4 上分隔浮栅 6 的隔缝 13 的加工，与此同时对元件分隔绝缘膜 4 进行凹槽蚀刻，形成凹部 41。因此沿元件分隔绝缘膜 4 表面形成的凹部配置第二栅绝缘膜 7。

如图 17(a) (b) 所示，如果隔缝 13 的宽度、也就是元件分隔绝缘膜 4 形成的凹部 41 的宽度为 a ，凹部 41 的深度为 b ，则邻接的浮栅 6 的间隔实质上是 $a+2b$ 。通过把该间隔设定为可以忽略浮栅间电荷移动的该值，可以获得与在先实施例同样优异的数据保持特性。

对于图 17(a) 的剖面图，参照图 18~图 25，说明本实施例的具体制造工序。如图 18 所示，在硅衬底 1 上形成 8nm 的氧化硅膜作为第一栅绝缘膜 5，通过减压 CVD 法在其上淀积 60nm 的第一多晶硅膜 6a。通过减压 CVD 法连续淀积 150nm 的氮化硅膜 21a、和 165nm 的氧化硅膜 21b。

之后，进行 30 分钟的 850℃ 氢燃烧氧化处理，之后通过光刻法形成抗蚀剂图形，使其覆盖元件分隔区域，RIE 蚀刻氧化硅膜 21b 和氮化硅膜 21a，布图形成掩模。使用此掩模 RIE 蚀刻多晶硅膜 6a、栅绝缘膜 5，再蚀刻硅衬底 1 形成元件分隔沟槽 3。由此划分带状元件形成

区域 2。

接着，在元件分隔沟槽 3 的侧壁形成热氧化膜之后，通过等离子体 CVD 法淀积氧化硅膜 4，对其进行 CMP 处理，使其平坦化，如图 19 所示，埋入元件分隔沟槽 3 内。采用缓冲氢氟酸除去氧化硅膜 21b，再通过 30 分钟的 150℃ 的磷酸处理除去氧化硅膜 21a，获得图 20 的状态。

之后，如图 21 所示，通过减压 CVD 法淀积 100nm 的第二多晶硅膜 6b。接着如图 22 所示，通过减压 CVD 法淀积 230nm 的氧化硅膜 42，经过光刻法和 RIE 工序，形成隔缝加工用开口 13'。如图 23 所示，通过减压 CVD 法淀积 70nm 的氧化硅膜 43，进行蚀刻，作为侧隔板仅在开口 13' 的侧壁留下。

接着，以氧化硅膜 42、43 作为掩模，通过 RIE 蚀刻多晶硅膜 6b，如图 24 所示，加工用于分隔浮栅的隔缝 13。而且，采用多晶硅的选择比大的 RIE 法，蚀刻元件分隔绝缘膜 4 的表面，在元件分隔绝缘膜 4 形成与隔缝 13 宽度相同的凹部 41。

之后，通过 O₂ 等离子体和 HF 处理除去氧化硅膜 42、43，然后如图 25 所示，淀积 17nm 的 ONO 膜构成的第二栅绝缘膜 7，随后通过减压 CVD 法依次淀积 100nm 的第三多晶硅膜 8a、通过等离子体 CVD 法淀积 50nm 的 WSi 膜 8b。

以下未示出，经过与在先实施例相同的工序，形成与各存储单元的栅极分隔的源、漏扩散层。

图 26 展示了分隔邻接的浮栅的隔缝宽度与因浮栅间电荷移动而发生的不良位数之间的关系。图中箭头表示不良位数分散的范围，曲线是统计的平均值。已经知道，随着存储单元的细微化、高密度化，如果隔缝宽度小到 0.14μm 以下，则极端不良的位数增多。根据本实施例，对于平面上的隔缝宽度 a，利用元件分隔绝缘膜 4 的凹部深度 b，隔缝宽度实质上可以成为 $a+2b$ 。具体地，在 256M 位 NAND 型 EEPROM 中，不良位数的要求是 2 位/芯片时，隔缝宽度至少必须是 0.14μm。因此，在此实施例的情况，通过加工满足 $a+2b > 0.14$ (μm)

的凹部 41，可以满足上述要求。

以上所述的本发明的 EEPROM，在夹持元件分隔绝缘膜而邻接的存储单元之间，在元件分隔绝缘膜上分隔浮栅和控制栅间的第二栅绝缘膜，由此可以防止邻接的浮栅间的电荷移动。或者，即使不在元件分隔膜上完全分隔第二栅绝缘膜，在元件分隔绝缘膜表面上加工凹部，第二栅绝缘膜沿此凹部连续，实质上加大邻接浮栅间的距离，防止邻接的浮栅间的电荷移动。因此，即使在存储单元细微化的情形，也能够防止因电荷移动破坏数据。

图 1

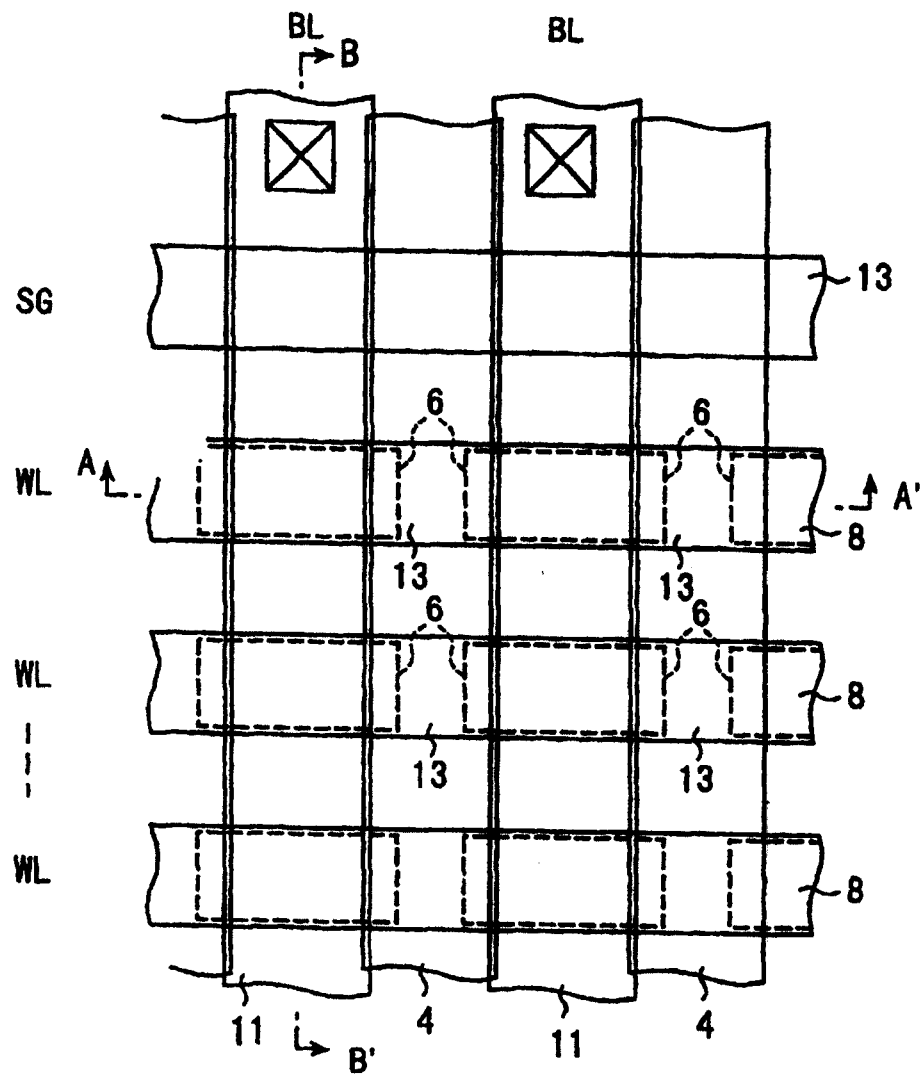


图 3

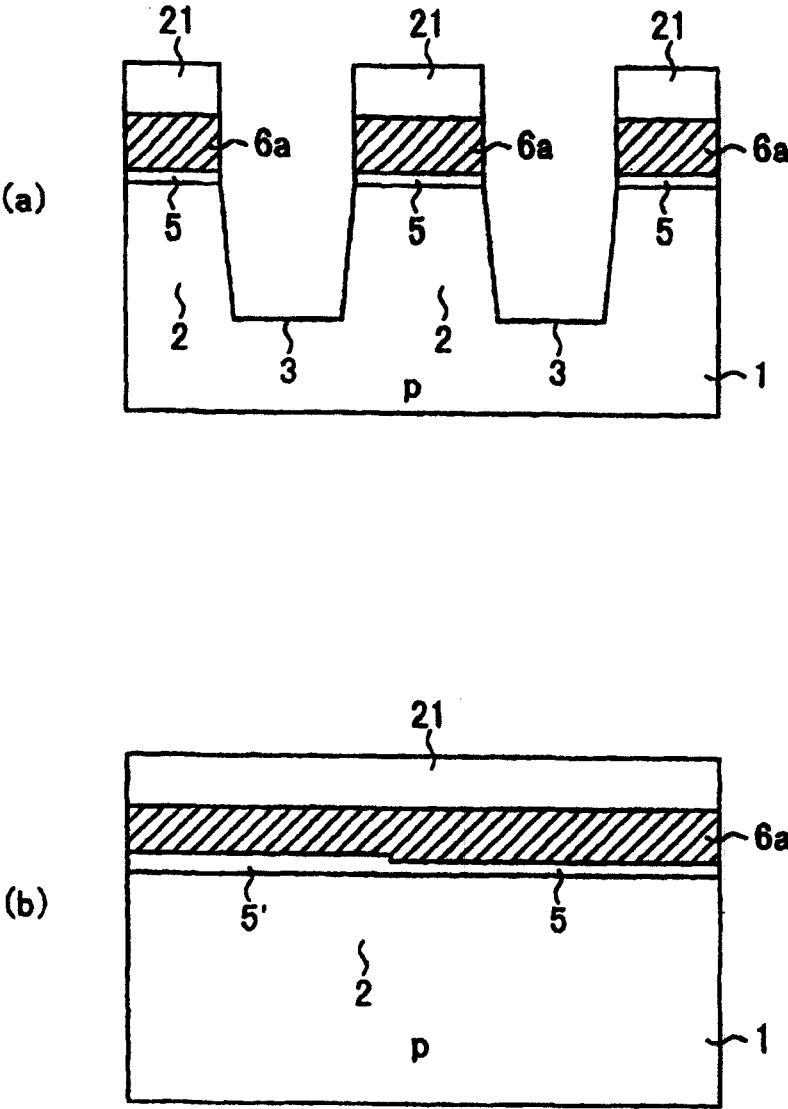


图 4

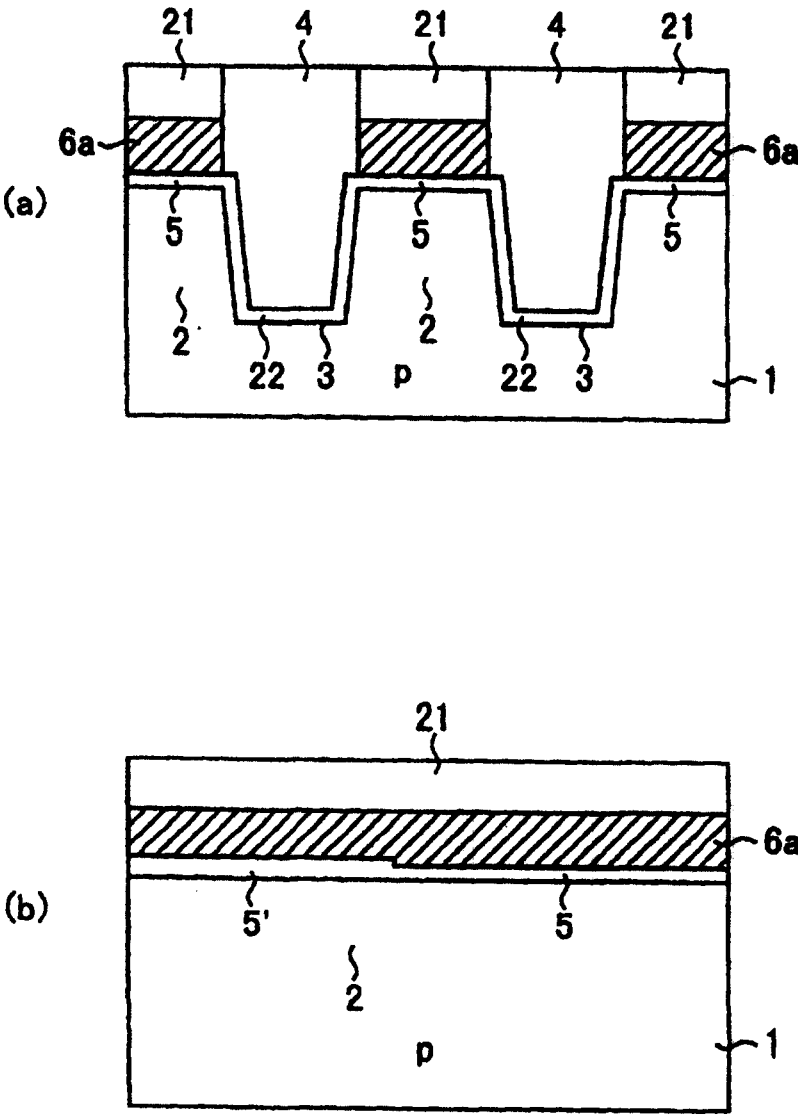


图 5

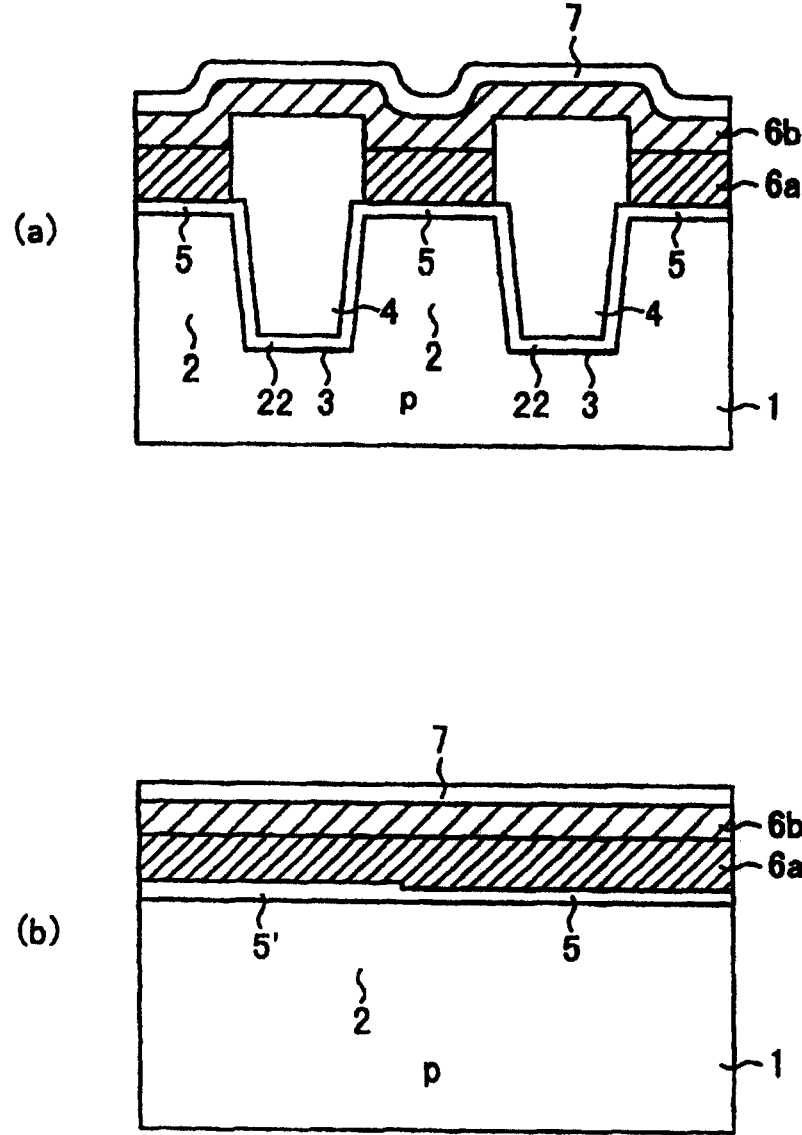


图 6

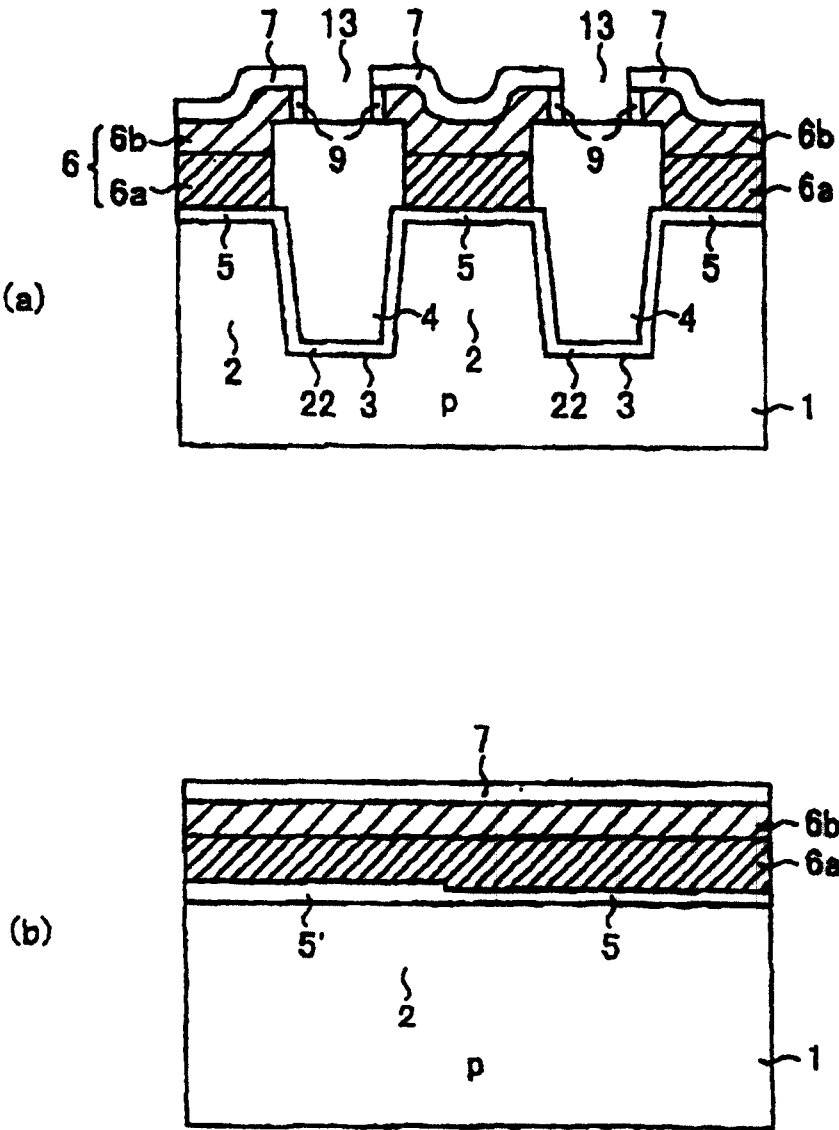


图 7

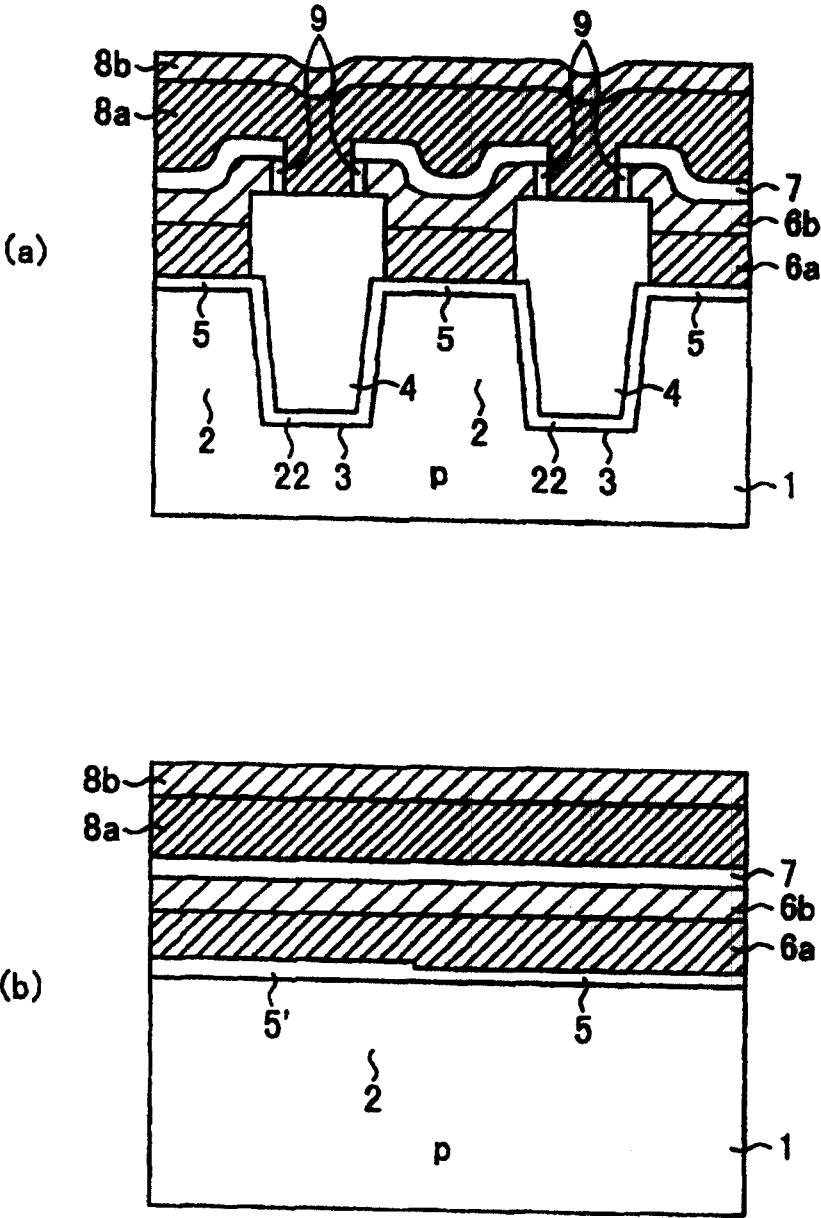


图 8

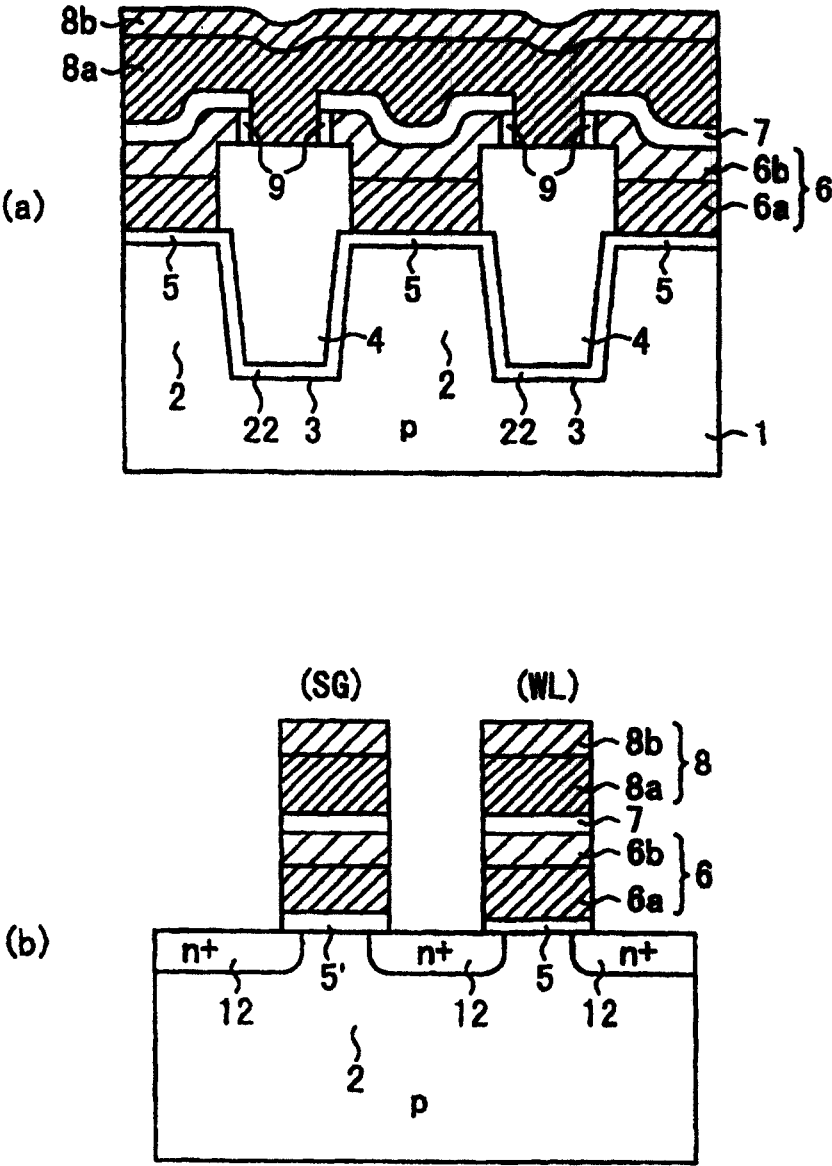


图 9

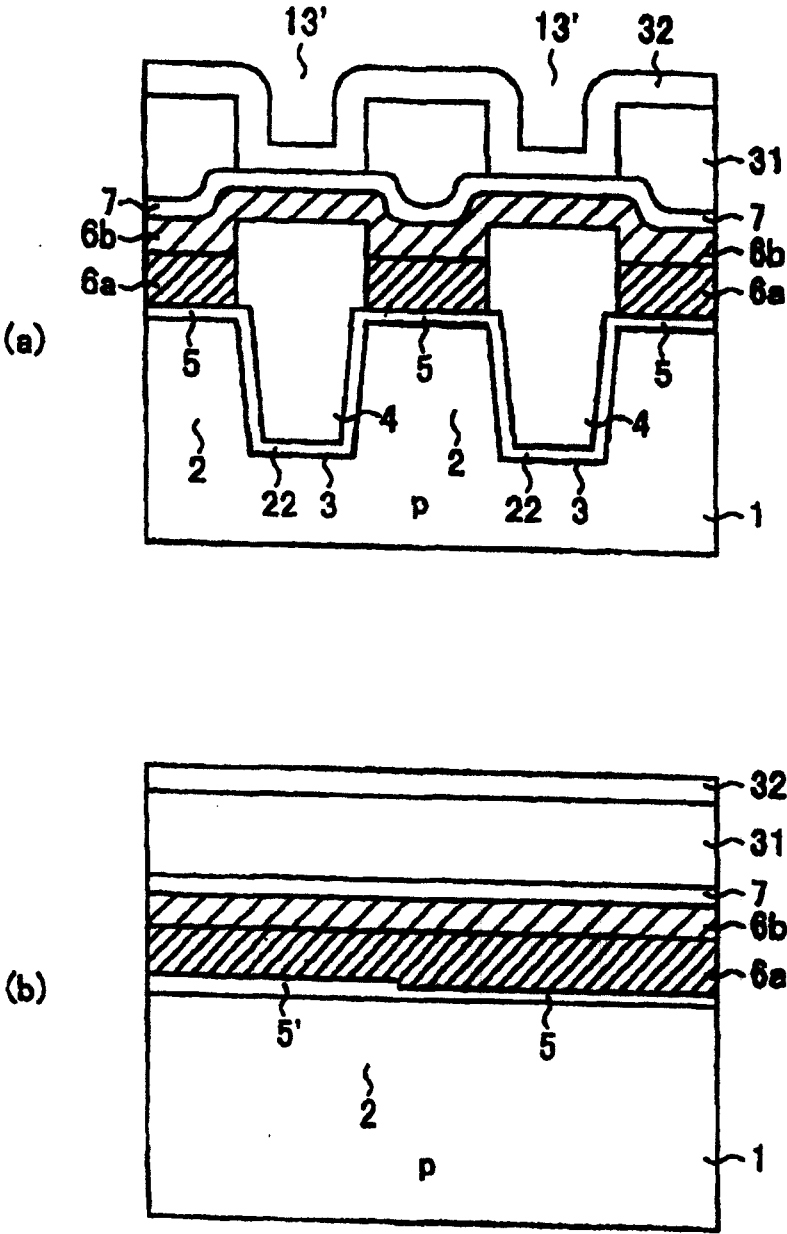


图 10

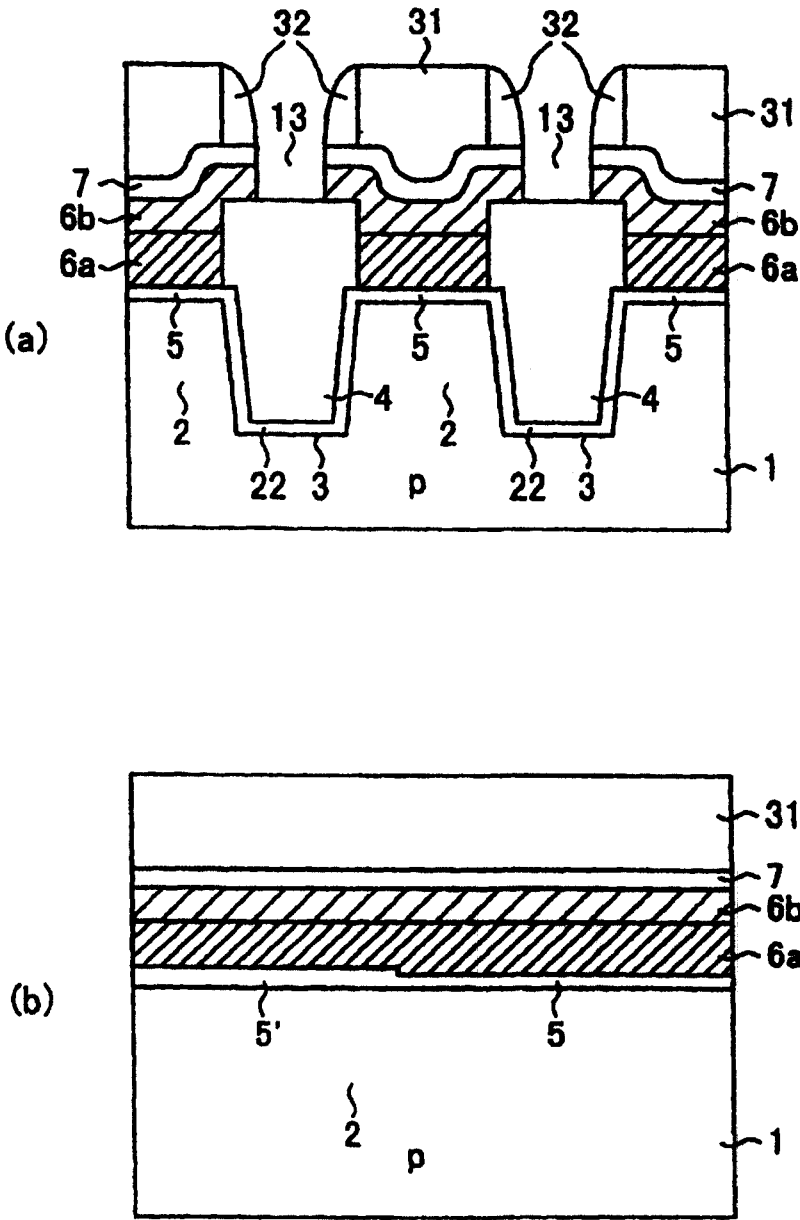


图 11

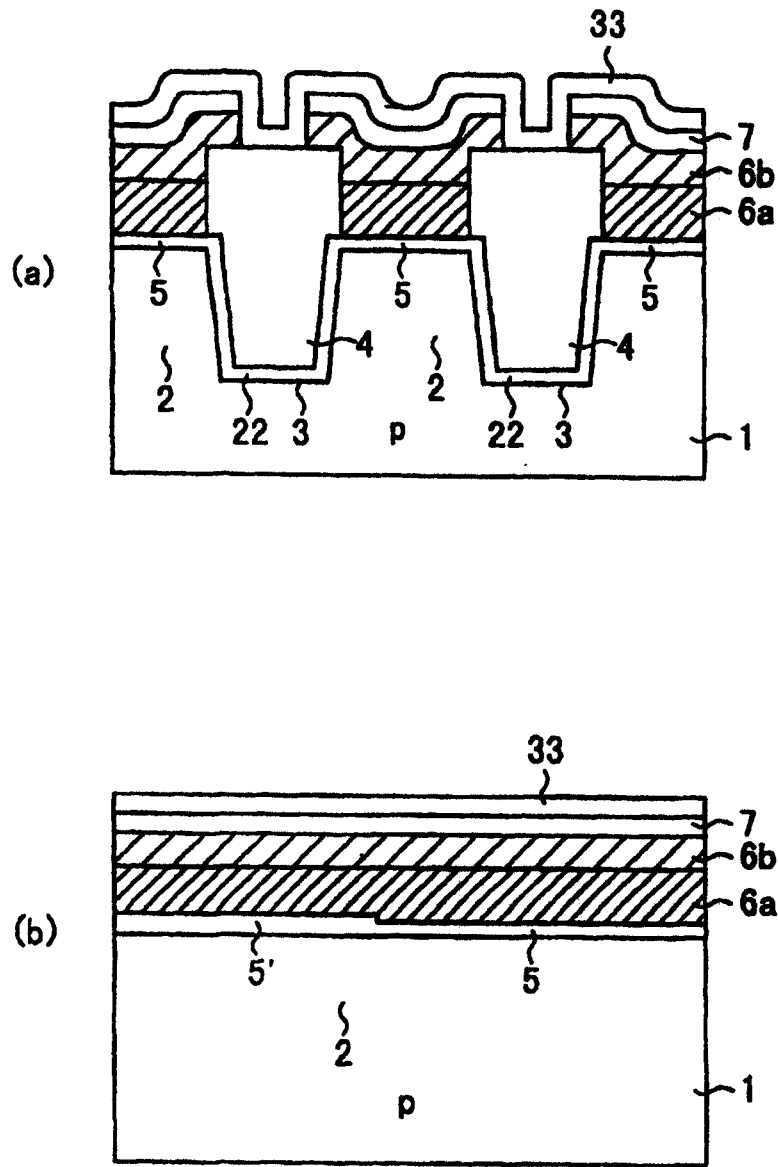


图 12

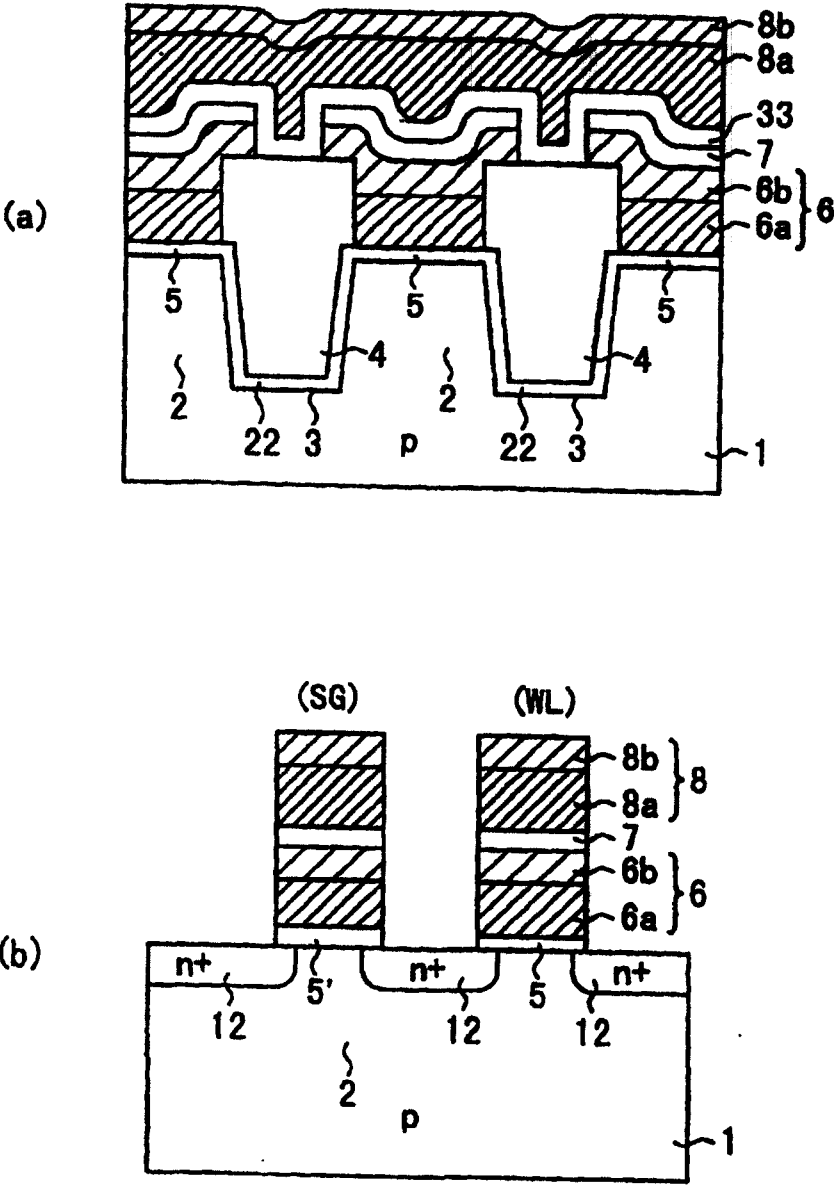


图 13

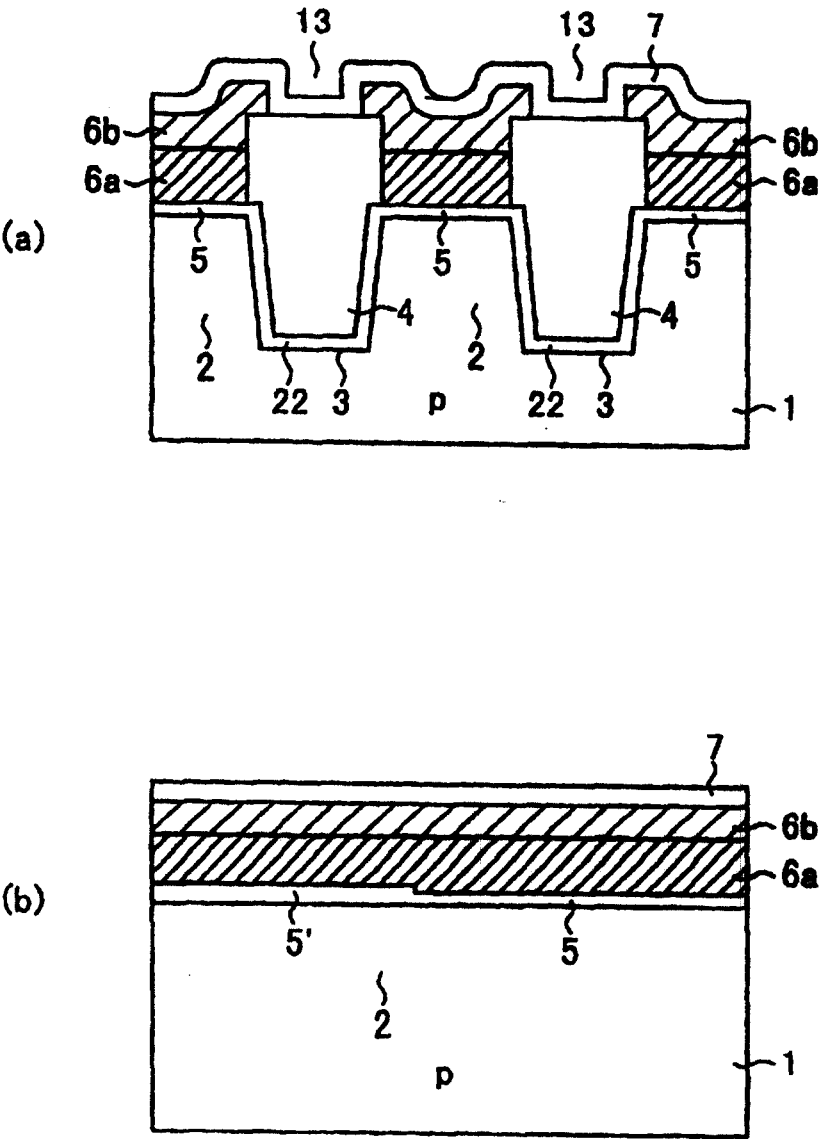


图 14

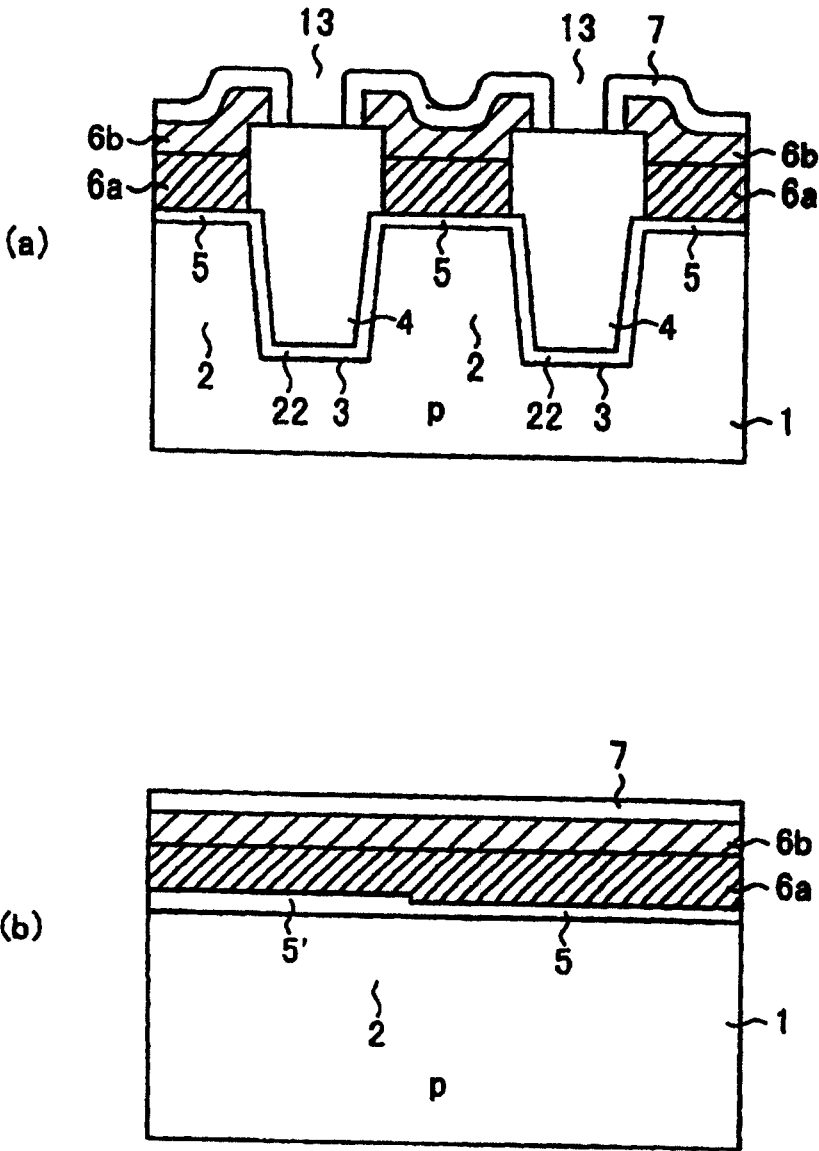


图 15

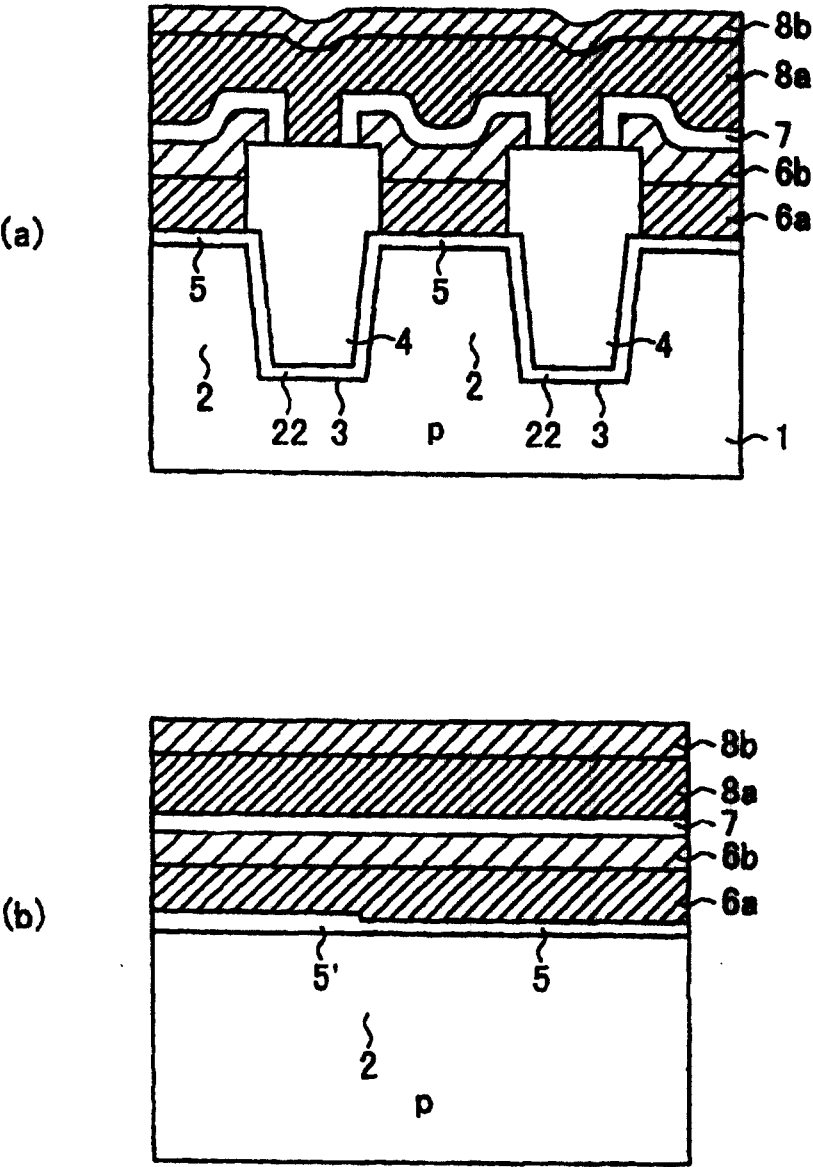


图 16

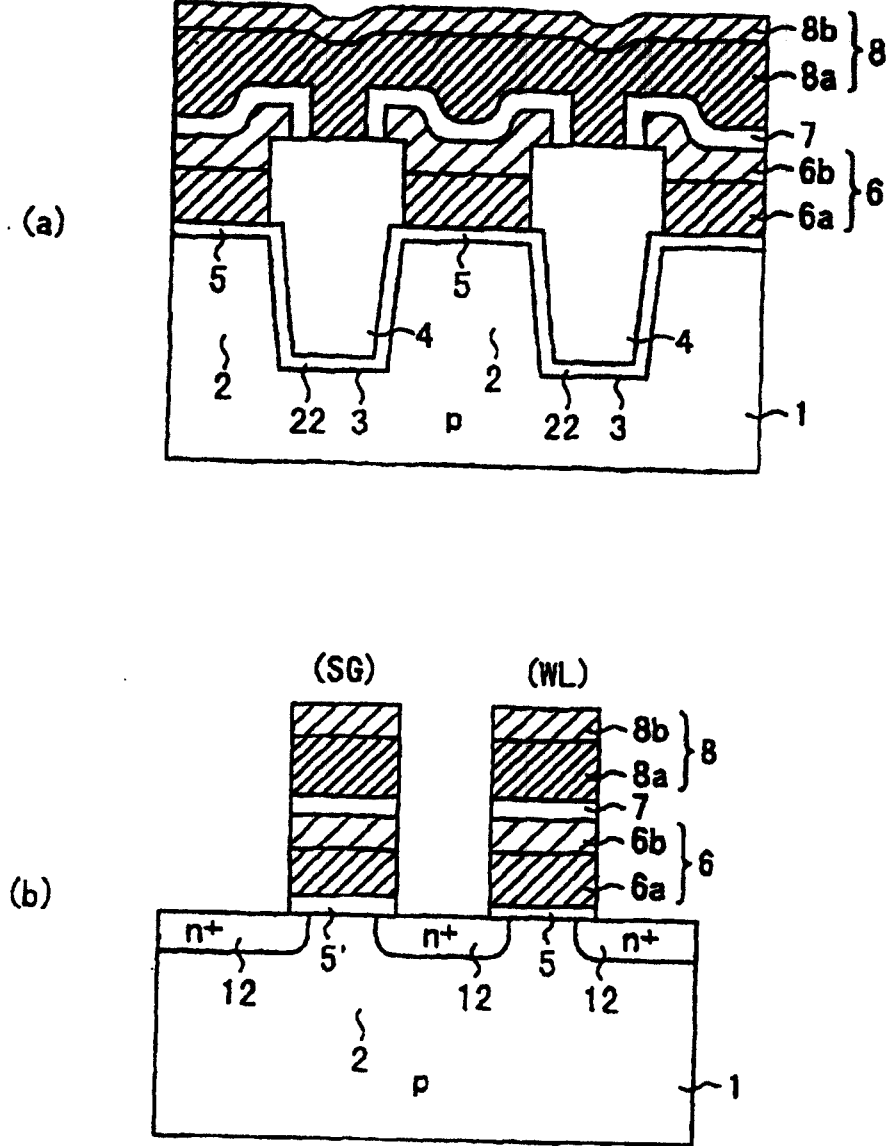


图 18

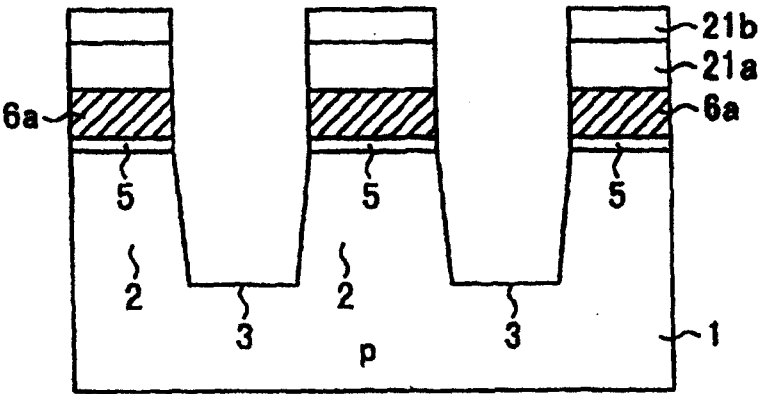


图 19

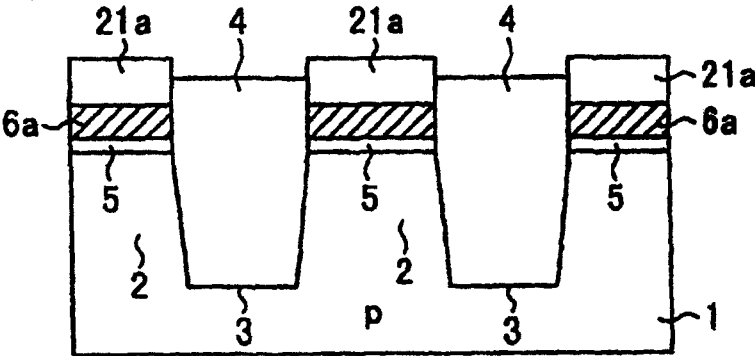


图 20

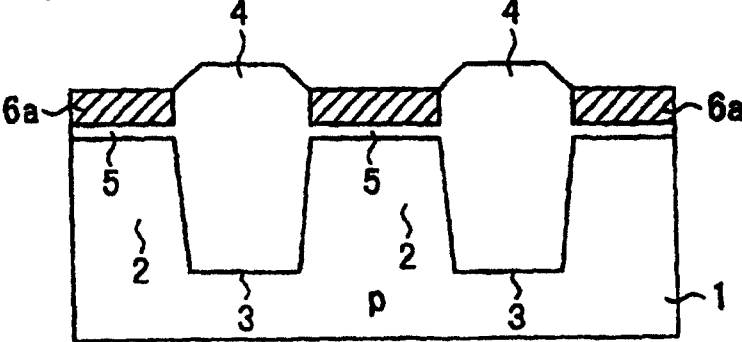


图 21

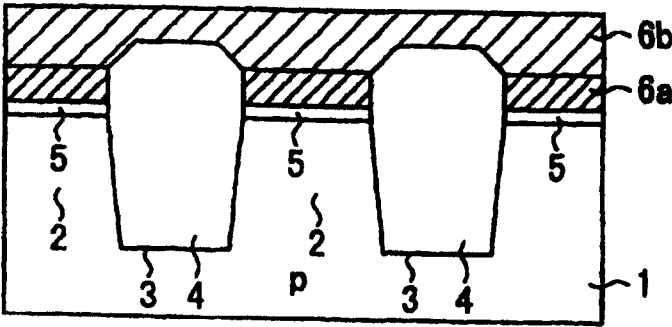


图 22

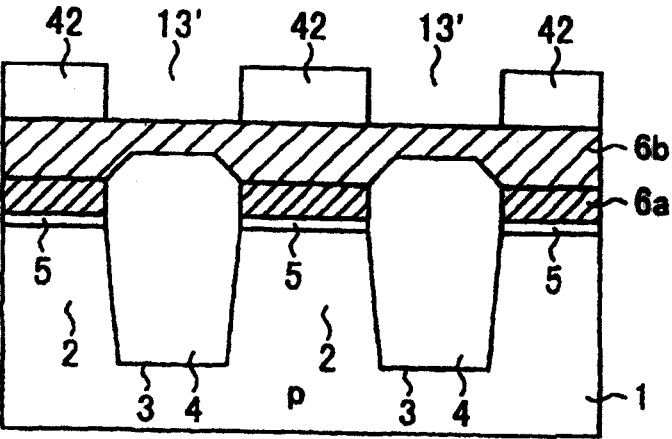


图 23

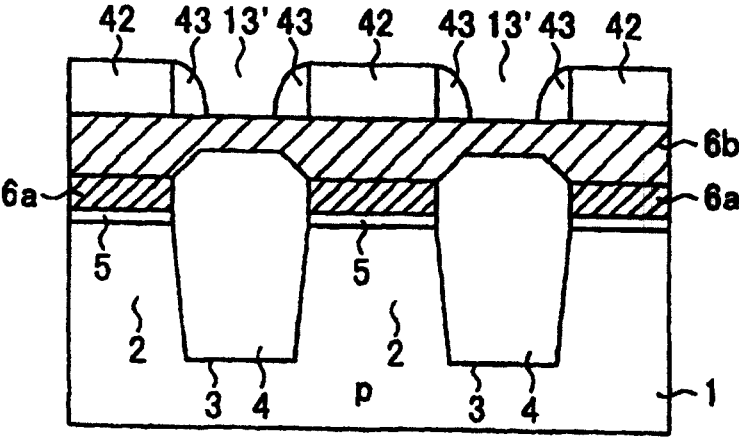


图 24

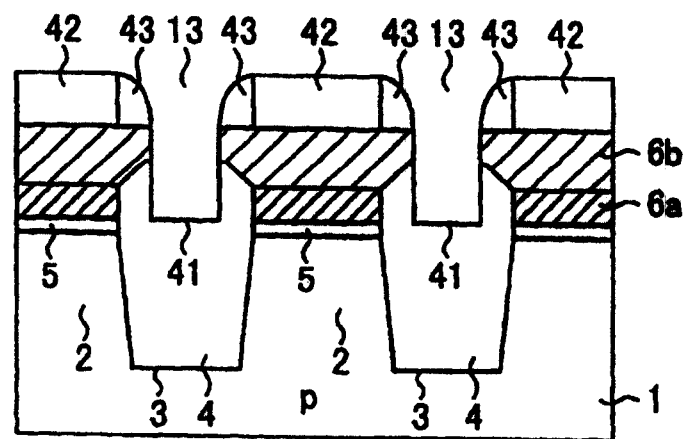


图 25

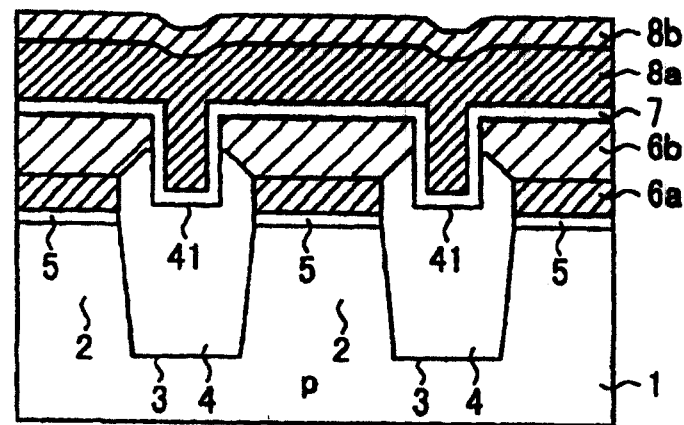


图 26

