

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4754541号
(P4754541)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 641D
HO1L 51/50 (2006.01)	G09G 3/20 680G
	G09G 3/20 612F
	G09G 3/20 623F
請求項の数 11 (全 36 頁) 最終頁に続く	

(21) 出願番号	特願2007-280077 (P2007-280077)	(73) 特許権者	000005821
(22) 出願日	平成19年10月29日(2007.10.29)		パナソニック株式会社
(62) 分割の表示	特願2003-133342 (P2003-133342) の分割		大阪府門真市大字門真1006番地
原出願日	平成15年5月12日(2003.5.12)	(74) 代理人	100077931 弁理士 前田 弘
(65) 公開番号	特開2008-58990 (P2008-58990A)	(74) 代理人	100110939 弁理士 竹内 宏
(43) 公開日	平成20年3月13日(2008.3.13)	(74) 代理人	100110940 弁理士 嶋田 高久
審査請求日	平成19年10月29日(2007.10.29)	(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100115691 弁理士 藤田 篤史
		最終頁に続く	

(54) 【発明の名称】 電流駆動装置

(57) 【特許請求の範囲】

【請求項1】

駆動時に基準電流が流れる第1導電型の第1のMISFETと、
 上記第1のMISFETとカレントミラー回路を構成し、上記基準電流を流すための第1導電型の第1の電流分配用MISFETと、
 ドレインに上記第1の電流分配用MISFETが接続された第2導電型の第1の電流入力用MISFETと、
 上記第1の電流入力用MISFETとカレントミラー回路を構成する第2導電型の電流源用MISFETと、上記電流源用MISFETのそれぞれに接続され、表示データに応じて上記電流源用MISFETを流れる電流をオンまたはオフに切り替えるためのスイッチと、上記スイッチに接続され、上記表示データに応じた電流を表示パネルに出力するための出力端子とを有する複数の電流供給部とを備え、半導体チップ上に設けられた電流駆動装置であって、
 上記第1の電流分配用MISFETと上記第1の電流入力用MISFETとのペアが上記半導体チップにつき複数組み設けられており、
 上記第1のMISFETのゲート電極と上記第1の電流分配用MISFETのゲート電極とに共通に接続されるバイアス線をさらに備え、
上記複数の電流供給部内のすべての上記電流源用MISFETのゲート電極とすべての上記第1の電流入力用MISFETのゲート電極とは互いに接続されている、電流駆動装置。

【請求項 2】

請求項 1 に記載の電流駆動装置において、

上記複数の電流供給部のそれぞれは、上記スイッチと上記出力端子との間に介設され、駆動時にはゲート電極に上記表示パネルの電源電圧以下の電圧が印加されてオン状態となる第 2 導電型の第 1 のカスコード M I S F E T を有している、電流駆動装置。

【請求項 3】

請求項 1 に記載の電流駆動装置において、

上記スイッチは、上記電流源用 M I S F E T とカスコード接続を構成し、駆動時のゲート電極に所定の電圧が印加されるか否かによりオンまたはオフに制御される第 2 のカスコード M I S F E T である、電流駆動装置。

10

【請求項 4】

請求項 1 ~ 3 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 1 の M I S F E T に接続され、駆動時に上記基準電流が流れる第 1 導電型の第 2 の M I S F E T と、

上記第 1 の電流分配用 M I S F E T と上記第 1 の電流入力用 M I S F E T との間に設けられ、ゲート電極同士が上記第 2 の M I S F E T のゲート電極と共通に接続される第 1 導電型の第 2 の電流分配用 M I S F E T と

をさらに備えている、電流駆動装置。

【請求項 5】

請求項 1 ~ 4 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 1 の電流分配用 M I S F E T と上記第 1 の電流入力用 M I S F E T との間に、上記第 1 の電流分配用 M I S F E T を任意の期間ごとに異なる上記電流入力用 M I S F E T に接続させるように切り替えるための接続切替え手段をさらに備えている、電流駆動装置。

20

【請求項 6】

請求項 5 に記載の電流駆動装置において、

上記接続切替え手段は、

第 1 のバイアス電流切替スイッチと、

第 2 のバイアス電流切替スイッチと

を有している、電流駆動装置。

30

【請求項 7】

請求項 5 または 6 に記載の電流駆動装置において、

上記第 1 の M I S F E T 及び上記第 1 の電流分配用 M I S F E T とカレントミラー回路を構成する第 1 導電型のダミー電流分配用 M I S F E T と、

上記ダミー電流分配用 M I S F E T と上記電流入力用 M I S F E T とを一時的に接続させるためのダミー接続切替え手段と

をさらに備えている、電流駆動装置。

【請求項 8】

請求項 6 に記載の電流駆動装置において、

上記半導体チップ上には、

駆動時に一時的に上記第 1 のバイアス電流切替スイッチに接続される第 1 の端子と、

駆動時に一時的に上記第 2 のバイアス電流切替スイッチに接続される第 2 の端子と

がさらに設けられている、電流駆動装置。

40

【請求項 9】

請求項 1 ~ 8 のうちいずれか 1 つに記載の電流駆動装置において、

上記半導体チップ上には、上記電流源用 M I S F E T がまとめて設けられる複数の M I S F E T 領域が列状に配置されており、

上記複数の電流供給部の各々は、少なくとも 2 つの上記 M I S F E T 領域内に配置された M I S F E T を有している、電流駆動装置。

【請求項 10】

50

請求項 1 ~ 9 のうちいずれか 1 つに記載の電流駆動装置において、
上記バイアス線上であって互いに隣接する上記第 1 の電流分配用 M I S F E T のゲート電極間に設けられた抵抗素子をさらに備えている、電流駆動装置。

【請求項 1 1】

請求項 1 ~ 1 0 のうちいずれか 1 つに記載の電流駆動装置において、
駆動時に上記基準電流を伝達するための第 1 導電型の複数の第 3 の電流分配用 M I S F E T と、

ゲート電極及びドレインが上記複数の第 3 の電流分配用 M I S F E T のそれぞれに接続される第 2 導電型の複数の第 2 の電流入力用 M I S F E T と、

上記第 2 の電流入力用 M I S F E T とカレントミラー回路を構成し、且つ上記電流源用 M I S F E T のそれぞれと上記スイッチとの間に設けられた第 2 導電型の第 3 のカスコード M I S F E T と

をさらに備えている、電流駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流駆動装置に関するものであり、特に、有機 E L (Electro Luminescence) パネルなどの表示用ドライバとして好適な電流駆動装置の技術に関する。

【背景技術】

【0002】

近年、有機 E L パネルなどのフラットパネルディスプレイについては、大型化、高精細化、薄型・軽量化および低コスト化が進んでいる。一般に、大型・高精細の表示パネルの駆動方式としてアクティブマトリクス方式が好んで用いられる。以下、従来のアクティブマトリクス型表示パネルの表示用ドライバについて説明する。

【0003】

図 20 は、表示パネルと、表示パネルに接続された表示用ドライバである従来の電流駆動装置の構成を示す回路図である。ここでは、表示パネルは有機 E L パネルである。

【0004】

同図に示すように、従来の電流駆動装置は、表示パネル上に設けられた複数の画素回路 1 0 0 5 a 1、1 0 0 5 a 2、...、1 0 0 5 a n (以下、各画素回路を区別しないで呼ぶときは画素回路 1 0 0 5 a と称する) のそれぞれに駆動電流を供給するための電流供給部 1 0 0 1 a 1、1 0 0 1 a 2、...、1 0 0 1 a n (以下、各電流供給部を区別しないで呼ぶときは電流供給部 1 0 0 1 a と称する) と、それぞれの電流供給部 1 0 0 1 a に基準電流を供給するための基準電流供給部 (バイアス回路) 1 1 0 1 とを備えている。なお、本明細書中で「基準電流」とは、基準電流源から流れる所定値の電流を表す他、基準電流源からの電流が、カレントミラー回路によって伝達された電流をも表すものとする。

【0005】

テレビ用表示装置など、表示パネルのサイズが大きい場合、多数の電流供給部 1 0 0 1 a は複数の半導体チップ 1 1 0 5 上に分割して設けられている。これらの半導体チップ 1 1 0 5 は、表示パネルの額縁部に配置されることが多い。

【0006】

画素回路 1 0 0 5 a 1、1 0 0 5 a 2、...、1 0 0 5 a n のそれぞれは、信号線を介して電流供給部 1 0 0 1 a に接続されている p チャネル型の第 1 の T F T (Thin-Film-Transistor) 1 1 0 4 と、第 1 の T F T 1 1 0 4 とカレントミラー回路を構成する第 2 の T F T 1 1 0 2 と、第 2 の T F T 1 1 0 2 から供給される電流に応じて発光する有機 E L 素子 1 1 0 3 とを有している。

【0007】

基準電流供給部 1 1 0 1 は、一端に電源電圧が供給された p チャネル型の第 1 の M I S F E T 1 1 0 8 と、第 1 の M I S F E T 1 1 0 8 に接続され、基準電流を発生させるための抵抗 1 1 0 7 と、第 1 の M I S F E T 1 1 0 8 とカレントミラー回路を構成する p チャ

10

20

30

40

50

ネル型の第2のMISFET1109と、第2のMISFET1109に接続され、基準電流を電流供給部1001aに伝達するためのnチャネル型の電流入力用MISFET1110とを有している。

【0008】

電流供給部1001aのそれぞれは、mビットの階調を制御する場合、画素回路1005aに接続された出力部に対して並列に配置された電流源1112-1、1112-2、...、1112-m(mは正の整数)と、電流源1112-1、1112-2、...、1112-mのそれぞれを流れる電流をオンまたはオフに制御するスイッチ1115-1、1115-2、...、1115-mとを有している。ここで、電流源1112-1、1112-2、...、1112-mのそれぞれは、電流入力用MISFET1110とカレントミラー回路を構成するnチャネル型のMISFETから構成されている。また、スイッチ1115-1、1115-2、...、1115-mのそれぞれは、表示データに基づいて、独立にスイッチング動作をする。

10

【0009】

図23は、従来の電流駆動装置のうち、電流供給部の回路配置及び回路構成を示す図である。ここでは、各々に6個の電流源が設けられている、64階調用の電流供給部の例を示す。電流源1112-1、1112-2、...、1112-6には、互いにサイズ及び特性の等しいMISFETがそれぞれ1個、2個、...、32個設けられている。これらのMISFETは、平面的に見て図23の上図のように配置され、互いに隣接するMISFETは、同一の出力部に接続されるように接続されている。

20

【0010】

以上の構成により、電流供給部1001aは、実質的には電流加算型のD/Aコンバータとして動作し、デジタル信号として表示データを受け、アナログ信号として、その表示データに対応した大きさの電流を出力部から引き込むようになっている。

【0011】

周知のように、有機EL素子は、ダイオードと同様に整流性を呈し、通電される電流量に応じてその輝度を変化させる。画素回路1005aにおいて、有機EL素子1103に通電される電流量は、TFT1104を流れる電流量に応じて変化する。したがって、有機EL素子1103は、電流供給部1001aによって電流駆動され、その輝度を変化させる。

30

【0012】

以上のように、電流駆動装置は、表示データに基づいて、表示パネルにおける複数の画素回路1005aを電流駆動し、階調表示を実現する(例えば、特開平11-88072号公報、特開平11-340765号公報参照)。

【特許文献1】特開2000-276108号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上述の構成を有する表示装置では、画像の表示中に表示むら等、画像表示の乱れが見られることがあった。この原因としては、いくつかのことが考えられる。

40

【0014】

まず、表示パネルからの電荷注入や瞬時的なバイアス電圧の変動による表示の乱れ、いわゆるクロストークの発生が考えられる。これについて以下に説明する。

【0015】

図21(a)は、表示パネルにおける白黒表示の例を示す図、(b)は、(a)に示す表示パネルのXXIb-XXIb線上に配置された画素回路と、該画素回路に接続された従来の電流供給部とを示す回路図、(c)は、黒表示時におけるTFTの動作点を示すグラフ図であり、(d)は、白表示時におけるTFTの動作点を示すグラフ図である。また、図22(a)は、図21(a)と同様に、表示パネルにおける白黒表示の例を示す図、(b)は、表示パネルのXXIb-XXIb線上に配置された画素回路と、該画素回路に接続された従来

50

の電流供給部とを示す回路図、(c)は、黒表示時から白表示に切り替わった場合のTF Tの動作点を示すグラフ図であり、(d)は、連続して白表示を行なう場合のTF Tの動作点を示すグラフ図である。

【0016】

図21(b)に示すように、従来の表示装置において黒表示を行なう場合、電流供給部1001a内のスイッチ1115-1、1115-2、...、1115-mはすべてオフになっており、白表示を行なう場合、電流供給部1001a内のスイッチ1115-1、1115-2、...、1115-mはすべてオンになっている。

【0017】

このとき、黒表示を行なう画素回路1005a1やこれに接続された信号線などに生じる浮遊容量1220a1は、電源によって充電され、第1のTF T1104及び第2のTF T1102のゲート電圧は例えば4V程度に上昇する。図21(c)に示すように、この際の第1のTF T1104及び第2のTF T1102の動作点は、電流供給部1001aのIV特性曲線とTF TのIV特性曲線との交点となる。

【0018】

一方、白表示の際には、電流供給部1001an側に電荷が引き抜かれるため、画素回路1005anやこれに接続された信号線などに生じる浮遊容量1220anに保持される電荷は黒表示のときに比べて少なくなる。そのため、第1のTF T1104及び第2のTF T1102のゲート電圧は例えば2V程度になり、図21(d)に示すように、第1のTF T1104及び第2のTF T1102の動作点は、黒表示の場合よりも低電圧側になっている。これらTF Tの動作点電圧は、TF Tのオン抵抗と、電流供給部1001aが引き込む電流の大きさによって変化する。

【0019】

また、図22(b)では、黒表示から白表示に切り替わった場合の画素回路及び電流供給部と白表示が続く場合の画素回路及び電流供給部とを示す。黒表示から白表示に切り替わると、電流供給部1001a1のスイッチ1115-1、1115-2、...、1115-6はすべてオンとなり、パネル側から最大量の電流が流れ込む。これにより、画素回路1005a1における有機EL素子1103は、最大輝度での発光する。

【0020】

このとき、電流供給部1001a1には、信号線を介して浮遊容量1220a1に蓄積された電荷が注入される。

【0021】

注入される電荷の量が比較的少ない場合、電荷は電流源1112-1、1112-2、...、1112-6を通りグラウンドに抜ける。しかし、画素回路1005a1は直前まで黒色表示であったため、浮遊容量1220a1は電源電圧近傍まで充電されている。したがって、電流供給部1001a1と画素回路1005a1とが電氣的に接続された瞬間、電流源1112-1、1112-2、...、1112-6の各ドレインに電源電圧に近い電圧が印加され、ゲート-ドレイン間に存在する寄生容量Cgdを通じて、バイアス線1050の電位が一時的に押し上げられてしまう。図22(b)に示す波形1051は、バイアス線1050に生じた電圧変動を表している。

【0022】

他の電流供給部1001a内の電流源のゲート電極もバイアス線1050に接続されているため、バイアス線1050に波形1051のような電圧変化が生じると、電流供給部1001aを流れる電流量が一時的に多くなる。この結果、図22(d)に点線で示すように、電流供給部1001anは一時的に過剰ドライブ状態となる。

【0023】

バイアス線1050の電圧変動が表示データの書き込み期間内に収束すれば、電流供給部1001aは所定の駆動状態に戻り、正常な表示が行われる。しかし、電圧変動が表示データの書き込み期間内に収束しない場合、画素回路1005aは、次のフレームまで過剰ドライブ状態を続けるため、輝線が視認されるクロストーク表示が発生する。

10

20

30

40

50

【0024】

これに対し、白表示から黒表示に切り替わる場合のバイアス線1050では、上記とは逆に、一時的な電圧の落ち込みが発生する。これにより、輝度の低下した暗線が視認されるクロストーク表示が生じてしまう。

【0025】

ところで、浮遊容量1220aは、携帯電話用途の小型パネルの場合は数pF～数10pFであるが、大型パネルになると100pF以上になる場合もある。したがって、表示パネルが大型化するとクロストーク表示はより顕著なものとなる。特に、有機ELパネル用の電流駆動装置は、数10nA程度の極微小の電流で画素回路を駆動するため、クロストーク表示を起こし易い。

10

【0026】

なお、上述のクロストーク以外の理由でも、画像表示の乱れを起こすことがある。

【0027】

また、近年は表示パネルの大画面化はさらに進んでおり、それにつれて表示装置用のドライバLSIの長さ（長辺方向の長さ）が10mm～20mmに達する場合がでてきた。このような場合、従来の電流駆動装置を設けた半導体チップでは、互いに離れた出力端子間で出力電圧のばらつきが生じ、表示画像に明暗部を生じるなど、画質の低下を引き起こすおそれがあった。

【0028】

本願発明者が表示装置用ドライバLSI（半導体チップ）の出力端子間で出力電圧がばらつく原因について調べたところ、半導体チップ上の電流源1112（図20参照）を構成するMISFETに分配される電流にばらつきがあることが分かった。そもそも、カレントミラー回路は、これを構成するトランジスタの拡散条件が等しく、しきい値 V_t やキャリア移動度に有意差がないことを前提としている。その上で、トランジスタのサイズ比によって電流が分配されるのである。ところが、表示装置用ドライバLSIのチップの長さが10mmから20mmもの長さになると、トランジスタに含まれる不純物の拡散を均一に行なうことが困難になると考えられる。その他にも、トランジスタの位置が異なれば、エッチングのばらつきなど、製造工程によっても表示のばらつきが生じうる。この結果、カレントミラーとなるトランジスタのしきい値にばらつきが生じる。トランジスタのしきい値がばらつくと、同一のゲート電圧を印加した場合に、出力電流に誤差を生じることとなる。通常は、拡散の変動はウエハー面に対し徐々に傾きを持つ。このため、一定の表示データによる均一表示を行った場合でも、表示パネル上で明から暗のグラデーションが発生することになる。

20

30

【0029】

また、上述のように大画面の表示パネルを有する表示装置では、電流供給部を含む電流駆動装置が設けられた半導体チップが複数個用いられている。このような場合、異なる半導体チップ上の電流駆動装置から出力される電流値にばらつきが生じる。表示装置において、互いに隣接して配置される半導体チップの拡散条件などの製造条件は、異なっていることが多い。従って、電流供給部1001a1の電流源を構成するMISFETの特性のずれも大きくなり、半導体チップごとに表示むらが視認されやすくなる。

40

【0030】

このように、電流供給部1001aの出力部ごとのばらつき、及び半導体チップごとの特性ばらつきも、クロストークと同様に画像表示を乱れさせる。

【0031】

本発明の目的は、上述の種々の不具合のいずれかの解決を図ることにより、画像表示の乱れを抑制可能な電流駆動装置を提供することにある。

【課題を解決するための手段】

【0032】

本発明の第1の電流駆動装置は、半導体チップ上に設けられた電流駆動装置であって、基準電流を流すための基準電流源から、上記基準電流が伝達される第1導電型の第1のM

50

I S F E Tと、上記第1のM I S F E Tとカレントミラー回路を構成し、上記基準電流を流すための第1導電型の電流分配用M I S F E Tと、上記電流分配用M I S F E Tに接続された第2導電型の電流入力用M I S F E Tと、上記電流入力用M I S F E Tとカレントミラー回路を構成する第2導電型の電流源用M I S F E Tと、表示データに応じた電流を出力するための出力端子とを有する複数の電流供給部と、上記電流源用M I S F E T及び上記電流入力用M I S F E Tとカレントミラー回路を構成する第2導電型の電流伝達用M I S F E Tと、上記半導体チップのうち、上記電流伝達用M I S F E Tからの距離が200 μ m以下の領域上に設けられ、上記電流伝達用M I S F E Tから伝達される電流を出力するための基準電流出力端子とを備えている。

【0033】

これにより、本発明の電流駆動装置を設けた半導体チップを複数個並べて大画面の表示パネルを駆動する場合、次段の半導体チップに誤差の小さい電流を基準電流として伝達できるので、従来の電流駆動回路に比べ、半導体チップごとの出力電流のばらつきを低減することができる。その結果、表示むらや表示の乱れが抑えられた大画面あるいは高精細の表示装置を実現することができる。

【0034】

上記基準電流出力端子が、上記半導体チップのうち、上記電流伝達用M I S F E Tからの距離が100 μ m以下の領域上に設けられていれば、次段の半導体チップに伝達する電流の誤差をさらに低減できるので、より好ましい。

【0035】

上記基準電流源は上記半導体チップの外部にあり、上記半導体チップのうち、上記電流入力用M I S F E Tからの距離が200 μ m以下の領域上には、上記基準電流源に接続され、上記電流入力用M I S F E Tに電流を伝達するための第1の基準電流入力端子がさらに設けられていることにより、半導体チップをカスケード接続する場合、前段の半導体チップから出力された基準電流を、誤差の小さい状態で電流入力用M I S F E Tに伝達できる。従って、表示装置に用いる場合に、半導体チップごとに生じる表示むらを低減することができる。

【0036】

上記第1のM I S F E Tのドレインに接続され、上記半導体チップのうち上記電流入力用M I S F E Tからの距離が200 μ m以下の領域上に設けられた第1の基準電流入力端子と、上記第1のM I S F E Tのドレインに接続され、第2導電型のM I S F E Tから構成される入力側カレントミラー回路と、上記入力側カレントミラー回路に接続され、上記半導体チップのうち上記電流入力用M I S F E Tからの距離が200 μ m以下の領域上に設けられた上記第2の基準電流入力端子と、上記電流伝達用M I S F E Tから上記基準電流出力端子への電流伝達経路上に設けられ、第1導電型のM I S F E Tから構成される出力側カレントミラー回路とをさらに備えていることにより、表示パネル上の画素回路を単一の半導体チップを並べて駆動することが可能となるので、複数種類の半導体チップを用いる場合に比べて表示装置の製造コストを低減することが可能となる。

【0037】

上記電流分配用M I S F E Tと上記電流入力用M I S F E Tとのペアが上記半導体チップにつき複数組み設けられている場合、1つの電流入力用M I S F E Tに接続される電流源用M I S F E Tのゲート電極の数が従来に比べて減らせるので、電流源用M I S F E Tのゲート電位の変化を速やかに収束させることが可能になる。そのため、本発明の電流駆動装置を用いれば、半導体チップごとの表示むらを抑えると同時にクロストーク表示を抑えることもできるようになる。

【0038】

上記電流分配用M I S F E Tと上記電流入力用M I S F E Tとの間に、上記電流分配用M I S F E Tを所定の期間ごとに異なる上記電流入力用M I S F E Tに接続させるように切り替えるための接続切替え手段をさらに備えている場合には、電流分配用M I S F E Tの特性ばらつきを平均化することができるので、さらに表示むらを抑えた表示装置を実現

10

20

30

40

50

することができる。

【0039】

上記半導体チップ上には、上記電流源用MISFETがまとめて設けられる複数のMISFET領域が列状に配置されており、上記複数の電流供給部の各々は、少なくとも2つの上記MISFET領域内に配置されたMISFETを有していることにより、電流源用MISFETの特性ばらつきを平均化することができるので、表示むらが視認されにくく、表示品質の高い表示装置を実現することができる。

【0040】

上記電流分配用MISFETのゲート電極は、バイアス線に共通に接続されており、上記バイアス線上であって互いに隣接する上記電流分配用MISFETのゲート電極間には、抵抗素子がさらに設けられていることにより、電流分配用MISFETにかかるゲート電圧を、電流分配用MISFETのしきい値のばらつきに合わせて傾斜させることができるので、結果として、各電流供給部に分配する基準電流のばらつきを低減することができる。

10

【0041】

本発明の第2の電流駆動装置は、駆動時に基準電流が流れる第1導電型の第1のMISFETと、上記第1のMISFETとカレントミラー回路を構成し、上記基準電流を流すための第1導電型の第1の電流分配用MISFETと、ドレインに上記第1の電流分配用MISFETが接続された第2導電型の第1の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成する第2導電型の電流源用MISFETと、上記電流源用MISFETのそれぞれに接続され、表示データに応じて上記電流源用MISFETを流れる電流をオンまたはオフに切り替えるためのスイッチと、上記スイッチに接続され、上記表示データに応じた電流を表示パネルに出力するための出力端子とを有する複数の電流供給部とを備え、半導体チップ上に設けられた電流駆動装置であって、上記第1の電流分配用MISFETと上記第1の電流入力用MISFETとのペアが上記半導体チップにつき複数組み設けられており、上記第1のMISFETのゲート電極と上記第1の電流分配用MISFETのゲート電極とに共通に接続されるバイアス線をさらに備えている。

20

【0042】

これにより、1つの第1の電流入力用MISFETに接続される電流源用MISFETのゲート電極の数が従来に比べて減らせるので、電流源用MISFETのゲート電位の変化を速やかに収束させることが可能になる。従って、本発明の電流駆動装置によれば、クロストーク表示の発生を抑えることができるので、大画面あるいは高精細の表示パネルを有する表示装置を実現することができる。

30

【0043】

上記複数の電流供給部内のすべての上記電流源用MISFETのゲート電極とすべての上記第1の電流入力用MISFETのゲート電極とは互いに接続されていることにより、電流源用MISFETにかかるゲート電位をしきい値のばらつきに合わせて傾斜させることができるので、出力端子ごとの出力電流のばらつきを抑えることができる。

【0044】

上記複数の電流供給部のそれぞれは、上記スイッチと上記出力端子との間に介設され、駆動時にはゲート電極に上記表示パネルの電源電圧以下の電圧が印加されてオン状態となる第2導電型の第1のカスコードMISFETを有していることにより、本発明の電流駆動装置を表示装置に用いた場合、第1のカスコードMISFETがnチャネル型であれば、表示の切替え時に表示パネルから電流源用MISFETに高電圧が印加されるのを防ぐことができる。そのため、クロストーク表示の発生を抑制することが可能になる。

40

【0045】

上記スイッチが、上記電流源用MISFETとカスコード接続を構成し、駆動時のゲート電極に所定の電圧が印加されるか否かによりオンまたはオフに制御される第2のカスコードMISFETであることによっても、出力端子が表示パネルに接続された場合、第2

50

のカスコードMISFETが表示パネルから印加される高電圧を制限することができるので、クロストーク表示の発生を抑制することが可能になる。特に、スイッチを電圧制限用のMISFETとすることで、電圧制限用のMISFETを別に設ける場合よりも回路面積を低減することができる。

【0046】

上記第1の電流分配用MISFETと上記第1の電流入力用MISFETとの間に、上記第1の電流分配用MISFETを任意の期間ごとに異なる上記電流入力用MISFETに接続させるように切り替えるための接続切替え手段をさらに備えていることにより、電流分配用MISFETによって分配された基準電流がシャプリングされて出力されることとなるので、電流分配用MISFETの特性ばらつきを平均化することができる。

10

【0047】

特に、上記接続切替え手段は、第1のバイアス電流切替スイッチと、第2のバイアス電流切替スイッチとを有していることが好ましい。

【0048】

上記半導体チップ上には、駆動時に一時的に上記第1のバイアス電流切替スイッチに接続される第1の端子と、駆動時に一時的に上記第2のバイアス電流切替スイッチに接続される第2の端子とがさらに設けられていることにより、半導体チップを複数個配置して表示パネルを駆動する場合に、電流分配用MISFETによって分配された電流を、第1の端子及び第2の端子を介して隣接する半導体チップの出力端子から出力するように切り替えることもできる。このため、半導体チップ内のみならず、互いに隣接する半導体チップ上に設けられた電流駆動装置の出力電流のばらつきをも平均化することができる。

20

【0049】

また、本発明の第2の電流駆動装置は、上記第1のMISFET及び上記第1の電流分配用MISFETとカレントミラー回路を構成する第1導電型のダミー電流分配用MISFETと、上記ダミー電流分配用MISFETと上記電流入力用MISFETとを一時的に接続させるためのダミー接続切替え手段とをさらに備えていることにより、例えば隣接する電流入力用MISFET間で接続される電流分配用MISFETを順次切り替えるよう制御することができるので、比較的容易に出力端子からの出力電流を均一にすることが可能となる。

【0050】

30

上記半導体チップ上には、上記電流源用MISFETがまとめて設けられる複数のMISFET領域が列状に配置されており、上記複数の電流供給部の各々は、少なくとも2つの上記MISFET領域内に配置されたMISFETを有していることにより、電流分配用MISFET及び電流源用MISFETの特性ばらつきを平均化することができるので、出力端子間の出力電流の誤差を低減できる。特に、新たな素子を設ける必要がなく、配線構造を任意に変更すればよいので、回路面積の増加を抑えることができる。

【0051】

上記バイアス線上であって互いに隣接する上記電流分配用MISFETのゲート電極間に設けられた抵抗素子をさらに備えていることにより、電流分配用MISFETにかかるゲート電圧を、電流分配用MISFETのしきい値のばらつきに合わせて傾斜させることができる。

40

【0052】

本発明の第3の電流駆動装置は、駆動時に第1の基準電流が流れる第1導電型の第1の電流入力用MISFETと、駆動時に第2の基準電流が流れる第1導電型の第2の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成する第1導電型の電流源用MISFETと、上記電流源用MISFETのそれぞれに接続され、表示データに応じて上記電流源用MISFETを流れる電流をオンまたはオフに切り替えるためのスイッチと、上記電流源用MISFETと上記スイッチとの間にそれぞれ設けられ、上記第2の電流入力用MISFETとカレントミラー回路を構成する第1導電型のカスコードMISFETと、上記スイッチに接続され、上記表示データに応じた電流を

50

出力するための出力端子とを有する複数の電流供給部とを備え、半導体チップ上に設けられている。

【0053】

これにより、出力端子からの出力電流は電流源用MISFETを流れるはずの電流とカスコードMISFETを流れるはずの電流の平均値となるので、電流源用MISFETの特性ばらつきとカスコードMISFETの特性ばらつきとが相殺され、結果として、出力端子からの出力電流のばらつきを低減できることとなる。

【0054】

本発明の第4の電流駆動装置は、半導体チップ上に設けられた電流駆動装置であって、第1の基準電流を入力するための第1の基準電流入力端子と、第1の期間に上記第1の基準電流入力端子を流れる電流が伝達される第1導電型の第1の電流入力用MISFETと、上記第1の期間に上記第1の電流入力用MISFETとカレントミラー回路を構成する第1導電型の電流源用MISFETと、表示データに応じた電流を出力するための出力端子とを有する複数の電流供給部と、上記第1の期間に上記第1の電流入力用MISFET及び上記電流源用MISFETとカレントミラー回路を構成する第1導電型の第1の電流伝達用MISFETと、上記第1の期間に上記第1の電流伝達用MISFETを流れる電流が伝達される第1の基準電流出力端子と、第2の基準電流を入力するための第2の基準電流入力端子と、第2の期間に上記第2の基準電流入力端子を流れる電流が伝達され、且つ上記電流源用MISFETとカレントミラー回路を構成する第1導電型の第2の電流入力用MISFETと、上記第2の期間に上記電流源用MISFETとカレントミラー回路を構成する第1導電型の第2の電流伝達用MISFETと、上記第2の期間に上記第2の電流伝達用MISFETを流れる電流が伝達される第2の基準電流出力端子と、上記第1の基準電流入力端子と上記第1の電流入力用MISFETとの間の電流伝達経路上に設けられた第1のスイッチと、上記第1の電流伝達用MISFETと上記第1の基準電流出力端子との間の電流伝達経路上に設けられた第2のスイッチと、上記第2の基準電流入力端子と上記第2の電流入力用MISFETとの間の電流伝達経路上に設けられた第3のスイッチと、上記第2の電流伝達用MISFETと上記第2の基準電流出力端子との間の電流伝達経路上に設けられた第4のスイッチとを備えている。

【0055】

これにより、第1の期間には第1、第2のスイッチを共にオンにし、第2の期間には第3、第4のスイッチをオフにすることで、第1の基準電流で駆動する場合と第2の基準電流で駆動する場合とに切り替えることが可能となる。その結果、電流供給部からの出力電流のばらつきが抑えられ、均一な表示が可能となる。

【0056】

本発明の第1の表示装置は、供給された電流の量に応じて輝度が変化する発光素子を有する画素回路が設けられた表示パネルと、列状に配置された複数の半導体チップのそれぞれに設けられ、上記画素回路に駆動電流を供給するための電流駆動装置とを備えている表示装置であって、上記複数の半導体チップの各々は、端部に設けられ、基準電流を入力するための基準電流入力端子と、端部に設けられ、次段の半導体チップ用の基準電流を出力するための基準電流出力端子とを有しており、上記複数の半導体チップのうち、互いに隣接する半導体チップの上記基準電流入力端子と上記基準電流出力端子とは対向するように設けられている。

【0057】

これにより、電流駆動装置が設けられた半導体チップ間で基準電流の伝達経路を最短にすることができるので、半導体チップごとの出力電流のばらつきを従来よりも低減することができる。

【0058】

本発明の第2の表示装置は、供給された電流の量に応じて輝度が変化する発光素子を有する画素回路が設けられた表示パネルと、それぞれに上記画素回路に駆動電流を供給するための電流駆動装置が設けられた複数の半導体チップとを備えている表示装置であって、

上記電流駆動装置は、駆動時に基準電流が流れる第1導電型の第1のMISFETと、上記第1のMISFETとカレントミラー回路を構成し、上記基準電流を流すための第1導電型の複数の電流分配用MISFETと、ドレインに上記複数の電流分配用MISFETの各々が接続された第2導電型の複数の電流入力用MISFETと、上記電流入力用MISFETとカレントミラー回路を構成する第2導電型の電流源用MISFETと、表示データに応じた駆動電流を上記画素回路に出力するための出力端子とを有する複数の電流供給部とを有している。

【0059】

これにより、電流源用MISFETのゲート電位の変動を速やかに収束させることができるので、クロストーク表示の発生を抑え、均一な表示を実現することができる。

10

【0060】

本発明の第3の表示装置は、供給された電流の量に応じて輝度が変化する発光素子を有する画素回路が設けられた表示パネルと、それぞれに上記画素回路に駆動電流を供給するための電流駆動装置が設けられた複数の半導体チップとを備えている表示装置であって、上記電流駆動装置は、駆動時に第1の基準電流が流れる第1導電型の第1の電流入力用MISFETと、駆動時に第2の基準電流が流れる第1導電型の第2の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成する第1導電型の電流源用MISFETと、上記電流源用MISFETのそれぞれに接続され、表示データに応じて上記電流源用MISFETを流れる電流をオンまたはオフに切り替えるためのスイッチと、上記電流源用MISFETと上記スイッチとの間にそれぞれ設けられ、上記第2の電流入力用MISFETとカレントミラー回路を構成する第1導電型のカスコードMISFETと、上記スイッチに接続され、上記表示データに応じた駆動電流を上記画素回路に出力するための出力端子とを有する複数の電流供給部とを有している。

20

【0061】

これにより、出力端子からの出力電流は電流源用MISFETを流れるべき電流とカスコードMISFETを流れるべき電流の平均値となるので、電流源用MISFETの特性ばらつきとカスコードMISFETの特性ばらつきとが相殺され、結果として、出力端子からの出力電流のばらつきを低減できることとなる。

【0062】

上記半導体チップ上には、上記第1の基準電流を入力するための第1の基準電流入力端子と、上記第1の基準電流を出力するための第1の基準電流出力端子と、上記第2の基準電流を入力するための第2の基準電流入力端子と、上記第2の基準電流を出力するための第2の基準電流出力端子とがさらに設けられており、上記第1の基準電流出力端子は隣接する上記半導体チップの上記第1の基準電流入力端子に接続され、上記第2の基準電流出力端子は隣接する上記半導体チップの上記第2の基準電流入力端子に接続されていることにより、同一半導体チップ内の端子からの出力電流のばらつきが低減されると同時に、半導体チップ間の出力電流のばらつきも低減されるので、表示パネル全体に亘って均一な表示を行えるようになる。

30

【発明の効果】

40

【0063】

本発明の電流駆動装置によれば、基準電流を分配するための電流分配用MISFET及び電流入力用MISFETを半導体チップ当たり複数個設けることで、電流供給部を構成するMISFETのゲートにおける出力インピーダンスを相対的に下げることができるので、表示装置に用いた場合、表示パネル側から流れる電流によるMISFETのゲート電位の変動を抑えることができる。その結果、表示装置におけるクロストークの発生を抑制することが可能となる。

【発明を実施するための最良の形態】

【0064】

(第1の実施形態)

50

図1は、本発明の第1の実施形態に係る電流駆動装置が設けられた2つのチップの接続部分を示す回路図である。

【0065】

本実施形態の表示装置は、有機EL素子を有する画素回路（図示せず）が設けられた表示パネルと、画素回路に信号線を介して駆動電流を供給するための電流駆動装置とを備えている。電流駆動装置は、図20に示す電流駆動装置と同様に、有機EL表示装置など、電流駆動型表示装置のソースドライバとして用いられる。本実施形態の表示装置においては、集積化された電流駆動装置が設けられた半導体チップが表示パネルの額縁部に複数個並べられている。図1では、互いに接続された2つの半導体チップをそれぞれ第1の半導体チップ20、第2の半導体チップ22として示す。

10

【0066】

本実施形態の表示装置において、第1の半導体チップ20には、表示パネル上に設けられた複数の画素回路（図示せず）のそれぞれに駆動電流を供給するための電流供給部40と、電流供給部40に基準電流を供給するための基準電流供給部と、nチャネル型の第1の電流伝達用MISFET7と、第1の電流伝達用MISFET7に接続された基準電流出力端子9とが設けられている。基準電流出力端子9は、第1の半導体チップ20のうち、第2の半導体チップ22と対向する位置に設けられている。電流供給部40は、実際には多数（例えば528個）設けられているが、図1では1つのみ示している。

【0067】

基準電流供給部は、一端に電源電圧が供給されたpチャネル型の第1のMISFET1と、第1のMISFET1に接続され、基準電流を発生させるための基準電流源4と、第1のMISFET1とカレントミラー回路を構成するpチャネル型の第2のMISFET（電流分配用MISFET）2と、第2のMISFET2に接続され、基準電流を電流供給部40に伝達するためのnチャネル型の電流入力用MISFET3とを有している。

20

【0068】

また、電流供給部40は、電流源5-1、5-2、...、5-m（mは正の整数）と、各電流源を流れる電流をオンまたはオフにするためのスイッチとを有している。電流源5-1、5-2、...、5-mのそれぞれは、電流入力用MISFET3及び第1の電流伝達用MISFET7とカレントミラー回路を構成するMISFET（電流源用MISFET）から構成されており、例えば、電流源5-1は1個のMISFETから、電流源5-2は互いに並列に接続された2個のMISFETから、電流源5-mは、互いに並列に接続された 2^{m-1} 個のMISFETから構成されている。電流供給部40は、いわゆる電流加算型D/Aコンバータであり、表示データに応じて各スイッチがオンまたはオフすることにより、 2^m 階調の表示を可能にしている。

30

【0069】

第2の半導体チップ22には、基準電流出力端子9に接続された基準電流入力端子11と、基準電流入力端子11に接続されたpチャネル型の第3のMISFET13と、第3のMISFET13にカスコード接続され、ゲート電極が基準電流入力端子11に接続されたpチャネル型の第4のMISFET15と、第3のMISFET13とカレントミラー回路を構成するpチャネル型の第5のMISFET17と、第5のMISFET17にカスコード接続され、第4のMISFET15とカレントミラー回路を構成するpチャネル型の第6のMISFET19と、第6のMISFET19を流れる基準電流を受けるnチャネル型の第7のMISFET23（第1の半導体チップ20における電流入力用MISFETに相当）と、表示パネル上に設けられた複数の画素回路（図示せず）のそれぞれに駆動電流を供給するための電流供給部41と、次段の半導体チップに基準電流を伝達するためのnチャネル型の第2の電流伝達用MISFET27とを有している。また、第2の半導体チップ22上には、第2の電流伝達用MISFET27に接続された基準電流出力端子（図示せず）も設けられている。

40

【0070】

基準電流入力端子11は、第2の半導体チップ22のうち、第1の半導体チップに対向

50

する位置の近傍に設けられており、特に基準電流出力端子 9 に近接するように配置されている。

【 0 0 7 1 】

また、第 2 の半導体チップ 2 2 では、第 3 の M I S F E T 1 3、第 4 の M I S F E T 1 5、第 5 の M I S F E T 1 7、第 6 の M I S F E T 1 9、及び第 7 の M I S F E T 2 3 は、第 1 の半導体チップ 2 0 から基準電流出力端子 9 を介して伝達された基準電流を電流供給部 4 1 に伝達するための基準電流供給部として機能する。

【 0 0 7 2 】

電流供給部 4 1 は、電流源 2 5 - 1、2 5 - 2、...、2 5 - m と、各電流源を流れる電流をオンまたはオフにするためのスイッチとを有している。電流源 2 5 - 1、2 5 - 2、...、2 5 - m のそれぞれは、電流源 5 - 1、5 - 2、...、5 - m と同様に、第 7 の M I S F E T 2 3 及び第 2 の電流伝達用 M I S F E T 2 7 とカレントミラー回路を構成する M I S F E T から構成されている。

10

【 0 0 7 3 】

図 1 では 2 つの半導体チップのみを示しているが、表示パネルのサイズに応じて、第 2 の半導体チップ 2 2 と同一構成のチップをさらに配置してもよい。通常の表示装置では、電流供給部が設けられた半導体チップは、一列に配置することが多いが、その場合には、各半導体チップの端部付近に設けられた基準電流出力端子 9 から基準電流入力端子 1 1 へとカスケード状に基準電流が伝達される。

【 0 0 7 4 】

20

以上のような構成を有する本実施形態の半導体チップの特徴は、第 2 の半導体チップ 2 2 の基準電流供給部が基準電流入力端子 1 1 の近傍に配置されていることと、第 1 の半導体チップ 2 0 の電流伝達用 M I S F E T 7 が基準電流出力端子 9 の近傍に配置されていることである。ここで、第 7 の M I S F E T 2 3 を含む基準電流供給部と基準電流入力端子 1 1 との距離、及び電流伝達用 M I S F E T 7 と基準電流出力端子 9 との距離は、不純物の拡散等による電気的特性のばらつきが問題とならない程度であればよい。この距離は、製造条件や工程によって異なってくるが、200 μm 以下であれば許容することができ、一般的に 100 μm 以下であれば特に好ましい。

【 0 0 7 5 】

このことにより、互いに隣接する半導体チップの電流伝達用 M I S F E T 7 の出力電流を第 2 の半導体チップ 2 2 用の基準電流として分配することができるので、半導体チップごとの出力電流（画素回路の駆動電流）のばらつきを従来よりも低減することができる。その結果、より均一な表示を行なう表示装置を実現することができる。

30

【 0 0 7 6 】

これに加え、本実施形態の表示装置においては、半導体チップの基準電流供給部及び基準電流入力端子 1 1 とは、半導体チップのうち、前段の半導体チップに対向する位置の近傍に配置され、電流伝達用 M I S F E T と基準電流出力端子 9 は、半導体チップのうち、次段の半導体チップに対向する位置の近傍に配置されている。

【 0 0 7 7 】

これにより、基準電流出力端子 9 と基準電流入力端子 1 1 との距離が短くなるので、電流供給部から出力される電流の、半導体チップごとのばらつきをさらに抑えることができる。ただし、半導体チップごとのばらつきを抑える効果は、基準電流の入出力端子を基準電流を伝達する M I S F E T の近傍に設けることにより得られる効果に比べて小さいので、必ずしも基準電流出力端子 9 と基準電流入力端子 1 1 とを半導体チップの端部に設けなくてもよい。

40

【 0 0 7 8 】

なお、1 個の半導体チップ内においては、本実施形態のように基準電流供給部（または M I S F E T ）をチップの端部に配置するよりもチップの中央部に配置する方が電流供給部の位置による特性ばらつきは小さくなる。従って、この方式においても、基準電流出力端子 9 及び基準電流入力端子 1 1 を基準電流供給部に近接させて設けることが好ましい。

50

【0079】

以上のように、本実施形態の半導体チップを用いれば、半導体チップ間の特性ばらつきを抑えることができるので、表示むら等の発生が低減された表示装置を実現することができる。

【0080】

なお、第1の電流伝達用MISFET7と基準電流出力端子9との間に、pチャネル型MISFETで構成されるカレントミラー回路が設けられていてもよい。

【0081】

図2は、第1の実施形態に係る電流駆動装置の一例が設けられた2つのチップの接続部分を示す回路図である。

10

【0082】

同図に示す例では、第1の半導体チップ20において、第1の電流伝達用MISFET7と基準電流出力端子9との間に、第1の電流伝達用MISFET7に接続されたpチャネル型の第3の電流伝達用MISFET10と、第3の電流伝達用MISFET10とカレントミラー回路を構成するpチャネル型の第4の電流伝達用MISFET12とが設けられている。

【0083】

また、第2の半導体チップ22の基準電流供給部においては、図1の基準電流供給部を構成するMISFETの導電型をすべて入れ替えた構成となっている。すなわち、第2の半導体チップ22には、基準電流入力端子11に接続されたnチャネル型の第8のMISFET33と、第8のMISFET33にカスコード接続され、ゲート電極が基準電流入力端子11に接続されたnチャネル型の第9のMISFET35と、第8のMISFET33とカレントミラー回路を構成するnチャネル型の第10のMISFET37と、第10のMISFET37にカスコード接続され、第9のMISFET35とカレントミラー回路を構成するnチャネル型の第11のMISFET39と、第10のMISFET37を流れる基準電流を受けるpチャネル型の第12のMISFET43とが設けられている。このような構成においては、第1の電流伝達用MISFET7、第3の電流伝達用MISFET10及び第4の電流伝達用MISFET12のそれぞれと第1の半導体チップ20の基準電流出力端子9との距離が200 μ m以下になっており、第1の電流伝達用MISFET7、第3の電流伝達用MISFET10及び第4の電流伝達用MISFET12の3つのMISFET間の距離もそれぞれ200 μ m以下となっている。また、第2の半導体チップ22の基準電流入力端子11と

20

第1の電流伝達用MISFET7から200 μ m以下の近傍に第1の半導体チップ20の基準電流出力端子9と第8のMISFET33、第9のMISFET35、第10のMISFET37、第11のMISFET39及び第12のMISFET43との距離はそれぞれ200 μ m以下となっており、各MISFET間の距離も200 μ m以下となっている。これに加え、第2の半導体チップ22の基準電流入力端子11と第1の半導体チップ20の基準電流出力端子9とが近接するように配置されることは変わらないので、半導体チップごとの出力電流のばらつきを小さく抑えることができる。

30

【0084】

また、図1及び図2に示す第1の半導体チップ20と第2の半導体チップ22とは、基準電流供給部の構成が多少異なっている。これに対し、表示装置に用いる半導体チップにおいて、基準電流供給部の構成を同一構成とすることもできる。

40

【0085】

図3は、第1の実施形態の変形例に係る電流駆動装置が設けられた2つのチップの接続部分を示す回路図である。同図に示す第1の実施形態の変形例において、第1の半導体チップ20の端部付近には、第1の基準電流入力端子11a1及び第2の基準電流入力端子11b1が設けられている。また、基準電流供給部の構成は図2に示す第2の半導体チップ22の基準電流供給部と同じであるが、第1の基準電流入力端子11a1及び第2の基準電流入力端子11b1に接続されているところが異なっている。

50

【0086】

すなわち、本変形例の第1の半導体チップ20には、第2の基準電流入力端子11b1に接続されたnチャンネル型の第8のMISFET33a1と、第8のMISFET33a1にカスコード接続され、ゲート電極が第1の基準電流入力端子11a1に接続されたnチャンネル型の第9のMISFET35a1と、第8のMISFET33a1とカレントミラー回路を構成するnチャンネル型の第10のMISFET37a1と、第10のMISFET37a1にカスコード接続され、第9のMISFET35a1とカレントミラー回路を構成するnチャンネル型の第11のMISFET39a1と、第10のMISFET37a1を流れる基準電流を受けるpチャンネル型の第1のMISFET1とが設けられている。そして、第1のMISFET1及び第2のMISFET2のゲート電極、第1のMISFET1のドレイン、第10のMISFET37a1のドレインのそれぞれは、第1の基準電流入力端子11a1に接続されている。

10

【0087】

本変形例においては、第1の半導体チップ20と第2の半導体チップ22の構成は同一となっている。ただし、第1の半導体チップ20において、第1の基準電流入力端子11a1は接地された抵抗16（または基準電流源）に接続され、第2の基準電流入力端子11b1は接地されているのに対し、第2の半導体チップ22において、第1の基準電流入力端子11a2はオープン状態で、第2の基準電流入力端子11b2は第1の半導体チップ20の基準電流出力端子9に接続されている。

【0088】

本変形例の半導体チップを用いれば、表示パネルの駆動を1種類のチップのみで行なうことができるので、表示装置の製造コストを低減することが可能となる。

20

【0089】

なお、以上で説明した半導体チップまたは電流駆動装置の例では、電流源5-1、5-2、...、5-mを構成するMISFETがnチャンネル型であったが、このMISFETをpチャンネル型に代えても同様に動作させることができる。この場合には、基準電流供給部を構成するMISFETや電流伝達用MISFETの導電型を入れ替えればよい。

【0090】

なお、本変形例の半導体チップを複数個カスケード接続する際に、最終段となる半導体チップの基準電流出力端子に抵抗16と同じ抵抗値を有する抵抗を接続してもよい。

30

【0091】

また、本実施形態の電流駆動装置において、第1の半導体チップ20の基準電流出力端子9から出力される電流の値は、必ずしも基準電流源4を流れる基準電流の値に等しくなくてもよい。基準電流出力端子9から出力される電流は、第2の半導体チップ22にとっての基準電流（第2の基準電流と呼ぶ）となるが、適当なミラー比のカレントミラー回路を基準電流入力端子11と第7のMISFET23との間に設ければ、電流供給部40を構成する電流源中のMISFETと電流供給部41を構成する電流源中のMISFETにそれぞれ等しい電流を供給することができる。

【0092】

（第2の実施形態）

図4は、本発明の第2の実施形態に係る電流駆動装置を示す回路図である。本実施形態の電流駆動装置の特徴は、図21に示す従来の電流駆動装置に加え、電流供給部59の各々に基準電流を伝達するための電流分配用MISFET55及び電流入力用MISFET57が設けられている点である。ここで、「電流供給部59」とは、図4に示す電流供給部59-1～mの各々を意味し、「電流分配用MISFET55」とは、電流分配用MISFET55-1～mの各々を、「電流入力用MISFET57」とは、電流入力用MISFET57-1～mの各々を意味するものとする。

40

【0093】

図4に示すように、本実施形態の電流駆動装置は、pチャンネル型の第1のMISFET53と、第1のMISFET53に接続され、基準電流を生成するための基準電流源58

50

と、第1のMISFET53とカレントミラー回路を構成し、基準電流を分配するためのpチャネル型の電流分配用MISFET55-1、55-2、...、55-nと、電流分配用MISFET55-1、55-2、...、55-nにそれぞれ接続されたnチャネル型の電流入力用MISFET57-1、57-2、...、57-nと、電流入力用MISFET57-1、57-2、...、57-nからカレントミラーを介して基準電流を伝達され、画素回路(図示せず)に駆動電流を供給するための電流供給部59-1、59-2、...、59-nとを備えている。ここで、nは半導体チップあたりの出力数である。また、第1のMISFET53のゲート電極と、電流分配用MISFET55-1、55-2、...、55-nの各ゲート電極とは、共通のバイアス線56に接続されている。

【0094】

また、電流供給部59-1、59-2、...、59-nの各々の構成は第1の実施形態で説明した電流供給部40(図1参照)とほぼ同一である。例えば、電流供給部59-1は、電流入力用MISFET57-1とカレントミラー回路を構成するMISFETからなるm個の電流源と、該電流源を流れる電流をオンまたはオフにするためのスイッチ(図示せず)とを有している。ただし、電流源を構成するMISFETのうち、異なる出力端子に接続されるMISFETのゲート電極同士は、図4に示すように接続されていなくてもよいが、後述するように互いに接続されていてもよい。

【0095】

この電流供給部59がm個の電流源を有する場合、 2^m 階調の表示が可能になる。図4に示す例では、図示を省略しているが、電流供給部59のそれぞれは、6ビット分の電流源を有しており、互いに同サイズの63個のMISFETで構成されている。なお、図4では、電流供給部59と電流入力用MISFETの一組を電流供給ユニット51として示している。ここで、「電流供給ユニット51」は、電流供給ユニット51-1~mの各々を意味するものとする。

【0096】

本実施形態の電流駆動装置においては、電流供給部59ごとに基準電流を分配するための電流分配用MISFET55及び電流入力用MISFET57を設けているので、表示装置が黒表示から白表示に切り替わる際に、パネル側から電流が流れ込んでも電流供給部59中の電流源の動作は影響を受けにくくなっている。つまり、本実施形態の電流駆動装置においては、電流分配用MISFET55及び電流入力用MISFET57を電流供給部ごとに設けることで、電流分配用MISFET55及び電流入力用MISFET57の1組みに接続されるMISFETのゲート電極数が従来に比べて少なくなっている。このため、電流入力用MISFET57のゲート電極と電流供給部59の電流源を構成するMISFETのゲート電極とを接続するバイアス配線の容量が低減するので、電流供給部59中の電流源を構成するMISFETのゲート電極の電位の変動を吸収しやすくなっている。その結果、電流供給部59の出力の変動が抑えられる。

【0097】

これと同様の理由で、白表示から黒表示に切り替わる際にも、電流分配用MISFET55は影響を受けず、常時一定の電流を電流供給部59に分配することができる。

【0098】

従って、本実施形態の電流駆動装置を用いれば、表示データの書き込み期間内に、電流供給部59内の電流源用MISFETのゲート電位の変動が速やかに収束するので、クロストークの発生を抑え、表示の乱れが少ない電流駆動型の表示装置を実現することができる。

【0099】

また、本実施形態の電流駆動装置を設けた半導体チップに、第1の実施形態で説明した基準電流の入力端子、出力端子を設けることにより、表示の乱れや表示むらをさらに抑えた表示装置を実現することが可能になる。

【0100】

図5は、基準電流の入力端子及び出力端子をチップの端部に設けた場合の本実施形態の

10

20

30

40

50

半導体チップを示す図である。

【0101】

図5に示す第1の半導体チップ70及び第2の半導体チップ72には、それぞれ先に説明した本実施形態の電流駆動装置が設けられている。そして、第1の半導体チップ70には、電流分配用MISFET55及び第1のMISFET53とカレントミラー回路を構成するpチャンネル型の電流伝達用MISFET61と、電流伝達用MISFET61に接続された基準電流出力端子9とが設けられている。

【0102】

一方、第2の半導体チップ72には、基準電流出力端子9に接続された基準電流入力端子11と、基準電流入力端子11に接続されたnチャンネル型の第8のMISFET33と、第8のMISFET33にカスコード接続され、ゲート電極が基準電流入力端子11に接続されたnチャンネル型の第9のMISFET35と、第8のMISFET33とカレントミラー回路を構成するnチャンネル型の第10のMISFET37と、第10のMISFET37にカスコード接続され、第9のMISFET35とカレントミラー回路を構成するnチャンネル型の第11のMISFET39と、第10のMISFET37を流れる基準電流を受けるpチャンネル型の第12のMISFET43と、基準電流出力端子9（図示せず）とが設けられている。なお、ここでは、図2に示す第1の実施形態と同じ部材には同じ部材名、同じ符号を付している。

【0103】

また、基準電流出力端子9は、例えば第1の半導体チップ70及び第2の半導体チップ72の端部付近に配置されている。さらに、基準電流出力端子9と電流伝達用MISFET61との距離は約100 μ m以下となっている。また、基準電流入力端子11は、例えば第2の半導体チップ72の端部付近に配置され、第1の半導体チップ70の基準電流出力端子9に対向するように設けられている。そして、基準電流入力端子11と第12のMISFET43など基準電流供給部を構成するMISFETとの距離はそれぞれ約100 μ m以下となっている。

【0104】

基準電流源58と第1のMISFET53とに生じる基準電流は、カレントミラーを介して電流伝達用MISFET61に伝達され、基準電流出力端子9から出力される。次いで、基準電流は基準電流入力端子11に入力され、第8のMISFET33、第9のMISFET35、第10のMISFET37及び第11のMISFET39を介して第12のMISFET43に入力される。そして、基準電流は、第2の半導体チップ72上に設けられ、第12のMISFET43とカレントミラー回路を構成する電流伝達用MISFET（図示せず）に伝達される。電流伝達用MISFETに伝達された基準電流は、基準電流出力端子9（図示せず）を介して、さらに次段の半導体チップへと伝達される。

【0105】

以上のような構成により、互いに近接した基準電流出力端子9から基準電流入力端子11へと誤差の小さい基準電流が伝達されるので、同一半導体チップ内において、クロストークの発生を抑えると共に、電流駆動装置が設けられた半導体チップごとの出力電流のばらつきを小さく抑えることができる。

【0106】

従って、以上のような基準電流の入出力構成を取ることで、よりムラの少ない画像表示を実現することが可能になり、大画面且つ高精細の有機EL表示パネルやLED表示パネルなどを実現することが可能となる。

【0107】

また、図示しないが、基準電流供給部を図3に示す例と同様の構成とすることで、表示装置に用いる半導体チップを1種類のみとすることができ、製造コストの低減を図ることができる。

【0108】

なお、本実施形態の電流駆動装置において、図4では電流分配用MISFET55及び

10

20

30

40

50

電流入力用MISFET57を電流供給部59ごとに設ける例を示したが、2つ以上の電流供給部59に対して1組みの電流分配用MISFET55及び電流入力用MISFET57が設けられていてもよい。この場合、半導体チップあたり電流分配用MISFET55と電流入力用MISFET57のペアが2組み以上あればよい。クロストークの抑制効果は電流分配用MISFET55が多いほど大きくなるが、実際の回路では、回路面積と性能のバランスを考慮して設計することが好ましい。

【0109】

また、図6は、本実施形態の電流駆動装置の一変形例を示す回路図である。半導体チップにおいて、基準電流入力端子から基準電流出力端子へと向かう方向（チップの長手方向）に配置されたMISFETのしきい値電圧 V_t は、不純物濃度の勾配などの要因により、例えば入力端子に近い側では高く、出力端子に近い側では低くなるように勾配がついている。

10

【0110】

そこで、図6に示すように、本実施形態の電流駆動装置において、電流供給部59-1~m内の電流源を構成するMISFETのうち、異なる出力端子に接続されるMISFETのゲート電極同士、及び電流入力用MISFET57のゲート電極同士は、互いに接続してもよい。この場合、各MISFETのしきい値の勾配に合わせて各MISFETのゲート電極に勾配をつけた電圧を印加することができるので、電流供給部59から出力される電流のばらつきを低減することができる。なお、本変形例の場合、電流入力用MISFET57及び電流供給部59内のMISFETとカレントミラー回路を構成するnチャンネル型の電流伝達用MISFET66と、電流伝達用MISFET66に接続された基準電流出力端子9とを設け、次段の半導体チップに接続する。この際に、図3の例のように、電流伝達用MISFET66及び基準電流出力端子9を半導体チップの端部付近に配置すれば、半導体チップごとの出力電流のばらつきを低減することができる。

20

【0111】

（第3の実施形態）

図7は、本発明の第3の実施形態に係る電流駆動装置を示す回路図であり、図8(a)、(b)は、本実施形態の電流駆動装置のうち、電流供給ユニット51の構成例を拡大して示す回路図である。

【0112】

図7に示すように、本実施形態の電流駆動装置は、第2の実施形態の電流駆動装置と同様に、複数の電流分配用MISFETを備えている。ただし、以下の点が第2の実施形態の電流駆動装置と異なる本実施形態の電流駆動装置の特徴である。

30

【0113】

まず、本実施形態の電流駆動装置の第1の特徴は、電流供給部59において電流源となるnチャンネル型MISFETにカスコード接続されるnチャンネル型のカスコードMISFET77が設けられていることである。ここで、電流供給部59の構成は、図7では簡略化して示しているが、実際には図8(a)または(b)のようになっている。

【0114】

図8(a)に示す例では、mビット分の電流源60-1、60-2、...60-mに対し、スイッチ64-1、64-2、...64-mを介して1つのカスコードMISFET77が設けられている。そして、カスコードMISFET77のゲート電圧 V_{c1p} は、表示パネルの電源電圧（例えば3V程度）よりも低い値に設定されている。また、カスコードMISFET77のしきい値電圧は、ゲート電圧 V_{c1p} 以下となっており、カスコードMISFET77は、駆動時を通してオン状態となっている。

40

【0115】

これにより、カスコードMISFET77は、クランプ回路として機能し、スイッチ64-1、64-2、...64-mが非導通状態から一斉に導通状態に切り替わる際に、パネル側から流入する電流を制限することができる。特に、ゲート電圧 V_{c1p} が表示パネルの電源電圧よりも低い値に設定されていることにより、表示パネル側から瞬時に高電圧が

50

出力端子68に印加される場合にも、電流源60-1、60-2、...60-mを構成する各MISFETのドレインに印加される電圧をゲート電圧 V_{clp} 以下にすることができる。従って、電流源60-1、60-2、...60-mを構成するMISFETのゲート電位が表示パネルから流れ込む電流による変動を受けにくくなるので、本実施形態の電流駆動装置では、クロストーク表示の発生が抑えられ、均一な表示が実現されている。

【0116】

なお、電流制御手段として、カスコードMISFET77に代えて、ポリシリコン抵抗、拡散抵抗、ウエル抵抗などの抵抗素子を設けてもよい。半導体集積回路では、一般に、外部からの電荷の流入を防止するための電流制限用の抵抗を配置し、内部回路を静電破壊から保護している。ここで、当該抵抗は、表示パネルからの電荷の流入に制限を加え、高周波成分を除去する役割を果たす。そして、高周波成分が除去されることによって、電流源であるMISFETのゲート-ドレイン間の寄生容量を低減できるので、パネルから流入する電荷によるゲート電位の変動を抑えることができる。

10

【0117】

また、本実施形態の電流駆動装置における電流供給部は、図8(b)に示すような構成をとってもよい。この例では、電流供給部59に流れる電流量を制御するためのスイッチ(図8(a)でのスイッチ64-1~mに相当)に代えて、カスコードMISFET77-1、77-2、...、77-mが設けられている。そして、カスコードMISFET77-1、77-2、...、77-mのそれぞれは、表示パネルの電源電圧よりも低いゲート電圧 V_{clp} が印加されてオン状態

20

となる。なお、本実施例のカスコードMISFET77-1、77-2、...、77-mは、電流供給部59の出力制御スイッチを兼ねているので、表示データに従ってオン又はオフに制御される。

【0118】

これにより、カスコードMISFET77-1、77-2、...、77-mは黒表示から白表示への切替時などに、電流供給部59の電流源に急激に大電流が流れるのを防ぐように働く。さらに、この構成によれば、図8(a)に示す実施例に比べて回路面積を低減することができるので、本実施例の電流駆動装置は、特にドライバLSIの小面積化が要求される表示装置に好ましく用いられる。

【0119】

次に、本実施形態の電流駆動装置の第2の特徴は、pチャネル型の電流分配用MISFET55と電流入力用MISFET57との間に、電流分配用MISFET55にカスコード接続され、電流分配用MISFET55と同導電型の第2の電流分配用MISFET73が設けられている点である。このため、本実施形態の電流駆動装置は、第1のMISFET53のドレインと基準電流源58との間に設けられたpチャネル型の第13のMISFET71と、電流伝達用MISFET61にカスコード接続し、第13のMISFET71とカレントミラー回路を構成するpチャネル型の第4の電流伝達用MISFET75とを有している。そして、第2の電流分配用MISFET73の各ゲート電極は共通のバイアス線に接続され、第13のMISFET71及び第4の電流伝達用MISFET75とカレントミラー回路を構成する。ここで、「第2の電流分配用MISFET73」とは、第2の電流分配用MISFET73-1~mのそれぞれを区別しない場合の表現とする。

30

40

【0120】

このような構成により、本実施形態の電流駆動装置では、電流入力用MISFET57を介して電流供給部59の電流源60-1~mに伝達される基準電流の変動を抑え、安定化させることができる。そのため、本実施形態の電流駆動装置を用いることにより、電流駆動型表示装置の表示品質をさらに向上させることができる。

【0121】

次に、本実施形態の電流駆動装置の第3の特徴は、第1の実施形態で説明したように、基準電流出力端子9及び基準電流入力端子11が半導体チップの端部付近に設けられてお

50

り、且つ互いにカレントミラー回路を構成する n チャネル型の電流伝達用 M I S F E T 7 9、8 1 も半導体チップの端部付近に設けられている点である。さらに、図 7 に示す例において、基準電流源 5 8 が第 1 の半導体チップ 7 0 の外部にあり、基準電流源 5 8 と第 1 の M I S F E T 7 1 のドレインとの間に基準電流入力端子が設けられている場合には、第 1 の半導体チップ 7 0 と第 2 の半導体チップ 7 2 とを同一構成にすることができる。

【 0 1 2 2 】

これにより、半導体チップ間の出力電流のばらつきが抑えられると共に、表示装置のドライバを単一種類の半導体チップで構成することができる。

【 0 1 2 3 】

なお、本実施形態の電流駆動装置において、上述の 3 つの特徴を有する例を説明したが、いずれか 1 つの特徴のみを有する場合や、いずれか 2 つの特徴を組み合わせるであっても、従来に比べてより均一な表示を実現することができる。

10

【 0 1 2 4 】

なお、本実施形態の電流駆動装置において、電流供給部 5 9 に含まれる M I S F E T の導電型を p チャネル型とし、電流供給部 5 9 側を表示パネルよりも高電位としてもよい。その場合、電流駆動装置を構成する M I S F E T の導電型をすべて逆にすればよい。これは、以下の実施形態でも同様である。

【 0 1 2 5 】

(第 4 の実施形態)

図 9 は、本発明の第 4 の実施形態に係る電流駆動装置を示す回路図である。

20

【 0 1 2 6 】

同図に示すように、本実施形態の電流駆動装置は、第 2 の実施形態の電流駆動装置において、電流分配用 M I S F E T 5 5 から構成されるカレントミラー回路によって分配された基準電流を、任意に切り替えて (シャッフルして) 電流供給部 5 9 の出力端子から出力することを特徴としている。従って、本実施形態の電流駆動装置において、電流供給ユニット 5 1 - 1 ~ n 内部の回路構成は第 2 の実施形態と同一である。

【 0 1 2 7 】

図 9 に示す本実施形態の電流駆動装置の例では、電流分配用 M I S F E T 5 5 が電流供給部 5 9 ごとに設けられており、且つ、電流分配用 M I S F E T 5 5 のドレインと電流入力用 M I S F E T 5 7 のドレインとの間に第 1 のバイアス電流切替スイッチ 9 1 と第 2 のバイアス電流切替スイッチ 9 2 とが設けられている。例えば、電流分配用 M I S F E T 5 5 - 1 と電流入力用 M I S F E T 5 7 - 1 との間には第 1 のバイアス電流切替スイッチ 9 1 - 1 及び第 2 のバイアス電流切替スイッチ 9 2 - 1 が、電流分配用 M I S F E T 5 5 - 2 と電流入力用 M I S F E T 5 7 - 2 との間には第 1 のバイアス電流切替スイッチ 9 1 - 2 及び第 2 のバイアス電流切替スイッチ 9 2 - 2 が、それぞれ設けられている。

30

【 0 1 2 8 】

この構成により、電流分配用 M I S F E T 5 5 - 1 ~ n のそれぞれにより分配される基準電流を、任意の期間ごとに異なる電流供給部 5 9 の出力端子から出力させることができる。第 1 のバイアス電流切替スイッチ 9 1 及び第 2 のバイアス電流切替スイッチ 9 2 の接続の切り替えのタイミングは、例えば n ラインごと (n は正の整数)、あるいは 1 フレームごとなど、任意に設定できる。

40

【 0 1 2 9 】

図 1 0 (a) ~ (c) は、本実施形態の電流駆動装置において、出力電流の切替方式の一例を示す回路図であり、図 1 1 (a) ~ (c) は、本実施形態の電流駆動装置において、出力電流の切替方式の別の一例を示す回路図である。

【 0 1 3 0 】

図 1 0 (a) ~ (c) では、1 つの電流分配用 M I S F E T 5 5 について見た場合、両隣に位置する電流分配用 M I S F E T 5 5 と電流供給ユニット 5 1 への接続を切り替える方法を示している。ここで、隣接する電流分配用 M I S F E T 5 5 同士で接続を切り替える際には、電流分配用 M I S F E T 5 5 - 1 の隣と電流分配用 M I S F E T 5 5 - n の隣

50

に、電流分配用MISFET55-1~nを挟んでそれぞれダミー電流分配用MISFET95、99を設けるとよい。この際には、ダミーバイアス電流切替スイッチ96、97、100、101も設けておく。

【0131】

電流分配用MISFET55-1を例にとって本方式を説明する。ここでは、接続の切り替えを水平走査期間ごとに行なう例を示す。

【0132】

まず、最初の水平走査期間に、図10(a)に示すように通常通り、電流分配用MISFET55-1は電流供給ユニット51-1に接続される。

【0133】

次の水平走査期間では、図10(b)に示すように、電流分配用MISFET55-1は、電流供給ユニット51-2に接続される。

【0134】

さらに次の水平走査期間では、図10(c)に示すように、電流分配用MISFET55-1は、ダミー配線に接続される。なお、ここでは、電流分配用MISFET55-1のみの説明をしたが、他の電流分配用MISFET55の接続も同様に切り替える。

【0135】

以上のように、電流分配用MISFET55と出力電流との関係を3通りに切り替えることができるので、電流分配用MISFET55の特性ばらつきを相殺することができる。このため、本実施形態の電流駆動装置を用いれば、表示のちらつきが抑えられた電流駆動型の表示装置を実現することができる。なお、図10に示す例では、接続の切り替えパターンが(a)~(c)に示す3通りであったが、これより多くてもよいし、(b)、(c)に示す2通りのみでもよい。

【0136】

また、本実施形態の電流駆動装置は、図11(a)~(c)に示すような切り替え方式をとることもできる。

【0137】

すなわち、最初の水平走査期間には、図11(a)に示すように、電流分配用MISFET55-1は電流供給ユニット51-3に接続される。

【0138】

そして、次の水平走査期間には、図11(b)に示すように、電流分配用MISFET55-1は電流供給ユニット51-2に接続される。

【0139】

さらに、次の水平走査期間には、図11(c)に示すように、電流分配用MISFET55-1は、ダミーバイアス電流切替スイッチ97bに接続される。このような切り替え方法によっても、電流供給部59からの出力電流の誤差は見かけ上相殺される。

【0140】

なお、本実施形態の電流駆動装置において、電流分配用MISFET55の接続切り替え方法は上述の方法に限らず、電流分配用MISFET55-1~nのそれぞれが接続される電流供給ユニット51は、任意に切り替えることができる。ただし、電流分配用MISFET55は、なるべく近傍に位置する第2のバイアス電流切替スイッチ92に接続させる方が、配線を短くするとともに単純化できるので、より好ましい。従って、互いに隣接する電流分配用MISFET55同士で接続を切り替えることが最も好ましい。

【0141】

なお、本実施形態の電流駆動装置では、出力端子間の接続を切り替えるためのバイアス電流切替スイッチ91、92を、電流分配用MISFET55と電流入力用MISFET57との間に設けたが、電流供給部59-1を構成するnチャンネル型のMISFETのドレインとスイッチ64(図8参照)との間にそれぞれ第1及び第2のバイアス電流切替スイッチ91、92を設けてもよい。

【0142】

10

20

30

40

50

また、図9～図11に示す電流駆動装置では、電流分配用MISFET55と電流入力用MISFET57との接続切替え手段としてスイッチ（あるいは切替用端子）を用いたが、これ以外の切替え手段を設けてもよい。

【0143】

なお、本実施形態の電流駆動装置において、回路面積が限られる場合、電流分配用MISFET55及び電流入力用MISFET57は、複数の電流供給部59あたり1つの割で設けられていてもよい。

【0144】

- 第4の実施形態の変形例 -

図12は、本発明の第4の実施形態の変形例に係る電流駆動装置及び半導体チップを示す回路図である。

【0145】

本変形例の電流駆動装置は、図9に示す電流駆動装置とほぼ同様の構成をとっている。ただし、第1の半導体チップ70においては、第1のバイアス電流切替スイッチ91-nに接続された第1の端子160と、第2のバイアス電流切替スイッチ92-nに接続された第2の端子162が設けられている点が第4の実施形態と異なっている。また、第2の半導体チップ72においては、第1の端子160、第2の端子162に加え、第1のバイアス電流切替スイッチ91-1に接続された第3の端子164と、第2のバイアス電流切替スイッチ92-1に接続された第4の端子166とがさらに設けられている。

【0146】

これにより、本変形例の電流駆動装置が設けられた半導体チップを複数個配置する場合、同一半導体チップ内のみならず、互いに隣接する半導体チップ上に設けられた電流分配用MISFET55と電流入力用MISFETとの間で接続を切り替えることができるようになる。なお、図12に示す例では、第1の端子160は第1のバイアス電流切替スイッチ91-nに接続され、第2の端子162は第2のバイアス電流切替スイッチ92-nに接続されているが、第1の端子160及び第2の端子162は、それぞれより遠くに位置する第1のバイアス電流切替スイッチ91及び第2のバイアス電流切替スイッチ92に接続されるように設計してもよい。

【0147】

本変形例の電流駆動装置を以上のように駆動させることにより、半導体チップ内の出力端子からの出力電流のばらつきが低減されるだけでなく、半導体チップ間の出力電流のばらつきをも低減することが可能となる。

【0148】

(第5の実施形態)

図13は、本発明の第5の実施形態に係る電流駆動装置の第1の具体例において、電流供給部の構成を示す図である。

【0149】

本発明の第1～4までの実施形態に係る電流駆動装置において、電流供給部59-1、59-2、...、59-3を構成するMISFETは、図13の上側に示すレイアウト図のように、各電流供給部ごとにまとまって配置されることが多い。以下の説明において、これらのMISFETが設けられている領域のうち、電流供給部59-1を構成しているMISFETが配置される領域を第1のMISFET領域76-1、電流供給部59-2を構成しているMISFETが配置される領域を第2のMISFET領域76-2、電流供給部59-3を構成しているMISFETが配置される領域を第3のMISFET領域76-3と呼ぶものとする。なお、第1～第3のMISFET領域を区別しないで呼ぶときは、MISFET領域76と称するものとする。なお、図14には図示を省略しているが、MISFET領域76内には、それぞれ16個と32個の同サイズのMISFETがさらに設けられている。

【0150】

本具体例の電流駆動装置は、このような回路配置の電流駆動装置において、1つの電流

10

20

30

40

50

供給部 59 が、異なる M I S F E T 領域 76 内に設けられた M I S F E T から構成されていることを特徴としている。

【 0 1 5 1 】

電流供給部 59 を構成する M I S F E T については、半導体チップ内の位置の違いや製造工程などによって特性ばらつきが見られる。特に、異なる M I S F E T 領域内の M I S F E T 同士の特性ばらつきは比較的大きくなっている。従って、本具体例の電流駆動装置では、隣接する出力端子間、あるいは互いに離れた出力端子間で出力電流をシャフリングすることにより、電流供給部 59 を構成する M I S F E T の特性ばらつきを平均化することができるので、出力端子ごとの出力電流のばらつきを抑えることができる。よって、本具体例の電流駆動装置を表示装置に用いることで、表示むらを抑え、表示画質の向上を図

10

【 0 1 5 2 】

なお、本具体例の電流駆動装置では、半導体チップ内の任意の M I S F E T 領域 76 内の M I S F E T を組み合わせて 1 つの電流供給部 59 を構成してもよいが、図 13 に示すように、互いに隣接する M I S F E T 領域内の M I S F E T を組み合わせれば、配線が容易となるので特に好ましい。ただし、出力電流をより均一化するためには、互いに離れた M I S F E T 領域内の M I S F E T を組み合わせることが必要となるので、実際には配線の容易さとばらつき低減の効果のバランスを考えて設計する。いずれの場合においても、回路設計時に、どの M I S F E T 領域内の M I S F E T をどの電流供給部 59 の出力端子に接続するかは、乱数などを用いて決定すればよい。

20

【 0 1 5 3 】

また、図 14 は、第 5 の実施形態に係る電流駆動装置の第 2 の具体例において、電流供給部の構成を示す図である。

【 0 1 5 4 】

第 1 の具体例の電流駆動装置では、各 M I S F E T 領域 76 内でビットに応じた電流源となる M I S F E T の配置が固定されていた（図 13 参照）。

【 0 1 5 5 】

これに対し、本具体例の電流駆動装置では、図 14 の上側のレイアウト図に示すように、M I S F E T 領域 76 内に設けられた任意の M I S F E T のゲート電極同士を接続して電流供給部 59 の電流源を構成している。言い換えれば、本具体例の電流駆動装置では、出力端子ごとに電流源を構成する M I S F E T の選択をランダムに変えている。

30

【 0 1 5 6 】

同一の M I S F E T 領域 76 内に設けられた M I S F E T でも、位置により特性のばらつきが見られるので、本具体例のように、各 M I S F E T 領域 76 内に設けられた M I S F E T からランダムに選択した M I S F E T で電流供給部 59 を構成することにより、第 1 の具体例よりもさらに出力電流のばらつきを均一化し、抑えることが可能となる。これにより、本具体例の電流駆動装置を表示装置に用いることで、表示むらを抑え、表示画質の向上を図ることが可能となる。また、スイッチを設ける面積が不要となるので、第 4 の実施形態に比べて回路面積を小さくすることが可能である。

【 0 1 5 7 】

40

なお、本実施形態の第 1 及び第 2 の具体例に係る電流駆動装置の回路配置及び配線構造は、第 1 ~ 第 4 の実施形態に限らず、図 20 に示す従来の電流駆動装置にも応用しても同様の効果を得られる。また、第 4 の実施形態に本実施形態の配線構造を適用すれば、出力端子による電流の誤差を顕著に小さくすることができる。

【 0 1 5 8 】

（第 6 の実施形態）

図 15 は、本発明の第 6 の実施形態に係る電流駆動装置を示す回路図である。

【 0 1 5 9 】

同図に示すように、本実施形態の電流駆動装置は、図 4 に示す第 2 の電流駆動装置において、パイアス線 56 上であって互いに隣接する電流分配用 M I S F E T 55 のゲート電

50

極間に、抵抗62が設けられていることを特徴とする。ここで、「抵抗62」とは、図15中の抵抗62-1、62-2、...、62-(n-1)のそれぞれを区別しない場合の表現である。なお、図15に示すバイアス線56の基準電流出力端子側には、電位勾配を作るための電流源または配線(図示せず)が接続されている。

【0160】

本実施形態の電流駆動装置においては、抵抗62が設けられていることにより、出力端子間で出力電流の誤差が低減されている。以下、このことについて説明する。

【0161】

カレントミラー回路は、これを構成するトランジスタの拡散条件が等しく、しきい値 V_t やキャリア移動度に有意差がないことを前提としている。ところが、表示装置用ドライバLSIのチップの長さが10mmから20mmもの長さになると、トランジスタに含まれる不純物の拡散を均一に行なうことが困難になってくる。この結果、カレントミラーとなるトランジスタのしきい値にばらつきが生じ、ひいては出力電圧のばらつきを生じることになる。通常は、拡散の変動はウエハー面に対し徐々に傾きを持つ。このため、例えば、電流分配用MISFET55のしきい値電圧 V_t は、電流分配用MISFET55-1から電流分配用MISFET55-nの方向に向かうにつれ、低くなる。

【0162】

本実施形態の電流駆動装置においては、バイアス線56上に抵抗62が設けられているので、電流分配用MISFET55-1~nに加わるゲート電圧を、しきい値 V_t の勾配に合わせて傾斜させることができるので、結果的に、電流分配用MISFET55に流れる電流値をほぼ一定にすることができる。

【0163】

従って、本実施形態の電流駆動装置によれば、半導体チップ内の電流供給部59からの出力電流のばらつきを抑え、表示装置の画質を向上させることができる。

【0164】

なお、本実施形態の電流駆動装置には、第1の実施形態で説明したような基準電流の入出力端子の構成や、第4、第5の実施形態で説明した構成を併せて採用してもよい。

【0165】

(第7の実施形態)

図16は、本発明の第7の実施形態に係る電流駆動装置を示す回路図である。

【0166】

同図に示すように、本実施形態の電流駆動装置には、図20に示すような従来の電流駆動装置に加え、電流供給部59の電流源を構成するMISFETのそれぞれに、該MISFETと同導電型で、且つ該MISFETとカスコード接続を形成するカスコードMISFET80が設けられている。図16に示す電流供給部59の構成は、図7に示す電流供給部59の構成と似ているように見えるが、電流源を構成するMISFETごとにカスコードMISFET80が設けられている点、カスコードMISFET80と出力端子(図示せず)との間に、出力電流の階調制御を行なうためのスイッチ64が設けられている点、さらに、各カスコードMISFET80のゲート電極が第2の電流入力用MISFET105のゲート電極に共通に接続されている点が異なる。そして、第2の電流入力用MISFET105のドレインとゲート電極とは互いに接続され、基準電流が流れるように設定されている。また、カスコードMISFET80は第2の電流入力用MISFET105とカレントミラー回路を構成している。この第2の電流入力用MISFET105のドレインには、例えば、基準電流を分配するための第2の電流分配用MISFET(図示せず)が接続されている。

【0167】

従って、本実施形態で説明する電流供給部59の各々においては、電流入力用MISFET57側からと第2の電流入力用MISFET105側からの両方向からバイアス電圧を受けることになっている。

【0168】

10

20

30

40

50

この構成により、電流供給部59の出力電流は、カスコードMISFET80が接続されない場合の電流源を構成するMISFET（電流源用MISFET）に流れるはずの電流とカスコードMISFET80を単独で設けた場合に流れるはずの電流とが平均化される。すべての電流源用MISFETには互いに等しいゲート電圧が印加され、且つすべてのカスコードMISFET80にも互いに等しいゲート電圧が印加されるが、電流源用MISFET及びカスコードMISFET80のしきい値は、半導体チップ上の位置により、図16の右方向から左方向へ互いに逆方向の勾配がついて変化している。そのため、電流源用MISFETを流れるはずの電流とカスコードMISFET80を流れるはずの電流とを平均化することで、出力端子ごとの出力電流のばらつきが平均化され、均一化されることとなる。従って、本実施形態の電流駆動装置を用いれば、表示むらが抑えられた高精細の表示装置を実現することができる。

10

【0169】

なお、図16では、電流入力用MISFET57と電流分配用MISFET（第1のMISFET）55のペア、及び第2の電流入力用MISFET105と第2の電流分配用MISFETのペアが半導体チップあたり1ペアずつ設けられている例を示したが、第2の実施形態の電流駆動装置で説明した構成と組み合わせてもよい。

【0170】

図17は、本実施形態の電流駆動装置において、第2の実施形態と組み合わせた場合の電流駆動装置を示す回路図である。本電流駆動装置においては、電流入力用MISFET57と電流分配用MISFET55のペアが複数組み設けられている。

20

【0171】

この場合、第2の電流入力用MISFET105と第2の電流分配用MISFET55bのペアも半導体チップあたり複数組み設けることが好ましい。特に、電流入力用MISFET57と電流分配用MISFET55のペア数と第2の電流入力用MISFET105と第2の電流分配用MISFET55bのペア数とを等しくすれば、出力電流の端子ごとのばらつきをより効果的に低減できるので特に好ましい。なお、第2の電流分配用MISFET55bのゲート電極は、共通のバイアス線56bに接続されている。このような構成により、本実施形態の電流駆動装置を表示装置に用いた場合に、クロストーク表示の発生を抑えることができる。

【0172】

なお、この構成をとる場合には、第4、第5の実施形態で説明した構成と組み合わせることも可能である。例えば、図17に示す電流駆動装置は、電流分配用MISFET55と電流入力用MISFET57との間に設けられた接続切替手段130aと、第2の電流分配用MISFET55bと第2の電流入力用MISFET105との間に設けられた接続切替手段130bとをさらに備えている。そして、接続切替手段130aは、任意に設定した期間ごとに電流分配用MISFET55を異なる電流入力用MISFET57に接続させる。同様に、接続切替手段130bは、任意に設定した期間ごとに第2の電流分配用MISFET55bを異なる第2の電流入力用MISFET105に接続させる。これにより、電流供給部59からの出力電流をより均一化することができる。

30

【0173】

また、本実施形態の電流駆動装置の構成を、第1の実施形態で説明した構成と組み合わせてもよい。

40

【0174】

図18は、本実施形態の電流駆動装置において、第1の実施形態で説明した端子構造を有する場合の電流駆動装置を示す回路図である。同図に示すように、本実施例の電流駆動装置では、半導体チップのうち、電流入力用MISFET57からの距離が200 μ m以下、好ましくは100 μ m以下の範囲内に第1の基準電流入力端子124及び第1の基準電流出力端子126を設け、第2の電流入力用MISFET105からの距離が200 μ m以下、好ましくは100 μ m以下の範囲内に第2の基準電流入力端子128及び第2の基準電流出力端子130を設ければよい。そして、表示パネルの額縁部に電流駆動装置が

50

設けられた半導体チップを複数枚並べる場合、第1の基準電流出力端子126と次段の第2の半導体チップ122の第1の基準電流入力端子124とを接続し、第2の基準電流出力端子130と第2の半導体チップ122の第2の基準電流入力端子128とを接続すればよい。これにより、半導体チップ間の出力電流のばらつきも抑えられる。

【0175】

(第8の実施形態)

図19は、本発明の第8の実施形態に係る電流駆動装置が形成された半導体チップを示す回路図である。同図に示す電流駆動装置において、電流供給部40の構成は、図2に示す電流供給部40と同一であるので、以下ではそれ以外の構成について説明する。

【0176】

本実施形態の半導体チップの特徴は、表示パネルの周辺部に例えば一列に並べた場合、任意の時間間隔ごとに基準電流が流れる方向が切り替わることである。

【0177】

図19に示すように、本実施形態の電流駆動装置は、第1の基準電流を流すための基準電流源151に接続された第1の基準電流入力端子146と、電流源5を構成するMISFETとカレントミラー回路を構成し、ゲート電極とドレインとが互いに接続され、第1の基準電流が伝達される第1の電流入力用MISFET3aと、電流源5を構成するMISFET及び第1の電流入力用MISFET3aとカレントミラー回路を構成する第1の電流伝達用MISFET7bと、第1の電流伝達用MISFET7bからの出力電流が伝達される第1の基準電流出力端子150と、第2の基準電流源153、あるいは次段の半導体チップから出力された第2の基準電流を入力するための第2の基準電流入力端子148と、電流源5を構成するMISFETとカレントミラー回路を構成し、ゲート電極とドレインとが接続された第2の電流入力用MISFET3bと、第2の電流入力用MISFET及び電流源5を構成するMISFETとカレントミラー回路を構成する第2の電流伝達用MISFET7aと、第2の電流伝達用MISFET7aからの出力電流が伝達される第2の基準電流出力端子144と、第2の基準電流出力端子144に接続されたスイッチSW1と、第1の基準電流入力端子146に接続されたスイッチSW2と、第2の基準電流入力端子148に接続されたスイッチSW3と、第1の基準電流出力端子150に接続されたスイッチSW4とを備えている。また、第1の基準電流入力端子146と第1の電流入力用MISFET3aとの間の電流伝達経路上、及び第2の基準電流出力端子144と第2の電流伝達用MISFET7aとの間の電流伝達経路上には、基準電流切替スイッチ154が設けられ、第2の基準電流入力端子148と第2の電流入力用MISFET3bとの間の電流伝達経路上、及び第1の基準電流出力端子150と第1の電流伝達用MISFET7bとの間の電流伝達経路上には、基準電流用スイッチ156が設けられている。

【0178】

また、第1の基準電流入力端子146と第1の電流入力用MISFET3aとの距離は、好ましくは200 μ m以下、さらに好ましくは100 μ m以下となっており、第1の基準電流出力端子150と第1の電流伝達用MISFET7bとの距離も好ましくは200 μ m以下、さらに好ましくは100 μ m以下となっている。これと同様に、第2の基準電流入力端子148と第2の電流入力用MISFET3bとの距離は、好ましくは200 μ m以下、さらに好ましくは100 μ m以下となっており、第2の基準電流出力端子144と第2の電流伝達用MISFET7aとの距離も好ましくは200 μ m以下、さらに好ましくは100 μ m以下となっている。

【0179】

これにより、本実施形態の半導体チップ同士をカスケード接続する場合に、半導体チップごとの出力電流(画素回路の駆動電流)のばらつきを低減することができる。

【0180】

また、表示装置において、第1の半導体チップ140と第2の半導体チップが隣接して配置されている場合、第1の半導体チップ140の第1の基準電流出力端子150と第2

10

20

30

40

50

の半導体チップ142の第1の基準電流入力端子146とは互いに接続され、第1の半導体チップ140の第2の基準電流出力端子148と第2の半導体チップ142の第2の基準電流入力端子144とは互いに接続されている。

【0181】

本実施形態の電流駆動装置では、スイッチSW1とスイッチSW3とは互いに同期して動作し、スイッチSW2とスイッチSW4とは互いに同期して動作する。加えて、スイッチSW1、SW3の動作は、スイッチSW2、SW4の動作とオンまたはオフが逆になるよう制御される。そして、本実施形態の電流駆動装置の動作時には、次に説明するように、第1の基準電流が複数の半導体チップに伝達される第1の期間と、第2の基準電流が複数の半導体チップに伝達される第2の期間とが交互に繰り返される。

10

【0182】

まず、第1の期間には、図19に示すように、スイッチSW2、SW4がオン、スイッチSW1、SW3がオフになると共に、基準電流用スイッチ154は、第1の基準電流入力端子146と第1の電流入力用MISFET3aとの間の電流伝達経路を導通させ、第2の基準電流出力端子144と第2の電流伝達用MISFET7bとの間の電流伝達経路を遮断する。これと同時に、基準電流用スイッチ156は、第1の基準電流出力端子150と第1の電流伝達用MISFET7bとの間の電流伝達経路を導通させ、第2の基準電流入力端子148と第2の電流入力用MISFET3bとの間の電流伝達経路を遮断する。このような制御により、第1の基準電流が、第1の基準電流入力端子146と第1の基準電流出力端子150とを介して複数の半導体チップに伝達されてゆく。

20

【0183】

次に、第2の期間には、スイッチSW2、SW4がオフ、スイッチSW1、SW3がオンになると共に、基準電流用スイッチ154は、第1の基準電流入力端子146と第1の電流入力用MISFET3aとの間の電流伝達経路を遮断し、第2の基準電流出力端子144と第2の電流伝達用MISFET7bとの間の電流伝達経路を導通させる。これと同時に、基準電流用スイッチ156は、第1の基準電流出力端子150と第1の電流伝達用MISFET7bとの間の電流伝達経路を遮断し、第2の基準電流入力端子148と第2の電流入力用MISFET3bとの間の電流伝達経路を導通させる。このような制御により、第2の基準電流源153から供給される第2の基準電流が、第2の基準電流入力端子148と第2の基準電流出力端子144とを介して複数の半導体チップに伝達されてゆく。

30

【0184】

大画面の表示パネルを駆動する際には、電流駆動装置を設けた半導体チップを多数個並べる必要があるが、基準電流を一方からのみ供給する従来の電流駆動装置では、第一段の半導体チップに供給される基準電流と最終段の半導体チップに伝達される基準電流との間に誤差が生じやすかった。これに比べ、本実施形態の電流駆動装置では、2種類の基準電流源からの基準電流が任意の期間ごとに交互に伝達されるので、出力端子からの出力電流のばらつきが平均化される。そのため、本実施形態の電流駆動装置を用いることにより、表示パネルのサイズが大型化した場合であっても表示が均一化された表示装置を実現することができる。

40

【0185】

なお、図19では電流供給部40の構成を第1の実施形態と同一にしたが、基準電流が流れる方向を切り替えることができる構成であれば、その他の実施形態の電流供給部と同様の構成をとってもよい。

【0186】

また、第1の基準電流入力端子146と第1の電流入力用MISFET3aとの間の電流伝達経路と、第2の基準電流出力端子144と第2の電流伝達用MISFET7bとの間の電流伝達経路とが一部共通になっているが、それぞれの電流伝達経路を別々に設けてもよい。この場合には、基準電流用スイッチが不要となる。これと同様に、第1の基準電流出力端子150と第1の電流伝達用MISFET7bとの間の電流伝達経路と、第2の

50

基準電流入力端子 148 と第 2 の電流入力用 M I S F E T 3 b との間の電流伝達経路とを別々に設けてもよい。

【図面の簡単な説明】

【0187】

【図 1】本発明の第 1 の実施形態に係る電流駆動装置が設けられた 2 つのチップの接続部分を示す回路図である。

【図 2】第 1 の実施形態に係る電流駆動装置の一例が設けられた 2 つのチップの接続部分を示す回路図である。

【図 3】第 1 の実施形態の変形例に係る電流駆動装置が設けられた 2 つのチップの接続部分を示す回路図である。

10

【図 4】本発明の第 2 の実施形態に係る電流駆動装置を示す回路図である。

【図 5】基準電流の入力端子及び出力端子をチップの端部に設けた場合の第 2 の実施形態に係る半導体チップを示す図である。

【図 6】第 2 の実施形態に係る電流駆動装置の一変形例を示す回路図である。

【図 7】本発明の第 3 の実施形態に係る電流駆動装置を示す回路図である。

【図 8】(a)、(b) は、第 3 の実施形態の電流駆動装置のうち、電流供給ユニット 51 の構成例を拡大して示す回路図である。

【図 9】本発明の第 4 の実施形態に係る電流駆動装置を示す回路図である。

【図 10】(a) ~ (c) は、第 4 の実施形態の電流駆動装置において、出力電流の切替方式の一例を示す回路図である。

20

【図 11】(a) ~ (c) は、第 4 の実施形態の電流駆動装置において、出力電流の切替方式の別の一例を示す回路図である。

【図 12】本発明の第 4 の実施形態の変形例に係る電流駆動装置及び半導体チップを示す回路図である。

【図 13】本発明の第 5 の実施形態に係る電流駆動装置の第 1 の具体例において、電流供給部の構成を示す図である。

【図 14】第 5 の実施形態に係る電流駆動装置の第 2 の具体例において、電流供給部の構成を示す図である。

【図 15】本発明の第 6 の実施形態に係る電流駆動装置を示す回路図である。

【図 16】本発明の第 7 の実施形態に係る電流駆動装置を示す回路図である。

30

【図 17】第 7 の実施形態の第 1 の変形例に係る電流駆動装置を示す回路図である。

【図 18】第 7 の実施形態の第 2 の変形例に係る電流駆動装置を示す回路図である。

【図 19】本発明の第 8 の実施形態に係る電流駆動装置が形成された半導体チップを示す回路図である。

【図 20】表示パネルと、表示パネルに接続された表示用ドライバである従来の電流駆動装置の構成を示す回路図である。

【図 21】(a) は、表示パネルにおける白黒表示の例を示す図、(b) は、(a) に示す表示パネルの XX1b - XX1b 線上に配置された画素回路と、該画素回路に接続された従来の電流供給部とを示す回路図、(c) は、黒表示時における T F T の動作点を示すグラフ図であり、(d) は、白表示時における T F T の動作点を示すグラフ図である。

40

【図 22】(a) は、表示パネルにおける白黒表示の例を示す図、(b) は、(a) に示す表示パネルの XX1b - XX1b 線上に配置された画素回路と、該画素回路に接続された電流供給部とを示す回路図、(c) は、黒表示時から白表示に切り替わった場合の T F T の動作点を示すグラフ図であり、(d) は、連続して白表示を行なう場合の T F T の動作点を示すグラフ図である。

【図 23】従来の電流駆動装置のうち、電流供給部の回路配置及び回路構成を示す図である。

【符号の説明】

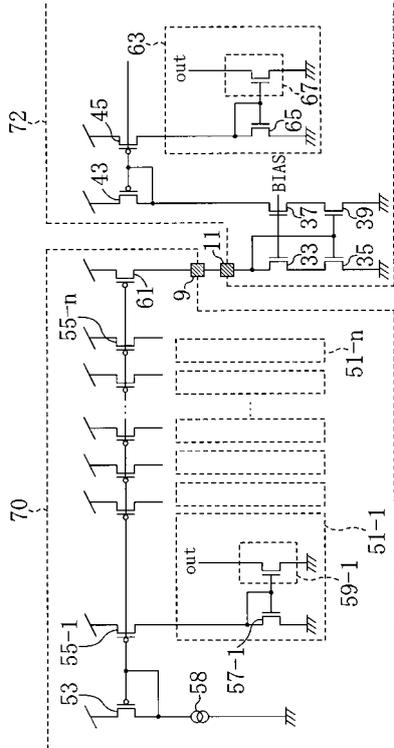
【0188】

1、53 第 1 の M I S F E T

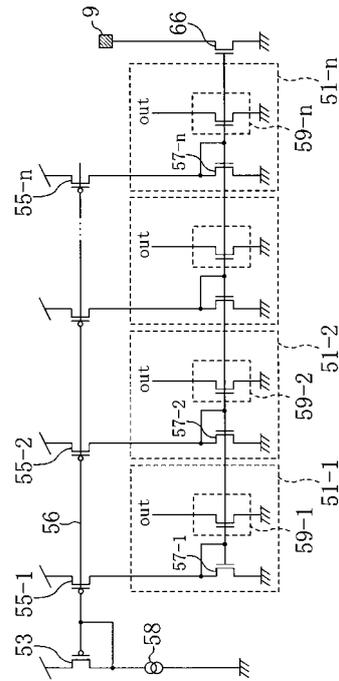
50

2	第2のMISFET	
3	電流入力用MISFET	
4、58	基準電流源	
5、5-1~m、25、25-1~m、60	電流源	
7	第1の電流伝達用MISFET	
9	基準電流出力端子	
10	第3の電流伝達用MISFET	
11	基準電流入力端子	
11a	第1の基準電流入力端子	
11b	第2の基準電流入力端子	10
12	第4の電流伝達用MISFET	
13	第3のMISFET	
15	第4のMISFET	
16	抵抗	
17	第5のMISFET	
19	第6のMISFET	
20	第1の半導体チップ	
22	第2の半導体チップ	
23	第7のMISFET	
27	第2の電流伝達用MISFET	20
33、33a	第8のMISFET	
35、35a	第9のMISFET	
37、37a	第10のMISFET	
39、39a	第11のMISFET	
40、41、59、59-1~n	電流供給部	
43	第12のMISFET	
51、51-1~n	電流供給ユニット	
55、55-1~n	電流分配用MISFET	
56	バイアス線	
57、57-1~n	電流入力用MISFET	30
61、66、79、81	電流伝達用MISFET	
62	抵抗	
64	スイッチ	
68	出力端子	
70	第1の半導体チップ	
71	第13のMISFET	
72	第2の半導体チップ	
73	第2の電流分配用MISFET	
75	第4の電流伝達用MISFET	
76	MISFET領域	40
76-1	第1のMISFET領域	
76-2	第2のMISFET領域	
76-3	第3のMISFET領域	
77、77-1~m、80	カスコードMISFET	
91	第1のバイアス電流切替スイッチ	
92	第2のバイアス電流切替スイッチ	
95、95a、95b、99	ダミー電流分配用MISFET	
96、96a、96b	ダミーバイアス電流切替スイッチ	
97、97a、97b、100、101	ダミーバイアス電流切替スイッチ	
105	第2の電流入力用MISFET	50

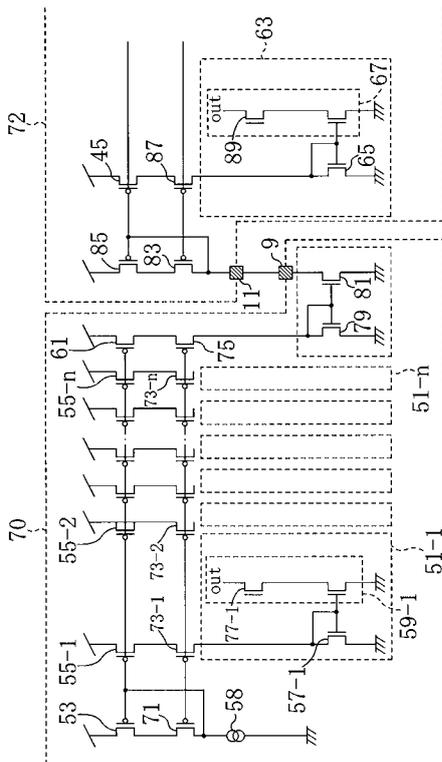
【図5】



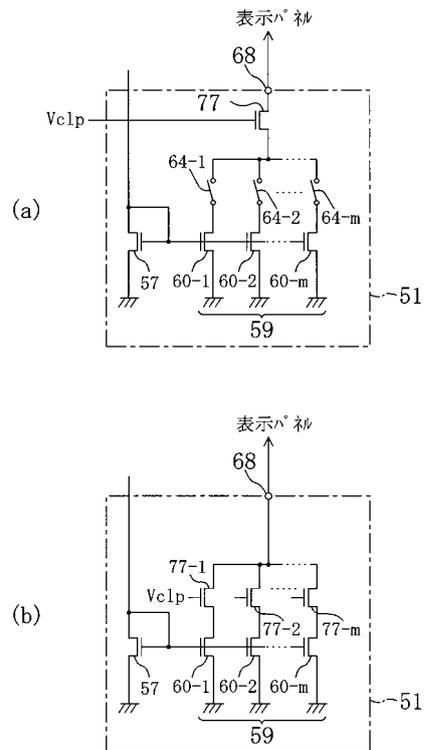
【図6】



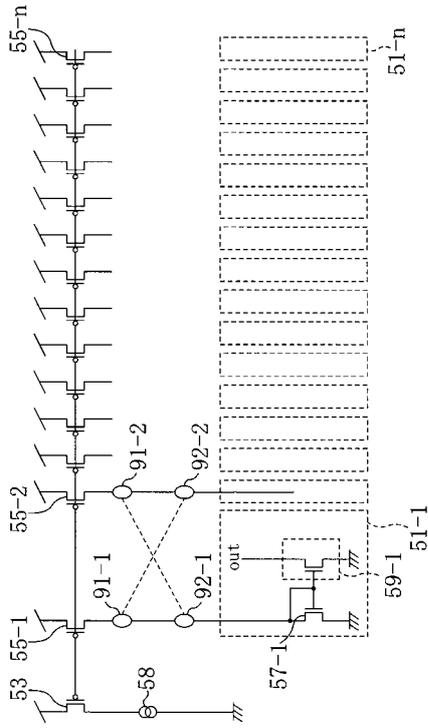
【図7】



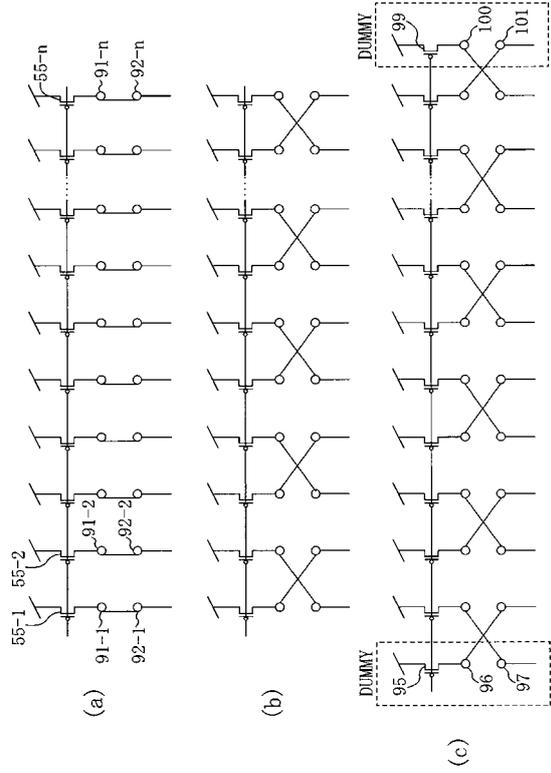
【図8】



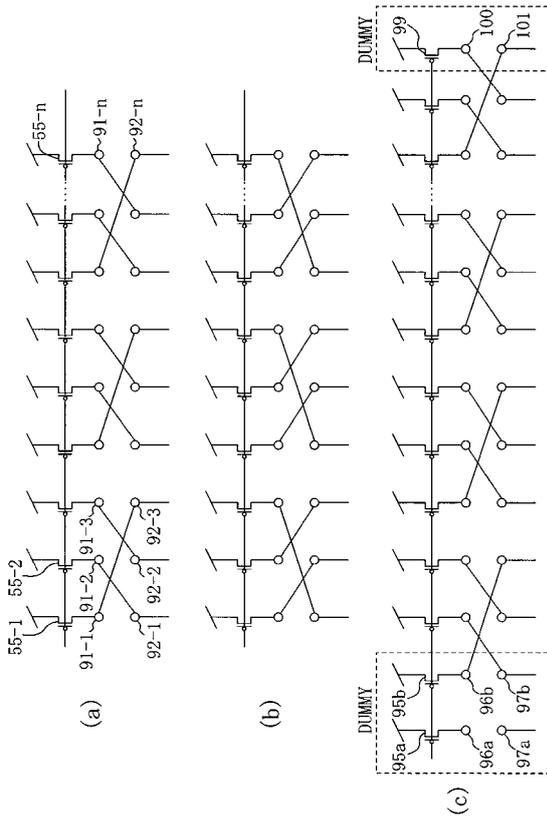
【図 9】



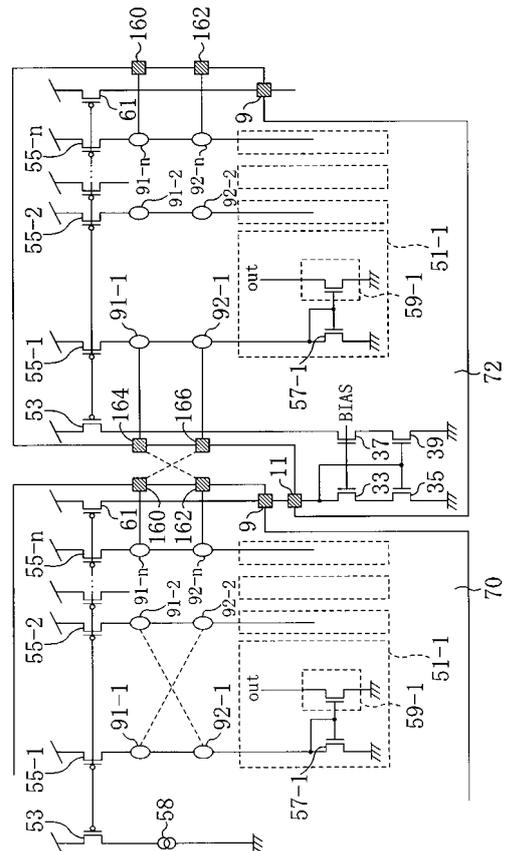
【図 10】



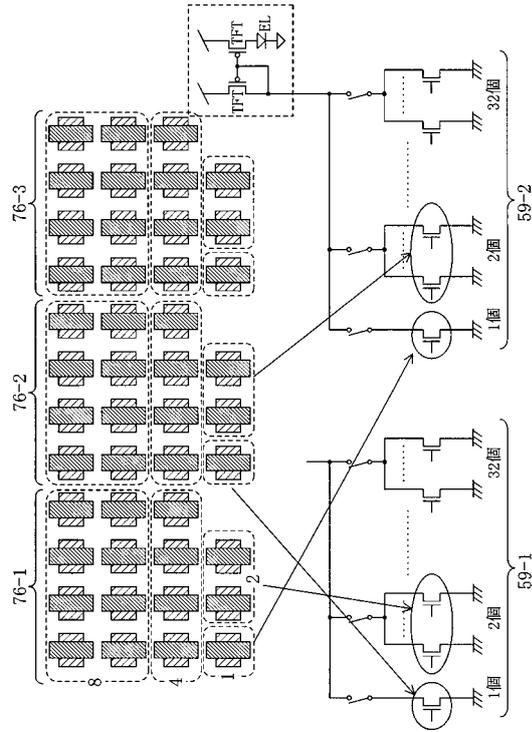
【図 11】



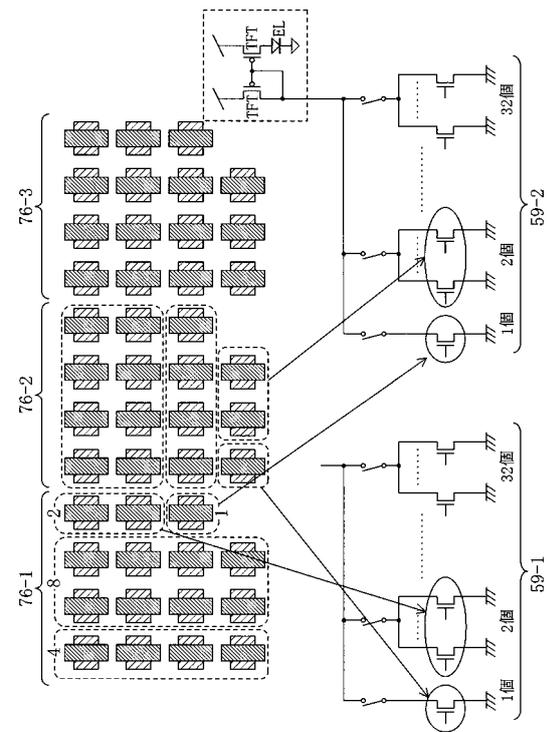
【図 12】



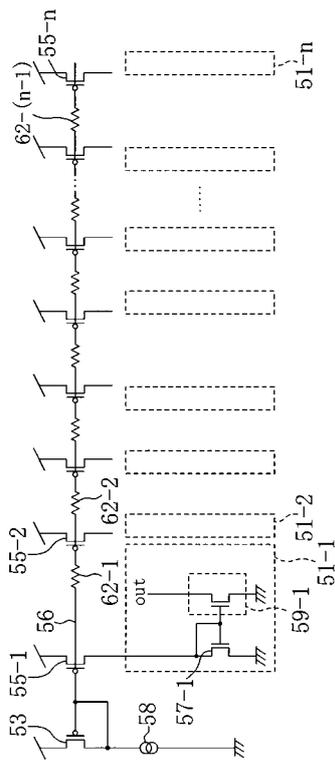
【図 13】



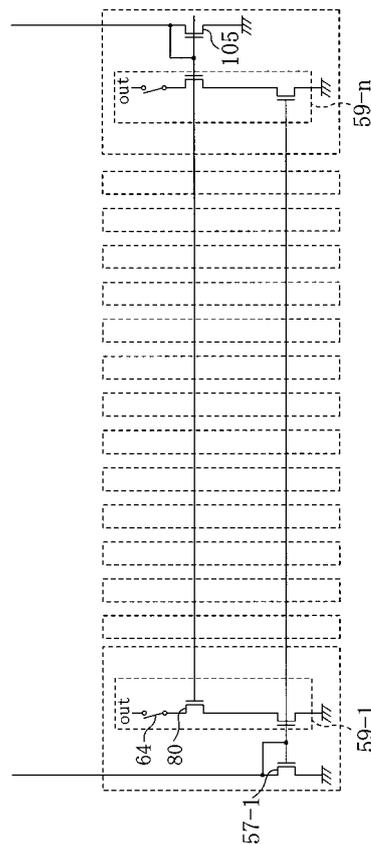
【図 14】



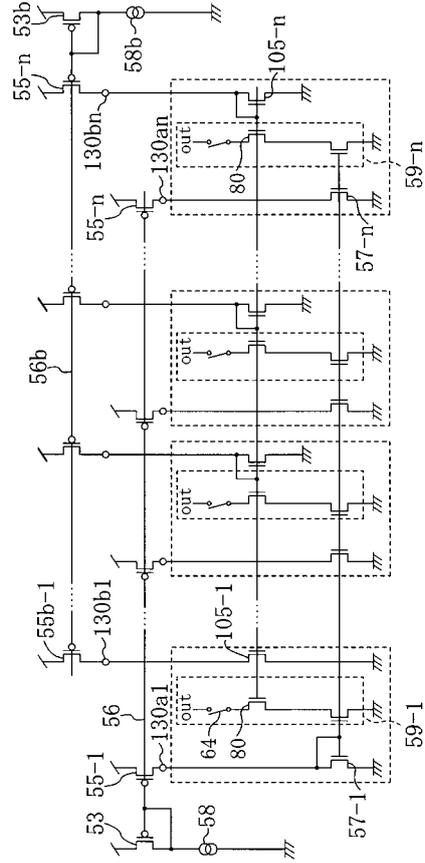
【図 15】



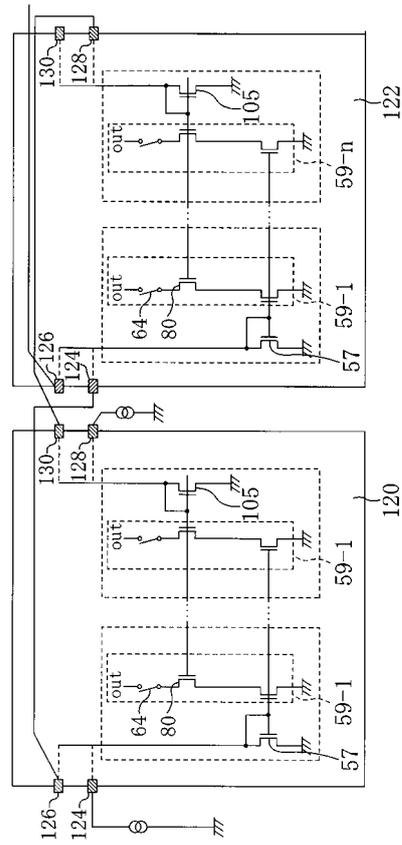
【図 16】



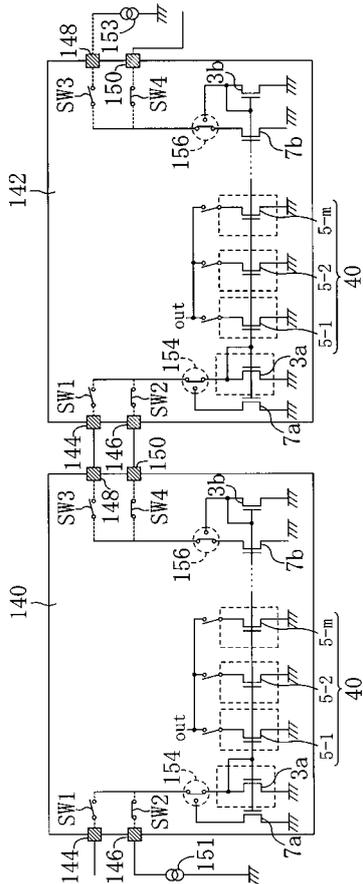
【図 17】



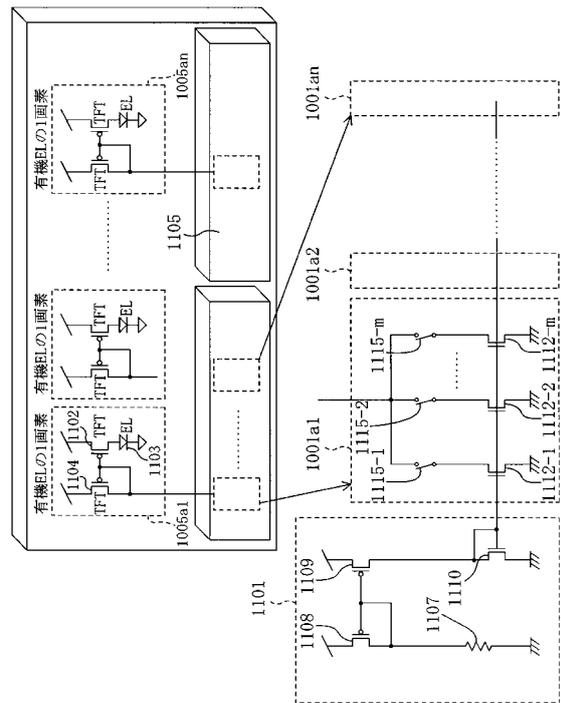
【図 18】



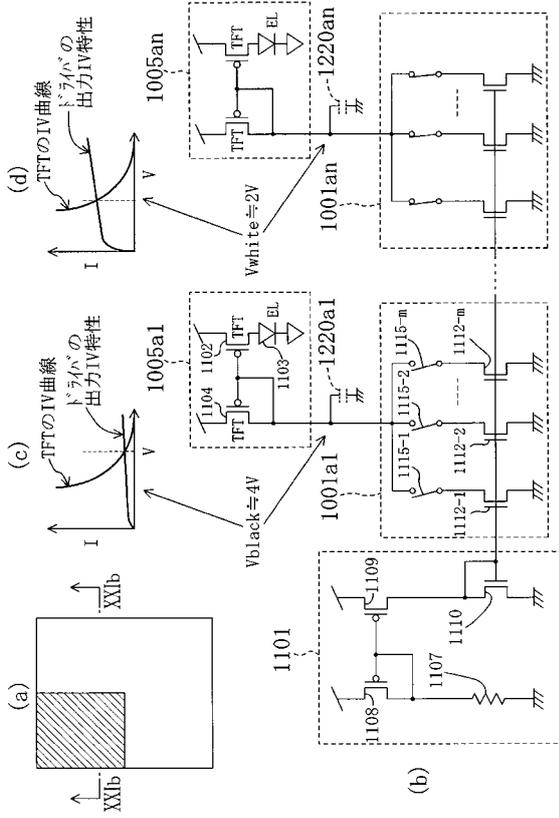
【図 19】



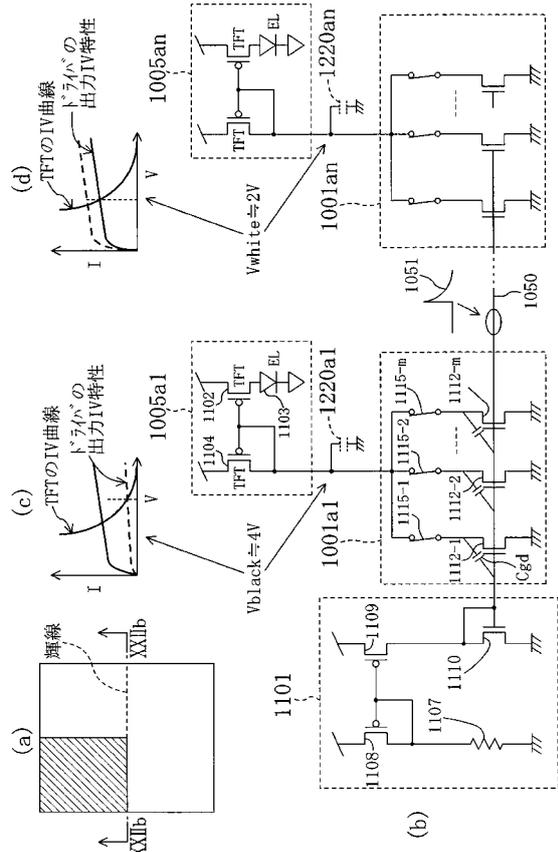
【図 20】



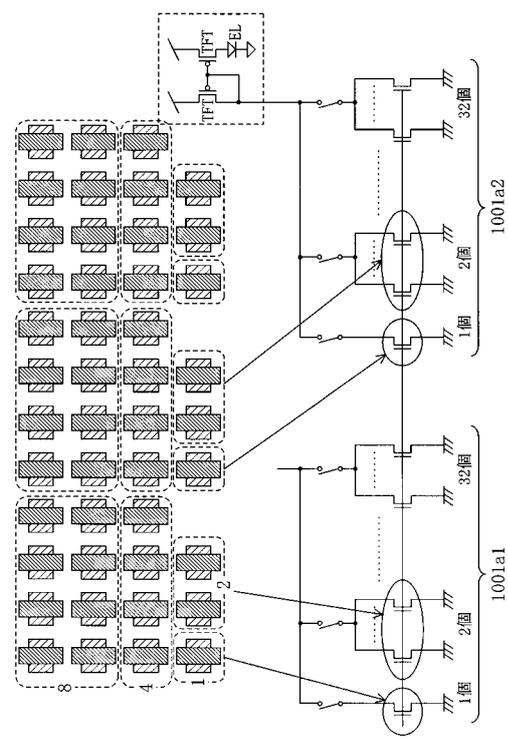
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 1 1 J
 G 0 9 G 3/20 6 1 1 D
 G 0 9 G 3/20 6 1 1 H
 G 0 9 G 3/20 6 4 2 B
 H 0 5 B 33/14 A

(74)代理人 100117581
 弁理士 二宮 克也
 (74)代理人 100117710
 弁理士 原田 智雄
 (74)代理人 100121728
 弁理士 井関 勝守
 (74)代理人 100124671
 弁理士 関 啓
 (74)代理人 100131060
 弁理士 杉浦 靖也
 (72)発明者 伊達 義人
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 大森 哲郎
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 道正 志郎
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 水木 誠
 大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 鳥居 祐樹

(56)参考文献 国際公開第03/027998(WO,A1)
 国際公開第03/023752(WO,A1)
 特開平08-088521(JP,A)
 特開2004-198770(JP,A)
 特開2003-066906(JP,A)
 特開2003-066903(JP,A)

(58)調査した分野(Int.Cl.,DB名)
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0