

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6944334号  
(P6944334)

(45) 発行日 令和3年10月6日 (2021. 10. 6)

(24) 登録日 令和3年9月14日 (2021. 9. 14)

(51) Int. Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 680G
	G09G 3/20 660U
	G09G 3/20 660V
請求項の数 8 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2017-200268 (P2017-200268)	(73) 特許権者	502356528
(22) 出願日	平成29年10月16日 (2017. 10. 16)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2019-74635 (P2019-74635A)		東京都港区西新橋三丁目7番1号
(43) 公開日	令和1年5月16日 (2019. 5. 16)	(74) 代理人	110002147
審査請求日	令和2年10月13日 (2020. 10. 13)		特許業務法人酒井国際特許事務所
		(72) 発明者	三井 雅志
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	木村 晋
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	光澤 穰
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		最終頁に続く	

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

行方向及び列方向に配列されると共に、副画素データを格納する複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電氣的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、

前記メモリブロック内の複数のメモリから1つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に出力するメモリ選択回路と、

を備え、

前記メモリ選択回路は、

設定値に基づいて、前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を選択し、

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の1つのメモリに格納されている前記副画素データに基づいて、画像を表示し、

前記設定値の変更回数は、前記メモリ選択回路から出力される前記メモリ選択信号に基づく画像の表示切替回数よりも少ない

表示装置。

【請求項2】

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を順次表示する、

請求項 1 に記載の表示装置。

【請求項 3】

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を第 1 の順序で順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が第 1 の順序で順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を第 1 の順序で順次表示する、

請求項 1 に記載の表示装置。

【請求項 4】

前記メモリ選択回路は、

前記設定値に基づいて、前記複数のメモリ選択線群の各々の内の、前記メモリ選択信号の出力先の前記メモリ選択線を、第 1 の順序で順次切り替え、その後、第 2 の順序で順次切り替え、

前記複数の副画素は、

前記メモリ選択信号の出力先の前記メモリ選択線が第 1 の順序で順次切り替えられ、その後、第 2 の順序で順次切り替えられることに応じて、前記複数のメモリに夫々格納されている複数の前記副画素データに基づいて、複数の画像を第 1 の順序で順次表示し、その後、第 2 の順序で順次表示する、

請求項 1 に記載の表示装置。

【請求項 5】

前記メモリ選択回路は、

前記設定値に基づいて、前記メモリ選択信号を、前記複数のメモリ選択線群の各々の内の一部の前記複数のメモリ選択線に順次出力し、

前記複数の副画素は、

前記メモリ選択信号が順次供給された前記メモリ選択線に応じて、前記複数のメモリに格納されている前記副画素データに基づいて、複数の画像の内の一部を順次表示する、

請求項 2 から 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

各行に夫々設けられており、当該行に属する前記副画素の前記メモリブロックに電氣的に夫々接続されている複数のゲート線を各々が含む、複数のゲート線群と、

前記副画素データを前記メモリブロックに書き込む場合に、複数の行の内の 1 つの行を選択するゲート信号を複数の行に向けて順次出力するゲート線駆動回路と、

各列に夫々設けられた複数のソース線と、

前記副画素データを前記メモリブロックに書き込む場合に、複数の前記副画素データを前記複数のソース線に出力するソース線駆動回路と、

前記副画素データを前記メモリブロックに書き込む場合に、前記複数のゲート線群の各々の内の 1 本のゲート線と、前記ゲート線駆動回路と、を電氣的に接続するゲート線選択回路と、

を更に備え、

前記ゲート信号が供給された行の前記副画素は、

前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の 1 つのメモリに格納する、

10

20

30

40

50

請求項 1 から 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記複数の副画素は、

前記メモリ選択信号が供給された前記メモリ選択線に応じて、前記複数のメモリの内の 1 つのメモリに格納されている前記副画素データに基づいて画像を表示しながら、前記ゲート信号が供給された前記ゲート線に応じて、前記ソース線に供給されている前記副画素データを、前記複数のメモリの内の他の 1 つのメモリに格納する、

請求項 6 に記載の表示装置。

【請求項 8】

前記複数の副画素の各々は、

副画素電極と、

前記メモリブロックと前記副画素電極との間に設けられたスイッチ回路と、  
を更に含み、

前記表示装置は、

複数の前記副画素電極に対向し、共通電位が供給される共通電極と、

基準クロック信号に同期して前記共通電位を周期的に反転し、反転された前記共通電位を前記共通電極に出力する共通電極駆動回路と、

複数の表示信号線であって、少なくとも一对の前記表示信号線は、複数の前記スイッチ回路の内の 1 つに電気的に接続され、前記一对の前記表示信号線の内の一方は、前記共通電位と同相の表示信号を供給し、前記一对の前記表示信号線の内の他方は、前記共通電位と逆相の表示信号を供給する、前記複数の表示信号線と、

を更に含み、

前記スイッチ回路は、前記メモリブロックから入力される前記副画素データに基づいて、前記表示信号の内の 1 つを、前記副画素電極に供給する、

請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

画像を表示する表示装置は、複数の画素を備える。下記の特許文献 1 には、複数の画素の各々がメモリを含む、いわゆる MIP (Memory In Pixel) 型の表示装置が記載されている。特許文献 1 記載の表示装置では、複数の画素の各々が、複数のメモリとこれらのメモリの切替え回路とを含んでいる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 9 - 212140 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

表示装置には、第 1 のタイミングでは、ある 1 つの画像を静止画表示したり、第 2 のタイミングでは、複数の画像を第 1 の順序で動画像表示したり、第 3 のタイミングでは、複数の画像を第 2 の順序で動画像表示したりするというような、画像を様々な態様で表示することが、要請される場合がある。

【0005】

本発明は、画像を様々な態様で表示することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 6 】

本発明の一態様の表示装置は、行方向及び列方向に配列されると共に、副画素データを格納する複数のメモリを有するメモリブロックを各々が含む、複数の副画素と、各行に夫々設けられており、当該行に属する副画素のメモリブロックに電氣的に接続されている複数のメモリ選択線を各々が含む、複数のメモリ選択線群と、メモリブロック内の複数のメモリから1つのメモリを選択するメモリ選択信号を、複数のメモリ選択線群に同時に出力するメモリ選択回路と、を備える。メモリ選択回路は、設定値に基づいて、複数のメモリ選択線群の各々の内の、メモリ選択信号の出力先のメモリ選択線を選択する。複数の副画素は、メモリ選択信号が供給されたメモリ選択線に応じて、複数のメモリの内の1つのメモリに格納されている副画素データに基づいて、画像を表示する。設定値の変更回数は、メモリ選択回路から出力されるメモリ信号に基づく画像の表示切替回数よりも少ない。

10

## 【図面の簡単な説明】

## 【 0 0 0 7 】

【図1】図1は、実施形態の表示装置の全体構成の概要を示す図である。

【図2】図2は、実施形態の表示装置の断面図である。

【図3】図3は、実施形態の表示装置の画素内での副画素の配置を示す図である。

【図4】図4は、実施形態の表示装置の回路構成を示す図である。

【図5】図5は、実施形態の表示装置の出力回路の真理値表を示す図である。

【図6】図6は、実施形態の表示装置の副画素の回路構成を示す図である。

【図7】図7は、実施形態の表示装置の副画素のメモリの回路構成を示す図である。

20

【図8】図8は、実施形態の表示装置の副画素の反転スイッチの回路構成を示す図である。

【図9】図9は、実施形態の表示装置の副画素のレイアウトの概要を示す図である。

【図10】図10は、比較例のメモリ選択制御回路の構成を示す図である。

【図11】図11は、比較例のメモリ選択制御回路の動作タイミングを示すタイミング図である。

【図12】図12は、比較例のメモリ選択制御回路により表示領域に表示される画像を示す図である。

【図13】図13は、実施形態のメモリ選択制御回路の構成を示す図である。

【図14】図14は、実施形態の表示装置の3進アップダウンカウンタの真理値表を示す図である。

30

【図15】図15は、実施形態の表示装置のカウンタコントローラの真理値表を示す図である。

【図16】図16は、実施形態の表示装置の第1の動作タイミングを示すタイミング図である。

【図17】図17は、実施形態の表示装置によって表示される画像を示す図である。

【図18】図18は、実施形態の表示装置の第2の動作タイミングを示すタイミング図である。

【図19】図19は、実施形態の表示装置の適用例を示す図である。

## 【発明を実施するための形態】

40

## 【 0 0 0 8 】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一

50

の符号を付して、詳細な説明を適宜省略することがある。

【0009】

(実施形態)

[全体構成]

図1は、実施形態の表示装置の全体構成の概要を示す図である。表示装置1は、第1パネル2と、第1パネル2に対向配置された第2パネル3と、を含む。表示装置1は、画像を表示する表示領域DAと、表示領域DAの外側の額縁領域GDと、を有する。表示領域DAにおいて、第1パネル2と第2パネル3との間には、液晶層が封入されている。

【0010】

なお、実施形態では、表示装置1は、液晶層を使用した液晶表示装置としたが、本開示はこれに限定されない。表示装置1は、液晶層に代えて有機EL(Electro-Luminescence)素子を使用した有機EL表示装置であっても良い。

10

【0011】

表示領域DA内には、複数の画素Pixelが、第1パネル2及び第2パネル3の主面と平行なX方向にN列(Nは、自然数)、第1パネル2及び第2パネル3の主面と平行且つX方向と交差するY方向にM行(Mは、自然数)のマトリクス状に配置されている。額縁領域GD内には、インタフェース回路4と、ソース線駆動回路5と、共通電極駆動回路6と、反転駆動回路7と、メモリ選択回路8と、ゲート線駆動回路9と、ゲート線選択回路10とが、配置されている。なお、これら複数の回路のうち、インタフェース回路4と、ソース線駆動回路5と、共通電極駆動回路6と、反転駆動回路7と、メモリ選択回路8とをICチップに組み込み、ゲート線駆動回路9と、ゲート線選択回路10とを第1パネル上に形成した構成を採用することも可能である。或いは、ICチップに組み込まれる回路群を表示装置外のプロセッサに形成し、それらと表示装置とを接続する構成も採用可能である。

20

【0012】

M×N個の画素Pixelの各々は、複数の副画素SPixelを含む。実施形態では、複数の副画素SPixelは、R(赤)、G(緑)及びB(青)の3個とするが、本開示はこれに限定されない。複数の副画素SPixelは、R(赤)、G(緑)及びB(青)にW(白)を加えた4個であっても良い。或いは、複数の副画素SPixelは、色が異なる5個以上であっても良い。

30

【0013】

実施形態では、複数の副画素SPixelが3個であるので、表示領域DA内には、M×N×3個の副画素SPixelが配置されていることになる。また、実施形態では、M×N個の画素Pixelの各々の3個の副画素SPixelがX方向に配置されているので、M×N個の画素Pixelの1つの行には、N×3個の副画素SPixelが配置されていることになる。

【0014】

各副画素SPixelは、複数のメモリを含む。実施形態では、複数のメモリは、第1メモリから第3メモリまでの3個とするが、本開示はこれに限定されない。複数のメモリは、2個であっても良いし、4個以上であっても良い。

【0015】

実施形態では、複数のメモリが3個であるので、表示領域DA内には、M×N×3×3個のメモリが配置されていることになる。また、実施形態では、各副画素SPixelが3個のメモリを含んでいるので、M×N個の画素Pixelの1つの行には、N×3×3個のメモリが配置されていることになる。

40

【0016】

各副画素SPixelは、各々が含む第1のメモリから第3のメモリまでの内の選択された1個のメモリに格納されている副画素データに基づいて、当該副画素SPixelの表示が実施される。つまり、M×N×3個の副画素SPixelに含まれるM×N×3×3個のメモリの集合は、3個のフレームメモリと同等である。

【0017】

50

インタフェース回路 4 は、シリアル - パラレル変換回路 4 a と、タイミングコントローラ 4 b と、を含む。タイミングコントローラ 4 b は、設定レジスタ 4 c を含む。シリアル - パラレル変換回路 4 a には、コマンドデータ C M D 及び画像データ I D が、外部回路からシリアルに供給される。外部回路は、ホスト C P U (Central Processing Unit) 又はアプリケーションプロセッサが例示されるが、本開示はこれらに限定されない。

【 0 0 1 8 】

シリアル - パラレル変換回路 4 a は、供給されたコマンドデータ C M D をパラレルに変換して、設定レジスタ 4 c に出力する。設定レジスタ 4 c には、ソース線駆動回路 5、反転駆動回路 7、メモリ選択回路 8、ゲート線駆動回路 9 及びゲート線選択回路 10 を制御するための値がコマンドデータ C M D に基づいて設定される。

10

【 0 0 1 9 】

シリアル - パラレル変換回路 4 a は、供給された画像データ I D をパラレルに変換して、タイミングコントローラ 4 b に出力する。タイミングコントローラ 4 b は、設定レジスタ 4 c に設定された値に基づいて、画像データ I D をソース線駆動回路 5 に出力する。また、タイミングコントローラ 4 b は、設定レジスタ 4 c に設定された値に基づいて、反転駆動回路 7、メモリ選択回路 8、ゲート線駆動回路 9 及びゲート線選択回路 10 を制御する。

【 0 0 2 0 】

共通電極駆動回路 6、反転駆動回路 7 及びメモリ選択回路 8 には、基準クロック信号 C L K が、外部回路から供給される。外部回路は、クロックジェネレータが例示されるが、本開示はこれに限定されない。

20

【 0 0 2 1 】

液晶表示装置の画面の焼き付きを抑制するための駆動方式として、コモン反転、カラム反転、ライン反転、ドット反転、フレーム反転などの駆動方式が知られている。

【 0 0 2 2 】

表示装置 1 は、上記の各駆動方式のいずれを採用することも可能である。実施形態では、表示装置 1 は、コモン反転駆動方式を採用する。表示装置 1 がコモン反転駆動方式を採用するので、共通電極駆動回路 6 は、基準クロック信号 C L K に同期して、共通電極の電位 (コモン電位) を反転する。反転駆動回路 7 は、タイミングコントローラ 4 b の制御下で、基準クロック信号 C L K に同期して、副画素電極の電位を反転させる。これにより、表示装置 1 は、コモン反転駆動方式を実現することができる。実施形態では、表示装置 1 は、液晶に電圧が印加されていない場合に黒色を表示し、液晶に電圧が印加されている場合に白色を表示する、いわゆるノーマリーブラック液晶表示装置とする。ノーマリーブラック液晶表示装置では、副画素電極の電位とコモン電位とが同相の場合には、黒色が表示され、副画素電極の電位とコモン電位とが異相の場合には、白色が表示される。

30

【 0 0 2 3 】

基準クロック信号 C L K が、本発明の基準信号に対応する。

【 0 0 2 4 】

表示装置 1 にて画像を表示させるべく、各副画素 S P i x の第 1 メモリから第 3 メモリまでに副画素データを格納する必要がある。各メモリに副画素データを格納するために、ゲート線駆動回路 9 は、タイミングコントローラ 4 b の制御下で、M x N 個の画素 P i x の内の 1 つの行を選択するためのゲート信号を出力する。

40

【 0 0 2 5 】

各副画素が 1 個のメモリを有する M I P 型液晶表示装置では、1 つの行 (画素行 (副画素行)) 当たり 1 本のゲート線が配置される。しかしながら、実施形態では、各副画素 S P i x が、第 1 メモリから第 3 メモリまでの 3 個のメモリを含んでいる。そこで、実施形態では、1 つの行当たり、3 本のゲート線が配置されている。3 本のゲート線は、1 つの行に含まれる副画素 S P i x の各々の第 1 メモリから第 3 メモリまでに夫々電氣的に接続されている。なお、副画素 S P i x が、ゲート信号に加えて、ゲート信号を反転した反転ゲート信号とで動作する場合には、1 つの行当たり、6 本のゲート線が配置される。

50

## 【0026】

1つの行当たりに配置されている3本又は6本のゲート線が、本発明のゲート線群に対応する。実施形態では、表示装置1は、M行の画素 $P_{ix}$ を有するので、M群のゲート線群が配置されている。

## 【0027】

ゲート線駆動回路9は、M行の画素 $P_{ix}$ に対応して、M個の出力端子を有している。ゲート線駆動回路9は、タイミングコントローラ4bの制御下で、M行の内の1つの行を選択するためのゲート信号を、M個の出力端子から順次出力する。

## 【0028】

ゲート線選択回路10は、タイミングコントローラ4bの制御下で、1つの行に配置された3本のゲート線の内の1本を選択する。これにより、ゲート線駆動回路9から出力されたゲート信号は、1つの行に配置された3本のゲート線の内の選択された1本に、供給される。

10

## 【0029】

ソース線駆動回路5は、タイミングコントローラ4bの制御下で、ゲート信号によって選択されているメモリに副画素データを夫々出力する。これにより、各副画素の第1メモリから第3メモリまでに順次副画素データが夫々格納される。

## 【0030】

表示装置1は、M行の画素 $P_{ix}$ を線順次走査することによって、1個のフレームデータの副画素データが各副画素 $S_{Pix}$ の第1メモリに格納される。そして、表示装置1は、線順次走査を3回実行することによって、各副画素 $S_{Pix}$ の第1メモリから第3メモリに3個のフレームデータが格納される。

20

## 【0031】

これに際し、表示装置1は、1つの行の走査ごとに第1のメモリへの書き込み、第2のメモリへの書き込み、第3のメモリへの書き込みを行う手順を採用することも可能である。かかる走査を第1列から第M列まで実施することにより、一度の線順次走査で各副画素 $S_{Pix}$ の第1メモリから第3メモリまでに副画素データを格納することができる。

## 【0032】

実施形態では、1つの行当たり、3本のメモリ選択線が配置されている。3本のメモリ選択線は、1つの行に含まれる $N \times 3$ 個の副画素 $S_{Pix}$ の各々の第1メモリから第3メモリまでに夫々電氣的に接続されている。なお、副画素 $S_{Pix}$ が、メモリ選択信号に加えて、メモリ選択信号を反転した反転メモリ選択信号とで動作する場合には、1つの行当たり、6本のメモリ選択線が配置される。

30

## 【0033】

1つの行当たりに配置されている3本又は6本のメモリ選択線が、本発明のメモリ選択線群に対応する。実施形態では、表示装置1は、M行の画素 $P_{ix}$ を有するので、M群のメモリ選択線群が配置されている。

## 【0034】

メモリ選択回路8は、タイミングコントローラ4bの制御下で、基準クロック信号CLKに同期して、各副画素 $S_{Pix}$ の第1メモリから第3メモリまでの内の1個を、同時に選択する。より詳細には、全ての副画素 $S_{Pix}$ の第1メモリが同時に選択される。或いは、全ての副画素 $S_{Pix}$ の第2メモリが同時に選択される。全ての副画素 $S_{Pix}$ の第3メモリが同時に選択される。従って、表示装置1は、各副画素 $S_{Pix}$ の第1メモリから第3メモリまでの選択を切り替えることによって、3つの画像の内の1つの画像を表示させることができる。これにより、表示装置1は、画像を一斉に変化させることができ、画像を短時間で変化させることができる。また、表示装置1は、各副画素 $S_{Pix}$ の第1メモリから第3メモリまでの選択を順次切り替えることによって、アニメーション表示(動画像表示)を行うことができる。

40

## 【0035】

[断面構造]

50

図 2 は、実施形態の表示装置の断面図である。図 2 に示すように、表示装置 1 は、第 1 パネル 2 と、第 2 パネル 3 と、液晶層 30 とを含む。第 2 パネル 3 は、第 1 パネル 2 と対向して配置される。液晶層 30 は、第 1 パネル 2 と第 2 パネル 3 との間に設けられる。第 2 パネル 3 の一主面たる表面が、画像を表示させるための表示面 1a である。

【0036】

表示面 1a 側の外部から入射した光は、第 1 パネル 2 の反射電極 15 によって反射されて表示面 1a から出射する。実施形態の表示装置 1 は、この反射光を利用して、表示面 1a に画像を表示する反射型液晶表示装置である。なお、本明細書において、表示面 1a と平行な方向を X 方向とし、表示面 1a と平行な面において X 方向と交差する方向を Y 方向とする。また、表示面 1a に垂直な方向を Z 方向とする。

10

【0037】

第 1 パネル 2 は、第 1 基板 11 と、絶縁層 12 と、反射電極 15 と、配向膜 18 とを有する。第 1 基板 11 は、ガラス基板又は樹脂基板が例示される。第 1 基板 11 の表面には、図示しない回路素子や、ゲート線、データ線等の各種配線が設けられる。回路素子は、TFT (Thin Film Transistor) 等のスイッチング素子や、容量素子を含む。

【0038】

絶縁層 12 は、第 1 基板 11 の上に設けられ、回路素子や各種配線等の表面を全体として平坦化している。反射電極 15 は、絶縁層 12 の上に複数設けられる。配向膜 18 は、反射電極 15 と液晶層 30 との間に設けられる。反射電極 15 は、各副画素 Spix ごとに矩形状に設けられている。反射電極 15 は、アルミニウム (Al) 又は銀 (Ag) で例示される金属で形成されている。また、反射電極 15 は、これらの金属材料と、ITO (Indium Tin Oxide) で例示される透光性導電材料と、を積層した構成としても良い。反射電極 15 は、良好な反射率を有する材料が用いられ、外部から入射する光を拡散反射させる反射板として機能する。

20

【0039】

反射電極 15 によって反射された光は、拡散反射によって散乱されるものの、表示面 1a 側に向かって一様な方向に進む。また、反射電極 15 に印加される電圧レベルが変化することにより、当該反射電極 15 上の液晶層 30 における光の透過状態、すなわち副画素ごとの光の透過状態が変化する。すなわち、反射電極 15 は、副画素電極としての機能も有する。

30

【0040】

第 2 パネル 3 は、第 2 基板 21 と、カラーフィルタ 22 と、共通電極 23 と、配向膜 28 と、1/4 波長板 24 と、1/2 波長板 25 と、偏光板 26 とを含む。第 2 基板 21 の両面のうち、第 1 パネル 2 と対向する面に、カラーフィルタ 22 及び共通電極 23 が、この順で設けられる。共通電極 23 と液晶層 30 との間に配向膜 28 が設けられる。第 2 基板 21 の、表示面 1a 側の面に、1/4 波長板 24、1/2 波長板 25 及び偏光板 26 が、この順で積層されている。

【0041】

第 2 基板 21 は、ガラス基板又は樹脂基板が例示される。共通電極 23 は、ITO で例示される透光性導電材料で形成されている。共通電極 23 は、複数の反射電極 15 と対向して配置され、各副画素 Spix に対する共通の電位を供給する。カラーフィルタ 22 は、R (赤)、G (緑)、及び、B (青) の 3 色のフィルタを有することが例示されるが、本開示はこれに限定されない。

40

【0042】

液晶層 30 は、ネマティック (Nematic) 液晶を含んでいることが例示される。液晶層 30 は、共通電極 23 と反射電極 15 との間の電圧レベルが変更されることにより、液晶分子の配向状態が変化する。これによって、液晶層 30 を透過する光を副画素 Spix 毎に変調する。

【0043】

外光等が表示装置 1 の表示面 1a 側から入射する入射光となり、第 2 パネル 3 及び液晶

50



層 30 を透過して反射電極 15 に到達する。そして、入射光は各副画素  $SPix$  の反射電極 15 で反射される。かかる反射光は、副画素  $SPix$  毎に変調されて表示面 1a から出射される。これにより、画像の表示が行われる。

【0044】

[回路構成]

図 3 は、実施形態の表示装置の画素内での副画素の配置を示す図である。画素  $Pix$  は、R (赤) の副画素  $SPix_R$  と、G (緑) の副画素  $SPix_G$  と、B (青) の副画素  $SPix_B$  と、を含む。副画素  $SPix_R$ 、 $SPix_G$  及び  $SPix_B$  は、X 方向に配列されている。

【0045】

副画素  $SPix_R$  は、メモリブロック 50 と、反転スイッチ 61 と、を含む。メモリブロック 50 は、第 1 メモリ 51 と、第 2 メモリ 52 と、第 3 メモリ 53 と、を含む。反転スイッチ 61、第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 は、Y 方向に配列されている。

【0046】

第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 の各々は、1 ビットのデータを格納するメモリセルとするが、本開示はこれに限定されない。第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 の各々は、2 ビット以上のデータを格納するメモリセルであっても良い。

【0047】

反転スイッチ 61 は、第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 と、副画素電極 (反射電極) 15 (図 2 参照) との間に電氣的に接続されている。反転スイッチ 61 は、反転駆動回路 7 から供給される、基準クロック信号  $CLK$  に同期して反転する表示信号に基づいて、第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 の内の選択された 1 個のメモリから出力される副画素データを一定周期毎に反転して、副画素電極 15 に出力する。

【0048】

表示信号が反転する周期は、共通電極 23 の電位 (コモン電位) が反転する周期と同じである。

【0049】

反転スイッチ 61 が、本発明のスイッチ回路に対応する。

【0050】

図 4 は、実施形態の表示装置の回路構成を示す図である。図 4 では、各副画素  $SPix$  の内の  $2 \times 2$  個の副画素  $SPix$  を示している。

【0051】

副画素  $SPix$  は、メモリブロック 50 及び反転スイッチ 61 に加えて、液晶  $LQ$  と、保持容量  $C$  と、副画素電極 15 (図 2 参照) と、を含む。

【0052】

共通電極駆動回路 6 は、各副画素  $SPix$  に共通するコモン電位  $V_{COM}$  を、基準クロック信号  $CLK$  に同期して反転させて、共通電極 23 (図 2 参照) に出力する。共通電極駆動回路 6 は、基準クロック信号  $CLK$  を共通電極 23 にそのままコモン電位  $V_{COM}$  として出力しても良いし、電流駆動能力を増幅するバッファ回路を介して共通電極 23 にコモン電位  $V_{COM}$  として出力しても良い。

【0053】

第 1 パネル 2 上には、M 行の画素  $Pix$  に対応して、M 本の表示信号線  $FRP_1$ 、 $FRP_2$ 、 $\dots$  が配置されている。M 本の表示信号線  $FRP_1$ 、 $FRP_2$ 、 $\dots$  の各々は、表示領域  $DA$  (図 1 参照) 内において、X 方向に延在している。なお、反転スイッチ 61 が、表示信号に加えて、表示信号を反転した反転表示信号とで動作する場合には、1 つの行当たり、表示信号線  $FRP$  及び第 2 表示信号線  $xFRP$  が設けられる。

【0054】

10

20

30

40

50

1つの行当たりに配置されている1本又は2本の表示信号線が、本発明の表示信号線に対応する。

【0055】

反転駆動回路7は、スイッチ $SW_1$ を含む。スイッチ $SW_1$ は、タイミングコントローラ4bから供給される制御信号 $Sig_1$ によって制御される。スイッチ $SW_1$ は、制御信号 $Sig_1$ が第1の値の場合には、基準クロック信号 $CLK$ を各表示信号線 $FRP_1$ 、 $FRP_2$ 、 $\dots$ に供給する。これにより、基準クロック信号 $CLK$ に同期して、反射電極15の電位が反転する。スイッチ $SW_1$ は、制御信号 $Sig_1$ が第2の値の場合には、基準電位（接地電位） $GND$ を各表示信号線 $FRP_1$ 、 $FRP_2$ 、 $\dots$ に供給する。

【0056】

ゲート線駆動回路9は、M行の画素 $Pix$ に対応して、M個の出力端子を有している。ゲート線駆動回路9は、タイミングコントローラ4bから供給される制御信号 $Sig_4$ に基づいて、M行の内の1つの行を選択するためのゲート信号を、M個の出力端子から順次出力する。

【0057】

ゲート線駆動回路9は、制御信号 $Sig_4$ （スキャン開始信号及びクロックパルス信号）に基づいて、ゲート信号をM個の出力端子から順次出力するスキャナ回路であっても良い。或いは、ゲート線駆動回路9は、符号化された制御信号 $Sig_4$ を復号化し、該制御信号 $Sig_4$ で指定された出力端子にゲート信号を出力するデコード回路であっても良い。

【0058】

ゲート線選択回路10は、M行の画素 $Pix$ に対応して、M個のスイッチ $SW_{4\_1}$ 、 $SW_{4\_2}$ 、 $\dots$ を含む。M個のスイッチ $SW_{4\_1}$ 、 $SW_{4\_2}$ 、 $\dots$ は、タイミングコントローラ4bから供給される制御信号 $Sig_5$ によって共通に制御される。

【0059】

第1パネル2上には、M行の画素 $Pix$ に対応して、M群のゲート線群 $GL_1$ 、 $GL_2$ 、 $\dots$ が配置されている。M群のゲート線群 $GL_1$ 、 $GL_2$ 、 $\dots$ の各々は、当該行の第1メモリ51（図3参照）に電氣的に接続された第1ゲート線 $GCL_a$ と、第2メモリ52（図3参照）に電氣的に接続された第2ゲート線 $GCL_b$ と、第3メモリ53（図3参照）に電氣的に接続された第3ゲート線 $GCL_c$ と、を含む。M群のゲート線群 $GL_1$ 、 $GL_2$ 、 $\dots$ の各々は、表示領域DA（図1参照）内において、X方向に沿う。

【0060】

M個のスイッチ $SW_{4\_1}$ 、 $SW_{4\_2}$ 、 $\dots$ の各々は、制御信号 $Sig_5$ が第1の値の場合には、ゲート線駆動回路9の出力端子と、第1ゲート線 $GCL_a$ と、を電氣的に接続する。M個のスイッチ $SW_{4\_1}$ 、 $SW_{4\_2}$ 、 $\dots$ の各々は、制御信号 $Sig_5$ が第2の値の場合には、ゲート線駆動回路9の出力端子と、第2ゲート線 $GCL_b$ と、を電氣的に接続する。M個のスイッチ $SW_{4\_1}$ 、 $SW_{4\_2}$ 、 $\dots$ の各々は、制御信号 $Sig_5$ が第3の値の場合には、ゲート線駆動回路9の出力端子と、第3ゲート線 $GCL_c$ と、を電氣的に接続する。

【0061】

ゲート線駆動回路9の出力端子と、第1ゲート線 $GCL_a$ と、が電氣的に接続された場合には、ゲート信号が、各副画素 $SPix$ の第1メモリ51に供給される。ゲート線駆動回路9の出力端子と、第2ゲート線 $GCL_b$ と、が電氣的に接続された場合には、ゲート信号が、各副画素 $SPix$ の第2メモリ52に供給される。ゲート線駆動回路9の出力端子と、第3ゲート線 $GCL_c$ と、が電氣的に接続された場合には、ゲート信号が、各副画素 $SPix$ の第3メモリ53に供給される。

【0062】

第1パネル2上には、 $N \times 3$ 列の副画素 $SPix$ に対応して、 $N \times 3$ 本のソース線 $SSL_1$ 、 $SSL_2$ 、 $\dots$ が配置されている。各ソース線 $SSL_1$ 、 $SSL_2$ 、 $\dots$ の各々は、表示領域DA（図1参照）内において、Y方向に沿う。ソース線駆動回路5は、ゲ

10

20

30

40

50

ート信号によって選択されている各副画素  $SPix$  の 3 個のメモリに対して、ソース線  $SSL_1$ 、 $SSL_2$ 、 $\dots$  を介して、副画素データを夫々出力する。

【0063】

ゲート信号が供給された行の副画素  $SPix$  は、ゲート信号が供給されたゲート線  $GL$  に応じて、ソース線  $SSL$  に供給されている副画素データを、第 1 メモリ 51 から第 3 メモリ 53 までの内の 1 つのメモリに格納する。

【0064】

第 1 パネル 2 上には、 $M$  行の画素  $Pix$  に対応して、 $M$  群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  が配置されている。 $M$  群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  の各々は、当該行の第 1 メモリ 51 に電氣的に接続された第 1 メモリ選択線  $SEL_a$  と、第 2 メモリ 52 に電氣的に接続された第 2 メモリ選択線  $SEL_b$  と、第 3 メモリ 53 に電氣的に接続された第 3 メモリ選択線  $SEL_c$  と、を含む。 $M$  群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  の各々は、表示領域  $DA$  (図 1 参照) 内において、 $X$  方向に沿う。

10

【0065】

メモリ選択回路 8 は、メモリ選択制御回路 31 と、出力回路 35 と、を含む。メモリ選択制御回路 31 は、タイミングコントローラ 4b から供給されるメモリ選択制御値  $REG$  によって制御される。メモリ選択制御値  $REG$  は、設定レジスタ 4c の内の、メモリ選択に関するフィールドの値である。実施形態では、メモリ選択制御値  $REG$  は、3 ビット幅とするが、本開示はこれに限定されない。

【0066】

メモリ選択制御値  $REG$  が、本発明の設定値に対応する。

20

【0067】

画像を表示する場合、つまり、 $M \times N \times 3$  個の第 1 メモリ 51、第 2 メモリ 52 及び第 3 メモリ 53 の内のいずれかから画像データを読み出す場合について説明する。この場合には、タイミングコントローラ 4b は、メモリ選択制御値  $REG$  をメモリ選択制御回路 31 に出力する。メモリ選択制御回路 31 は、タイミングコントローラ 4b から供給されるメモリ選択制御値  $REG$  に基づいて、メモリ選択制御信号  $Q$  を出力回路 35 に出力する。実施形態では、メモリ選択制御信号  $Q$  は、上位ビット  $Q_2$  及び下位ビット  $Q_1$  で構成される、2 ビット幅とするが、本開示はこれに限定されない。出力回路 35 は、メモリ選択制御信号  $Q$  に基づいて、メモリ選択信号を、 $M$  群のメモリ選択線群  $SL_1$ 、 $SL_2$ 、 $\dots$  の各々の、第 1 メモリ選択線  $SEL_a$ 、第 2 メモリ選択線  $SEL_b$  及び第 3 メモリ 53 の内のいずれかに、出力する。

30

【0068】

$M \times N$  個の副画素  $SPix$  は、メモリ選択信号がどのメモリ選択線  $SEL$  に供給されたかに応じて、第 1 メモリ 51 から第 3 メモリ 53 までの内の 1 つのメモリに格納されている副画素データに基づいて、画像 (フレーム) を表示する。

【0069】

次に、出力回路 35 について説明し、メモリ選択制御回路 31 については後で説明する。

【0070】

図 5 は、実施形態の表示装置の出力回路の真理値表を示す図である。

40

【0071】

真理値表 41 の第 1 行目は、メモリ選択制御信号  $Q$  が「0b00」である場合の出力回路 35 の動作を表す。この場合、出力回路 35 は、メモリ選択信号を第 1 メモリ選択線  $SEL_a$  に出力する。各副画素  $SPix$  は、メモリ選択信号が第 1 メモリ選択線  $SEL_a$  に供給されたことに応じて、第 1 メモリ 51 に格納されている副画素データに基づいて、画像を表示する。

【0072】

真理値表 41 の第 2 行目は、メモリ選択制御信号  $Q$  が「0b01」である場合の出力回路 35 の動作を表す。この場合、出力回路 35 は、メモリ選択信号を第 2 メモリ選択線  $S$

50

EL<sub>b</sub>に出力する。各副画素SPi<sub>x</sub>は、メモリ選択信号が第2メモリ選択線SEL<sub>b</sub>に供給されたことに応じて、第2メモリ52に格納されている副画素データに基づいて、画像を表示する。

【0073】

真理値表41の第3行目は、メモリ選択制御信号Qが「0b10」である場合の出力回路35の動作を表す。この場合、出力回路35は、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPi<sub>x</sub>は、メモリ選択信号が第3メモリ選択線SEL<sub>c</sub>に供給されたことに応じて、第3メモリ53に格納されている副画素データに基づいて、画像を表示する。

【0074】

10

図6は、実施形態の表示装置の副画素の回路構成を示す図である。図6では、1個の副画素SPi<sub>x</sub>を示している。

【0075】

副画素SPi<sub>x</sub>は、メモリブロック50を含む。メモリブロック50は、第1メモリ51と、第2メモリ52と、第3メモリ53と、スイッチGsw<sub>1</sub>からGsw<sub>3</sub>までと、スイッチMsw<sub>1</sub>からMsw<sub>3</sub>までと、を含む。

【0076】

スイッチGsw<sub>1</sub>の制御入力端子は、第1ゲート線GCL<sub>a</sub>に電氣的に接続されている。スイッチGsw<sub>1</sub>は、第1ゲート線GCL<sub>a</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線SGL<sub>1</sub>と、第1メモリ51の入力端子と、の間を電氣的に接続する。これにより、第1メモリ51に、ソース線SGL<sub>1</sub>に供給される副画素データが格納される。

20

【0077】

スイッチGsw<sub>2</sub>の制御入力端子は、第2ゲート線GCL<sub>b</sub>に電氣的に接続されている。スイッチGsw<sub>2</sub>は、第2ゲート線GCL<sub>b</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線SGL<sub>1</sub>と、第2メモリ52の入力端子と、の間を電氣的に接続する。これにより、第2メモリ52に、ソース線SGL<sub>1</sub>に供給される副画素データが格納される。

【0078】

スイッチGsw<sub>3</sub>の制御入力端子は、第3ゲート線GCL<sub>c</sub>に電氣的に接続されている。スイッチGsw<sub>3</sub>は、第3ゲート線GCL<sub>c</sub>にハイレベルのゲート信号が供給されたらオン状態になり、ソース線SGL<sub>1</sub>と、第3メモリ53の入力端子と、の間を電氣的に接続する。これにより、第3メモリ53に、ソース線SGL<sub>1</sub>に供給される副画素データが格納される。

30

【0079】

なお、スイッチGsw<sub>1</sub>からGsw<sub>3</sub>までがハイレベルのゲート信号で動作する場合には、図5に示すように、ゲート線群GL<sub>1</sub>は、第1ゲート線GCL<sub>a</sub>から第3ゲート線GCL<sub>c</sub>までを含む。ハイレベルのゲート信号で動作するスイッチは、Nチャネルトランジスタが例示されるが、本開示はこれに限定されない。

【0080】

40

一方、スイッチGsw<sub>1</sub>からGsw<sub>3</sub>までが、ゲート信号に加えて、ゲート信号を反転した反転ゲート信号とで動作する場合には、ゲート線群GL<sub>1</sub>は、第1ゲート線GCL<sub>a</sub>から第3ゲート線GCL<sub>c</sub>までに加えて、反転ゲート信号が供給される第4ゲート線xGCL<sub>a</sub>から第6ゲート線xGCL<sub>c</sub>までを更に含む。ゲート信号と、反転ゲート信号と、で動作するスイッチは、トランスファージゲートが例示されるが、本開示はこれに限定されない。

【0081】

入力端子が第1ゲート線GCL<sub>a</sub>に電氣的に接続され、出力端子が第4ゲート線xGCL<sub>a</sub>に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第4ゲート線xGCL<sub>a</sub>に供給することが可能である。同様に、入力端子が第2ゲート線GCL<sub>b</sub>に

50

電氣的に接続され、出力端子が第5ゲート線に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第5ゲート線 $\times GCL_b$ に供給することが可能である。同様に、入力端子が第3ゲート線 $GCL_c$ に電氣的に接続され、出力端子が第6ゲート線に電氣的に接続されたインバータ回路を設けることで、反転ゲート信号を第6ゲート線 $\times GCL_c$ に供給することが可能である。

**【0082】**

スイッチ $Msw_1$ の制御入力端子は、第1メモリ選択線 $SEL_a$ に電氣的に接続されている。スイッチ $Msw_1$ は、第1メモリ選択線 $SEL_a$ にハイレベルのメモリ選択信号が供給されたらオン状態になり、第1メモリ51の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第1メモリ51に格納されている副画素データが、反転スイッチ61に供給される。

10

**【0083】**

スイッチ $Msw_2$ の制御入力端子は、第2メモリ選択線 $SEL_b$ に電氣的に接続されている。スイッチ $Msw_2$ は、第2メモリ選択線 $SEL_b$ にハイレベルのメモリ選択信号が供給されたらオン状態になり、第2メモリ52の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第2メモリ52に格納されている副画素データが、反転スイッチ61に供給される。

**【0084】**

スイッチ $Msw_3$ の制御入力端子は、第3メモリ選択線 $SEL_c$ に電氣的に接続されている。スイッチ $Msw_3$ は、第3メモリ選択線 $SEL_c$ にハイレベルのメモリ選択信号が供給されたらオン状態になり、第3メモリ53の出力端子と、反転スイッチ61の入力端子と、の間を電氣的に接続する。これにより、第3メモリ53に格納されている副画素データが、反転スイッチ61に供給される。

20

**【0085】**

なお、スイッチ $Msw_1$ から $Msw_3$ までがハイレベルのメモリ選択信号で動作する場合には、図6に示すように、メモリ選択線群 $SL_1$ は、第1メモリ選択線 $SEL_a$ から第3メモリ選択線 $SEL_c$ までを含む。ハイレベルのゲート信号で動作するスイッチは、Nチャネルトランジスタが例示されるが、本開示はこれに限定されない。

**【0086】**

一方、スイッチ $Msw_1$ から $Msw_3$ までが、メモリ選択信号に加えて、メモリ選択信号を反転した反転メモリ選択信号とで動作する場合には、メモリ選択線群 $SL_1$ は、第1メモリ選択線 $SEL_a$ から第3メモリ選択線 $SEL_c$ までに加えて、反転メモリ選択信号が供給される第4メモリ選択線 $\times SEL_a$ から第6メモリ選択線 $\times SEL_c$ までを更に含む。メモリ選択信号と、反転メモリ選択信号と、で動作するスイッチは、トランスファージェートが例示されるが、本開示はこれに限定されない。

30

**【0087】**

入力端子が第1メモリ選択線 $SEL_a$ に電氣的に接続され、出力端子が第4メモリ選択線 $\times SEL_a$ に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号を第4メモリ選択線 $\times SEL_a$ に供給することが可能である。同様に、入力端子が第2メモリ選択線 $SEL_b$ に電氣的に接続され、出力端子が第5メモリ選択線 $\times SEL_b$ に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号を第5メモリ選択線 $\times SEL_b$ に供給することが可能である。同様に、入力端子が第3メモリ選択線 $SEL_c$ に電氣的に接続され、出力端子が第6メモリ選択線 $\times SEL_c$ に電氣的に接続されたインバータ回路を設けることで、反転メモリ選択信号を第6メモリ選択線 $\times SEL_c$ に供給することが可能である。

40

**【0088】**

反転スイッチ61には、基準クロック信号 $CLK$ に同期して反転する表示信号が、表示信号線 $FRP_1$ から供給される。反転スイッチ61は、表示信号に基づいて、第1メモリ51、第2メモリ52又は第3メモリ53に格納されている副画素データをそのまま又は反転して、副画素電極15に供給する。副画素電極15と共通電極23との間には、液晶

50

LQ及び保持容量Cが、設けられている。保持容量Cは、副画素電極15と共通電極23との間の電圧を保持する。液晶LQは、副画素電極15と共通電極23との間の電圧に基づいて液晶分子の方向が変化し、副画素画像を表示する。

【0089】

なお、反転スイッチ61が表示信号で動作する場合には、図6に示すように、1本の表示信号線FRP<sub>1</sub>が、設けられる。一方、反転スイッチ61が、表示信号に加えて、表示信号を反転した反転表示信号とで動作する場合には、表示信号線FRP<sub>1</sub>に加えて、第2表示信号線×FRP<sub>1</sub>が更に設けられる。そして、入力端子が表示信号線FRP<sub>1</sub>に電氣的に接続され、出力端子が第2表示信号線×FRP<sub>1</sub>に電氣的に接続されたインバータ回路を設けることで、反転表示信号を第2表示信号線×FRP<sub>1</sub>に供給することが可能である。

10

【0090】

図7は、実施形態の表示装置の副画素のメモリの回路構成を示す図である。図7は、第1メモリ51の回路構成を示す図である。なお、第2メモリ52及び第3メモリ53の回路構成は、第1メモリ51の回路構成と同様であるので、図示及び説明を省略する。

【0091】

第1メモリ51は、インバータ回路81と、インバータ回路81に逆方向に電氣的に並列接続されたインバータ回路82と、を含むSRAM(Static Random Access Memory)セル構造を有する。インバータ回路81の入力端子及びインバータ回路82の出力端子が、ノードN1を構成し、インバータ回路81の出力端子及びインバータ回路82の入力端子が、ノードN2を構成する。インバータ回路81及び82は、高電位側の電源供給線VDD及び低電位側の電源供給線VSSから供給される電力を使用して、動作する。

20

【0092】

ノードN1は、スイッチGsw<sub>1</sub>の出力端子に電氣的に接続されている。ノードN2は、スイッチMsw<sub>1</sub>の入力端子に電氣的に接続されている。

【0093】

図7では、スイッチGsw<sub>1</sub>として、トランスファークラークゲートが用いられている例を示している。スイッチGsw<sub>1</sub>の一方の制御入力端子は、第1ゲート線GCL<sub>a</sub>に電氣的に接続されている。スイッチGsw<sub>1</sub>の他方の制御入力端子は、第4ゲート線×GCL<sub>a</sub>に電氣的に接続されている。第4ゲート線×GCL<sub>a</sub>には、第1ゲート線GCL<sub>a</sub>に供給されるゲート信号を反転した、反転ゲート信号が供給される。

30

【0094】

スイッチGsw<sub>1</sub>の入力端子は、ソース線SGL<sub>1</sub>に電氣的に接続されている。スイッチGsw<sub>1</sub>の出力端子は、ノードN1に電氣的に接続されている。スイッチGsw<sub>1</sub>は、第1ゲート線GCL<sub>a</sub>に供給されるゲート信号がハイレベル且つ第4ゲート線×GCL<sub>a</sub>に供給される反転ゲート信号がローレベルになると、オン状態になり、ソース線SGL<sub>1</sub>と、ノードN1と、の間を電氣的に接続する。これにより、ソース線SGL<sub>1</sub>に供給される副画素データが、第1メモリ51に格納される。

【0095】

図7では、スイッチMsw<sub>1</sub>として、トランスファークラークゲートが用いられている例を示している。スイッチMsw<sub>1</sub>の一方の制御入力端子は、第1メモリ選択線SEL<sub>a</sub>に電氣的に接続されている。スイッチMsw<sub>1</sub>の他方の制御入力端子は、第4メモリ選択線×SEL<sub>a</sub>に電氣的に接続されている。第4メモリ選択線×SEL<sub>a</sub>には、第1メモリ選択線SEL<sub>a</sub>に供給されるメモリ選択信号を反転した、反転メモリ選択信号が供給される。

40

【0096】

スイッチMsw<sub>1</sub>の入力端子は、ノードN2に電氣的に接続されている。スイッチMsw<sub>1</sub>の出力端子は、ノードN3に接続されている。ノードN3は、第1メモリ51の出力ノードであり、反転スイッチ61(図6参照)に電氣的に接続されている。スイッチMsw<sub>1</sub>は、第1メモリ選択線SEL<sub>a</sub>に供給されるメモリ選択信号がハイレベル且つ第4メモリ選択線×SEL<sub>a</sub>に供給される反転メモリ選択信号がローレベルになると、オン状態

50

になる。これにより、ノードN2が、スイッチMsw<sub>1</sub>及びノードN3を経由して、反転スイッチ61の入力端子に、電氣的に接続される。これにより、第1メモリ51に格納されている副画素データが、反転スイッチ61に供給される。

【0097】

なお、スイッチGsw<sub>1</sub>及びMsw<sub>1</sub>の両方がオフ状態の場合には、副画素データが、インバータ回路81及び82で構成されるループを循環する。従って、第1メモリ51は、副画素データを保持し続ける。

【0098】

実施形態では、第1メモリ51がSRAMである場合を例に挙げて説明したが、本開示はこれに限定されない。第1メモリ51の他の例は、DRAM (Dynamic Random Access Memory) が例示される。

10

【0099】

図8は、実施形態の表示装置の副画素の反転スイッチの回路構成を示す図である。反転スイッチ61は、インバータ回路91と、Nチャネルトランジスタ92及び95と、Pチャネルトランジスタ93及び94と、を含む。

【0100】

インバータ回路91の入力端子、Pチャネルトランジスタ94のゲート端子及びNチャネルトランジスタ95のゲート端子は、ノードN4に接続されている。ノードN4は、反転スイッチ61の入力ノードであり、第1メモリ51、第2メモリ52及び第3メモリ53のノードN3に電氣的に接続されている。ノードN4には、第1メモリ51、第2メモリ52又は第3メモリ53から副画素データが供給される。インバータ回路91は、高電位側の電源供給線VDD及び低電位側の電源供給線VSSから供給される電力を使用して、動作する。

20

【0101】

Nチャネルトランジスタ92のソース及びドレインの内の一方は、第2表示信号線xFRP<sub>1</sub>に電氣的に接続されている。Nチャネルトランジスタ92のソース及びドレインの内の他方は、ノードN5に電氣的に接続されている。

【0102】

Pチャネルトランジスタ93のソース及びドレインの内の一方は、表示信号線FRP<sub>1</sub>に電氣的に接続されている。Pチャネルトランジスタ93のソース及びドレインの内の他方は、ノードN5に電氣的に接続されている。

30

【0103】

Pチャネルトランジスタ94のソース及びドレインの内の一方は、第2表示信号線xFRP<sub>1</sub>に電氣的に接続されている。Pチャネルトランジスタ94のソース及びドレインの内の他方は、ノードN5に電氣的に接続されている。

【0104】

Nチャネルトランジスタ95のソース及びドレインの内の一方は、表示信号線FRP<sub>1</sub>に電氣的に接続されている。Nチャネルトランジスタ95のソース及びドレインの内の他方は、ノードN5に電氣的に接続されている。

40

【0105】

ノードN5は、反転スイッチ61の出力ノードであり、反射電極(副画素電極)15に電氣的に接続されている。

【0106】

第1メモリ51、第2メモリ52又は第3メモリ53から供給される副画素データがハイレベルである場合には、インバータ回路91の出力信号は、ローレベルになる。インバータ回路91の出力信号がローレベルであると、Nチャネルトランジスタ92はオフ状態になり、Pチャネルトランジスタ93はオン状態になる。

【0107】

また、第1メモリ51、第2メモリ52又は第3メモリ53から供給される副画素データがハイレベルである場合には、Pチャネルトランジスタ94はオフ状態になり、Nチャ

50

ネルトランジスタ 9 5 はオン状態になる。

【 0 1 0 8 】

従って、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがハイレベルである場合には、表示信号線  $F R P_1$  に供給される表示信号が、Pチャネルトランジスタ 9 3 及びNチャネルトランジスタ 9 5 を介して、副画素電極 1 5 に供給される。

【 0 1 0 9 】

表示信号線  $F R P_1$  に供給される表示信号は、基準クロック信号  $C L K$  に同期して、反転する。共通電極 2 3 に供給されるコモン電位も、基準クロック信号  $C L K$  に同期して、表示信号と同相で、反転する。表示信号とコモン電位とが同相である場合、液晶  $L Q$  は、電圧が印加されないで、液晶分子の方向が変化しない。これにより、副画素は、黒表示（反射光を透過させない状態。反射光がカラーフィルタを透過せず、色が表示されない状態）となる。これにより、表示装置 1 は、コモン反転駆動方式を実現することができる。

10

【 0 1 1 0 】

第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、インバータ回路 9 1 の出力信号は、ハイレベルになる。インバータ回路 9 1 の出力信号がハイレベルであると、Nチャネルトランジスタ 9 2 はオン状態になり、Pチャネルトランジスタ 9 3 はオフ状態になる。

【 0 1 1 1 】

また、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、Pチャネルトランジスタ 9 4 はオン状態になり、Nチャネルトランジスタ 9 5 はオフ状態になる。

20

【 0 1 1 2 】

従って、第 1 メモリ 5 1、第 2 メモリ 5 2 又は第 3 メモリ 5 3 から供給される副画素データがローレベルである場合には、第 2 表示信号線  $x F R P_1$  に供給される反転表示信号が、Nチャネルトランジスタ 9 2 及びPチャネルトランジスタ 9 4 を介して、副画素電極 1 5 に供給される。

【 0 1 1 3 】

第 2 表示信号線  $x F R P_1$  に供給される反転表示信号は、基準クロック信号  $C L K$  に同期して、反転する。共通電極 2 3 に供給されるコモン電位は、基準クロック信号  $C L K$  に同期して、表示信号と異相で、反転する。表示信号とコモン電位とが異相である場合、液晶  $L Q$  は、電圧が印加されるので、分子の方向が変化する。これにより、副画素は、白表示（反射光を透過させる状態。反射光がカラーフィルタを透過して色が表示される状態）となる。これにより、表示装置 1 は、コモン反転駆動方式を実現することができる。

30

【 0 1 1 4 】

図 9 は、実施形態の表示装置の副画素のレイアウトの概要を示す図である。反転スイッチ 6 1、第 1 メモリ 5 1、第 2 メモリ 5 2 及び第 3 メモリ 5 3 は、Y 方向に配列されている。第 1 メモリ 5 1、第 2 メモリ 5 2 及び第 3 メモリ 5 3 の出力ノードであるノード N 3 は、反転スイッチ 6 1 の入力ノードであるノード N 4 に電氣的に接続されている。反転スイッチ 6 1 の出力ノードであるノード N 5 は、副画素電極 1 5 に電氣的に接続されている。

40

【 0 1 1 5 】

第 1 メモリ 5 1 は、第 1 ゲート線  $G C L_a$  と、第 4 ゲート線  $x G C L_a$  と、第 1 メモリ選択線  $S E L_a$  と、第 4 メモリ選択線  $x S E L_a$  と、ソース線  $S G L_1$  と、高電位側の電源供給線  $V D D$  と、低電位側の電源供給線  $V S S$  と、に電氣的に接続されている。

【 0 1 1 6 】

第 2 メモリ 5 2 は、第 2 ゲート線  $G C L_b$  と、第 5 ゲート線  $x G C L_b$  と、第 2 メモリ選択線  $S E L_b$  と、第 5 メモリ選択線  $x S E L_b$  と、ソース線  $S G L_1$  と、高電位側の電源供給線  $V D D$  と、低電位側の電源供給線  $V S S$  と、に電氣的に接続されている。

【 0 1 1 7 】

50



第3メモリ53は、第3ゲート線 $GCL_c$ と、第6ゲート線 $xGCL_c$ と、第3メモリ選択線 $SEL_c$ と、第6メモリ選択線 $xSEL_c$ と、ソース線 $SGL_1$ と、高電位側の電源供給線 $VDD$ と、低電位側の電源供給線 $VSS$ と、に電氣的に接続されている。

【0118】

反転スイッチ61は、表示信号線 $FRP_1$ と、第2表示信号線 $xFRP_1$ と、高電位側の電源供給線 $VDD$ と、低電位側の電源供給線 $VSS$ と、に電氣的に接続されている。

【0119】

[比較例のメモリ選択制御回路]

図10は、比較例のメモリ選択制御回路の構成を示す図である。比較例のメモリ選択制御回路131は、3進カウンタである。メモリ選択制御回路131は、第1及び第2のJKフリップフロップ132及び133を含む。

10

【0120】

第1及び第2のJKフリップフロップ132及び133のクロック入力端子 $CLK$ には、基準クロック信号 $CLK$ が供給される。第1のJKフリップフロップ132の第1入力端子 $J$ 及び第2入力端子 $K$ には、第2のJKフリップフロップ133の反転出力端子 $XQ$ から出力される信号 $XQ$ が供給される。第2のJKフリップフロップ133の第1入力端子 $J$ には、第1のJKフリップフロップ132の非反転出力端子 $Q$ から出力される信号 $Q$ が供給される。第2のJKフリップフロップ133の第2入力端子 $K$ には、第1のJKフリップフロップ132の反転出力端子 $XQ$ から出力される信号 $XQ$ が供給される。

20

【0121】

第1のJKフリップフロップ132の非反転出力端子 $Q$ から出力される信号 $Q$ が、メモリ選択制御信号 $Q$ の下位ビット $Q_1$ である。第2のJKフリップフロップ133の非反転出力端子 $Q$ から出力される信号 $Q$ が、メモリ選択制御信号 $Q$ の上位ビット $Q_2$ である。

【0122】

図11は、比較例のメモリ選択制御回路の動作タイミングを示すタイミング図である。

【0123】

タイミング $t_0$ において、基準クロック信号 $CLK$ が立ち下ると、メモリ選択制御回路131は、「0b00」というメモリ選択制御信号 $Q$ を、出力回路35に出力する。出力回路35は、メモリ選択制御信号 $Q$ 「0b00」を受けると、メモリ選択信号を第1メモリ選択線 $SEL_a$ に出力する。各副画素 $Spix$ は、メモリ選択信号が第1メモリ選択線 $SEL_a$ に供給されたことに応じて、第1メモリ51に格納されている副画素データに基づいて、液晶層を変調する。その結果、表示面に画像（フレーム）「A」が表示される。

30

【0124】

タイミング $t_1$ において、基準クロック信号 $CLK$ が立ち下ると、メモリ選択制御回路131は、「0b01」というメモリ選択制御信号 $Q$ を、出力回路35に出力する。出力回路35は、メモリ選択制御信号 $Q$ 「0b01」を受けると、メモリ選択信号を第2メモリ選択線 $SEL_b$ に出力する。各副画素 $Spix$ は、メモリ選択信号が第2メモリ選択線 $SEL_b$ に供給されたことに応じて、第2メモリ52に格納されている副画素データに基づいて、液晶層を変調する。その結果、表示面に画像「B」が表示される。

40

【0125】

タイミング $t_2$ において、基準クロック信号 $CLK$ が立ち下ると、メモリ選択制御回路131は、「0b10」というメモリ選択制御信号 $Q$ を、出力回路35に出力する。出力回路35は、メモリ選択制御信号 $Q$ 「0b10」を受けると、メモリ選択信号を第3メモリ選択線 $SEL_c$ に出力する。各副画素 $Spix$ は、メモリ選択信号が第3メモリ選択線 $SEL_c$ に供給されたことに応じて、第3メモリ53に格納されている副画素データに基づいて、液晶層を変調する。その結果、表示面に画像「C」が表示される。

【0126】

タイミング $t_3$ 以降のメモリ選択制御回路131の動作は、タイミング $t_0$ からタイミング $t_3$ までと同様であるので、説明を省略する。

50

## 【 0 1 2 7 】

図 1 2 は、比較例のメモリ選択制御回路により表示領域に表示される画像を示す図である。

## 【 0 1 2 8 】

図 1 2 に示すように、メモリ選択制御回路 1 3 1 は、画像「A」、「B」及び「C」を表示領域 D A に、この順序で繰り返し表示させることができる。しかしながら、比較例のメモリ選択制御回路 1 3 1 は、画像「A」、「B」及び「C」を表示領域 D A に、異なる順序で表示させることはできない。

## 【 0 1 2 9 】

## [ 実施形態のメモリ選択制御回路 ]

図 1 3 は、実施形態のメモリ選択制御回路の構成を示す図である。

## 【 0 1 3 0 】

実施形態のメモリ選択制御回路 3 1 は、カウンタコントローラ 3 2 と、3 進アップダウンカウンタ 3 3 と、を含む。カウンタコントローラ 3 2 は、順序回路であり、フリップフロップ等を利用して実現可能である。3 進アップダウンカウンタ 3 3 は、アップカウント及びダウンカウントが可能な 3 進カウンタである。3 進アップダウンカウンタ 3 3 は、カウント値であるメモリ選択制御信号 Q を出力する。メモリ選択制御信号 Q は、上位ビット  $Q_2$  及び下位ビット  $Q_1$  で構成される。

## 【 0 1 3 1 】

カウンタコントローラ 3 2 のクロック入力端子 C L K には、基準クロック信号 C L K が供給される。カウンタコントローラ 3 2 のメモリ選択制御値入力端子 R E G には、メモリ選択制御値 R E G が供給される。カウンタコントローラ 3 2 は、メモリ選択制御値 R E G の値に基づいて、信号  $I N_2$ 、 $I N_1$ 、C L R、L D、及び、U D / O F F を出力する。

## 【 0 1 3 2 】

カウンタコントローラ 3 2 の入力端子  $Q_2$  には、3 進アップダウンカウンタ 3 3 の出力端子  $Q_2$  から出力される信号（カウント値の上位ビット） $Q_2$  が供給される。カウンタコントローラ 3 2 の入力端子  $Q_1$  には、3 進アップダウンカウンタ 3 3 の出力端子  $Q_1$  から出力される信号（カウント値の下位ビット） $Q_1$  が供給される。

## 【 0 1 3 3 】

3 進アップダウンカウンタ 3 3 のクリア入力端子 C L R には、カウンタコントローラ 3 2 のクリア信号出力端子 C L R から出力される信号 C L R が供給される。3 進アップダウンカウンタ 3 3 は、ハイレベルの信号 C L R がクリア入力端子 C L R に供給されたら、メモリ選択制御信号 Q を、予め定められた値にクリアする。実施形態では、予め定められた値は「0 b 0 0」とするが、本開示はこれに限定されない。

## 【 0 1 3 4 】

3 進アップダウンカウンタ 3 3 の入力端子  $I N_2$  には、カウンタコントローラ 3 2 の出力端子  $I N_2$  から出力される信号  $I N_2$  が供給される。3 進アップダウンカウンタ 3 3 の入力端子  $I N_1$  には、カウンタコントローラ 3 2 の出力端子  $I N_1$  から出力される信号  $I N_1$  が供給される。3 進アップダウンカウンタ 3 3 のロード反転入力端子 L D には、カウンタコントローラ 3 2 のロード出力端子 L D から出力される信号 L D が供給される。3 進アップダウンカウンタ 3 3 は、ローレベルの信号 L D がロード反転入力端子 L D に供給されたら、信号  $I N_2$  及び  $I N_1$  の値をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号  $I N_2$  及び  $I N_1$  の値を、メモリ選択制御信号 Q（カウント値）に設定する。

## 【 0 1 3 5 】

カウンタコントローラ 3 2 の出力端子 U D / O F F から出力される信号 U D / O F F は、スイッチ 3 4 の制御端子に入力される。スイッチ 3 4 は、信号 U D / O F F が第 1 の値の場合には、基準クロック信号 C L K を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T に出力する。3 進アップダウンカウンタ 3 3 は、アップカウント反転入力端子 U P C T に供給される基準クロック信号 C L K の立ち下がりエッジにおいて、カウント値をインクリメントするカウントアップを行う。

10

20

30

40

50

## 【 0 1 3 6 】

スイッチ 3 4 は、信号 U D / O F F が第 2 の値の場合には、基準クロック信号 C L K を、3 進アップダウンカウンタ 3 3 のダウンカウント反転入力端子 D N C T に出力する。3 進アップダウンカウンタ 3 3 は、ダウンカウント反転入力端子 D N C T に供給される基準クロック信号 C L K の立ち下がりエッジにおいて、カウント値をデクリメントするカウントダウンを行う。

## 【 0 1 3 7 】

スイッチ 3 4 は、信号 U D / O F F が第 3 の値の場合には、基準クロック信号 C L K を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T のいずれにも出力しない。この場合、3 進アップダウンカウンタ 3 3 は、カウントアップ及びカウントダウンを行わず、カウント値の現状値を維持する。

10

## 【 0 1 3 8 】

図 1 4 は、実施形態の表示装置の 3 進アップダウンカウンタの真理値表を示す図である。

## 【 0 1 3 9 】

真理値表 4 2 の第 1 行目は、信号 L D がハイレベル且つ信号 C L R がローレベルであり、アップカウント反転入力端子 U P C T に供給される基準クロック信号 C L K が立ち下がる場合の、3 進アップダウンカウンタ 3 3 の動作を表す。この場合、3 進アップダウンカウンタ 3 3 は、カウントアップを行う。なお、図 1 3 に示したように、基準クロック信号 C L K がアップカウント反転入力端子 U P C T に供給される場合は、ダウンカウント反転入力端子 D N C T は、ハイインピーダンスになる。本開示はこれに限定されず、基準クロック信号 C L K がアップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T の両方に同時に供給されなければ良い。つまり、ダウンカウント反転入力端子 D N C T は、プルアップ又はプルダウンされていても良い。

20

## 【 0 1 4 0 】

真理値表 4 2 の第 2 行目は、信号 L D がハイレベルであり且つ信号 C L R がローレベルであり、ダウンカウント反転入力端子 D N C T に供給される基準クロック信号 C L K が立ち下がる場合の、3 進アップダウンカウンタ 3 3 の動作を表す。この場合、3 進アップダウンカウンタ 3 3 は、カウントダウンを行う。なお、図 1 3 に示したように、基準クロック信号 C L K がダウンカウント反転入力端子 D N C T に供給される場合は、アップカウント反転入力端子 U P C T は、ハイインピーダンスになる。本開示はこれに限定されず、基準クロック信号 C L K がアップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T の両方に同時に供給されなければ良い。つまり、アップカウント反転入力端子 U P C T は、プルアップ又はプルダウンされていても良い。

30

## 【 0 1 4 1 】

真理値表 4 2 の第 3 行目は、信号 L D がローレベルであり且つ信号 C L R がローレベルである場合の、3 進アップダウンカウンタ 3 3 の動作を表す。この場合、3 進アップダウンカウンタ 3 3 は、信号 I N <sub>1</sub> 及び I N <sub>2</sub> をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号 I N <sub>1</sub> 及び I N <sub>2</sub> の値を、メモリ選択制御信号 Q に設定する。なお、この場合、アップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T に供給される基準クロック信号 C L K は、ドントケア (don't care) 条件となる。

40

## 【 0 1 4 2 】

真理値表 4 2 の第 4 行目は、信号 C L R がハイレベルである場合の、3 進アップダウンカウンタ 3 3 の動作を表す。この場合、3 進アップダウンカウンタ 3 3 は、メモリ選択制御信号 Q を、「0 b 0 0」にクリアする。なお、この場合、アップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T に供給される基準クロック信号 C L K 、並びに、信号 L D は、ドントケア条件となる。

## 【 0 1 4 3 】

図 1 5 は、実施形態の表示装置のカウンタコントローラの真理値表を示す図である。

50

## 【 0 1 4 4 】

真理値表 4 3 の第 1 行目は、メモリ選択制御値 REG が「 0 b 0 0 0 」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、第 3 の値の信号 UD / OFF を、スイッチ 3 4 に出力する。スイッチ 3 4 は、第 3 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T のいずれにも出力しない。3 進アップダウンカウンタ 3 3 は、アップカウント反転入力端子 U P C T 及びダウンカウント反転入力端子 D N C T のいずれにも基準クロック信号 CLK が供給されないので、カウントアップ及びカウントダウンを行わず、メモリ選択制御信号 Q の現状値を維持する。

10

## 【 0 1 4 5 】

真理値表 4 3 の第 2 行目は、メモリ選択制御値 REG が「 0 b 0 0 1 」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、第 1 メモリ 5 1 を選択するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、「 0 b 0 0 」の信号 IN<sub>2</sub> 及び IN<sub>1</sub> を出力し、ローレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 ( 図 1 4 参照 ) の第 3 行目に示したように、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 0 0 」をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 0 0 」を、メモリ選択制御信号 Q に設定する。出力回路 3 5 は、真理値表 4 1 ( 図 5 参照 ) の第 1 行目に示したように、メモリ選択信号を第 1 メモリ選択線 SEL<sub>a</sub> に出力する。各副画素 S P i x は、メモリ選択信号が第 1 メモリ選択線 SEL<sub>a</sub> に供給されたことに応じて、第 1 メモリ 5 1 に格納されている副画素データに基づいて、画像を表示する。

20

## 【 0 1 4 6 】

真理値表 4 3 の第 3 行目は、メモリ選択制御値 REG が「 0 b 0 1 0 」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、第 2 メモリ 5 2 を選択するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、「 0 b 0 1 」の信号 IN<sub>2</sub> 及び IN<sub>1</sub> を出力し、ローレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 ( 図 1 4 参照 ) の第 3 行目に示したように、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 0 1 」をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 0 1 」を、メモリ選択制御信号 Q に設定する。出力回路 3 5 は、真理値表 4 1 ( 図 5 参照 ) の第 2 行目に示したように、メモリ選択信号を第 2 メモリ選択線 SEL<sub>b</sub> に出力する。各副画素 S P i x は、メモリ選択信号が第 2 メモリ選択線 SEL<sub>b</sub> に供給されたことに応じて、第 2 メモリ 5 2 に格納されている副画素データに基づいて、画像を表示する。

30

## 【 0 1 4 7 】

真理値表 4 3 の第 4 行目は、メモリ選択制御値 REG が「 0 b 0 1 1 」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、第 3 メモリ 5 3 を選択するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、「 0 b 1 0 」の信号 IN<sub>2</sub> 及び IN<sub>1</sub> を出力し、ローレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 ( 図 1 4 参照 ) の第 3 行目に示したように、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 1 0 」をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号 IN<sub>2</sub> 及び IN<sub>1</sub> の値「 0 b 1 0 」を、メモリ選択制御信号 Q に設定する。出力回路 3 5 は、真理値表 4 1 ( 図 5 参照 ) の第 3 行目に示したように、メモリ選択信号を第 3 メモリ選択線 SEL<sub>c</sub> に出力する。各副画素 S P i x は、メモリ選択信号が第 3 メモリ選択線 SEL<sub>c</sub> に供給されたことに応じて、第 3 メモリ 5 3 に格納されている副画素データに基づいて、画像を表示する。

40

## 【 0 1 4 8 】

50

真理値表 4 3 の第 5 行目は、メモリ選択制御値 REG が「0 b 1 0 0」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、カウントアップを実行するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、ハイレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。それとともに、カウンタコントローラ 3 2 は、第 1 の値の信号 UD / OFF を出力する。スイッチ 3 4 は、第 1 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T に出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 (図 1 4 参照) の第 1 行目に示したように、アップカウント反転入力端子 U P C T に供給される基準クロック信号 CLK の立ち下がりエッジにおいて、カウントアップを行う。3 進アップダウンカウンタ 3 3 は、3 進であるので、・・・「0 b 0 0」「0 b 0 1」「0 b 1 0」「0 b 0 0」・・・のようにカウントアップを行う。

10

#### 【0 1 4 9】

真理値表 4 3 の第 6 行目は、メモリ選択制御値 REG が「0 b 1 0 1」の場合の、カウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、カウントダウンを実行するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、ハイレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。それとともに、カウンタコントローラ 3 2 は、第 2 の値の信号 UD / OFF を出力する。スイッチ 3 4 は、第 2 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 3 3 のダウンカウント反転入力端子 D N C T に出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 (図 1 4 参照) の第 2 行目に示したように、ダウンカウント反転入力端子 D N C T に供給される基準クロック信号 CLK の立ち下がりエッジにおいて、カウントダウンを行う。3 進アップダウンカウンタ 3 3 は、3 進であるので、・・・「0 b 0 0」「0 b 1 0」「0 b 0 1」「0 b 0 0」・・・のようにカウントダウンを行う。

20

#### 【0 1 5 0】

真理値表 4 3 の第 7 行目は、メモリ選択制御値 REG が「0 b 1 1 0」の場合のカウンタコントローラ 3 2 の動作を表す。この場合、カウンタコントローラ 3 2 は、カウントアップとカウントダウンとを交互に繰り返し実行するように、3 進アップダウンカウンタ 3 3 を制御する。具体的には、カウンタコントローラ 3 2 は、ハイレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。それとともに、カウンタコントローラ 3 2 は、第 1 の値の信号 UD / OFF を出力する。スイッチ 3 4 は、第 1 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T に出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 (図 1 4 参照) の第 1 行目に示したように、アップカウント反転入力端子 U P C T に供給される基準クロック信号 CLK の立ち下がりエッジにおいて、カウントアップを行う。

30

#### 【0 1 5 1】

また、カウンタコントローラ 3 2 は、信号 Q<sub>2</sub> 及び Q<sub>1</sub> の値が「0 b 1 0」になったら、ハイレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。それとともに、カウンタコントローラ 3 2 は、第 2 の値の信号 UD / OFF を出力する。スイッチ 3 4 は、第 2 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 3 3 のダウンカウント反転入力端子 D N C T に出力する。3 進アップダウンカウンタ 3 3 は、真理値表 4 2 (図 1 4 参照) の第 2 行目に示したように、ダウンカウント反転入力端子 D N C T に供給される基準クロック信号 CLK の立ち下がりエッジにおいて、カウントダウンを行う。

40

#### 【0 1 5 2】

また、カウンタコントローラ 3 2 は、信号 Q<sub>2</sub> 及び Q<sub>1</sub> の値が「0 b 0 0」になったら、ハイレベルの信号 LD を出力し、ローレベルの信号 CLR を出力する。それとともに、カウンタコントローラ 3 2 は、第 1 の値の信号 UD / OFF を出力する。スイッチ 3 4 は、第 1 の値の信号 UD / OFF を受けると、基準クロック信号 CLK を、3 進アップダウ

50

ンカウンタ33のアップカウント反転入力端子UPCTに出力する。3進アップダウンカウンタ33は、真理値表42（図14参照）の第1行目に示したように、アップカウント反転入力端子UPCTに供給される基準クロック信号CLKの立ち下がりエッジにおいて、カウントアップを行う。

#### 【0153】

カウンタコントローラ32は、上記の制御を繰り返し実行する。これにより、信号 $Q_2$ 及び $Q_1$ の値は、「0b00」、「0b01」、「0b10」、「0b01」、「0b00」、「0b01」・・・と、カウントアップとカウントダウンとが交互に繰り返される。

#### 【0154】

なお、上記では、カウンタコントローラ32は、信号 $Q_2$ 及び $Q_1$ の値が「0b00」から「0b10」までの範囲でカウントアップとカウントダウンとが交互に繰り返されるように、3進アップダウンカウンタ33を制御することとしたが、本開示はこれに限定されない。

#### 【0155】

カウンタコントローラ32は、信号 $Q_2$ 及び $Q_1$ の値が「0b00」から「0b01」までの範囲でカウントアップとカウントダウンとが交互に繰り返されるように、3進アップダウンカウンタ33を制御しても良い。この場合、出力回路35は、メモリ選択信号を、第1メモリ選択線SEL<sub>a</sub>及び第2メモリ選択線SEL<sub>b</sub>に交互に出力する。複数の副画素SPixは、第1メモリ51に格納されている副画素データに基づく第1の画像（フレーム）と、第2メモリ52に格納されている副画素データに基づく第2の画像と、を交互に表示する。

#### 【0156】

または、カウンタコントローラ32は、信号 $Q_2$ 及び $Q_1$ の値が「0b01」から「0b10」までの範囲でカウントアップとカウントダウンとが交互に繰り返されるように、3進アップダウンカウンタ33を制御しても良い。この場合、出力回路35は、メモリ選択信号を、第2メモリ選択線SEL<sub>b</sub>及び第3メモリ選択線SEL<sub>c</sub>に交互に出力する。複数の副画素SPixは、第2メモリ52に格納されている副画素データに基づく第2の画像と、第3メモリ53に格納されている副画素データに基づく第3の画像と、を交互に表示する。

#### 【0157】

または、カウンタコントローラ32は、信号 $Q_2$ 及び $Q_1$ の値が「0b10」から「0b00」までの範囲でカウントアップとカウントダウンとが交互に繰り返されるように、3進アップダウンカウンタ33を制御しても良い。この場合、出力回路35は、メモリ選択信号を、第3メモリ選択線SEL<sub>c</sub>及び第1メモリ選択線SEL<sub>a</sub>に交互に出力する。複数の副画素SPixは、第3メモリ53に格納されている副画素データに基づく第3の画像と、第1メモリ51に格納されている副画素データに基づく第1の画像と、を交互に表示する。

#### 【0158】

カウントアップとカウントダウンとが交互に繰り返される信号 $Q_2$ 及び $Q_1$ の範囲は、設定レジスタ4cに設定され、メモリ選択制御値REGに含まれても良い。これにより、外部回路は、カウントアップとカウントダウンとが交互に繰り返される信号 $Q_2$ 及び $Q_1$ の範囲を、動的に設定できる。

#### 【0159】

真理値表43の第8行目は、メモリ選択制御値REGが「0b111」の場合の、カウンタコントローラ32の動作を表す。この場合、カウンタコントローラ32は、信号 $Q_2$ 及び $Q_1$ の値を「0b00」にクリアするように、3進アップダウンカウンタ33を制御する。具体的には、カウンタコントローラ32は、ハイレベルの信号CLRを出力する。3進アップダウンカウンタ33は、真理値表42（図14参照）の第4行目に示したように、信号 $Q_2$ 及び $Q_1$ の値を「0b00」にクリアする。

10

20

30

40

50

## 【 0 1 6 0 】

図 1 6 は、実施形態の表示装置の第 1 の動作タイミングを示すタイミング図である。

## 【 0 1 6 1 】

タイミング  $t_{10}$  から  $t_{12}$  までは、静止画表示期間である。タイミング  $t_{10}$  において、外部回路は、設定レジスタ 4 c の内の、メモリ選択に関するフィールドに、「0 b 1 1 1」(クリア動作)をメモリ選択制御値 R E G として書き込む。カウンタコントローラ 3 2 は、「0 b 1 1 1」のメモリ選択制御値 R E G を受けると、ハイレベルの信号 C L R を出力する。3 進アップダウンカウンタ 3 3 は、ハイレベルの信号 C L R を受けると、メモリ選択制御信号 Q (カウント値の上位ビット  $Q_2$  及び下位ビット  $Q_1$ ) の値を「0 b 0 0」にクリアする。出力回路 3 5 は、「0 b 0 0」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 1 メモリ選択線 S E L<sub>a</sub> に出力する。各副画素 S P i x は、第 1 メモリ 5 1 に格納されている副画素データに基づいて、画像「A」を表示する。

10

## 【 0 1 6 2 】

タイミング  $t_{11}$  において、外部回路は、設定レジスタ 4 c の内の、メモリ選択に関するフィールドに、「0 b 0 1 1」(第 3 メモリ選択動作)をメモリ選択制御値 R E G として書き込む。カウンタコントローラ 3 2 は、「0 b 0 1 1」のメモリ選択制御値 R E G を受けると、「0 b 1 0」の信号 I N<sub>2</sub> 及び I N<sub>1</sub> を出力する。

## 【 0 1 6 3 】

タイミング  $t_{12}$  から  $t_{13}$  までは、静止画表示期間である。タイミング  $t_{12}$  において、カウンタコントローラ 3 2 は、ローレベルの信号 L D を出力する。3 進アップダウンカウンタ 3 3 は、ローレベルの信号 L D を受けると、信号 I N<sub>2</sub> 及び I N<sub>1</sub> の値「0 b 1 0」をロードする。そして、3 進アップダウンカウンタ 3 3 は、信号 I N<sub>2</sub> 及び I N<sub>1</sub> の値「0 b 1 0」を、メモリ選択制御信号 Q に設定する。出力回路 3 5 は、「0 b 1 0」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 3 メモリ選択線 S E L<sub>c</sub> に出力する。各副画素 S P i x は、第 3 メモリ 5 3 に格納されている副画素データに基づいて、画像「C」を表示する。

20

## 【 0 1 6 4 】

タイミング  $t_{13}$  からタイミング  $t_{17}$  までは、画像「A」、「B」、及び、「C」をこの順序で繰り返し表示する、アニメーション表示(動画像表示)期間である。

## 【 0 1 6 5 】

タイミング  $t_{13}$  において、外部回路は、設定レジスタ 4 c の内の、メモリ選択に関するフィールドに、「0 b 1 1 1」(クリア動作)をメモリ選択制御値 R E G として書き込む。カウンタコントローラ 3 2 は、「0 b 1 1 1」のメモリ選択制御値 R E G を受けると、ハイレベルの信号 C L R を出力する。3 進アップダウンカウンタ 3 3 は、ハイレベルの信号 C L R を受けると、メモリ選択制御信号 Q の値を「0 b 0 0」にクリアする。出力回路 3 5 は、「0 b 0 0」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 1 メモリ選択線 S E L<sub>a</sub> に出力する。各副画素 S P i x は、第 1 メモリ 5 1 に格納されている副画素データに基づいて、画像「A」を表示する。

30

## 【 0 1 6 6 】

タイミング  $t_{14}$  において、外部回路は、設定レジスタ 4 c の内の、メモリ選択に関するフィールドに、「0 b 1 0 0」(カウントアップ動作)をメモリ選択制御値 R E G として書き込む。カウンタコントローラ 3 2 は、「0 b 1 0 0」のメモリ選択制御値 R E G を受けると、第 1 の値の信号 U D / O F F を、スイッチ 3 4 に出力する。スイッチ 3 4 は、第 1 の値の信号 U D / O F F を受けると、基準クロック信号 C L K を、3 進アップダウンカウンタ 3 3 のアップカウント反転入力端子 U P C T に出力する。3 進アップダウンカウンタ 3 3 は、基準クロック信号 C L K の立ち上がりエッジを受けると、メモリ選択制御信号 Q の値を「0 b 0 0」から「0 b 0 1」にインクリメントする。出力回路 3 5 は、「0 b 0 1」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 2 メモリ選択線 S E L<sub>b</sub> に出力する。各副画素 S P i x は、第 2 メモリ 5 2 に格納されている副画素データに基づいて、画像「B」を表示する。

40

50

## 【 0 1 6 7 】

タイミング  $t_{15}$  において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b01」から「0b10」にインクリメントする。出力回路35は、「0b10」のメモリ選択制御信号Qを受けると、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPixは、第3メモリ53に格納されている副画素データに基づいて、画像「C」を表示する。

## 【 0 1 6 8 】

タイミング  $t_{16}$  において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b10」から「0b00」にインクリメントする。出力回路35は、「0b00」のメモリ選択制御信号Qを受けると、メモリ選択信号を第1メモリ選択線SEL<sub>a</sub>に出力する。各副画素SPixは、第1メモリ51に格納されている副画素データに基づいて、画像「A」を表示する。

10

## 【 0 1 6 9 】

タイミング  $t_{16}$  から  $t_{17}$  までの各部の動作は、タイミング  $t_{13}$  から  $t_{16}$  までと同様であるので、説明を省略する。

## 【 0 1 7 0 】

タイミング  $t_{13}$  から  $t_{17}$  までの期間において、表示装置1は、先に示した図12のように、画像「A」、「B」及び「C」を、この順序で繰り返し表示するアニメーション表示を行うことができる。

## 【 0 1 7 1 】

20

タイミング  $t_{17}$  から  $t_{22}$  までは、画像「C」、「B」、「A」、「B」、「C」、「B」、「A」・・・を、この順序で繰り返し表示する、アニメーション表示（動画像表示）期間である。

## 【 0 1 7 2 】

タイミング  $t_{17}$  において、外部回路は、設定レジスタ4cの内の、メモリ選択に関するフィールドに、「0b110」（カウントアップとカウントダウンとを交互に繰り返す動作）をメモリ選択制御値REGとして書き込む。カウンタコントローラ32は、メモリ選択制御信号Qの値が「0b10」であるので、第2の値の信号UD/OFFを、スイッチ34に出力する。スイッチ34は、第2の値の信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のダウンカウント反転入力端子DNCTに出力する。3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b10」から「0b01」にデクリメントする。出力回路35は、「0b01」のメモリ選択制御信号Qを受けると、メモリ選択信号を第2メモリ選択線SEL<sub>b</sub>に出力する。各副画素SPixは、第2メモリ52に格納されている副画素データに基づいて、画像「B」を表示する。

30

## 【 0 1 7 3 】

タイミング  $t_{18}$  において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b01」から「0b00」にデクリメントする。出力回路35は、「0b00」のメモリ選択制御信号Qを受けると、メモリ選択信号を第1メモリ選択線SEL<sub>a</sub>に出力する。各副画素SPixは、第1メモリ51に格納されている副画素データに基づいて、画像「A」を表示する。

40

## 【 0 1 7 4 】

タイミング  $t_{19}$  において、カウンタコントローラ32は、メモリ選択制御信号Qの値が「0b00」であるので、第1の値の信号UD/OFFを、スイッチ34に出力する。スイッチ34は、第1の値の信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のアップカウント反転入力端子UPCTに出力する。3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b00」から「0b01」にインクリメントする。出力回路35は、「0b01」のメモリ選択制御信号Qを受けると、メモリ選択信号を第2メモリ選択線SEL<sub>b</sub>に出力する。各副画素SPixは、第2メモリ52に格納されている

50



副画素データに基づいて、画像「B」を表示する。

【0175】

タイミング $t_{20}$ において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち上がりエッジを受けると、メモリ選択制御信号Qの値を「0b01」から「0b10」にインクリメントする。出力回路35は、「0b10」のメモリ選択制御信号Qを受けると、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPi<sub>x</sub>は、第3メモリ53に格納されている副画素データに基づいて、画像「C」を表示する。

【0176】

タイミング $t_{21}$ から $t_{22}$ までの各部の動作は、タイミング $t_{17}$ からタイミング $t_{21}$ までと同様であるので、説明を省略する。

【0177】

タイミング $t_{23}$ において、外部回路は、設定レジスタ4cの内の、メモリ選択に関するフィールドに、「0b000」（現状維持）をメモリ選択制御値REGとして書き込む。カウンタコントローラ32は、信号UD/OFFを、スイッチ34に出力する。スイッチ34は、信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のアップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも出力しない。3進アップダウンカウンタ33は、アップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも基準クロック信号CLKが供給されないので、カウントアップ及びカウントダウンを行わず、メモリ選択制御信号Qの現状値「0b10」を維持する。出力回路35は、メモリ選択制御信号Qが「0b10」で変わらないので、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPi<sub>x</sub>は、第3メモリ53に格納されている副画素データに基づいて、画像「C」を表示する。

【0178】

タイミング $t_{13}$ から $t_{17}$ までの期間において、表示装置1は、先に示した図12のように、画像「A」、「B」及び「C」を、この順序で繰り返し表示するアニメーション表示を行うことができる。

【0179】

図17は、実施形態の表示装置によって表示される画像を示す図である。

【0180】

図17に示すように、表示装置1は、画像「A」、「B」、「C」、「B」、「A」、「B」・・・を、この順序で繰り返し表示させることができる。

【0181】

再び図16を参照すると、タイミング $t_{22}$ 以降は、静止画表示期間である。タイミング $t_{22}$ において、外部回路は、設定レジスタ4cの内の、メモリ選択に関するフィールドに、「0b000」（現状維持動作）をメモリ選択制御値REGとして書き込む。カウンタコントローラ32は、「0b000」のメモリ選択制御値REGを受けると、第3の値の信号UD/OFFを、スイッチ34に出力する。スイッチ34は、第3の値の信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のアップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも出力しない。3進アップダウンカウンタ33は、アップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも基準クロック信号CLKが供給されないので、カウントアップ及びカウントダウンを行わず、メモリ選択制御信号Qの現状の値「0b10」を維持する。出力回路35は、「0b10」のメモリ選択制御信号Qを受けると、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPi<sub>x</sub>は、第3メモリ53に格納されている副画素データに基づいて、画像「C」を表示する。

【0182】

図18は、実施形態の表示装置の第2の動作タイミングを示すタイミング図である。

【0183】

図18の全体にわたって、共通電極駆動回路6は、基準クロック信号CLKに同期して

10

20

30

40

50

反転するコモン電位を、共通電極 23 に供給する。

【0184】

タイミング  $t_{30}$  から  $t_{33}$  までは、1つの行の  $N \times 3$  個の副画素  $SPix$  の各々に含まれる第1メモリ51から第3メモリ53までへの副画素データの書き込み期間である。

【0185】

タイミング  $t_{30}$  において、タイミングコントローラ4bは、第1の値の制御信号  $Sig_5$  を、ゲート線選択回路10内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路9の出力端子と、第1ゲート線  $GCL_a$  と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第1ゲート線  $GCL_a$  に出力する。第1ゲート線  $GCL_a$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第1メモリ51が、副画素データの書き込み先として選択される。

10

【0186】

また、タイミング  $t_{30}$  において、ソース線駆動回路5は、「A」という画像（フレーム）を表示するための副画素データを、ソース線  $SSL$  に出力する。これにより、各行に属する副画素  $SPix$  の各々の第1メモリ51には、「A」という画像を表示するための副画素データが、夫々書き込まれる。

【0187】

また、タイミング  $t_{30}$  から  $t_{31}$  までに亘って、かかる動作が第1行から第M行まで線順次により実施される。これにより、全副画素  $SPix$  の第1メモリには、画像「A」を形成するための信号が書き込まれ、保存される。

20

【0188】

タイミング  $t_{31}$  において、タイミングコントローラ4bは、第2の値の制御信号  $Sig_5$  を、ゲート線選択回路10内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路9の出力端子と、第2ゲート線  $GCL_b$  と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第2ゲート線  $GCL_b$  に出力する。第2ゲート線  $GCL_b$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第2メモリ52が、副画素データの書き込み先として選択される。

【0189】

また、タイミング  $t_{31}$  において、ソース線駆動回路5は、「B」という画像（フレーム）を表示するための副画素データを、ソース線  $SSL$  に出力する。これにより、各行に属する副画素  $SPix$  の各々の第2メモリ52には、「B」という画像を表示するための副画素データが、夫々書き込まれる。

30

【0190】

また、タイミング  $t_{31}$  から  $t_{32}$  までに亘って、かかる動作が第1行から第M行まで線順次により実施される。これにより、全副画素  $SPix$  の第2メモリには、画像「B」を形成するための信号が書き込まれ、保存される。

【0191】

タイミング  $t_{32}$  において、タイミングコントローラ4bは、第3の値の制御信号  $Sig_5$  を、ゲート線選択回路10内のスイッチ  $SW_4$  に出力する。スイッチ  $SW_4$  は、ゲート線駆動回路9の出力端子と、第3ゲート線  $GCL_c$  と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第3ゲート線  $GCL_c$  に出力する。第3ゲート線  $GCL_c$  にハイレベルのゲート信号が供給されると、当該行に属する副画素  $SPix$  の各々の第3メモリ53が、副画素データの書き込み先として選択される。

40

【0192】

また、タイミング  $t_{32}$  において、ソース線駆動回路5は、「C」という画像（フレーム）を表示するための副画素データを、ソース線  $SSL$  に出力する。これにより、各行に属する副画素  $SPix$  の各々第3メモリ53には、「C」という画像を表示するための副画素データが、夫々書き込まれる。

【0193】

また、タイミング  $t_{32}$  から  $t_{33}$  までに亘って、かかる動作が第1行から第M行まで

50

線順次により実施される。これにより、全副画素  $SPix$  の第 3 メモリには、画像「C」を形成するための信号が書き込まれ、保存される。

【0194】

表示装置 1 は、タイミング  $t_{30}$  からタイミング  $t_{33}$  までと同様の動作を M 回繰り返すことにより、各副画素  $SPix$  に含まれる第 1 メモリ 51 から第 3 メモリ 53 までに、「A」、「B」及び「C」という 3 つの画像を表示するための副画素データを書き込むことができる。

【0195】

タイミング  $t_{34}$  からタイミング  $t_{40}$  までは、「A」、「B」及び「C」という 3 つの画像（3 つのフレーム）をこの順序で繰り返し表示するアニメーション表示（動画像表示）期間である。

【0196】

タイミング  $t_{34}$  において、外部回路は、設定レジスタ 4c の内の、メモリ選択に関するフィールドに、「0b111」（クリア動作）をメモリ選択制御値 REG として書き込む。カウンタコントローラ 32 は、「0b111」のメモリ選択制御値 REG を受けると、ハイレベルの信号 CLR を出力する。3 進アップダウンカウンタ 33 は、ハイレベルの信号 CLR を受けると、メモリ選択制御信号 Q の値を「0b00」にクリアする。出力回路 35 は、「0b00」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 1 メモリ選択線 SEL<sub>a</sub> に出力する。各副画素  $SPix$  は、第 1 メモリ 51 に格納されている副画素データに基づいて、画像「A」を表示する。

【0197】

タイミング  $t_{35}$  において、外部回路は、設定レジスタ 4c の内の、メモリ選択に関するフィールドに、「0b100」（カウントアップ動作）をメモリ選択制御値 REG として書き込む。カウンタコントローラ 32 は、「0b100」のメモリ選択制御値 REG を受けると、第 1 の値の信号 UD/OFF を、スイッチ 34 に出力する。スイッチ 34 は、第 1 の値の信号 UD/OFF を受けると、基準クロック信号 CLK を、3 進アップダウンカウンタ 33 のアップカウント反転入力端子 UPC<sub>T</sub> に出力する。3 進アップダウンカウンタ 33 は、基準クロック信号 CLK の立ち下がりエッジを受けると、メモリ選択制御信号 Q の値を「0b00」から「0b01」にインクリメントする。出力回路 35 は、「0b01」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 2 メモリ選択線 SEL<sub>b</sub> に出力する。各副画素  $SPix$  は、第 2 メモリ 52 に格納されている副画素データに基づいて、画像「B」を表示する。

【0198】

タイミング  $t_{36}$  において、3 進アップダウンカウンタ 33 は、基準クロック信号 CLK の立ち下がりエッジを受けると、メモリ選択制御信号 Q の値を「0b01」から「0b10」にインクリメントする。出力回路 35 は、「0b10」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 3 メモリ選択線 SEL<sub>c</sub> に出力する。各副画素  $SPix$  は、第 3 メモリ 53 に格納されている副画素データに基づいて、画像「C」を表示する。

【0199】

タイミング  $t_{37}$  において、3 進アップダウンカウンタ 33 は、基準クロック信号 CLK の立ち下がりエッジを受けると、メモリ選択制御信号 Q の値を「0b10」から「0b00」にインクリメントする。出力回路 35 は、「0b00」のメモリ選択制御信号 Q を受けると、メモリ選択信号を第 1 メモリ選択線 SEL<sub>a</sub> に出力する。各副画素  $SPix$  は、第 1 メモリ 51 に格納されている副画素データに基づいて、画像「A」を表示する。

【0200】

タイミング  $t_{37}$  から  $t_{40}$  までの各部の動作は、タイミング  $t_{34}$  から  $t_{37}$  までの各部の動作と同様であるので、説明を省略する。

【0201】

タイミング  $t_{34}$  から  $t_{40}$  までの期間において、表示装置 1 は、先に示した図 12 のように、画像「A」、「B」及び「C」を、この順序で繰り返し表示するアニメーション

10

20

30

40

50

表示を行うことができる。

【0202】

タイミング  $t_{40}$  からタイミング  $t_{42}$  までは、画像「A」を表示する静止画表示期間である。

【0203】

タイミング  $t_{40}$  において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b10」から「0b00」にインクリメントする。出力回路35は、「0b00」のメモリ選択制御信号Qを受けると、メモリ選択信号を第1メモリ選択線SEL<sub>1</sub>に出力する。各副画素SPixは、第1メモリ51に格納されている副画素データに基づいて、画像「A」を表示する。その後、外部回路は、設定レジスタ4cの内の、メモリ選択に関するフィールドに、「0b000」（現状維持動作）をメモリ選択制御値REGとして書き込む。カウンタコントローラ32は、「0b000」のメモリ選択制御値REGを受けると、第3の値の信号UD/OFFを、スイッチ34に出力する。スイッチ34は、第3の値の信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のアップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも出力しない。3進アップダウンカウンタ33は、アップカウント反転入力端子UPCT及びダウンカウント反転入力端子DNCTのいずれにも基準クロック信号CLKが供給されないので、カウントアップ及びカウントダウンを行わず、メモリ選択制御信号Qの現状値「0b00」を維持する。出力回路35は、「0b00」のメモリ選択制御信号Qを受けると、メモリ選択信号を第1メモリ選択線SEL<sub>1</sub>に出力する。各副画素SPixは、第1メモリ51に格納されている副画素データに基づいて、画像「A」を静止画表示する。

【0204】

なお、画像「A」を静止画表示している静止画表示期間内のタイミング  $t_{41}$  において、各副画素SPixに含まれる第2メモリ52に、「X」という画像（フレーム）を表示するための副画素データを書き込むことができる。

【0205】

タイミング  $t_{41}$  において、タイミングコントローラ4bは、第2の値の制御信号Sig<sub>5</sub>を、ゲート線選択回路10内のスイッチSW<sub>4</sub>に出力する。スイッチSW<sub>4</sub>は、ゲート線駆動回路9の出力端子と、第2ゲート線GCL<sub>b</sub>と、を電氣的に接続する。ゲート線駆動回路9は、ゲート信号を、各行の第2ゲート線GCL<sub>b</sub>に出力する。第2ゲート線GCL<sub>b</sub>にハイレベルのゲート信号が供給されると、当該行に属する副画素SPixの各々の第2メモリ52が、副画素データの書き込み先として選択される。

【0206】

また、タイミング  $t_{41}$  において、ソース線駆動回路5は、「X」という画像を表示するための副画素データを、ソース線SGLに出力する。これにより、各行に属する副画素SPixの各々の第2メモリ52には、「X」という画像を表示するための副画素データが、夫々書き込まれる。

【0207】

表示装置1は、タイミング  $t_{41}$  と同様の動作をM回繰り返すことにより、各副画素SPixに含まれる第2メモリ52に、「X」という画像（フレーム）を表示するための副画素データを書き込むことができる。

【0208】

なお、図18では、画像「A」を静止画表示している静止画表示期間内のタイミング  $t_{41}$  において、各副画素SPixに含まれる第2メモリ52に、「X」という画像を表示するための副画素データを書き込む場合について説明した。しかしながら、例えば、アニメーション表示（動画像表示）期間内の、画像「C」及び「A」をアニメーション表示（動画像表示）しているタイミング  $t_{36}$  からタイミング  $t_{38}$  までにおいて、各副画素SPixに含まれる第2メモリ52に、「X」という画像を表示するための副画素データを書き込むことも可能である。

## 【0209】

タイミング $t_{42}$ 以降は、画像「X」、「C」及び「A」をこの順序で繰り返し表示するアニメーション表示期間である。

## 【0210】

タイミング $t_{42}$ において、外部回路は、設定レジスタ4cの内の、メモリ選択に関するフィールドに、「0b100」（カウントアップ動作）をメモリ選択制御値REGとして書き込む。カウンタコントローラ32は、「0b100」のメモリ選択制御値REGを受けると、第1の値の信号UD/OFFを、スイッチ34に出力する。スイッチ34は、第1の値の信号UD/OFFを受けると、基準クロック信号CLKを、3進アップダウンカウンタ33のアップカウント反転入力端子UPCTに出力する。3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b00」から「0b01」にインクリメントする。出力回路35は、「0b01」のメモリ選択制御信号Qを受けると、メモリ選択信号を第2メモリ選択線SEL<sub>b</sub>に出力する。各副画素SPixは、第2メモリ52に格納されている副画素データに基づいて、画像「X」を表示する。

10

## 【0211】

タイミング $t_{43}$ において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b01」から「0b10」にインクリメントする。出力回路35は、「0b10」のメモリ選択制御信号Qを受けると、メモリ選択信号を第3メモリ選択線SEL<sub>c</sub>に出力する。各副画素SPixは、第3メモリ53に格納されている副画素データに基づいて、画像「C」を表示する。

20

## 【0212】

タイミング $t_{44}$ において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b10」から「0b00」にインクリメントする。出力回路35は、「0b00」のメモリ選択制御信号Qを受けると、メモリ選択信号を第1メモリ選択線SEL<sub>a</sub>に出力する。各副画素SPixは、第1メモリ51に格納されている副画素データに基づいて、画像「A」を表示する。

## 【0213】

タイミング $t_{45}$ において、3進アップダウンカウンタ33は、基準クロック信号CLKの立ち下がりエッジを受けると、メモリ選択制御信号Qの値を「0b00」から「0b01」にインクリメントする。出力回路35は、「0b01」のメモリ選択制御信号Qを受けると、メモリ選択信号を第2メモリ選択線SEL<sub>b</sub>に出力する。各副画素SPixは、第2メモリ52に格納されている副画素データに基づいて、画像「B」を表示する。

30

## 【0214】

タイミング $t_{45}$ 以降の各部の動作は、タイミング $t_{42}$ から $t_{45}$ までの各部の動作と同様であるので、説明を省略する。

## 【0215】

タイミング $t_{45}$ 以降の期間において、表示装置1は、画像「X」、「C」、「A」、「X」、「C」・・・を、この順序で繰り返し表示するアニメーション表示を行うことができる。

40

## 【0216】

特許文献1記載の表示装置では、複数の画素の各々が含む複数のメモリの切り替えは、走査信号を使用した線順次走査によって行われる。従って、特許文献1記載の表示装置では、全部の画素の複数のメモリの切り替えには、1フレーム時間が必要である。つまり、特許文献1記載の表示装置では、画像（フレーム）を変化させるために、1フレーム時間が必要である。

## 【0217】

一方、実施形態の表示装置1では、表示領域DA外に設けられるメモリ選択回路8が、各副画素SPixの第1メモリ51から第3メモリ53までの内の1個を、同時に選択する。従って、表示装置1は、各副画素SPixの第1メモリ51から第3メモリ53まで

50

の選択を切り替えることによって、3つの画像（3つのフレーム）の内の1つの画像（フレーム）を表示することができる。これにより、表示装置1は、画像を一斉に変化させることができ、画像を短時間で変化させることができる。また、表示装置1は、各副画素S P i xの第1メモリ51から第3メモリ53までの選択を順次切り替えることによって、アニメーション表示（動画像表示）を行うことができる。

【0218】

また、特許文献1記載の表示装置では、各画素が、メモリを切り替えるために、メモリ選択制御回路及び書換指示回路を含む。従って、特許文献1記載の表示装置は、画像表示パネルの微細化及び高精細化の要請に応えることができない。

【0219】

一方、実施形態の表示装置1では、副画素データの書き込み時には、額縁領域GDに配置されたゲート線選択回路10が、第1メモリ51から第3メモリ53までのいずれかを選択する。また、副画素データの読み出し時には、額縁領域GDに配置されたメモリ選択回路8が、第1メモリ51から第3メモリ53までのいずれかを選択する。従って、各画素P i xが、メモリを切り替えるための回路を含む必要がない。これにより、表示装置1は、上記の如き効果に加えて、さらに画像表示パネルの微細化及び高精細化の要請に応えることが可能である。

【0220】

さらに、実施形態の表示装置1では、第1メモリ51から第3メモリ53までのいずれか1つに格納されている副画素データに基づいて画像を表示している期間に、第1メモリ51から第3メモリ53までの他のいずれか1つに、副画素データを書き込むこともできる。これにより、表示装置1は、画像を表示しながら、他の画像の副画素データを書き込むことも可能である。

【0221】

また、実施形態の表示装置1では、メモリ選択制御回路31が、メモリ選択制御値REGに基づいて、メモリ選択信号の出力先のメモリ選択線SELを指定するメモリ選択制御信号Qを、出力回路35に順次出力する。そして、出力回路35は、メモリ選択信号を、メモリ選択制御信号Qで指定されたメモリ選択線SELに、順次出力する。これにより、表示装置1は、第1メモリ51、第2メモリ52及び第3メモリ53に記憶されている副画素データに基づく複数の画像を、様々な順序でアニメーション表示（動画像表示）させることができる。

【0222】

また、実施形態の表示装置1は、設定レジスタ4c内のメモリ選択制御値REGに基づいて、複数の画像を表示する順序を変えることができる。従って、表示装置1は、外部回路から設定レジスタ4cの値を更新することによって、画像の表示中であっても、複数の画像を表示する順序を変えることができる。従って、表示装置1は、複数の画像を表示する順序を、使用態様に応じて動的に変えることができる。

【0223】

表示装置1が電子棚札に使用される場合がある。電子棚札では、商品紹介の画像、商品価格の画像、商品原材料の画像等を、様々な順序で表示したいという要請がある。表示装置1は、このような要請に応えることができる。

【0224】

[適用例]

図19は、実施形態の表示装置の適用例を示す図である。図19は、表示装置1を電子棚札に適用した例を示す図である。

【0225】

図19に示すように、表示装置1A、1B及び1Cは、それぞれ棚102に取り付けられている。表示装置1A、1B及び1Cの各々は、上述した表示装置1と同様の構成を有する。表示装置1A、1B及び1Cは、床面103からの高さが互いに異なって設置され、且つ、パネル傾斜角度が互いに異なるように設置されている。ここで、パネル傾斜角度

10

20

30

40

50

は、表示面 1 a の法線と水平方向とがなす角度である。表示装置 1 A、1 B 及び 1 C は、光源としての照明器具 1 0 0 からの入射光 1 1 0 を反射することにより、画像 1 2 0 を観察者 1 0 5 側に出射する。

#### 【 0 2 2 6 】

以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも 1 つを行うことができる。

10

#### 【符号の説明】

#### 【 0 2 2 7 】

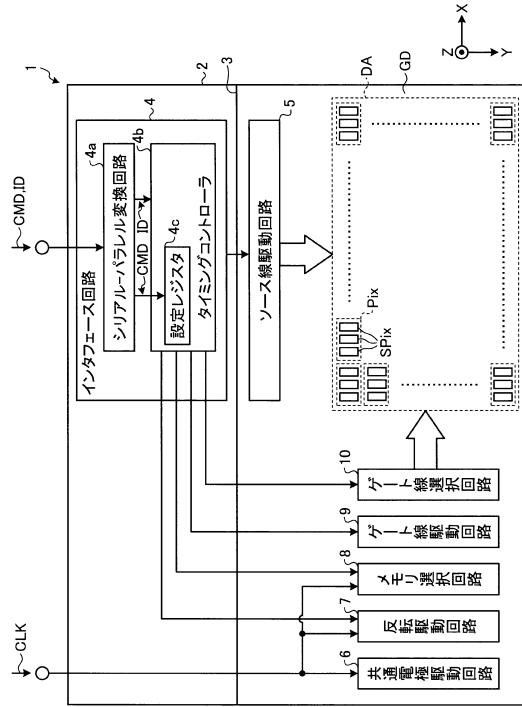
- 1、1 A、1 B、1 C 表示装置
- 1 a 表示面
- 2 第 1 パネル
- 3 第 2 パネル
- 4 インタフェース回路
- 4 a シリアル - パラレル変換回路
- 4 b タイミングコントローラ
- 4 c 設定レジスタ
- 5 ソース線駆動回路
- 6 共通電極駆動回路
- 7 反転駆動回路
- 8 メモリ選択回路
- 9 ゲート線駆動回路
- 1 0 ゲート線選択回路
- 1 1 第 1 基板
- 1 5 副画素電極（反射電極）
- 2 1 第 2 基板
- 2 3 共通電極
- 3 0 液晶層
- 3 1、1 3 1 メモリ選択制御回路
- 3 2 カウンタコントローラ
- 3 3 3 進アップダウンカウンタ
- 3 5 出力回路
- 5 0 メモリブロック
- 5 1 第 1 メモリ
- 5 2 第 2 メモリ
- 5 3 第 3 メモリ
- 6 1 反転スイッチ
- F R P 表示信号線
- G L ゲート線群
- G C L ゲート線
- P i x 画素
- S P i x 副画素
- S L メモリ選択線群
- S E L メモリ選択線

20

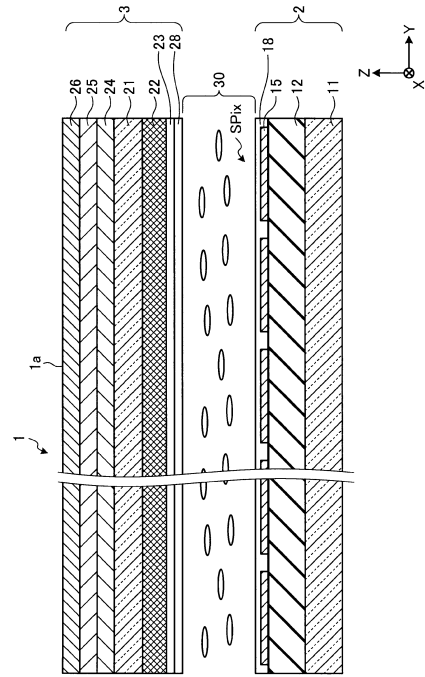
30

40

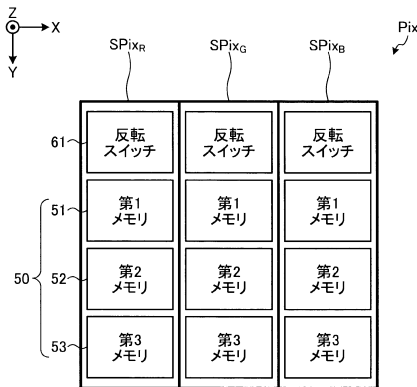
【図 1】



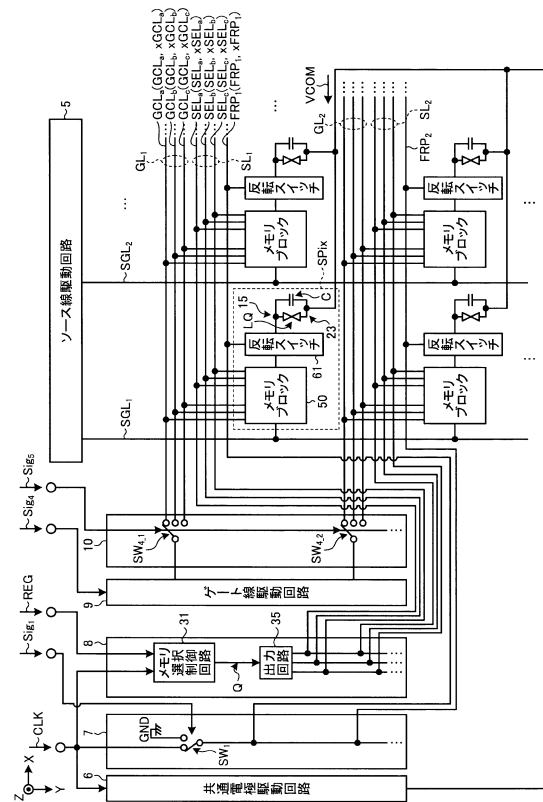
【図 2】



【図 3】



【図 4】

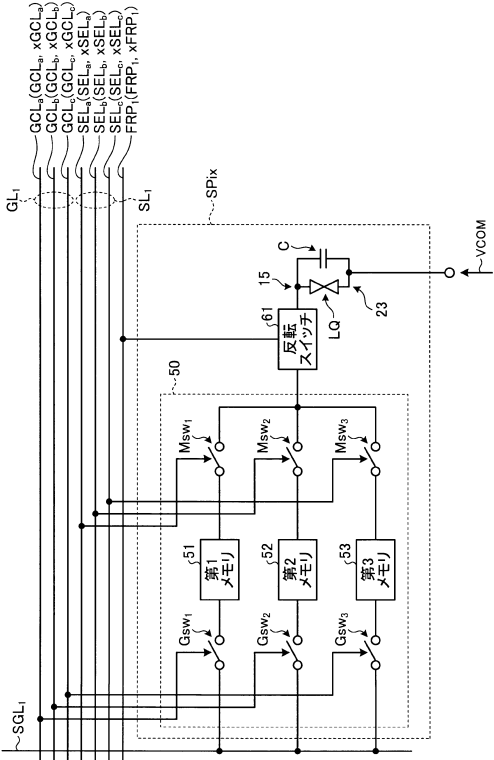




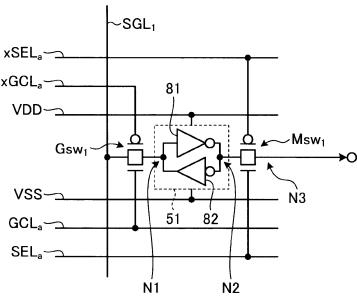
【図5】

Q		メモリ選択信号の出力先
Q <sub>2</sub>	Q <sub>1</sub>	
0	0	SEL <sub>a</sub>
0	1	SEL <sub>b</sub>
1	0	SEL <sub>c</sub>

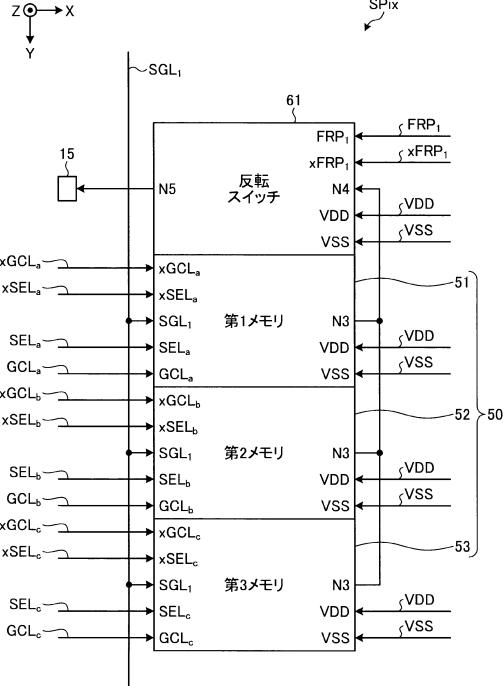
【図6】



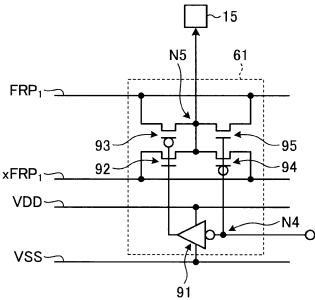
【図7】



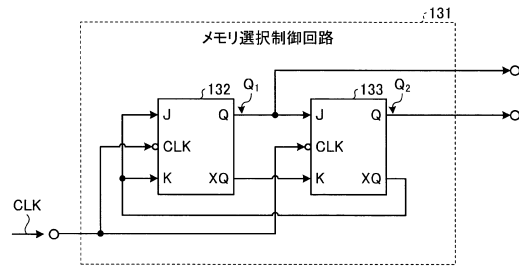
【図9】



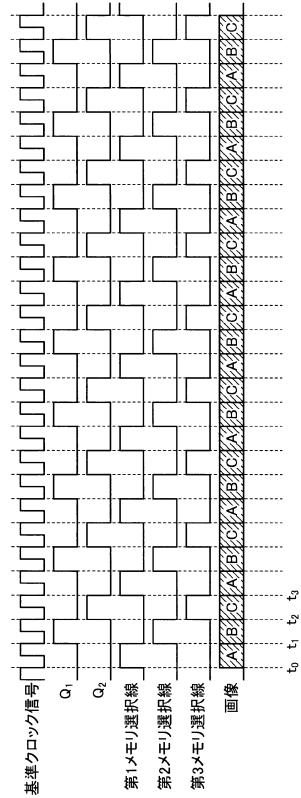
【図8】



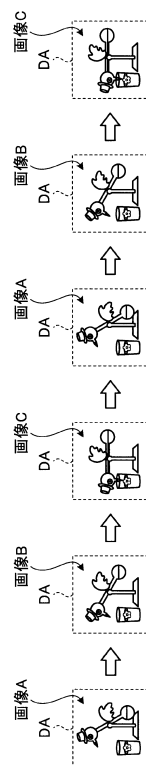
【図 10】



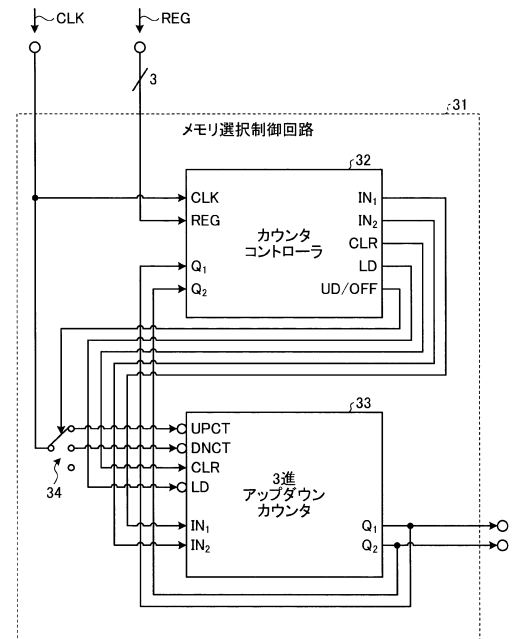
【図 11】



【図 12】



【図 13】



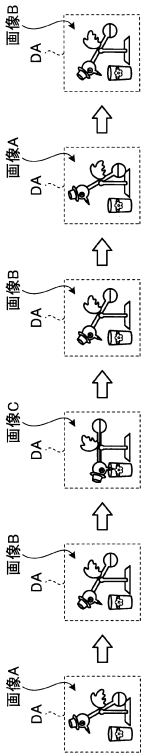
【図 1 4】

UPCT	DNCT	LD	CLR	動作
↓	Hi-Z	1	0	カウントアップ
Hi-Z	↓	1	0	カウントダウン
X	X	0	0	ロード
X	X	X	1	クリア

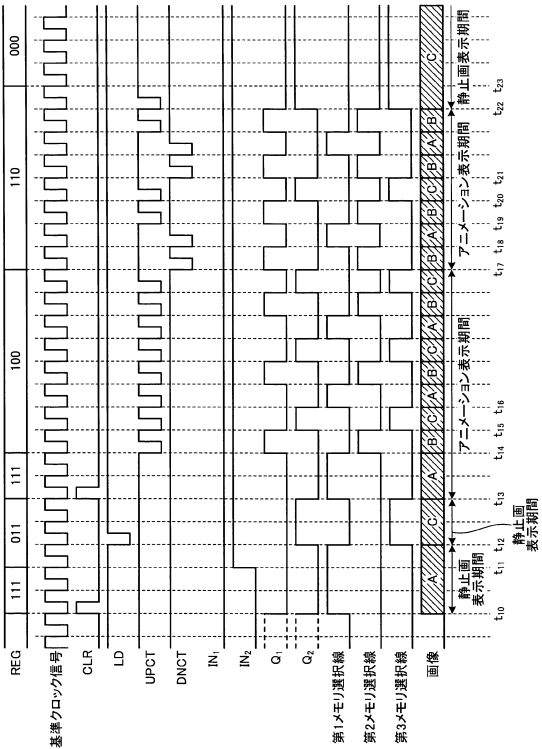
【図 1 5】

REG	動作
000	現状維持
001	第1メモリ選択
010	第2メモリ選択
011	第3メモリ選択
100	カウントアップ
101	カウントダウン
110	カウントアップとカウントダウンとを交互に繰り返し
111	クリア

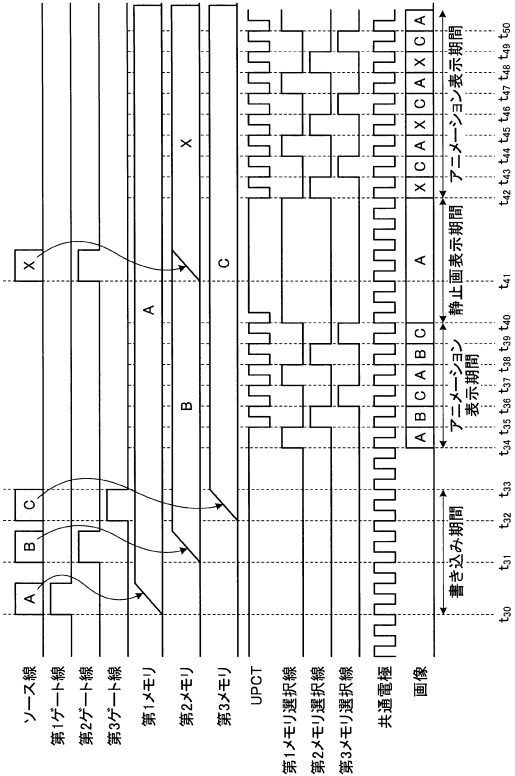
【図 1 7】



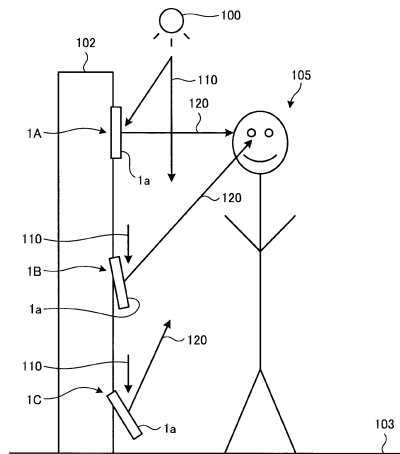
【図 1 6】



【図 1 8】



【図 19】



---

フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 A
	G 0 9 G	3/20	6 2 2 A
	G 0 9 G	3/20	6 3 1 M
	G 0 9 G	3/20	6 2 1 B
	G 0 9 G	3/20	6 2 4 C
	G 0 2 F	1/133	5 5 0

審査官 斎藤 厚志

(56)参考文献 特開平 9 - 2 1 2 1 4 0 ( J P , A )  
特開 2 0 0 2 - 1 5 6 9 5 4 ( J P , A )  
特開 2 0 0 2 - 1 4 9 1 3 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 3 6  
G 0 9 G 3 / 2 0  
G 0 2 F 1 / 1 3 3