

今案

公告本

申請日期	85.12.27
案 號	88103207
類 別	H04N1/41

(由85/16/50分(新))

(以上各欄由本局填註)

449998

發明專利說明書

一、發明 名稱	中 文	編碼裝置、解碼裝置及編碼方法、解碼方法 及影像處理裝置
	英 文	
二、發明 創作人	姓 名	(1)木 村 智 広 (2)上 野 幾 朗 (3)柳 谷 太 一 (4)吉 田 雅 之 (5)小 野 文 孝
	國 籍	日 本
三、申請人	住、居所	(1)日本國東京都千代田區丸の内2丁目2番3號 三菱電機株式會社内 (2)同(1) (3)同(1) (4)同(1) (5)同(1)
	姓 名 (名稱)	三菱電機股份有限公司 (三菱電機株式會社)
三、申請人	國 籍	日 本
	住、居所 (事務所)	日本國東京都千代田區丸の内2丁目2番3號
三、申請人	代 表 人 姓 名	北 岡 隆

裝

訂

線

449998

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期 1996-3-19 案號：8-63117，☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

【技術領域】

該發明，係有關於藉由傳真機裝置及掃描器及電腦等被作成利用之畫像資訊予以編碼、或者是解碼之編碼裝置以及解碼裝置以及其等之方法者。特別是，有關於具備2種類之編碼方式以及2種類之解碼方式，藉由切換2種類之方式而有效率地執行畫像資訊之編碼以及解碼之編碼裝置以及解碼裝置者。而且，該發明，係有關於有效率地執行畫像資訊之編碼以及解碼之編碼方法以及解碼方法者。而且，該發明，係有關於具備本發明之編碼裝置或者解碼裝置之畫像處理裝置者。而且，該發明，係有關於執行本發明之編碼方法或者解碼方法者。

背景技術

習知例1.

圖53係顯示習知之編碼裝置之方塊圖。

在圖53中，901係輸入編碼畫素(以下、編碼畫素又可簡單地稱做畫素)之值加以蓄積，而輸出其編碼畫素，同時將為一個或者複數個蓄積終了且編碼終了之畫素、編碼畫素近旁之畫素之值作為參照畫素之值而輸出之畫素記憶體。

907係將參照畫素之值予以參照而算出編碼畫素之預測值之預測器。

931係從編碼畫素之值減算預測器907之預測值而求出預測誤差之預測誤差算出器。

908係將編碼畫素之值與預測器907之預測值之預測誤差之值予以編碼，而輸出編碼語之編碼器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(2)

910係輸入編碼器908輸出之編碼語，而按其輸入順序將編碼語做為已做成一連之系列之編碼而輸出之編碼緩衝器。

其次，說明關於習知之編碼裝置之動作。

預測器907，係從一個或者複數個參照畫素之值算出預測值。算出方法，係即使依據預定之預測函數，或即使是表參照也無關係。編碼器908，係將減去從編碼畫素之值算出之預測值之預測誤差(8位元/畫素之場合時， $-255 \sim +255$ ；在此，0係存在)，以使用預先所決定之1種類之編碼語表加以編碼。

習知例2.

而且，做為其他的習知例，將多值之編碼畫素以及解碼畫素之預測誤差變換為2值符號列加以編碼、解碼之方法而為人所得知。在此，做為2值符號之編碼以及解碼方法之一個，說明顯示於日本國專利登錄第1251403號之編碼以及解碼方法。

在該編碼以及解碼方法中，如圖54所顯示，對於具有一個或者是複數個2值符號列分配一個編碼語。總而言之，在本說明書中被使用之編碼，係在某一連續定數(以下、稱呼該一定數為編碼次數)之2值符號 "0" (MPS = More Probable Symbol、優勢符號)出現之場合時，或者是在2值符號 "1" (LPS = Less Probable Symbol、劣勢符號)出現之場合時，意味著確定編碼語，而輸出其編碼語之操作。此際，連續MPS之數，係藉由編碼器內部(或外部)之計數器(未圖示)被計數，並被記憶於MPS記憶體(未圖示)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(3)

，2值符號列之狀態號碼(後述)，係被記憶於狀態號碼記憶體(未圖示)。編碼次數，雖係可取任意之自然數，但在本說明書中，不應做為限定於 2^n (2之自乘 n 次)者。MPS之連續出現數(MPS計數器之值)。於與編碼次數2相等之場合時，對於其MPS分配1位元之編碼語"0"。一方面，在MPS之連續出現數與編碼次數成為相等以前LPS出現之場合時，將剛好從輸出編碼語後其LPS出現為止前之連續出現數，以 n 位元之2進數表示，將為了於其 n 位元之2進之最前面與僅MPS之編碼語"0"做區別加上1位元之"1"之 $(n+1)$ 位元之編碼語，對於其LPS予以分配。將編碼語所分配之2值符號列之單位，以下稱為訊息。只要確定編碼語，編碼語一被輸出，MPS計數器就被重設定。如此地、將被輸出之各編碼語做為一連之系列而輸出者成為編碼。一方面，將編碼加以解碼之場合時，藉由將被輸入於解碼器之編碼分解為編碼語，而於每一解碼器復原2值符號列，再將畫素予以再現而執行。

在前述編碼以及解碼方法中，從關於過去之2值符號列之資料所推定之2值符號(0或1)之中，藉由按照那一方之2值符號之出現機率將編碼次數切換成適切之值。更進一步地可實現優越之編碼化效率。

將決定該符號次數之狀態遷移方式之第1例顯示於下。

編碼器、或者是解碼器，係將2值符號列加以編碼、或者解碼之場合時，2值符號列係在於圖55所顯示16之狀態之任一個狀態，按照各自分別之2值符號列之狀態決定編

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

承

五、發明說明(4)

碼次數。在編碼器、或者是解碼器中之狀態號碼之初期值，係做為0。而且，在編碼、或者是解碼處理開始時，各編碼器或者是解碼器之MPS記數器，係做為被重新設定者。編碼器、或者是解碼器，係於解碼處理中執行編碼語確定時之狀態遷移。於在2值符號列中MPS之連續出現數與編碼次數成為相等之場合時，增加一個狀態號碼。於MPS之連續出現數與編碼次數成為相等以前在LPS出現之場合時，減少一個狀態號碼。但是，在狀態號碼15中MPS之連續出現數與編碼次數成為相等之場合時，編碼器、或者是解碼器，係不使狀態做遷移而將狀態號碼照舊保持。

做為決定編碼次數方式之第2例，將出現於2值編碼列之2值編碼0及1之個數 $N(0)$ 、 $N(1)$ 在送收訊側以同一範圍(例如，1條線)加以記數。基於其計數結果，顯示計算編碼次數之方式。決定該編碼次數之方式，例如、係被顯示於日本國特公昭59-27501號公報(對應美國專利USP4191974)。其計算方式，係藉由 $2^{n+1} N(1) > N(0) \geq 2^n N(1)$ 被表示。但是，成為2值符號列之狀態遷移對象之編碼次數2，係以既定最高值以下做為既定最低值以上。

關於圖54之編碼方式，有如以下之性質係被得知。也就是，2個符號"0"、"1"之出現機率，係分別地將成為 P 、 $1-P$ ($P \geq 1/2$)之2值資訊源做為以圖54之方式編碼者。則在將應編碼之2值符號之出現形態做為任意時之各次數中將最大編碼長做為最小之 n ，係滿足下式者。

$$\{2^n / (2^n + 1)\} \leq p < \{2^{n+1} / (2^{n+1} + 1)\}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

因此，若從上式決定 n ，則幾乎可選擇最適之編碼形式。

在此，2值符號之計數值，也就是，將2值符號 "0" 之計數值做為 $N(0)$ ，將2值符號 "1" 之計數值做為 $N(1)$ ，因為係

$$p = N(0) / \{N(0) + N(1)\}$$

所以從上式，而成為

$$2^n N(1) \leq N(0) < 2^{n+1} N(1)$$

習知例3.

而且，做為習知之編碼裝置以及解碼裝置，係依據對於參照畫素之值之既定之條件判定，例如、將所謂模態 A、模態 B 之 2 個編碼模態或者是解碼模態一面做切換，一面為具有執行編碼、或者是解碼之裝置。基本上而言，參照畫素之值若係使滿足既定之條件則以模態 A，若不滿足既定之條件則以模態 B 執行編碼、或者是解碼。如此地、做該模態切換，例如、係遵從於「昭和 52 年度電子通訊學會總合全國大會 1016」做為「開始圖案別連串長度 (RUN LENGTH) 編碼」所顯示之方式。如圖 56 之所示，做為將 X 加以編碼，或者是、成為解碼對象之編碼畫素、或者是解碼畫素 (以下、簡單地稱為畫素)，其近旁之參照畫素 a 、 b 、 c 若使滿足既定之條件「 $a = b = c$ 」，則將連續至成為「 $X \neq$ 預測值」之畫素 X 出現為止之畫素 X 藉由模態 A 加以編碼、或者是解碼，從其次之成為「 $X \neq$ 預測值」之畫素 X 切換為模態 B 加以編碼。其後，藉由模態 B 連續將畫素 X 加以編碼、或者是解碼。再度，參照畫素 a 、 b 、 c 之值滿足於既定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(6)

之條件「 $a = b = c$ 」時，則從其次之畫素切換向模態A而執行其編碼、或者是解碼。

顯示做為習知例1之編碼裝置，係使用預先被決定之1種類之編碼語表而編碼預測誤差。在畫像資訊中，一般上在畫面內其統計的性質有很大之變化。總而言之，在畫面內之某部分中預測雖係容易猜中，但是在某部分中卻發生所謂頻繁地產生很大預測誤差之狀況而被得知。但是，在習知例1中編碼裝置中，不管在畫面中之畫像資訊之統計的性質如何地變動。因為藉由1種類之編碼語表執行編碼，所以會有所謂編碼效率無法提高之問題點。

一方面，顯示做為習知例2之編碼方法，係按照MPS之出現機率動態地變更編碼次數，而具有將複數個編碼語表切換而執行編碼之方式。因此，於在畫面內之統計的性質之變動激烈之場合時，係比做為習知例所述之編碼裝置之場合時更提高編碼效率之編碼方式。然而，即使依照該習知例2之方式，在各編碼畫素中，對於其預測誤差即使最低分配1個編碼語之場合，係即使幾個預測都猜中（預測誤差 = 0），在各畫素中即使最低成為1位元之編碼量也被當作必要。不管預測之猜中機率超越 $1/2$ ，分配1位元以上之編碼語於其預測誤差，係比較預測誤差之編碼量之理論的下限值（平均訊息量ENTROPY），在實際上被當作必要之編碼量較大，總之，意味著編碼化效率低下。

該發明，係當成為了解決如以上問題點而作者，以提供可效率良好地將畫像資訊加以編碼以及解碼之編碼裝置以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明(7)

及解碼裝置為目的。

而且，該發明，係將不同種類之編碼方式以及不同種類之解碼方式積極地做切換而藉由執行編碼以及解碼，以提供可效率良好地執行畫像資訊之編碼以及解碼之編碼方法以及解碼方法為目的。

而且，該發明，係即使將不同種類之編碼方式以及不同種類之解碼方式積極地做切換而效率良好地執行編碼以及解碼之場合時，以提供可將裝置既小型化且簡單地加以構成之編碼裝置以及解碼裝置為目的。

而且，該發明，係以提供具備上述編碼裝置以及解碼裝置之畫像處理裝置做為目的。

而且，該發明，係以提供執行上述編碼方法以及解碼方法之畫像處理裝置做為目的。

發明之揭示

有關於該發明之編碼裝置，其特徵為，具備有：畫素記憶體，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，輸出欲做編碼之編碼之編碼畫素之值，同時將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器，從預先被定義之複數個編碼模態，基於參照畫素所取之值，而對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

五、發明說明(8)

第2編碼部，預測編碼畫素之值，不做判定預測之適當與否，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部，基於上述模態判定器所選擇之特定之編碼模態及其以外之編碼模態之任一個，選擇性地使第1及第2之編碼部動作。

其中，上述第1編碼部，係具備有：第1預測器，基於參照畫素所取之值算出編碼畫素之預測值；

第1預測誤差算出器，將被編碼畫素之值與預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器，判定被第1預測誤差算出器所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器被輸入之判定結果而加以編碼，而輸出編碼語；及

第2編碼器，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第1預測誤差算出器所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語。

其中，上述第2編碼部，係具備有：

第2預測器，基於參照畫素所取之值算出編碼畫素之預測值；

第2預測誤差算出器，將編碼畫素之值與被第2預測器所算出之預測值之誤差做為預測誤差加以算出；及

第3編碼器，對於以上述被選擇之特定之編碼模態以外

五、發明說明(9)

加以編碼之編碼畫素，不管被第2預測誤差算出器所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語。

其中，上述第1編碼器，係具備有：第1機率推定器，將從判定器被輸出之判定結果做為2值符號列加以輸入而推定2值符號之中、任何之一方之2值符號之出現機率；及第1編碼語分配器，編碼2值符號列；

上述第2編碼器，係具備有：第1誤差/符號變換器，輸入預測誤差而將預測誤差變換為2值符號列；第2機率推定器，輸入2值符號列而推定2值符號之中、任何之一方之2值符號之出現機率；及第2編碼語分配器，編碼2值符號列；

上述第3編碼器，係具備有：第2誤差/符號變換器，輸入預測誤差而將預測誤差變換為2值符號列；第3機率推定器，輸入2值符號列而推定2值符號之中、任何之一方之2值符號之出現機率；及第3編碼語分配器，編碼2值符號列。

其中，上述符號控制部，係具備有：編碼語送出順序控制器，依據至少上述第1編碼器、第2編碼器、第3編碼器之中之任何一個之編碼語確定下來，且、依據剩餘編碼器之編碼語尚未確定之場合時，變更編碼語之輸出順序。

在有關該發明之編碼裝置，其特徵為，至少上述第1誤差/符號變換器及第2誤差/符號變換器之任何一個，係從做為被輸入於第1誤差/符號變換器及第2誤差/符號變換器之預測誤差之值而出現之可能性較高之值使依順序產生比較值，與被輸入於上述第1誤差/符號變換器及第2誤差/符

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

號變換器之任何一個之預測誤差予以逐次比較，基於使產生比較值之一個與該預測誤差成為一致為止之比較次數，作成2值符號列而輸出。

其中，上述模態判定器，係更進一步地、基於先行於編碼畫素之編碼終了之畫素之編碼模態而選擇編碼畫素之編碼模態。

在有關該發明之編碼裝置，其特徵為，至少上述第1編碼語分配器、第2編碼語分配器、第3編碼語分配器之任何一個，係基於相對應之第1機率推定器、第2機率推定器、第3機率推定器所各自分別推定之2值符號之中，任何一方之2值符號之機率推定變化而變更2值符號之那一個為優勢符號之解釋。

其中，統合上述第1編碼部之第1預測器及第2編碼部之第2預測器而做為共通之預測器。

其中，統合上述第1編碼器、第2編碼器、第3編碼器之中，至少任何之2個編碼器而做為共通之編碼器。

在有關該發明之編碼裝置，其特徵為，至少上述第1編碼語分配器、第2編碼語分配器、第3編碼語分配器之任何一個，係基於2值符號之那一個為所謂優勢符號之資訊及優勢符號之推定出現機率，從對於2值符號之擴大資訊源有組織地加以作成之霍夫曼編碼組之中，執行藉由於從優勢符號之推定出現機率所想定之2值符號之擴大資訊源編碼之狀況來選擇最適符號而予以之2值資訊源編碼。

在有關該發明之解碼裝置，其特徵為，具備有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

畫素記憶體，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器，從預先被定義之複數個解碼模態，基於參照畫素所取之值，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第1解碼部，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第2解碼部，係輸入編碼語，同時預測解碼畫素之值，而不做判定預測之適當與否，將編碼語解碼變回解碼畫素之值；及

解碼控制部，基於上述模態判定器所選擇之特定之解碼模態及其以外之解碼模態之任何一個，而選擇性地使第1及第2解碼部動作。

其中，上述第1解碼部，係具備有：

第1預測器，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼器，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第2解碼器，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

五、發明說明(12)

第1解碼畫素算出器，係從被上述第1預測器所算出之解碼畫素之預測值、及上述判定結果、及被上述第2解碼器所得到之預測誤差來算出解碼畫素之值。

其中，上述第2解碼部，係具備有：

第2預測器，基於參照畫素所取之值算出解碼畫素之預測值；

第3解碼器，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第2解碼畫素算出器，係將在從被上述第2預測器所算出之解碼畫素之預測值、及被第3解碼器所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出。

其中，上述第1解碼器，係具備有：第1符號復原器，輸入編碼語而解碼成2值符號列；及第1機率推定器，推定2值符號之中任何一方之2值符號之出現機率，而將2值符號列之中，為那一個做為判定結果加以輸出，

同時上述第2解碼器，係具備有：第2符號復原器，輸入編碼語而解碼成2值符號列；及第2機率推定器，輸入2值符號而推定2值符號之中、任何一方之2值符號之出現機率；及第1符號/誤差變換器，輸入2值符號列而將2值符號列變換成預測誤差，

上述第3解碼器，係具備有：第3符號復原器，輸入編碼語而解碼成2值符號列；及第3機率推定器，輸入2值符號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

評

五、發明說明(13)

而推定2值符號之中、任何一方之2值符號之出現機率；及第2符號/誤差變換器，輸入2值符號列而將2值符號列變換成預測誤差。

其中，上述解碼控制部，係具備有：2值符號使用順序控制器，於至少第1解碼器、第2解碼器、第3解碼器之任何一個已解碼之2值符號列全部被使用之前，於其他之任何1個解碼器輸出2值符號列之場合時，變更已解碼之2值符號之使用順序。

有關該發明之解碼裝置，其特徵為，至少第1符號/誤差變換器及第2符號/誤差變換器之任何一個，係基於已輸入之2值符號之值及個數而將已輸入之2值符號列變換成預測誤差。

其中，上述模態判定器，係更進一步地、基於先行於解碼畫素之解碼終了之畫素之解碼模態而選擇解碼畫素之解碼模態。

有關該發明之解碼裝置，其特徵為，至少上述第1符號復原器、第2符號復原器、第3符號復原器之任何一個，係基於對應之第1機率推定器、第2機率推定器、第3機率推定器各自分別地所推定之2值符號之機率推定變化而變更2值符號之那一個為優勢符號之解釋。

其中，統合上述第1解碼部之第1預測器及第2解碼部之第2預測器而做為共通之預測器。

其中，統合上述第1解碼器、第2解碼器、第3解碼器之中，至少任何之2個解碼器而做為共通之解碼器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

不

五、發明說明(14)

有關該發明之解碼裝置，其特徵為，至少上述第1符號復原器、第2符號復原器、第3符號復原器之任何一個，係基於2值符號之那一個為所謂優勢符號之資訊及優勢符號之推定出現機率，從對於2值符號之擴大資訊源有組織地加以作成之霍夫曼編碼組之中，執行藉由於從優勢符號之推定出現機率所想定之2值符號之擴大資訊源編碼之狀況來選擇最適符號而予以實現之2值資訊源編碼。

有關該發明之編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，輸出欲做編碼之編碼畫素之值，同時將編碼畫素之近旁之編碼終了之畫素做為參照畫素之值予以輸出；

模態判定工程，從預先被定義之複數個編碼模態，基於參照畫素所取之值，對於編碼畫素，選擇特定之編碼模態及其以外之編碼模態之任何一個；

第1主編碼工程，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值予以編碼而輸出編碼語；

第2主編碼工程，預測編碼畫素之值，不判定預測之適當與否，將編碼畫素之值予以編碼而輸出編碼語；及

編碼控制工程，基於上述模態判定工程所選擇之特定之編碼模態及其以外之編碼模態，選擇性地使第1及第2主編碼工程動作。

其中，上述第1主編碼工程，係具備有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

第1預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第1預測誤差算出工程，將與被編碼畫素之值及第1預測工程所算出之預測值之誤差做為預測誤差予以算出；

判定工程，判定在第1預測誤差算出工程所算出之預測誤差是否為預定之值而輸出判定結果；

第1編碼工程，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入由判定工程所輸出之判定結果加以編碼，而輸出編碼語；及

第2編碼工程，係對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、由第1預測誤差算出工程所算出之預測誤差非為上述預定之值，編碼其預測誤差，而輸出對應之編碼語。

其中，上述第2主編碼工程，係具備有：

第2預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第2預測誤差算出工程，將編碼畫素之值與被第2預測工程所算出之預測值之誤差做為預測誤差予以算出；

第3編碼工程，係對於在被選擇之上述特定之編碼模態以外加以編碼之編碼畫素、不管由第2預測誤差算出工程所算出之預測誤差是否為上述預定之值，編碼其預測誤差，而輸出對應之編碼語。

其中，上述第1編碼工程，係具備有：第1機率推定工程，將從判定工程被輸出之判定結果做為2值符號列予以輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(16)

入，而推定2值符號之中、任何一方之2值符號之出現機率；及第1編碼語分配工程，編碼2值符號列。

上述第2主編碼工程，係具備有：第1誤差/符號變換工程，輸入預測誤差而將預測誤差變換為2值符號列；第2機率推定工程，輸入2值符號列，而推定2值符號之中、任何一方之2值符號之出現機率；及第2編碼語分配工程，編碼2值符號列。

上述第3主編碼工程，係具備有：第2誤差/符號變換工程，輸入預測誤差而將預測誤差變換為2值符號列；第3機率推定工程，輸入2值符號列，而推定2值符號之中、任何一方之2值符號之出現機率；及第3編碼語分配工程，編碼2值符號列。

在有關該發明之編碼方法，其特徵為，至少上述第1、第2、第3之編碼語分配工程之任何一個，係基於對應之第1、第2、第3之機率推定工程各自分別所推定之2值符號之機率推定變化而變更2值符號之那一個為優勢符號之解釋之工程。

在有關該發明之編碼方法，其特徵為，至少上述第1、第2、第3之編碼語分配工程之任何一個，係基於2值符號之那一個為所謂優勢之資訊及優勢符號之推定出現機率，從對於2值符號之擴大資訊源有組織地加以作成之霍夫曼編碼組之中，執行藉由於從優勢符號之推定出現機率所想定之2值符號之擴大資訊源編碼之狀況來選擇最適符號而予以實現之2值資訊源編碼。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

在有關該發明之解碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之解碼終了之畫素予以蓄積，將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照畫素之值予以輸出；

模態判定器，從預先被定義之複數個解碼模態，基於參照畫素所取之值，對於解碼畫素，選擇特定之解碼模態及其以外之解碼模態之任何一個；

第1主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第2主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而不判定預測之適當與否，將編碼語解碼變回解碼畫素之值；及

解碼控制工程，基於上述模態判定器所選擇之特定之解碼模態及其以外之解碼模態，而選擇性地使第1及第2之主解碼工程動作。

其中，上述第1主解碼工程，係具備有：

第1預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼工程，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第2解碼工程，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

畫素，而將對應之編碼語解碼變回其預測誤差；及

第1解碼畫素算出工程，係從被上述第1預測工程所算出之解碼畫素之預測值、及上述判定結果、及被上述第2解碼工程所得到之預測誤差來算出解碼畫素之值。

其中，上述第2主解碼工程，係具備有：

第2預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第3解碼工程，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第2解碼畫素算出工程，係將以由被第2預測工程所算出之解碼畫素之預測值、及被第3解碼工程所解碼之預測誤差加以選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出。

其中，上述第1解碼工程，係具備有：第1符號復原工程，輸入編碼語而解碼成2值符號列；及第1機率推定工程，推定2值符號之中任何一方之2值符號之出現機率，而將2值符號列之中，為那一個做為判定結果加以輸出。

同時上述第2解碼工程，係具備有：第2符號復原工程，輸入編碼語而解碼成2值符號列；第2機率推定工程，輸入2值符號而推定2值符號之出現機率；及第1符號/誤差變換工程，輸入2值符號列而將2值符號列變換成預測誤差。

上述第3解碼工程，係具備有：第3符號復原工程，輸入編碼語而解碼成2值符號列；第3機率推定工程，輸入2值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(19)

符號而推定2值符號之中、任何一方之2值符號之出現機率；及第2符號/誤差變換工程，輸入2值符號列而將2值符號列變換成預測誤差。

在有關該發明之解碼方法，其特徵為，至少上述第1、第2、第3之符號復原工程之任何一個，係基於對應之第1、第2、第3之機率推定工程各自分別所推定之2值符號之機率推定變化而變更2值符號之解釋之工程。

在有關該發明之解碼方法，其特徵為，至少上述第1、第2、第3之符號復原工程之任何一個，係基於2值符號之那一個為所謂優勢之資訊及優勢符號之推定出現機率，從對於2值符號之擴大資訊源有組織地加以作成之霍夫曼編碼組之中，執行藉由於從優勢符號之推定出現機率所想定之2值符號之擴大資訊源編碼之狀況來選擇最適符號而予以實現之2值資訊源編碼。

其中，上述編碼裝置，係具備於半導體晶片上。

其中，上述編碼裝置，係具備於電路板上。

在有關該發明之畫像處理裝置，係輸入由複數個畫素所構成之畫像訊號，而在編碼裝置編碼其畫像訊號之畫素而輸出於次段之處理裝置，特徵為，上述編碼裝置，係具備有：

畫素記憶體，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，輸出欲做編碼之編碼畫素之值，同時將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

模態判定器，從預先被定義之複數個編碼模態，基於參照畫素所取之值，而對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部，預測編碼畫素之值，不做判定預測之適當與否，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部，基於上述模態判定器(2)所選擇之特定之編碼模態及其以外之編碼模態之任一個，選擇性地使第1及第2之編碼部動作。

其中，上述畫像處理裝置，係電子計算機。

其中，上述畫像處理裝置，係掃瞄器。

其中，上述畫像處理裝置，係傳真機裝置。

其中，上述畫像處理裝置，係顯示裝置。

其中，上述畫像處理裝置，係記憶裝置。

其中，上述解碼裝置，係具備於半導體晶片上。

其中，上述解碼裝置，係具備於電路板上。

在有關該發明之畫像處理裝置，係輸入被編碼之畫像訊號，而在解碼裝置將畫像訊號之畫素加以解碼而輸出於次段之處理裝置，特徵為，上述解碼裝置，係具備有：

畫素記憶體，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器，從預先被定義之複數個解碼模態，基於參

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

不

五、發明說明(21)

照畫素所取之值，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第1解碼部，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第2解碼部，係輸入編碼語，同時預測解碼畫素之值，而不做判定預測之適當與否，將編碼語解碼變回解碼畫素之值；及

解碼控制部，基於上述模態判定器(42)所選擇之特定之解碼模態及其以外之解碼模態之任何一個，而選擇性地使第1及第2解碼部動作。

其中，上述畫像處理裝置，係電子計算機。

其中，上述畫像處理裝置，係掃瞄器。

其中，上述畫像處理裝置，係傳真機裝置。

其中，上述畫像處理裝置，係印表機。

其中，上述畫像處理裝置，係顯示裝置。

其中，上述畫像處理裝置，係記憶裝置。

在有關該發明之編碼裝置，其特徵為，具備有：

畫素記憶體，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，輸出欲做編碼之編碼畫素之值，同時將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

編碼部，預測編碼畫素之值，而判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

編碼控制部，基於上述編碼部所判定之預測之適當與否，使上述編碼部動作。

其中，上述編碼部，係具備有：

預測器，基於參照畫素所取之值算出編碼畫素之預測值；

預測誤差算出器，將被編碼畫素之值與預測器所算出之預測值之誤差做為預測誤差加以算出；

判定器，判定被預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器，輸入從判定器被輸入之判定結果而加以編碼，而輸出編碼語；及

第2編碼器，對於被預測誤差算出器所算出之預測誤差非為上述特定之值之編碼畫素，編碼其預測誤差，而輸出對應之編碼語。

在有關於該發明之解碼裝置，其特徵為，具備有：

畫素記憶體，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

解碼部，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

解碼控制部，基於上述解碼部所判定之預測之適當與否，而使上述解碼部動作。

其中，上述解碼部，係具備有：

預測器，基於參照畫素所取之值算出解碼畫素之預測值；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(23)

第1解碼器，將編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第2解碼器，係對於預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

解碼畫素算出器，係從被上述預測器所算出之解碼畫素之預測值、及上述判定結果、及被上述第2解碼器所得到之預測誤差來算出解碼畫素之值。

【圖式之簡單說明】

圖1係顯示該發明之畫像處理裝置之立體圖。

圖2係顯示該發明之畫像處理裝置之適應例之立體圖。

圖3係顯示該發明之編碼對象2值符號列之狀態及編碼次數之圖。

圖4係顯示依據該發明之實施形態1之編碼裝置之構成例之方塊圖。

圖5係顯示該發明之第1編碼器之構成例之方塊圖。

圖6係顯示該發明之第2編碼器之構成例之方塊圖。

圖7係顯示該發明之第3編碼器之構成例之方塊圖。

圖8係顯示該發明之第2編碼器所執行、從預測誤差向2值符號之變換例之圖。

圖9係顯示該發明之第3編碼器所執行、從預測誤差向2值符號之變換例之圖。

圖10係顯示該發明之編碼處理之流程之流程圖。

圖11係顯示於該發明之編碼畫素被編碼之際所具有種種條件之具體例之圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(24)

圖 12 係顯示該發明之編碼之動作之圖。

圖 13 係顯示依據該發明之實施形態 1 之解碼裝置之構成例之方塊圖。

圖 14 係顯示依據該發明之第 1 解碼裝置之構成例之方塊圖。

圖 15 係顯示依據該發明之第 2 解碼裝置之構成例之方塊圖。

圖 16 係顯示依據該發明之第 3 解碼裝置之構成例之方塊圖。

圖 17 係顯示依據該發明之實施形態 2 之編碼裝置之構成例之方塊圖。

圖 18 係顯示該發明之編碼處理之流程之流程圖。

圖 19 係顯示該發明之編碼之動作之圖。

圖 20 係顯示在該發明之第 3 編碼器中編碼語確定之後編碼控制部所執行之控制處理之流程之流程圖。

圖 21 係顯示在該發明之第 1 編碼器中編碼語確定之後編碼控制部所執行之控制處理之流程之流程圖。

圖 22 係顯示藉由在該發明之第 1 編碼器中於 2 值符號列產生 LPS 而於編碼語確定之後，編碼控制部所執行之控制處理之流程之流程圖。

圖 23 係顯示該發明之編碼之動作之圖。

圖 24 係顯示該發明之畫素先讀操作之流程之流程圖。

圖 25 係顯示依據該發明之實施形態 2 之解碼裝置之構成例之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

圖 26 係顯示依據該發明之實施形態 3 之編碼裝置之構成例之方塊圖。

圖 27 係顯示依據該發明之實施形態 3 之編碼器 5a 之構成例之方塊圖。

圖 28 係顯示依據該發明之實施形態 3 之編碼器 6a 之構成例之方塊圖。

圖 29 係顯示依據該發明之實施形態 3 之編碼器 8a 之構成例之方塊圖。

圖 30 係顯示依據該發明之實施形態 3 之機率推定器之動作之流程之流程圖及邏輯值表之圖。

圖 31 係顯示該發明之 MPS 與 LPS 之解釋為反轉之場合時之編碼之動作之圖。

圖 32 係顯示依據該發明之實施形態 3 之解碼裝置之構成例之方塊圖。

圖 33 係顯示依據該發明之實施形態 3 之解碼器 45a 之構成例之方塊圖。

圖 34 係顯示依據該發明之實施形態 3 之解碼器 46a 之構成例之方塊圖。

圖 35 係顯示依據該發明之實施形態 3 之解碼器 48a 之構成例之方塊圖。

圖 36 係顯示依據該發明之實施形態 4 之編碼裝置之構成例之方塊圖。

圖 37 係顯示依據該發明之實施形態 4 之解碼裝置之構成例之方塊圖。

五、發明說明(26)

圖 38 係顯示於該發明之編碼器之內部有 MPS 記數器複數存在之場合之圖。

圖 39 係顯示依據該發明之實施形態 5 之編碼裝置之構成例之方塊圖。

圖 40 係顯示對應於該發明之解碼裝置之於圖 39 中所示之編碼裝置之構成例之圖。

圖 41 係顯示依據該發明之實施形態 5 之編碼裝置之其他構成例之方塊圖。

圖 42 係顯示於圖 41 中所示之編碼器 5b 之構成例之方塊圖。

圖 43 係顯示對應於該發明之於圖 41 中所示之編碼裝置之解碼裝置之構成例之圖。

圖 44 係顯示使用於圖 43 中所示之解碼裝置之解碼器 45b 之構成例之方塊圖。

圖 45 係顯示依據該發明之實施形態 5 之編碼裝置之其他構成例之方塊圖。

圖 46 係顯示使用於圖 45 中所示之編碼裝置之解碼器 6b 之構成例之方塊圖。

圖 47 係顯示對應於該發明之於圖 45 中所示之編碼裝置之解碼裝置之構成例之圖。

圖 48 係顯示使用於圖 47 中所示之解碼裝置之解碼器 46b 之構成例之方塊圖。

圖 49 係顯示依據該發明之實施形態 5 之編碼裝置之其他構成例之方塊圖。

圖 50 係顯示使用於圖 49 中所示之解碼裝置之編碼器 5c 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(27)

構成例之方塊圖。

圖 51 係顯示依據該發明之實施形態 6 之編碼裝置之構成例之方塊圖。

圖 52 係顯示依據該發明之實施形態 6 之解碼裝置之構成例之方塊圖。

圖 53 係顯示習知之編碼裝置之構成例之方塊圖。

圖 54 係顯示習知之編碼以及解碼方法之圖。

圖 55 係顯示決定編碼次數之習知之狀態遷移方式之圖。

圖 56 係顯示編碼畫素或者是解碼畫素及參照畫素之圖。

實施發明之最佳形態

實施形態 1

圖 1 係顯示具備有關於該發明之編碼裝置之畫像處理裝置之構成例之立體圖。

具備有關於該發明之解碼裝置之畫像處理裝置，也與圖 1 所示之畫像處理具有同樣之構成。

在圖 1 中，畫像處理裝置 60，係具備有顯示單元 61、鍵盤 62、滑鼠 63、滑鼠墊 64、系統單元 65、緻密硬碟機裝置 100。

該發明之畫像處理裝置，係例如、如圖所示，從緻密硬碟機裝置 100 輸入編碼終了畫像資訊加以解碼，將已解碼之畫像資訊轉送系統單元 65，而顯示於顯示單元 61 者。該發明之畫像處理裝置，係編碼顯示於顯示單元 61 之畫像資訊，而輸出於緻密硬碟機裝置 100 者。而且，將畫像資訊加以編碼並經由未圖示之迴線傳輸畫像資訊者。然而，有

五、發明說明(28)

關該發明之畫像處理裝置之構成，係不須僅限於圖1所示之個人電腦及工作站，也可為如使用其他電腦網路般任何之構成形式。例如、代替緻密硬碟機裝置100，也可將錄影機當作輸入裝置，也可輸入來自網路之畫像資料用來代替畫像資訊。而且，輸入之資料，也可為類比訊號形式，也可為數位訊號形式。

而且，本發明之畫像處理裝置，係如圖2所示，也可為印表機66及掃瞄器68及傳真機裝置69及顯示裝置(例如、顯示單元61)及記憶裝置(例如、緻密硬碟機裝置100)等之周邊裝置。也就是，所謂本發明之畫像處理裝置，係意味著具備以下所述之編碼裝置或解碼裝置之任一個之電子機器，或者是，執行以下所述之編碼方法或解碼方法之任一個電子機器。

而且，本發明之編碼裝置或解碼裝置，也可為以獨立之筐體而存在，也可為做為其他錄攝影機及測定機及計算機等之系統板及電路板之一部分，或者是、做為半導體晶片而存在之場合。而且，雖未於圖2所示，但是，將圖2所示之各裝置連接在區域網路上，也可為互相地傳輸已編碼之資訊般之形式。而且，也可為使用ISDN(整體服務數位網路)等之廣域網路而送收訊已編碼之資訊般之形式。

在本實施形態之編碼裝置中之編碼器，或者是、解碼裝置中之解碼器，係做為使用在圖54所說明之編碼、或者是解碼方法者。也就是，在該實施形態，係做為基於所謂2值符號之那一個為優勢符號之資訊及優勢符號之推定出現

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

不

五、發明說明(29)

機率，對於2值符號之擴大資訊源(2值符號列)從如圖54所示般之有組織地加以作成之霍夫曼編碼組之中，執行藉由於從優勢符號之推定出現機率所想定之2值符號之擴大資訊源之狀況中選擇最適之編碼而予以實現之2值資訊源編碼、或者是解碼者。而且，如圖3所示，對於32之狀態，做為各編碼次數各自分別所設定者。基於如該圖3之所示之狀態遷移規則，用以下所述之複數個編碼器、或者是解碼器既各自分別且獨立地設定狀態以及編碼次數，同時做為將2值符號加以編碼、或者是解碼者。

將該發明之實施形態1之編碼裝置之構成例以及動作，藉由編碼模態之切換、及編碼畫素之值與預測值之預測誤差之向2值符號列之變換之關連加以說明。

圖4係顯示該發明之實施形態1之編碼裝置之構成例。

首先，說明關於本實施形態之編碼裝置之構成要素。

在圖4中，1係輸入編碼之編碼畫素加以蓄積，而輸出其編碼畫素之值，同時將為1個以上之蓄積終了且編碼終了之畫素、編碼畫素近旁之畫素之值做為參照畫素之值加以輸出之畫素記憶體。

2係對於編碼畫素，基於上述1個以上之參照畫素之值而決定模態A或模態B，而輸出模態識別訊號CM之模態判定器。關於模態A及模態B之模態決定方法將予以後述。

3係在模態A中，利用參照畫素之值而算出編碼畫素之預測值之第1預測器。

30係從編碼畫素之值減算預測器3之預測值，而求出預

五、發明說明(30)

測誤差之第1預測誤差算出器。

4係將編碼畫素之值與預測器3之預測值之預測誤差值變換為顯示預測誤差值為0或0以外之2值符號，而輸出變換之2值符號之零判定器。在該實施形態以及後述之實施形態中，雖係將判定預測誤差值為0或0以外之零判定器做為一例加以顯示，但是並非只判定預測誤差值為0或0以外，例如、也可為預測誤差值為1或1以外、或者是預測誤差值為-3或-3以外之判定器。

5係在模態A中，將從零判定器4被輸出之2值符號加以編碼之第1編碼器。

6係在模態A中，於判定預測誤差為0以外之場合（例如、判定判定器為1或1以外或者為-3或-3以外之場合時，係1以外或者-3以外，以下相同），為將預測誤差值加以編碼之第2編碼器。

7係在模態B中，利用參照畫素值而算出編碼畫素之預測值之第2預測器。

31係從編碼畫素值減算預測器7之預測值，而求出預測誤差之第2預測誤差算出器。

8係在模態B中，將編碼畫素值與預測器7之預測值之預測誤差值加以編碼之第3編碼器。

9係適切地選擇第1編碼器5、第2編碼器6、第3編碼器8之所輸出之編碼語而輸出適切之編碼之編碼切換器。

10係將編碼切換器9所選擇而輸出之編碼語，照其輸入順序做為一連之編碼而輸出之編碼緩衝器。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

冰

五、發明說明(31)

11係基於模態識別訊號CM、控制訊號C1~C6而控制畫素記憶體1、第1編碼器5、第2編碼器6、第3編碼器8、編碼切換器9、編碼緩衝器10之編碼控制部。

101係具備有在模態A中、將顯示編碼畫素值與推定之預測值之預測誤差是否為0之2值符號加以編碼之第1編碼器5；及在模態A中、將不為0之場合之預測誤差加以編碼之第2編碼器6之第1編碼部。

102係具備有在模態B中編碼畫素值與推定之預測值之誤差即使為0之場合、即使不為0之場合之預測誤差加以編碼之第2編碼部。

圖5、圖6、圖7係顯示第1編碼器5、第2編碼器6、第3編碼器8之各自分別之內部構成例之圖。

參照圖5、圖6、圖7，第1編碼器5、第2編碼器6、第3編碼器8係各自分別地具備有輸入2值符號列，而將對於其2值符號之優勢符號(MPS)之出現機率加以推定之機率推定器25、26、28。而且，第1編碼器5、第2編碼器6、第3編碼器8，係輸入以2值符號列、及機率推定器所推定之推定出現機率，而藉由將2值符號列加以編碼而輸出編碼語之第1編碼語分配器15、第2編碼語分配器16、第3編碼語分配器18。第1機率推定器25、第2機率推定器26、第3機率推定器28，係決定於圖3所示之編碼次數，而將其編碼次數輸出於編碼語分配器15、16、18。也就是，機率推定器，係按照從關於過去之2值符號列之資料被推定之MPS之出現機率，藉由將編碼次數切換做適切之值，而使編碼效率

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

承

五、發明說明(32)

提高。

機率推定器之決定編碼次數之方式係有2種，兩者皆以習知例來敘述。

前述2種方式之中，第1例係於來自圖3所示之32之狀態之任一狀態之MPS之連續出現數與編碼次數為相等之場合時，將分別顯示32之狀態之狀態號碼予以加1，於MPS之連續出現數與編碼次數成為相等之前，於LPS出現之場合時，將狀態號碼予以減1之狀態遷移方式。前述2種方式之中，第2例係將出現於2值符號列之2值符號0及1之個數 $N(0)$ 、 $N(1)$ 加以計數，而從其計數結果藉由計算式來決定編碼次數者。

機率推定器也可使用前述之第1例、或者是第2例以外之方式而推定機率。

參照圖6、圖7，第2編碼器6、第3編碼器8係具備有將預測誤差變換成2值符號之第1誤差/符號變換器36、及第1誤差/符號變換器38。誤差/符號變換器36係執行圖8所示之變換。而且，誤差/符號變換器38係執行圖9所示之變換。在誤差/符號變換器36、38所執行之變換係藉由預先使記憶如圖8以及圖9所示般之表，檢索表而可執行從預測誤差向2值符號之變換。或者是，也可將圖8以及圖9所示之對應關係以使用以下所述般之處理步驟加以實現。所謂其處理步驟，係做為被輸入於誤差/符號變換器36、或者是誤差/符號變換器38之預測誤差值之可能性很高之值，也就是，具有使產生於圖8及圖9所示之預測誤差之中，從絕對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(33)

值為小之值照順序地應比較預測誤差之值之步驟，及使產生之比較值與被輸入於誤差/符號變換器36、或者是誤差/符號變換器38之預測誤差值成為一致為止逐次做比較之步驟。因而，於不一致之場合時，輸出1個"0"之2值符號，而且，於不一致之場合時，使產生1個"0"之2值符號。因而，於比較其次使產生之比較值與預測誤差值為一致之場合時，使產生"1"之2值符號而結束變換。

使用圖8之場合，具體地說明關於實現根據上述處理步驟之預測誤差與2值符號間之對應關係。

將被輸入於誤差/符號變換器36之預測誤差值為「-2」之場合做為前提。

誤差/符號變換器36，係做為第1比較值使產生「-1」。因為被輸入於誤差/符號變換器36之預測誤差值與比較值之值不為一致，所以輸出做為2值符號之"0"。誤差/符號變換器36，係於其次做為第2比較值使產生「+1」。預測誤差值「-2」與比較值「+1」因係不一致，所以再一次輸出所謂"0"之2值符號。誤差/符號變換器36，係於其次使產生所謂「-2」之比較值。於此次，預測誤差值與比較值因係一致。所以使產生所謂"1"之2值符號而結束變換。因此，於輸入預測誤差值「-2」之場合時，輸出2值符號列"001"。

其次，說明關於本實施形態之編碼裝置之編碼動作。

圖10係顯示被模態判定器2之模態判定動作以及其模態判定結果所執行之編碼動作之流程之圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(34)

參照圖 10，模態切換動作，係由模態判定器 2 之從畫素記憶體 1 被輸出之參照畫素 a、b、c 來判定條件「 $a = b = c$ 」（「 $a = b = c$ 」，係表示畫素之值為相等）之步驟（S16），而且，依據判定零判定器 4 之輸出值「0」（預測誤差 = 0；預測一致）或者「1」（預測誤差 $\neq 0$ ；預測不一致）之步驟而執行，模態 A、或者是模態 B 被指定（S17、S98）。條件「 $a = b = c$ 」一度被滿足後（S11、S16），假如零判定器 4 之輸出值被判定做「0」（S15），則依據模態 A 之編碼繼續（S18）。也就是，假如某畫素 X 近旁之參照畫素 a、b、c 一度滿足條件「 $a = b = c$ 」，則連續至成為「X $\neq$ 預測值」之畫素出現為止而藉由模態 A 加以編碼化。零判定器 4 之輸出值只要被判定為「1」（S15），將其零判定器之輸出值做成 1 之編碼畫素以模態 A 加以編碼，其次做為被輸入之畫素之編碼模態而設定模態 B，編碼模態切換成模態 B（S17）。而且，在模態 B 中，只要滿足條件「 $a = b = c$ 」（S16），模態 A 被設定（S98），判定零判定器 4 之輸出值「0」（預測誤差 = 0；預測一致）或者「1」（預測誤差 $\neq 0$ ；預測不一致）（S15）。而且，在模態 B 中，條件「 $a = b = c$ 」不被滿足之場合時，模態 B 之編碼繼續執行（S19）。

還有，於圖 10 所示之流程圖之動作，係改用後述之圖 5 及圖 6 之具體例加以說明。

(1) 模態 A 編碼

說明關於在模態 A 之編碼之動作。

首先，零判定器 4 係假如從編碼畫素之值減去為預測器 3

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(35)

之輸出之預測值(例如、做為剛好參照畫素之前之畫素之值)所得之預測誤差為0(預測一致)，則輸出2值符號"0"，0以外(預測不一致)則輸出2值符號"1"。第1編碼器5係將零判定器4之輸出值"0"做為MPS，"1"做為LPS而執行編碼。在零判定器4之輸出值為"0"(預測誤差為0)之場合、及"1"(預測誤差為0以外)之場合中之編碼處理，係成為有如以下。

(1-1) 零判定器4之輸出值為"0"之場合

第1編碼器5係具有未圖示於機率推定器25內之MPS計數器，而MPS計數器係顯示預測誤差0之2值符號"0"，也就是，計數MPS之連續出現數。僅在被輸入於第1編碼器5之MPS之連續出現數(MPS計數器之值)成為編碼次數之時，編碼語(1位元之"0")為確定(參照圖54)。MPS之連續出現數成為編碼次數為止時，編碼語係尚未被確定。

(1-2) 零判定器4之輸出值為"0"之場合

首先，第1編碼器5，係顯示預測誤差為0以外之2值符號"1"，也就是，合併LPS及編碼語尚未被分配之LPS以前之MPS數加以編碼。藉由該LPS以前之MPS之連續出現數(MPS計數器之值)，編碼次數 2^n 之時，係具有 $n+1$ 位元之編碼語長之編碼語為確定(參照圖54)。第1編碼器5之編碼一結束，繼續地、第2編碼器6，係將從編碼畫素之值減去為預測器3之輸出之預測值之預測誤差(8位元/畫素之場合， $-255 \sim -1$ ； $1 \sim 255$ ；在此0係不存在)變換成於圖8所示之2值符號列"0...01"並加以編碼。被變換之2值符號列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(36)

，係藉由機率推定器26所決定之編碼次數之值，被分解為1個以上之訊息，而對應之編碼語為確定。

該實施形態之特徵，係在第2編碼器6中，即使於編碼預測誤差之場合時，為使用與第1編碼器5相同之圖54所示之編碼方式之點。也就是，第1編碼器5編碼2值符號列之場合、及第1編碼器6編碼2值符號列之場合係一起採用於圖54所示之編碼方式之點為最大之特徵。

(2) 模態B編碼

其次，說明關於在模態B之編碼。

預測器7，係從1個以上之參照畫素之值算出預測值。算出方法係即使依據預定之預測函數，而為表參照亦可。第3編碼器8，係將從編碼畫素之值減去為預測器3之輸出之預測值之預測誤差(8位元/畫素之場合， $-255 \sim -1$ ； $1 \sim 255$ ；在此0係不存在)變換成於圖9所示之2值符號列之後，係與第2編碼器6同樣地加以編碼。也就是，基於圖54所示之編碼方式，從2值符號列產生編碼語。圖9所示之2值符號列，因係全部以LPS加以結束，所以第3編碼器8係關於圖9所示之2值符號列全部而可確定編碼語。

在前述之圖8以及圖9所示之變換例中，使做為預測誤差值之可能性高之值照順序地產生而比較預測誤差，而該等之值之1個與預測誤差為一致之場合時做為1，不一致之場合時做為0，而將預測誤差變換成2值符號。誤差/符號變換器36、39，係有如前述，將預測誤差變換成2值符號而輸出於機率推定器26、28。機率推定器26、28，係基於輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(37)

入之2值符號而變更並決定編碼次數，而將決定之編碼次數各自分別地輸出於編碼分配器16、18。該場合之編碼次數決定法，係可適用於已經敘述之2個方式例。在編碼分配器16、18所執行之編碼，係與在編碼語分配器15中所執行之編碼完全相同者。也就是，依據於圖54所示之編碼方式執行編碼。

再度參照圖4，編碼控制部11，係將編碼畫素之值使蓄積於畫素記憶體1，同時使輸出從畫素記憶體1之編碼畫素之值、及其編碼畫素近旁之一個以上之參照畫素之值。而藉由為模態判定器2之輸出之模態識別訊號CM適切地使第1編碼器5、第2編碼器6、第3編碼器8動作。在其動作過程中，第1編碼器5、第2編碼器6、第3編碼器8，係將編碼語之輸出準備狀態通知於編碼控制部11，而編碼控制部11，係判定應輸出編碼語之第1編碼器5或第2編碼器6或第3編碼器8，而使用編碼切換器9及編碼緩衝器10，而照編碼語已確定之順序地將編碼語做為一連系列之編碼加以輸出。編碼緩衝器10，係藉由從第1編碼器5、第2編碼器6、第3編碼器8被通知直接必要之各編碼語長，或者是藉由通過編碼控制部11間接地被通知必要之各編碼語長，而從編碼語來構成編碼。

其次，使用圖11以及圖12，而更具體地說明圖10所示之流程圖。

圖11係顯示被輸入之編碼畫素及參照畫素之狀態及零判定器之輸出及預測誤差之值之圖。

五、發明說明(38)

如圖 11 所示般之畫素 $X_0 \sim X_6$ 被輸入之場合之此等近旁之參照畫素之狀態，係如同於圖 11 之參照畫素之所敘述。而且，零判定器之輸出，係顯示對於各編碼畫素之預測是否偏離，而預測誤差係顯示預測偏離之場合時之預測誤差值。假定於圖 11 所示般之畫素 $X_0 \sim X_6$ 照順序地被輸入之場合，而說明此際之圖 10 之流程圖之動作。將其動作結果顯示於圖 12。為了易於了解說明，在圖 12 中，係顯示決定第 1 編碼器 5、第 2 編碼器 6、第 3 編碼器 8 內部之機率推定器 25、26、28 之全部符號次數為 4 次 ($2^n = 4$) 之場合者。

首先，在電源被投入於裝置之初期狀態中，係於 S11 中，做為該裝置之編碼模態之初期模態而設定模態 A。於 S12 中，畫素 X_0 係被輸入。於 S14 中，係被判定為模態 A，於 S15 中，畫素 X_0 之零判定器之輸出係被檢查。如圖 12 之所示，畫素 X_0 之零判定器之輸出因係 0，所以操作係於 S18 中進行。於 S18 中，將畫素 X_0 藉由第 1 編碼器 5 在模態 A 加以編碼。

其次，於 S12 中，畫素 X_1 係被輸入。即使對於畫素 X_1 ，經由 S14、S15、S18，而模態 A 之編碼係被做出。其次，於 S12 中，畫素 X_2 係被輸入。即使對於畫素 X_2 ，經由 S14、S15、S18，而模態 A 之編碼係被做出。其次，於 S12 中，畫素 X_3 係被輸入。於 S14 中，畫素 X_3 之編碼模態係被判定成模態 A，而操作係進行於 S15。於 S15 中，因為零判定器之輸出係 1，所以操作係進行向 S17。於 S17 中，畫素 X_3 係在模態 A 被編碼。該模態 A 之編碼，因為零判定器之輸出為 1 所以在第 1 編碼器 5 及第 2 編碼器 6 被執行。從第 1 編碼器 5 被輸出之畫素 X_0 、 X_1 、 X_2 之編碼語因係 LPS 之出現而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

確定。在圖12中，係完成在P1之位置從第1編碼器5被輸出之畫素 X_0 、 X_1 、 X_2 之編碼語。有如前述，於模態A之編碼藉由LPS之出現加以確定之場合時，對於將零判定器之輸出做成“1”之畫素而執行依據第2編碼器6之編碼。如圖11之所示，畫素 X_3 之預測誤差，係「+1」。因此，在第2編碼器6內，誤差/符號變換器36，係根據於圖8所示之表，而輸出所謂“01”之2值符號。第2編碼器6，係將該2值符號藉由於圖54所示之編碼方式加以編碼。於圖8所示之2值符號，係因為全部以LPS結束，所以使用於圖54所示之編碼方式之場合時，在第2編碼器6中於圖8所示之各預測誤差之編碼結束時，對應於此等之編碼語必須為確定。如圖12之所示，畫素 X_3 之場合，係在P2之位置之第2編碼器6之編碼語為確定。

其次，於S17中，模態B被設定之後，於S12中，輸入畫素 X_4 。於S14中，畫素 X_4 之編碼模態係判定為模態B。因而，於S16中，畫素 X_4 之參照畫素之狀態係被檢查。畫素 X_4 之參照畫素之值，係如圖11之所示，因為不滿足條件「 $a = b = c$ 」，操作係進行向S19。於S19中，畫素 X_4 係做成模態B之編碼。因為畫素 X_4 之預測誤差，係「+1」，所以如圖9之所示，所謂“001”之2值符號係被輸出。因為於圖9所示之任何2值符號列也全部以LPS做結束。所以限於使用於圖54所示之編碼方式，於各預測誤差之符號終了時，從第3編碼器8被輸出之編碼語必須為確定。如圖12之所示，畫素 X_4 之編碼語，係在P3之位置加以確定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

於S19中，畫素 X_4 之編碼語為確定之後，於S12中，畫素 X_5 係被輸入。於S14中，畫素 X_5 之編碼模態係判明為模態B，於S16中，畫素 X_5 之參照畫素之狀態係被檢查。因為滿足條件「 $a = b = c$ 」，所以設定模態A(S98)，操作轉移到S15。因為畫素 X_5 之零判定器之輸出為0，所以操作進行於S18。在此，畫素 X_5 係被模態A所編碼。在該時點，從第1編碼器5被輸出之畫素 X_5 之編碼語係未被確定。

其次，於S12中，畫素 X_6 係被輸入。於S14中，畫素 X_6 之編碼模態係被判定為模態A，於S15中，零判定器之輸出係被判定為1。因此，畫素 X_6 係於S17中，模態A之編碼係被做出。於畫素 X_6 之場合成為出現LPS，從第1編碼器5被輸出之畫素 X_5 之編碼語，係如圖12之所示，在P4之位置中加以確定。因為第1編碼器5係藉由LPS而確定畫素 X_5 之編碼語，所以第2編碼器6係編碼畫素 X_6 之誤差。於圖11之所示之 X_6 之預測誤差，係「-2」。因此，如圖8之所示，成為將對於預測誤差「-2」之“001”之2值符號加以編碼。藉由在P5之位置中出現LPS，在P5之位置中從第2編碼器6被輸出之畫素 X_6 之編碼語為確定。

如圖12所示已確定之編碼語，係係顯示決定第1編碼器5、第2編碼器6、第3編碼器8內部之機率推定器25、26、28之全部於圖54之所示之符號次數為4次($2^n = 4$)之場合。在此為了簡單地做說明。雖然說明第1編碼器5、第2編碼器6、第3編碼器8為全部以4次編碼次數加以編碼之場合，但是有如前述，第1編碼器5、第2編碼器6、第3編碼器8，

五、發明說明(41)

係各自分別獨立地決定編碼次數。而獨立地做動作者。

有如以上，在本實施之形態中，係藉由輸入畫像之值，而輸出對應於此之編碼。被輸出之編碼，係於編碼緩衝器10中未圖示之記憶體等暫時地被蓄積之後再藉由從編碼緩衝器10之直接、無線、或者是有線之通訊迴線以類比方式、或者是數位方式地加以傳輸。而且，固定地被保存於蓄積媒體(以磁氣、或者是光學地予以記錄之卡片、磁帶、磁碟、RAM、ROM等)。

而且，在本實施形態1中，係編碼模態為從模態A切換於模態B之場合時，必須輸出LPS。也就是，在該實施形態1中，係編碼模態從模態A切換到模態B之際，必須在第1編碼器5以及第2編碼器6中確定編碼語。而且，編碼模態從模態A切換到模態B之場合，也因為必須輸出LPS，所以在該實施形態1中，係於編碼模態從模態B切換到模態A之際，必須在第3編碼器8中確定編碼語。

有如以上，假如依據該編碼裝置，MPS連續出現之場合之編碼效率為大幅地提高。而且，在模態A中，於LPS出現之場合時藉由將編碼模態切換成模態B，而且，在模態B中，於參照畫素之值為滿足預定之條件「 $a = b = c$ 」之場合時，藉由將編碼模態從模態B切換到模態A，可積極地執行在第1及第2之編碼部中之編碼之切換。

如此一來，第1編碼部及第2編碼部之切換可無矛盾且適切地加以執行，而可實現效率良好之編碼以及解碼。該等之切換，係使用編碼控制部11之模態識別訊號CM及控制訊

五、發明說明(42)

號 C1 ~ C6，藉由控制編碼裝置內之各部而予以執行。

圖 13 係顯示該發明之實施形態 1 之解碼裝置之構成例之方塊圖。

首先，說明關於本實施形態之解碼裝置之構成要素。

41 係在解碼之前，而將 1 個以上之蓄積終了，且為解碼終了之畫素、解碼畫素近旁之畫素之值做為參照畫素之值加以輸出。而蓄積被解碼之畫素之值之畫素記憶體。

42 係對於解碼畫素，與在前述之編碼裝置中之模態判定器 2 同樣地，基於上述 1 個以上之參照畫素之值而決定模態 A 或者模態 B，而輸出模態識別訊號 CM 之模態判定器。

45 係在模態 A 中，將編碼語解碼變回顯示預測誤差為 0 或 0 以外（例如、將判定器為 1 或 1 以外、或者是 -3 或 -3 以外加以判定之場合，係 1 以外或 -3 以外，以下相同）之 2 值符號之第 1 解碼器。

46 係在模態 A 中，於預測誤差為 0 以外之場合時，將編碼語解碼變回預測誤差之第 2 解碼器。

48 係在模態 B 中，將編碼語解碼變回解碼畫素之值與對應於解碼畫素之預測器 7 之預測值之預測誤差之第 3 解碼器。

40 係將被輸出之編碼分解成編碼語而輸出之編碼緩衝器。

43 係基於模態識別訊號 CM 及控制訊號 C11 ~ C16，而控制畫素記憶體 41、第 1 解碼器 45、第 2 解碼器 46、第 3 解碼器 48、畫素切換器 12（後述）、編碼緩衝器 40 之解碼控制部。

12 係解碼畫素算出器 32、33 及預測器 3 之輸出之解碼終了畫素之中，選擇適切之解碼終了畫素之值而輸出之畫素

五、發明說明(43)

切換器。

32、33係從解碼畫素之預測值及被解碼之預測誤差來算出解碼畫素之值之第1及第2之解碼畫素算出器。

預測器3、預測器7係與前述之編碼裝置者為相同者。

201係具備有將編碼語解碼變回顯示解碼畫素之值與推定之預測值之預測誤差是否為0之2值符號之第1解碼器45；於不為0之場合時，解碼變回預測誤差之第2解碼器46之第1解碼部。

202係具備有解碼畫素之值與推定之預測值即使為0之場合時、即使不為0之場合時，將解碼語加以解碼變回預測誤差之第3解碼器48之第2解碼部。

圖14、圖15、圖16係顯示第1解碼器45、第2解碼器46、第3解碼器48之內部構成例之方塊圖。

第1解碼器45、第2解碼器46、第3解碼器48，係各自分別地具有第1符號復原器55、第2符號復原器56、第3符號復原器58、及第1機率推定器75、第2機率推定器76、第3機率推定器78。而且，第2解碼器46、第3解碼器48，係具有將2值符號列變換為預測誤差之第1符號/誤差變換器86、第2符號/誤差變換器88。

其次，說明關於本實施形態之解碼裝置之解碼動作。

第1解碼器45、第2解碼器46、第3解碼器48，係取得編碼緩衝器40之將編碼分割成解碼語而輸出之解碼語。第1解碼器45或第2解碼器46或第3解碼器48，係以編碼次數 = 2^n 做解碼之時，將從第1解碼器45、第2解碼器46、或者是

五、發明說明(44)

第3解碼器48之未取得之編碼語之最前面位元之值有如以下地判定編碼語長。

假如編碼語之最前面位元為0，編碼語長係成為1，僅從圖54之長度 2^n 之2值符號"0"之訊息被復原。假如編碼語之最前面位元為1，編碼語長係成為 $n + 1$ 位元，第1解碼器45或第2解碼器46或第3解碼器48，係將除了編碼語之最前面位元之剩餘 n 位元之符號位元所顯示之2進位之值，做為2值符號"0"之連續出現數(做為 k)，長度 $k+1$ 之訊息"0...01"係被復原。

模態A解碼之場合時，第1解碼器45，係將編碼語做為輸入加以變換。而輸出2值符號列(在此，與訊息為等價)。第1解碼器45之各輸出，係各自分別地對應於應以模態A解碼之1畫素。而假如輸出值為"0"則對於解碼畫素之預測誤差為0，假如為"1"則顯示預測誤差為0以外。預測誤差為0之時，預測值仍舊成為解碼畫素之值。預測誤差為0以外之時，繼續地藉由第2解碼器46加以解碼預測誤差。

解碼預測誤差之場合時，第2解碼器46、第3解碼器48係各自分別地將編碼語做為輸入而變換為1個以上之訊息，而湊齊上述1個以上之訊息而合成為2值符號列。第2解碼器46，係對於在模態A預測誤差為0以外之畫素而執行解碼，將於圖8(顯示於預測誤差無0之場合)之所示之2值符號列逆變換為預測誤差而加以輸出。第3解碼器48，係對於在模態B已解碼之畫素，將於圖9(顯示於預測誤差有0之場合)之所示之2值符號列逆變換為預測誤差而加以輸出。解

五、發明說明(45)

碼畫素之值，係模態A解碼之場合時，成為於預測器3之輸出(預測值)加上第2解碼器46之輸出(預測誤差)之值。模態B解碼之場合時，成為於預測器7之輸出(預測值)加上第3解碼器48之輸出(預測誤差)之值。

在解碼處理中之模態切換，係基於從畫素記憶體41被輸出之參照畫素之狀態及第1解碼器45之輸出值，而可藉由使用模態判定器42之與於圖4之所示之模態判定器2相同之判定方法加以實現。

解碼處理被執行之間，解碼控制部43，係從畫素記憶體41使輸出1個以上之參照畫素之值，而藉由為模態判定器42之輸出之模態識別訊號CM，選擇性地使第1解碼器45、第2解碼器46、第3解碼器48動作。在其過程中，第1解碼器45、第2解碼器46、第3解碼器48，係將編碼語之輸入通知給解碼控制部43，而編碼緩衝器40，係藉由被通知直接各編碼語長，或者是藉由通過解碼控制部43而間接地被通知各編碼語長。而將編碼分割為編碼語加以輸出。解碼控制部43，係在第1解碼器45、第2解碼器46、第3解碼器48之中，判定應執行解碼之適切之解碼器，而藉由畫素切換器12使解碼終了畫素蓄積於畫素記憶體41。

實施形態2

圖17係顯示該發明之實施形態2之編碼裝置之構成例之方塊圖。但是，與所謂顯示於實施形態1之圖4，係在於從零判定器4之輸出未被輸入於模態判定器2之點上不同。

說明關於本實施形態之編碼裝置動作。

五、發明說明(46)

在本實施形態中，如圖18之所示，假如某畫素X近旁之參照畫素a、b、c不滿足於條件「 $a = b = c$ 」，在模態A加以編碼(S4 ~ S6)，假如參照畫素a、b、c不滿足於條件，在模態B加以編碼(S7)。該模態切換動作，係藉由判定僅將模態判定器2之從畫像記憶體1被輸出之參照畫素a、b、c是否滿足於條件「 $a = b = c$ 」而加以執行。如實施形態1，從零判定器4之輸出值係未被參照。模態A之編碼之動作以及模態B之編碼之動作，因係與實施形態1為相同，所以省略其說明。

在實施形態1中，編碼模態為從模態A切換成模態B之際，雖必須在第1編碼器5之編碼語為確定，但是在實施形態2中，因為與實施形態1，在編碼模態判定條件為不同，所以未必限於在第1編碼器5之編碼語為確定。

於圖19，係顯示在該發明之實施形態2之畫素 $X_0 \sim X_6$ 中之成為編碼對象之2值符號之例。於圖19之例，係於該實施形態之編碼裝置，顯示圖11之所示之編碼畫素被輸入之場合時之編碼狀態者。而且，為了簡單地做說明。編碼語，係做為從以編碼次數為4次而執行編碼之第1編碼器5、第2編碼器6、第3編碼器8中被輸出者。在圖19之例中，係於在畫素 X_2 之模態A之編碼結束時連續被輸出之2值符號，因係未以1做結束，而且，WPS記數器之值也未達到編碼次數=4，所以在第1編碼器5中，係於畫素 X_2 之編碼結束時編碼語尚未確定。因此，比在第1編碼器5之編碼語為確定還更早地，在第3編碼器8對於畫素 X_3 、 X_4 之編碼語已為確

五、發明說明(47)

定。該場合時，在解碼裝置中，比在第3編碼器8之所產生之編碼語還更早地，假如因為未取得被第1編碼器5所作成之編碼語，則不能正確地加以解碼，在編碼裝置更換以下所述之編碼語之送出順序之操作，也就是，編碼語送出順序控制成為必要。或者是，在編碼裝置依據以下所述之編碼模態A之畫素之先讀操作成為必要。

首先，關於實施形態2之編碼送出順序控制之動作，以使用圖20，圖21加以說明。

圖20係顯示在第3編碼器8之編碼語為確定(S20)之後，編碼控制部11所執行之控制處理流程之流程圖。

圖21係顯示在第1編碼器5之編碼語為確定(S30)之後，編碼控制部11所執行之控制處理流程之流程圖。

在本實施形態中編碼送出順序控制之成為必要者，係如圖19之所示，比在第1編碼器5之編碼語為確定還更早地(換言之，於第1編碼器5內部之MPS記數器之值為1以上之時(圖20之S22))，在第3編碼器8之編碼語被產生之場合。該場合時，將被第3編碼器8所產生之編碼語暫時地蓄積於編碼緩衝器10(圖20之S24)。在第1編碼器5之編碼語為確定者，係有如以下之2種場合。

(1) 連續之MPS數與編碼次數為相等之場合。

(2) LPS產生之場合

如圖21之所示，(1)或者(2)之場合，都將在第1編碼器5所確定之編碼語與來自暫時保存於編碼緩衝器10之第3編碼器8之編碼語之送出順序加以更換，將在第1編碼器5所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(48)

確定之編碼語送出之後，藉由從編碼控制部11之指示送出暫時地被蓄積於編碼緩衝器10之編碼語(S34)。而且，如圖21之S35、及S36之所示，(2)之場合，係將在第1編碼器5所確定之編碼語以及被蓄積於編碼緩衝器10之編碼語送出(S34)之後。更進一步地，送出在第2編碼器6所產生之編碼語(S36)。在圖19所示之例中，藉由第3編碼器8於P1及P2之位置之編碼語雖係確定，但是從第1編碼器5被輸出之編碼語，係確定於P3之位置。因此，確定在P1以及P2之位置之第3編碼器8之編碼語，係被暫時保存於編碼緩衝器10，而於P3之位置從第1編碼器5被輸出之編碼語為確定之場合時，先將於P3確定之編碼語加以輸出，而後將於暫時保存於編碼緩衝器10之P1及P2之位置已確定之編碼語加以輸出。因而，最後再將確定於P4之位置之第2編碼器6之第2編碼器6之編碼語加以輸出。

(2)之場合時，係如圖22之S44之所示，也可按照在第1編碼器5所確定之編碼語、在第2編碼器6所確定之編碼語、暫時地保存於編碼緩衝器10之第3編碼器8之編碼語之順序而加以送出。假如按照圖22之流程圖，則於圖19之所顯示之編碼語之輸出順序，係按照於P3之位置加以確定之第1編碼器5之編碼語、於P4之位置加以確定之第2編碼器6之編碼語、於P1之位置加以確定之第3編碼器8之編碼語之順序而被輸出。

於編碼語送出順序控制之場合時，必須先在送收訊側決定編碼緩衝器10之最大容量MAX。

五、發明說明(49)

於模態 A，將 $X_0 \sim X_2$ 之編碼加以編碼，而仍舊照未確定般地切換為模態 B 之場合時，也因而，在模態 B 中編碼語一一地確定於 P1、P2、.... 之位置而被暫時保存於編碼緩衝器 10 之場合時，於編碼緩衝器 10，係成為從被保存之第 3 編碼器 8 之編碼語依順序地被蓄積。此際，先決定被該暫時被保存之編碼語所佔有之編碼緩衝器 10 之最大容量 MAX，於被保存之編碼語之蓄積量達到該最大容量 MAX 之場合時，輸出暫時被保存之編碼語而欲增加編碼緩衝器 10 之空出領域。如圖 23 之所示，於被保存之編碼語之蓄積量達到該最大容量 MAX 之場合時，係將模擬之 2 值符號 "0" 以為確定依據模態 A 之編碼語之僅必要之個數部分，予以附加於編碼語之未確定之 2 值符號。於圖 23 之所示之場合時，係因為編碼次數為顯示 4 次之場合，所以藉由僅附加 1 個模擬之 2 值符號 "0"，而確定從第 1 編碼器 5 被輸出之編碼語。模擬之 2 值符號 "0"，係直到確定第 1 編碼器 5 之編碼語為止，於編碼語尚未確定之 2 值符號加上必要之個數。

如此地，藉由強制地確定從第 1 編碼器 5 被輸出之編碼語。而輸出依據被暫時保存於編碼緩衝器 10 之第 3 編碼器 8 所確定之編碼語，而可取回於編碼緩衝器 10 之空出領域。藉由執行如該處理，並藉由依據被暫時保存於編碼緩衝器 10 之第 3 編碼器 8 所確定之編碼語而可防止編碼緩衝器 10 為已經溢位之問題。

如此地，即使於將模擬之 2 值符號 "0" 附加於編碼語未確定之 2 值符號，將編碼裝置之編碼緩衝器之最大容量 MAX

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(50)

先做為與編碼裝置之編碼緩衝器為同樣之值。藉由執行所謂附加模擬之2值符號"0"之處理。而可正確地執行解碼動作。

還有，圖23雖係顯示確定將模擬之2值符號"0"附加於編碼語未確定之2值符號而從第1編碼器5被輸出之編碼語之場合，但是藉由僅附加1個模擬之2值符號"1"，而也可欲確定從第1編碼器5被輸出之編碼語。但是，於附加模擬之2值符號"1"之場合時，對於在第2編碼器6中之預測誤差之編碼語，係做為不使產生者。

其次，使用圖24而說明關於依據編碼模態A之畫素之先讀操作。

所謂依據在本說明書中所使用之模態A之畫素之先讀操作，係直至從第1編碼器5被輸出之編碼語確定為止，而後將編碼之預定畫素之值以每一畫素預先讀出之操作謂之。

圖24係顯示由模態B之設定(S50)被開始之編碼控制部11之控制處理流程之流程圖。

在依據編碼模態A之畫素之先讀操作中，如圖24之所示，在S50模態B一被設定，則在S52中，被檢查第1編碼器5內部之MPS記數器之值是否為0。於MPS記數器之值為0之場合時，因係從第1編碼器5被輸出之編碼語已經確定。所以不需要先讀操作。第1編碼器5內部之MPS記數器之值為0以外之場合時。因係顯示從第1編碼器5被輸出之編碼語尚未確定之場合，所以執行於S53～S56之所示之先讀操作。也就是，直至從第1編碼器5被輸出之編碼語確定為止

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(51)

(S55)，而後將編碼之預定畫素之值以每一畫素預先讀出(S53)，而以好幾次地執行於S53～S56之所示之先讀操作。因而，使確定從第1編碼器5被輸出之編碼語之後，因為執行畫素之先讀操作而回到編碼尚未結束之畫素而執行模態B之編碼(S57)。為了在圖19之例再度執行畫素之先讀操作，於畫素 X_2 之後從模態A不移到在模態B之編碼，將畫素 X_5 、 X_6 之值先讀出，而使確定在第1編碼器5之編碼(S55)。其後，對於編碼尚未結束之畫素 X_3 及 X_4 執行模態B之編碼(S57)。但是，執行先讀操作之場合，係爾後將編碼之預定之畫素預先讀出，其後，為了畫素之先讀操作，因又將編碼尚未結束之畫素加以編碼，所以蓄積畫素之線條記憶體(LINE MEMORY)成為必要。在送收訊側，必須預先決定其線條記憶體之最大值。其理由係依據與圖23之所示之場合為相同之理由者。也就是，在依據第1編碼器之編碼語尚未確定之狀態中即使預先讀出畫素，第1編碼器5之編碼語繼續未確定之場合也存在。因此，預先決定蓄積畫素之線條記憶體之最大值，已超過其最大值之場合時，係將模擬之2值符號“0”加於編碼語為未確定之2值符號，而確定從第1編碼器5輸出之編碼語。有如前述，也可附加模擬之2值符號“1”而欲確定從第1編碼器5輸出之編碼語。

其次，雖使用圖25說明本實施形態之解碼裝置之構成例，但是圖25係與實施形態1所示之圖13，卻在來自第1解碼器45之輸出未被輸入於模態判定器42之點上不同。於圖25之所示之第1解碼器45，係按照實施形態1，而做與圖13之

五、發明說明(52)

所示之第1解碼器45相同之解碼動作。也就是，於模態A將顯示預測誤差為0、或0以外之2值符號加以解碼。因而，使用控制訊號C13將其結果傳輸於解碼控制部43。解碼控制部43，係基於顯示從第1解碼器45之預測誤差為0、或0以外之資訊，而使動作第2解碼器46。在以下之說明中，特地說明關於與本發明之第1實施形態為不同之動作。

在本實施形態之解碼裝置中，係將被輸入之編碼語變換成2值符號列(訊息)，使用此等而使畫素之值被再生。在本實施形態2中，係與實施形態1為不同，而在第1解碼器45中於使用完從1個編碼語在模態A被解碼之複數個2值符號之前，有解碼模態從模態A切換成模態B之事。假如再度取圖19之場合為例，則於 X_0 之解碼時，雖可解碼至關於 X_1 、 X_2 、 X_5 、 X_6 之解碼之2值符"00001"為止，但是因為於 X_2 之解碼後解碼模態切換於模態B，所以未使用之2值符號"01"，係被使用於在模態B之解碼結束後。因此，解碼控制部43係以在模態A之解碼、假如於第1解碼器45尚剩餘未使用之2值符號，則將此輸出，假如沒有未使用之2值符號，則取得新的編碼語，而變換為2值符號列，並指示欲解碼2值符號之解碼器。

在解碼裝置中，有如上述，僅使用被解碼之2值符號之順序之控制成為必要，與實施形態1為不同，其他之動作因係與實施形態1為相同，所以在此省略其說明。

有如以上，假如依據該實施形態，僅依據於每一畫素之參照畫素之狀態而可決定編碼之模態。其結果，於編碼語

五、發明說明(53)

從第1編碼器5切換成第3編碼器8之場合時，編碼語未確定之場合雖係存在，但是藉由執行如前述之控制，而可從在解碼裝置中不矛盾之編碼語解碼畫素。於解碼器從第3解碼器48切換為第1解碼器45之場合時，如實施形態1之所述，只要將圖9之所示之2值符號以圖54之所示之編碼方式，則因為必須確定編碼語，所以不需要編碼語之送出順序控制及先讀控制。

實施形態3

圖26係顯示該發明之實施形態3之編碼裝置之構成例者。但是，圖26與實施形態2之所示之圖17，係編碼器之構成為不同。

圖27、圖28、圖29係各自分別地顯示在該實施形態中第1編碼器5a、第2編碼器6a、第3編碼器8a之構成例之方塊圖。

第1編碼器5a、第2編碼器6a、第3編碼器8a，係各自分別地具備有互斥邏輯和電路95、96、98。互斥邏輯和電路95、96、98，係輸入從2值符號X及機率推定器25a、26a、28a被輸出之MPS(Y)，而執行如圖30之邏輯值表所示之運算，而將互斥邏輯和訊號輸出於機率推定器。在此，MPS(Y)係機率推定器在編碼之時點解釋做MPS之2值符號之值，也就是，意味著"0"或"1"。

說明關於本實施形態之編碼裝置之動作。

在本實施形態之編碼模態判定，係依據與實施形態2相同之方法加以執行。總之，如圖18之所示，假如某畫素X

五、發明說明(54)

近旁之參照畫素 a、b、c 滿足條件「 $a = b = c$ 」，則將其畫素在模態 A 加以編碼，假如不滿足條件，則將其畫素在模態 B 加以編碼。

在實施形態 3 中，於依據圖 54 之所示之編碼方法之編碼之際，MPS/LPS 之解釋係所謂正在狀態遷移之中予以更換之點為與實施形態 2 不同。在實施形態 1、2 中，係第 1 編碼器 5 將 MPS 解釋做 "0" (顯示預測一致之 2 值符號)，而第 2 編碼器 6 及第 3 編碼器 8，係將 MPS 解釋做被定義於圖 8、圖 9 之 "0"。然而，在實施形態 3 中，如圖 30 之流程之所示，於狀態遷移之際，於狀態 S。中，於 LPS (預測不一致) 產生之場合時，此後做為更換 MPS 與 LPS 之解釋。例如，在第 1 編碼器 5 中，執行編碼之際，在 S。且、於解釋做 MPS = "0" 之時，產生 2 值符號 "1" (預測不一致) 之場合時，係輸出該編碼以後，更換 MPS 與 LPS 之解釋，而將 MPS 解釋做 "1" 而將 LPS 解釋做 "0" 而產生編碼語。相反地，於第 1 編碼器 5 中，執行編碼之際，在 S。且、於解釋做 MPS = "1" 之時，產生 2 值符號 "0" (預測不一致) 之場合時，係輸出該編碼以後，MPS 解釋 "0" 而將 LPS 解釋做 "1"。

如此地，在狀態 S。預測偏離之時，使 MPS 與 LPS 之解釋反轉，使得所謂 MPS 之本來出現機率應為高之前提變成已經崩潰，乃考慮到 LPS 之方面產生出現機率高之狀態。假如一度將 MPS 與 LPS 之解釋加以反轉，則再度在 S。產生 LPS 為止繼續其 MPS 與 LPS 之解釋而執行編碼。互斥邏輯和電路 95、96、98，係輸入從 2 值符號 X 及機率推定器 25a、26a、

五、發明說明(55)

28a被輸出之MPS(Y)，而輸出互斥邏輯和訊號Z。也就是，2值符號X與MPS若為一致，輸出表示2值符號"0"之互斥邏輯和訊號Z，2值符號X與MPS若為不一致，輸出表示2值符號"1"之互斥邏輯和訊號Z，狀態遷移之規則，係即使在解釋做MPS="0"之場合時，也使用與前述之方法相同之規則。也就是，將為互斥邏輯和電路之輸出之互斥邏輯和訊號Z看成表示決定在實施形態1、實施形態2中之狀態遷移之2值符號，而可執行狀態遷移。

還有，前述之場合時，雖係使說明關於使用依據決定編碼次數之方式之第1例之狀態遷移方式而變更MPS與LPS之解釋之場合，但是MPS/LPS之解釋之變更，係即使在依據決定前述之編碼次數之方式之第2例之0/1之計數方式，在比較N(0)及N(1)上也可容易地加以實現。也就是，N(0) > N(1)之場合時，雖係將MPS解釋做"0"，LPS解釋做"1"，但是於N(0) < N(1)之場合時，卻為將MPS解釋做"1"，LPS解釋做"0"。

依據MPS與LPS之解釋之變更，編碼語送出順序控制之方法係變為與實施形態2中所述之方法不同。在實施形態2中，係僅於執行編碼為從第1編碼器5切換到第3編碼器8之場合時若了解編碼語確定之有無，雖可做出編碼語送出順序控制，但是在實施形態3中，該場合時，在圖19之所示之編碼語完成位置未必完成編碼語。

圖31係顯示MPS與LPS之解釋被變更之場合之編碼之樣子之圖。

五、發明說明(56)

在圖31中，在編碼器5a、6a，係做為將MPS解釋做“0”，LPS解釋做“1”者，而在編碼器8a，係做為將MPS解釋做“1”，LPS解釋做“0”者。

2值符號X係藉由互斥邏輯和電路被變換成互斥邏輯和訊號Z。因此，編碼器5a、6a、8a係將互斥邏輯和訊號Z做為2值符號列加以輸入，而必須編碼。2值符號X之場合，係如圖8以及圖9之所示，雖必須構成以LPS做結束之2值符號列，但是互斥邏輯和訊號Z因係將2值符號X加以反轉者，所以如圖8以及圖9之所示之所示之2值符號已經被反轉，而於編碼模態切換之際，存在著無法確定在各編碼器之編碼語。因此，到底為從那一編碼器，於編碼器切換成其他編碼器之場合時，編碼控制部11，係必須知道在切換成其他之編碼器前之編碼器上之編碼語確定之有無。

例如，假如在圖31之P1之位置一確定編碼器8a之編碼語，編碼控制部11，係調查編碼語未確定之其他編碼器(MPS之計數器之值為1以上之編碼器)之有無，若無則指示編碼緩衝器10以便輸出照原來已確定之編碼語。假定，還有編碼語尚未確定之編碼器，則將在編碼器8a已確定之編碼語暫時蓄積於編碼緩衝器10，而在其他編碼器之別的編碼語被確定後加以輸出。如圖31之所示，在P1之位置應從編碼器5a輸出之編碼語，因尚未被確定，所以應從在P2之編碼器5a輸出之編碼語確定之後，輸出在P1之位置已確定之編碼語。而且，關於圖31，係編碼器從編碼器8a切換至編碼器5a之場合時，無法確定從符號器8a輸出之編碼語。應從

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明(57)

編碼器 5a 輸出之編碼語，雖係在 P2 之位置被確定，但是該編碼語卻如前述般地，比在 P1 之位置已確定之編碼語更早被輸出。因而，藉由編碼器 6a 將在 P3 位置已確定之編碼語暫時地蓄積於編碼緩衝器 10。其後，藉由確定應從在 P4 位置之編碼器 8a 輸出之編碼語，將在 P3 位置已確定之編碼語輸出於在 P4 位置已確定之編碼語之後。總之，藉由執行上述之處理，成為以各訊息之最前面符號 (MPS 計數器開始計數 MPS 之數目之符號) 之產生順序地，送訊其編碼語。

其次，使用圖 32 說明本實施形態之解碼裝置之構成例。

圖 33、圖 34、圖 35 係顯示各自分別之編碼器 45a、46a、48a 之內部構成例之方塊圖。

在解碼裝置，係將被輸入之編碼語變換成 2 值符號列 (訊息)，而使用此等 2 值符號使對應之畫素之值再生。

在本實施形態 3 中，係使用完在某解碼器從 1 個編碼語被解碼之複數個 2 值符號之前，有在其他解碼器被解碼之 2 值符號被使用。在解碼控制部 43，於從別的解碼器已切換之解碼器內若尚殘留著未使用之 2 值符號，則將此輸出，而若無未使用之 2 值符號則取得新的編碼語，而指示解碼器以便解碼 2 值符號。

在依據本實施形態之解碼裝置，係只有使用被解碼之 2 值符號之順序的控制與實施形態 2 有所不同，因為其他之動作與實施形態 2 相同，所以省略說明。

實施形態 4.

圖 36 係顯示該發明之實施形態 4 之編碼裝置之構成例之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(58)

方塊圖。

在圖36中，編碼器5a、6a、8a係與各自分別顯示於圖27、圖28、圖29者具有相同構成之編碼器。

說明關於本實施形態之編碼裝置之動作。

在本實施形態之編碼模態判定，係做為藉由與本實施形態1相同之方法加以執行者。總之，如圖之所示，某畫素X近旁之參照畫素a、b、c若一度滿足條件「 $a = b = c$ 」，則繼續至成為「 $X \neq$ 預測值」之畫素出現為止藉由模態A加以解碼。

在實施形態4中，於依據圖54之所示之編碼方法之編碼之MPS與LPS之解釋係在所謂正在狀態遷移之中予以更換之點上係與實施形態1有所不同。在實施形態1、2中，在第1編碼器5係將MPS解釋成“0”（顯示預測一致之2值符號），而在第2編碼器6、第3編碼器8，係將MPS解釋成被定義於圖8、圖9之“0”。然而，在實施形態4中，於狀態遷移之際，於狀態S之LPS產生之場合時，其以後做為更換MPS與LPS之解釋。狀態遷移之規則，係與實施形態1、實施形態2、實施形態3為相同之方法加以執行。MPS/LPS之解釋之變更，係如前述，將狀態遷移藉由0/1之計數方式加以執行之場合時，也以比較N(0)與N(1)而可容易地加以實現。

藉由此，編碼語送出順序控制之方法，係成為與實施形態3為相同。總之，在實施形態2中，僅於編碼器從第1編碼器5切換成第3編碼器8之場合時，若了解編碼語確定之有無，雖可做出編碼語送出順序控制，但是在實施形態4

五、發明說明(59)

，因係在圖19之所示之P1 ~ P4之編碼語完成位置未必完成編碼語，所以到底為那一個編碼器，此係於切換為其他之編碼器之場合時，編碼控制部必須知道於切換前在被使用著之編碼器上之編碼語確定之有無。

其次，使用圖37說明本實施形態之解碼裝置之構成例。

在圖37中，解碼器45a、46a、48a，係各自分別地與圖33、圖34、圖35之所示之解碼器具有相同之構成。在解碼裝置，係將被輸入之編碼語變換成2值符號列(訊息)，而使用此等之2值符號而使畫素之值再生。在實施形態4，係在某解碼器使用完從1個編碼語被解碼之複數個2值符號之前，有在其他解碼器被解碼之2值符號被使用。在解碼控制部，係於從其他解碼器已切換之解碼器內若尚殘留著未使用之2值符號，則將此輸出，而若無未使用之2值符號則取得新的編碼語，而指示解碼器以便解碼2值符號。

在依據本實施形態之解碼裝置，僅使用被解碼之2值符號之順序之控制係與實施形態3為不同，因為其他之動作與實施形態3為相同，所以省略說明。

實施形態5.

在上述實施形態中，雖將於編碼器之內部之MPS記數器、及記憶狀態號碼之狀態號碼記憶體、及記憶MPS之值之MPS記憶體為各自分別一個一個存在之場合做為前提加以說明，但是如圖38之所示，於編碼器之內部之MPS記數器、狀態號碼記憶體、MPS記憶體即使為各自分別地複數存在著之場合亦可。在圖38，係於編碼器之內部之MPS記數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(60)

器 C1、C2、C3、.....狀態號碼記憶體 R1、R2、R3、.....MPS記憶體 Q1、Q2、Q3、.....為存在著。各 MPS 記數器 C1、C2、C3、.....狀態號碼記憶體 R1、R2、R3、.....MPS 記憶體 Q1、Q2、Q3、.....係對應於參照畫素之狀態而被設置。如此地，即使為如對應於參照畫素之狀態而 MPS 記數器、狀態號碼記憶體、MPS 記憶體為複數存在般之解碼器，也可適用於前述之實施形態。

圖 39 係顯示本實施形態之編碼裝置之別的構成例之方塊圖。

前述之預測器 3 及預測器 7 係於使用相同之預測方式而算出編碼畫素之預測值之場合時，不須個別地設置預測器 3 及預測器 7 以及第 1 預測誤差算出器 30 及第 2 預測誤差算出器 31，如圖 39 般地，即使欲將來自含有預測器之輸出之預測誤差算出器 30 之輸出予以輸出於第 3 編碼器 8 亦可。

圖 40 係顯示對應於圖 39 之所示之編碼裝置之解碼裝置之構成例之方塊圖。

即使關於圖 40，與圖 39 之場合同樣地預測器以及解碼畫素算出器係只有 1 個存在於解碼裝置內。

圖 41 係顯示本實施形態之編碼裝置之別的構成例之方塊圖。

圖 42 係顯示圖 41 之所示之編碼器 5b 之內部構成例之方塊圖。

圖 41 之所示之編碼裝置之特徵係在統一前述之第 1 編碼器 5 及第 2 編碼器 6 而做為 1 個編碼器 5b 之點上。編碼器 5b 之

五、發明說明(61)

構成係有如圖42之所示。於編碼器5b係具備開關85，而藉由控制訊號C2連接零判定器4及機率推定器25。而且，藉由控制訊號C3連接誤差/符號變換器36及機率推定器25。如前述之實施形態之所示，因為第1編碼器5及第2編碼器6，係僅輸入為不同，使用相同之編碼方式而編碼2值符號，所以藉由使用如圖42之編碼器5b，可簡單地做出編碼裝置之構成。

圖43係顯示對應於圖41之所示之編碼裝置之解碼裝置之方塊圖。

圖44係顯示被使用於圖43之所示之解碼裝置之解碼器45b之內部構成之方塊圖。

統合在前述之實施形態中所述之第1解碼器45及第2解碼器46者，係圖44之所示之解碼器45b。

圖45係顯示本實施形態之編碼裝置之別的構成例之方塊圖。

圖46係顯示圖45之所示之編碼裝置之編碼器6b之構成例之方塊圖。

圖47係顯示對應於圖45之所示之編碼裝置之解碼裝置之圖。

圖48係顯示圖47之所示之解碼裝置之解碼器46b之構成例之圖。

於圖45之所示之編碼裝置成為特徵之點，係合併第2編碼器6及第3編碼器8而做為編碼器6b之點。在前述之實施形態中所述之第2編碼器6及第3編碼器8及編碼器6b為不同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(62)

之點，係僅於圖8及圖9之所示之預測誤差及2值符號之對應關係為不同，而此以外編碼器6b係執行相同之動作。因此，如圖46之所示，藉由使用開關85切換編碼器6b之中之誤差/符號變換器36及38，而可構成統合第2編碼器6及第3編碼器8之編碼器6b。於圖48之所示之解碼器46b之場合時，也藉由使用開關85切換編碼器6b之中之誤差/符號變換器86及88，而可構成統合圖13、或者是圖25之所示之第2編碼器6及第3編碼器8之編碼器6b。

圖49係顯示依據本實施形態之編碼裝置之別的構成例之方塊圖。

圖50係顯示統合在前述之實施形態中所述之第1編碼器5、第2編碼器6、第3編碼器8之編碼器5c之方塊圖。

開關85係藉由切換從零判定器之輸出與誤差/符號變換器36及38之輸出，而編碼器5c係可合併具有前述之第1編碼器5、第2編碼器6、第3編碼器8之機能。

還有，雖未在本說明書中加以圖示。但是第1解碼器45、第2解碼器46、第3解碼器48也與編碼器5c之場合為相同，而可構成做為1個解碼器。

實施形態6.

圖51係顯示本實施形態之編碼裝置之別的構成例之方塊圖。

圖51之所示之編碼裝置，係從圖4之所示之編碼裝置除去模態判定器2及第2編碼部102者。從零判定器4被輸出於模態判定器2之判定結果，係於圖51中，被輸入於編碼控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(63)

制部11。編碼控制部11，係基於零判定器4之判定結果使用控制訊號C2、C3，而使第1編碼器5及第2編碼器6動作。而且，編碼控制部11，係使用控制訊號C5而使動作編碼器9，從第1編碼器5及第2編碼器6被輸出之編碼語之中，選擇適切之編碼語而加以輸出。

圖52係顯示依據本實施形態之解碼裝置之別的構成例之方塊圖。

圖52之所示之解碼裝置，係從圖13之所示之解碼裝置削除模態判定器42及第2解碼部202者。藉由第1解碼器45將編碼語解碼變回依據顯示預測誤差是否為0之2值符號所表示之判定結果，而其判定結果被輸入於解碼控制部43。解碼控制部43，係基於輸入之判定結果藉由控制訊號C12而控制畫素切換器12。

圖51之所示之編碼裝置，係判定預測之適當與否，而基於判定結果將編碼畫素加以編碼之點為其特徵。圖52之所示之解碼裝置，係判定解碼畫素之值之預測之適當與否，而基於判定結果將編碼語加以解碼回解碼畫素之點為其特徵。如此地，判定預測之適當與否，將表示預測之適當與否之2值符號一個以上所構成之訊息做為單位，而藉由編碼、或者是解碼，於預測之命中機率高之場合時，經常地將預測誤差比較於編碼、或者是解碼之場合，而可執行效率好之編碼或者是解碼。

還有，在上述實施形態中，雖係從預測器3及7之參照畫素所取之值而算出編碼畫素之預測值，若是必要則從將模

五、發明說明(64)

態識別訊號CM從模態判定器輸入於預測器3以及7，而基於模態識別訊號CM及參照畫素之所取之值，即使欲算出預測值亦可。

而且，在上述實施形態中，雖將參照畫素為a、b、c之3畫素之場合做為前提，但是參照畫素假使為1個以上亦可。

而且，在上述實施形態中，參照畫素a、b、c於滿足「 $a = b = c$ 」之條件之場合時雖將選擇模態A之場合做為前提，但是按照參照畫素之數之變化而該條件變更亦可。例如，有參照畫素a、b、c、d之場合時，於條件「 $a = b = d$ 」成立之場合即使欲選擇模態A亦可。

而且，在上述實施形態中，雖未特地敘述關於使用電腦之硬體、或者是軟體，但是將前述之構成要素之機能全部、或者是一部在電腦之硬體上加以實施亦可。或者，即使以軟體加以實現亦可。或者，以此等之結合加以實現亦可。或者，將全部或者是一部之機能以於1個半導體晶片加以做成積體電路之形態來實現亦可。

而且，在實施形態中，雖說明第1及第2及第3之編碼器以及第1及第2及第3之解碼器，係全部使用圖54之所示之編碼方式之場合，但是執行編碼以及解碼之際，即可為不使用圖54之所示之編碼方式亦可。

而且，在上述實施形態中，雖說明關於將畫像資訊加以編碼、或者是解碼之場合，但是即使在將聲音資訊及光資訊及其他資訊加以編碼、或者是解碼之場合時，也可以前述之實施形態加以實現。特別是，於有所謂被輸入資訊取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(65)

得特定之值之傾向之場合時，係可執行效率良好之編碼。例如，聲音資訊及光資訊等具有從與畫像訊號相同之背景被抽出之資訊、及從某一定之背景被抽出之資訊之場合時，該等之聲音資訊及光資訊可看做在本說明書所言之畫像資訊，而可執行效率良好之編碼。

產業之利用可能性

有如上述，該發明，係提供效率良好之編碼裝置、解碼裝置以及此等之方法。特別是，具備對應於複數個編碼模態之編碼方式，而藉由對應於編碼模態之編碼方式而效率良好地編碼或解碼畫像資訊。

而且，該發明，係編碼模態切換之際，即使在編碼未確定之狀態也可適切地編碼畫像資訊，同時可正確地加以解碼。

而且，該發明，係即使在變更MPS及LPS之解釋也可適切地加以編碼，且、可正確地加以解碼。

而且，該發明，係可將編碼裝置、或者是編碼裝置、或者、畫像處理予以緻密地構成。在該等之點上，本發明係具有充分之產業上之利用可能性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 編碼裝置、解碼裝置及編碼方法)

解碼方法及影像處理裝置

藉由複數種類之編碼方式積極地加以組合，而提高編碼效率。第1編碼器(5)係編碼預測誤差是否為0。第2編碼器(6)於預測誤差為0之場合時，編碼其預測誤差。第3編碼器(8)係不管預測誤差為0或不是，編碼預測誤差。藉由模態判定器(2)判定模態。而編碼控制部(11)依據所判定之模態做選擇性地使第1、第2、第3之編碼器(5)、(6)、(8)動作。

(請先閱讀背面之注意事項再填寫本頁各欄)

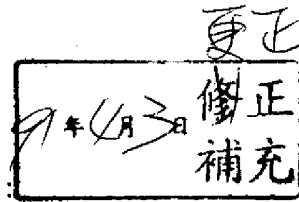
裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍



1. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，選擇性地使第1及第2之編碼部動作；

上述第1編碼部(101)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出編碼畫素之預測值；

第1預測誤差算出器(30)，將被編碼畫素之值與第1預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第1預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第 2 編碼器 (6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第 1 預測誤差算出器 (30) 所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語；而

上述模態判定器 (2)，係輸入畫素記憶體 (1) 所輸出之參照圖素所取的值、及判定器 (4) 所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

2. 一種編碼裝置，其特徵為，具備有：

畫素記憶體 (1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器 (2)，從預先被定義之複數個編碼模態，基於參照畫素所取之值，而對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第 1 編碼部 (101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第 2 編碼部 (102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部 (11)，基於上述模態判定器 (2) 之選擇結果，選擇性地使第 1 及第 2 之編碼部動作；

上述第 1 編碼部 (101)，係具備有：

第 1 預測器 (3)，基於參照畫素所取之值算出編碼畫素之預測值；

六、申請專利範圍

第 1 預測誤差算出器(30)，將被編碼畫素之值與第 1 預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第 1 預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第 1 編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

第 2 編碼器(6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第 1 預測誤差算出器(30)所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語；而

至少上述第一編碼器(5)、第二編碼器(6)中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源編碼。

3. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

六、申請專利範圍

第 1 編碼部 (101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第 2 編碼部 (102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部 (11)，基於上述模態判定器 (2) 之選擇結果，選擇性地使第 1 及第 2 之編碼部動作；

上述第 1 編碼部 (101)，係具備有：

第 1 預測器 (3)，基於參照畫素所取之值算出編碼畫素之預測值；

第 1 預測誤差算出器 (30)，將被編碼畫素之值與第 1 預測器 (3) 所算出之預測值之誤差做為預測誤差加以算出；

判定器 (4)，判定被第 1 預測誤差算出器 (30) 所算出之預測誤差是否為特定之值，而輸出判定結果；

第 1 編碼器 (5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器 (4) 被輸入之判定結果而加以編碼，而輸出編碼語；及

第 2 編碼器 (6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第 1 預測誤差算出器 (30) 所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語；

上述第 2 編碼部 (102)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出編碼畫素之預測值；

六、申請專利範圍

第 2 預測誤差算出器(31)，將編碼畫素之值與被預測器所算出之預測值之誤差做為預測誤差加以算出；及

第 3 編碼器(8)，對於以上述被選擇之特定之編碼模態以外加以編碼之編碼畫素，不管被第 2 預測誤差算出器(31)所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語；而

上述模態判定器(2)，係輸入畫素記憶體(1)所輸出之參照圖素所取的值、及判定器(4)所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

4. 一種解碼裝置，其特徵為，具備有：

畫素記憶體(41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器(42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部(201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部(202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及解碼控制部(43)，基於上述模態判定器(42)之選擇結果，而選擇性地使第 1 及第 2 解碼部動作；

上述第 1 解碼部(201)，係具備有：

六、申請專利範圍

第 1 預測器 (3)，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼器 (45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼器 (46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出器 (32)，係從被上述第 1 預測器 (3) 所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器 (46) 所得到之預測誤差來算出解碼畫素之值；而

上述模態判定器 (42)，係輸入畫素記憶體 (41) 所輸出之參照畫素所取之值、及上述第一解碼器 (45) 所解碼的判定結果，並基於參照畫素所取之值與判定結果以選擇解碼模態。

5. 一種解碼裝置，其特徵為，具備有：

畫素記憶體 (41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器 (42)，從預先被定義之複數個解碼模態，基於參照畫素所取之值，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部 (201)，係輸入編碼語，同時預測解碼畫素之

六、申請專利範圍

值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部 (202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及解碼控制部 (43)，基於上述模態判定器 (42) 之選擇結果，而選擇性地使第 1 及第 2 解碼部動作；

上述第 1 解碼部 (201)，係具備有：

第 1 預測器 (3)，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼器 (45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼器 (46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出器 (32)，係從被上述第 1 預測器 (3) 所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器 (46) 所得到之預測誤差來算出解碼畫素之值；而

至少上述第一解碼器 (45)、第二解碼器 (46) 中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇

六、申請專利範圍

最適當的編碼而實現的 2 值資訊源解碼。

6. 一種解碼裝置，其特徵為，具備有：

畫素記憶體 (41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器 (42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部 (201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部 (202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及解碼控制部 (43)，基於上述模態判定器 (42) 之選擇結果，而選擇性地使第 1 及第 2 解碼部動作；

上述第 1 解碼部 (201)，係具備有：

第 1 預測器 (3)，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼器 (45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼器 (46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

六、申請專利範圍

第 1 解碼畫素算出器 (32)，係從被上述第 1 預測器 (3) 所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器 (46) 所得到之預測誤差來算出解碼畫素之值；

上述第 2 解碼部 (202)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼器 (48)，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出器 (33)，係將在從被上述第 2 預測器 (7) 所算出之解碼畫素之預測值、及被第 3 解碼器 (48) 所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出；而

上述模態判定器 (42)，係輸入畫素記憶體 (41) 所輸出之參照畫素所取之值、及上述第一解碼器 (45) 所解碼的判定結果，並基於參照畫素所取之值與判定結果以選擇解碼模態。

7. 如申請專利範圍第 1、2 或 3 項之編碼裝置，其中，上述編碼裝置係具備於半導體晶片上。

8. 如申請專利範圍第 1、2 或 3 項之編碼裝置，其中，上述編碼裝置係具備於電路板上。

9. 一種編碼裝置，其特徵為，具備有：

畫素記憶體 (1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了

六、申請專利範圍

之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，選擇性地使第1及第2之編碼部動作，而

上述第1編碼部(101)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出編碼畫素之預測值；

第1預測誤差算出器(30)，將被編碼畫素之值與第1預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第1預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

第2編碼器(6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素，被第1預測誤差算出器(30)所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

測誤差，而輸出對應之編碼語，而

上述第 2 編碼部 (102)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出編碼畫素之預測值；

第 2 預測誤差算出器 (31)，將編碼畫素之值與被預測器所算出之預測值之誤差做為預測誤差加以算出；及

第 3 編碼器 (8)，對於以上述被選擇之特定之編碼模態以外加以編碼之編碼畫素，不管被第 2 預測誤差算出器 (31) 所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語，

上述第 1 編碼器 (5)，係具備有：第 1 機率推定器 (25)，將從判定器 (4) 被輸出之判定結果做為 2 值符號列加以輸入而推定 2 值符號之中、任何之一方之 2 值符號之出現機率；及第 1 編碼語分配器 (15)，編碼 2 值符號列；

上述第 2 編碼器 (6)，係具備有：第 1 誤差/符號變換器 (36)，輸入預測誤差而將預測誤差變換為 2 值符號列；第 2 機率推定器 (26)，輸入 2 值符號列而推定 2 值符號之中、任何之一方之 2 值符號之出現機率；及第 2 編碼語分配器 (16)，編碼 2 值符號列；

上述第 3 編碼器 (8)，係具備有：第 2 誤差/符號變換器 (38)，輸入預測誤差而將預測誤差變換為 2 值符號列；第 3 機率推定器 (28)，輸入 2 值符號列而推定 2 值符號之中、任何之一方之 2 值符號之出現機率；及第 3 編碼語分配器 (18)，編碼 2 值符號列，

六、申請專利範圍

上述編碼控制部(11)，係具備有：編碼語送出順序控制器，依據至少上述第1編碼器(5)、第2編碼器(6)、第3編碼器(8)中之任何一個之編碼語確定下來，且、依據剩餘編碼器之編碼語尚未確定之場合時，變更編碼語之輸出順序，而

上述模態判定器(2)，係輸入畫素記憶體(1)所輸出之參照圖素所取的值、及判定器(4)所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

10. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，選擇性地使第1及第2之編碼部動作，而

上述第1編碼部(101)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出編碼畫素之

六、申請專利範圍

預測值；

第 1 預測誤差算出器(30)，將被編碼畫素之值與第 1 預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第 1 預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第 1 編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

第 2 編碼器(6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第 1 預測誤差算出器(30)所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語，而

上述第 2 編碼部(102)，係具備有：

第 2 預測器(7)，基於參照畫素所取之值算出編碼畫素之預測值；

第 2 預測誤差算出器(31)，將編碼畫素之值與被預測器所算出之預測值之誤差做為預測誤差加以算出；及

第 3 編碼器(8)，對於以上述被選擇之特定之編碼模態以外加以編碼之編碼畫素，不管被第 2 預測誤差算出器(31)所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語，

上述第 1 編碼器(5)，係具備有：第 1 機率推定器(25)，將從判定器(4)被輸出之判定結果做為 2 值符號列加以輸入而推定 2 值符號之中、任何之一方之 2 值符號之出現機

六、申請專利範圍

率；及第 1 編碼語分配器(15)，編碼 2 值符號列；

上述第 2 編碼器(6)，係具備有：第 1 誤差/符號變換器(36)，輸入預測誤差而將預測誤差變換為 2 值符號列；第 2 機率推定器(26)，輸入 2 值符號列而推定 2 值符號之中、任何之一方之 2 值符號之出現機率；及第 2 編碼語分配器(16)，編碼 2 值符號列；

上述第 3 編碼器(8)，係具備有：第 2 誤差/符號變換器(38)，輸入預測誤差而將預測誤差變換為 2 值符號列；第 3 機率推定器(28)，輸入 2 值符號列而推定 2 值符號之中、任何之一方之 2 值符號之出現機率；及第 3 編碼語分配器(18)，編碼 2 值符號列，

至少上述第 1 編碼語分配器(15)、第 2 編碼語分配器(16)、第 3 編碼語分配器(18)之任何一個，係基於相對應之第 1 機率推定器(25a)、第 2 機率推定器(26a)、第 3 機率推定器(28a)所各自分別推定之 2 值符號之中，任何一方之 2 值符號之機率推定變化而變更 2 值符號之那一個為優勢符號之解釋，而

上述模態判定器(2)，係輸入畫素記憶體(1)所輸出之參照圖素所取的值、及判定器(4)所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

11. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

六、申請專利範圍

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，選擇性地使第1及第2之編碼部動作，而

上述第1編碼部(101)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出編碼畫素之預測值；

第1預測誤差算出器(30)，將被編碼畫素之值與第1預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第1預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

第2編碼器(6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素，被第1預測誤差算出器(30)所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語，而

六、申請專利範圍

上述第 2 編碼部 (102)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出編碼畫素之預測值；

第 2 預測誤差算出器 (31)，將編碼畫素之值與被預測器所算出之預測值之誤差做為預測誤差加以算出；及

第 3 編碼器 (8)，對於以上述被選擇之特定之編碼模態以外加以編碼之編碼畫素，不管被第 2 預測誤差算出器 (31) 所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語，

統合上述第 1 編碼部 (101) 之第 1 預測器 (3) 及第 2 編碼部 (102) 之第 2 預測器 (7) 而做為共通之預測器，同時

上述模態判定器 (2)，係輸入畫素記憶體 (1) 所輸出之參照圖素所取之值、及判定器 (4) 所輸出的判定結果，並基於參照畫素所取之值與判定結果以選擇編碼模態。

12. 一種編碼裝置，其特徵為，具備有：

畫素記憶體 (1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器 (2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第 1 編碼部 (101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

六、申請專利範圍

第 2 編碼部 (102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部 (11)，基於上述模態判定器 (2) 之選擇結果，選擇性地使第 1 及第 2 之編碼部動作，而

上述第 1 編碼部 (101)，係具備有：

第 1 預測器 (3)，基於參照畫素所取之值算出編碼畫素之預測值；

第 1 預測誤差算出器 (30)，將被編碼畫素之值與第 1 預測器 (3) 所算出之預測值之誤差做為預測誤差加以算出；

判定器 (4)，判定被第 1 預測誤差算出器 (30) 所算出之預測誤差是否為特定之值，而輸出判定結果；

第 1 編碼器 (5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器 (4) 被輸入之判定結果而加以編碼，而輸出編碼語；及

第 2 編碼器 (6)，對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、被第 1 預測誤差算出器 (30) 所算出之預測誤差非為上述特定之值之編碼畫素，加以編碼其預測誤差，而輸出對應之編碼語，而

上述第 2 編碼部 (102)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出編碼畫素之預測值；

第 2 預測誤差算出器 (31)，將編碼畫素之值與被預測器所算出之預測值之誤差做為預測誤差加以算出；及

第 3 編碼器 (8)，對於以上述被選擇之特定之編碼模態以

六、申請專利範圍

外加以編碼之編碼畫素，不管被第 2 預測誤差算出器 (31) 所算出之預測誤差是否為上述特定之值，編碼其預測誤差，而輸出對應之編碼語，

統合上述第 1 編碼器 (5)、第 2 編碼器 (6)、第 3 編碼器 (8) 之中，至少任何之 2 個編碼器而做為共通之編碼器，同時

上述模態判定器 (2)，係輸入畫素記憶體 (1) 所輸出之參照圖素所取的值、及判定器 (4) 所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

13. 如申請專利範圍第 4、5 或 6 項之解碼裝置，其中，上述解碼裝置係具備於半導體晶片上。

14. 如申請專利範圍第 4、5 或 6 項之解碼裝置，其中，上述解碼裝置係具備於電路板上。

15. 一種解碼裝置，其特徵為，具備有：

畫素記憶體 (41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器 (42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部 (201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部 (202)，係輸入編碼語，同時預測解碼畫素之

六、申請專利範圍

值，而將編碼語解碼變回解碼畫素之值；及

解碼控制部(43)，基於上述模態判定器(42)之選擇結果，而選擇性地使第1及第2解碼部動作，

而上述第1解碼部(201)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼器(45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第2解碼器(46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第1解碼畫素算出器(32)，係從被上述第1預測器(3)所算出之解碼畫素之預測值、及上述判定結果、及被上述第2解碼器(46)所得到之預測誤差來算出解碼畫素之值，

而上述第2解碼部(202)，係具備有：

第2預測器(7)，基於參照畫素所取之值算出解碼畫素之預測值；

第3解碼器(48)，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第2解碼畫素算出器(33)，係將在從被上述第2預測器(7)所算出之解碼畫素之預測值、及被第3解碼器(48)所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

解碼畫素之值加以算出，

上述第 1 解碼器(45)，係具備有：第 1 符號復原器(55)，輸入編碼語而解碼成 2 值符號列；及第 1 機率推定器(75)，推定 2 值符號之中任何一方之 2 值符號之出現機率，而將 2 值符號列之中，為那一個做為判定結果加以輸出，

同時上述第 2 解碼器(46)，係具備有：第 2 符號復原器(56)，輸入編碼語而解碼成 2 值符號列；及第 2 機率推定器(76)，輸入 2 值符號而推定 2 值符號之中、任何一方之 2 值符號之出現機率；及第 1 符號/誤差變換器(86)，輸入 2 值符號列而將 2 值符號列變換成預測誤差，

上述第 3 解碼器(48)，係具備有：第 3 符號復原器(58)，輸入編碼語而解碼成 2 值符號列；及第 3 機率推定器(78)，輸入 2 值符號而推定 2 值符號之中、任何一方之 2 值符號之出現機率；及第 2 符號/誤差變換器(88)，輸入 2 值符號列而將 2 值符號列變換成預測誤差，

上述解碼控制部(43)，係具備有：2 值符號使用順序控制器，於至少第 1 解碼器(45)、第 2 解碼器(46)、第 3 解碼器(48)之任何一個已解碼之 2 值符號列全部被使用之前，於其他之任何 1 個解碼器輸出 2 值符號列之場合時，變更已解碼之 2 值符號之使用順序，而

上述模態判定器(42)，係輸入畫素記憶體(41)所輸出之參照畫素所取的值、及上述第一解碼器(45)所解碼的判定結果，並基於參照畫素所取的值與判定結果以選擇解碼模態。

六、申請專利範圍

16. 一種解碼裝置，其特徵為，具備有：

畫素記憶體(41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器(42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第1解碼部(201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第2解碼部(202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制部(43)，基於上述模態判定器(42)之選擇結果，而選擇性地使第1及第2解碼部動作，

而上述第1解碼部(201)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼器(45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第2解碼器(46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第1解碼畫素算出器(32)，係從被上述第1預測器(3)

六、申請專利範圍

所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器(46)所得到之預測誤差來算出解碼畫素之值，

而上述第 2 解碼部(202)，係具備有：

第 2 預測器(7)，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼器(48)，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出器(33)，係將在從被上述第 2 預測器(7)所算出之解碼畫素之預測值、及被第 3 解碼器(48)所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出，

上述第 1 解碼器(45)，係具備有：第 1 符號復原器(55)，輸入編碼語而解碼成 2 值符號列；及第 1 機率推定器(75)，推定 2 值符號之中任何一方之 2 值符號之出現機率，而將 2 值符號列之中，為那一個做為判定結果加以輸出，

同時上述第 2 解碼器(46)，係具備有：第 2 符號復原器(56)，輸入編碼語而解碼成 2 值符號列；及第 2 機率推定器(76)，輸入 2 值符號而推定 2 值符號之中、任何一方之 2 值符號之出現機率；及第 1 符號/誤差變換器(86)，輸入 2 值符號列而將 2 值符號列變換成預測誤差，

上述第 3 解碼器(48)，係具備有：第 3 符號復原器(58)，輸入編碼語而解碼成 2 值符號列；及第 3 機率推定器(78)，輸入 2 值符號而推定 2 值符號之中、任何一方之 2 值符號

六、申請專利範圍

之出現機率；及第 2 符號 / 誤差變換器 (88)，輸入 2 值符號列而將 2 值符號列變換成預測誤差，

至少上述第 1 符號復原器 (55)、第 2 符號復原器 (56)、第 3 符號復原器 (58) 之任何一個，係基於對應之第 1 機率推定器 (75)、第 2 機率推定器 (76)、第 3 機率推定器 (78) 各自分別地所推定之 2 值符號之機率推定變化而變更 2 值符號之那一個為優勢符號之解釋，而

上述模態判定器 (42)，係輸入畫素記憶體 (41) 所輸出之參照畫素所取的值、及上述第一解碼器 (45) 所解碼的判定結果，並基於參照畫素所取的值與判定結果以選擇解碼模態。

17. 一種解碼裝置，其特徵為，具備有：

畫素記憶體 (41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器 (42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部 (201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部 (202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制部 (43)，基於上述模態判定器 (42) 之選擇結

六、申請專利範圍

果，而選擇性地使第 1 及第 2 解碼部動作，

而上述第 1 解碼部(201)，係具備有：

第 1 預測器(3)，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼器(45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼器(46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出器(32)，係從被上述第 1 預測器(3)所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器(46)所得到之預測誤差來算出解碼畫素之值，

而上述第 2 解碼部(202)，係具備有：

第 2 預測器(7)，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼器(48)，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出器(33)，係將在從被上述第 2 預測器(7)所算出之解碼畫素之預測值、及被第 3 解碼器(48)所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出，

統合上述第 1 解碼部(201)之第 1 預測器(3)及第 2 解碼

六、申請專利範圍

部(202)之第2預測器(7)而做為共通之預測器，同時

上述模態判定器(42)，係輸入畫素記憶體(41)所輸出之參照畫素所取之值、及上述第一解碼器(45)所解碼的判定結果，並基於參照畫素所取之值與判定結果以選擇解碼模態。

18.一種解碼裝置，其特徵為，具備有：

畫素記憶體(41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器(42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第1解碼部(201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第2解碼部(202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制部(43)，基於上述模態判定器(42)之選擇結果，而選擇性地使第1及第2解碼部動作，

而上述第1解碼部(201)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼器(45)，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是

六、申請專利範圍

否為預定之值之判定結果；

第 2 解碼器 (46)，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出器 (32)，係從被上述第 1 預測器 (3) 所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼器 (46) 所得到之預測誤差來算出解碼畫素之值，

而上述第 2 解碼部 (202)，係具備有：

第 2 預測器 (7)，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼器 (48)，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出器 (33)，係將在從被上述第 2 預測器 (7) 所算出之解碼畫素之預測值、及被第 3 解碼器 (48) 所解碼之預測誤差所選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出，

統合上述第 1 解碼器 (45)、第 2 解碼器 (46)、第 3 解碼器 (48) 之中，至少任何之 2 個解碼器而做為共通之解碼器，同時

上述模態判定器 (42)，係輸入畫素記憶體 (41) 所輸出之參照畫素所取的值、及上述第一解碼器 (45) 所解碼的判定結果，並基於參照畫素所取的值與判定結果以選擇解碼模態。

六、申請專利範圍

19. 一種編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素做為參照畫素之值予以輸出；

模態判定工程，從預先被定義之複數個編碼模態，對於編碼畫素，選擇特定之編碼模態及其以外之編碼模態之任何一個；

第 1 主編碼工程，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值予以編碼而輸出編碼語；

第 2 主編碼工程，預測編碼畫素之值，將編碼畫素之值予以編碼而輸出編碼語；及

編碼控制工程，基於上述模態判定工程之選擇結果，選擇性地使第 1 及第 2 主編碼工程動作；

上述第 1 主編碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第 1 預測誤差算出工程，將與被編碼畫素之值及第 1 預測工程所算出之預測值之誤差做為預測誤差予以算出；

判定工程，判定在第 1 預測誤差算出工程所算出之預測誤差是否為預定之值而輸出判定結果；

第 1 編碼工程，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入由判定工程所輸出之判定結果加以編碼，而輸出編碼語；及

六、申請專利範圍

第 2 編碼工程，係對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、由第 1 預測誤差算出工程所算出之預測誤差非為上述預定之值，編碼其預測誤差，而輸出對應之編碼語；而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫素的值、及由判定步驟所輸出的判定結果，並基於參照畫素的值與判定結果以選擇編碼模態。

20. 一種編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素做為參照畫素之值予以輸出；

模態判定工程，從預先被定義之複數個編碼模態，基於參照畫素所取之值，對於編碼畫素，選擇特定之編碼模態及其以外之編碼模態之任何一個；

第 1 主編碼工程，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值予以編碼而輸出編碼語；

第 2 主編碼工程，預測編碼畫素之值，將編碼畫素之值予以編碼而輸出編碼語；及

編碼控制工程，基於上述模態判定工程之選擇結果，選擇性地使第 1 及第 2 主編碼工程動作；

上述第 1 主編碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

六、申請專利範圍

第 1 預測誤差算出工程，將與被編碼畫素之值及第 1 預測工程所算出之預測值之誤差做為預測誤差予以算出；

判定工程，判定在第 1 預測誤差算出工程所算出之預測誤差是否為預定之值而輸出判定結果；

第 1 編碼工程，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入由判定工程所輸出之判定結果加以編碼，而輸出編碼語；及

第 2 編碼工程，係對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素，由第 1 預測誤差算出工程所算出之預測誤差非為上述預定之值，編碼其預測誤差，而輸出對應之編碼語；而

至少上述第一、第二編碼步驟中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源編碼。

21. 一種編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素做為參照畫素之值予以輸出；

模態判定工程，從預先被定義之複數個編碼模態，對於編碼畫素，選擇特定之編碼模態及其以外之編碼模態之任何一個；

六、申請專利範圍

第 1 主編碼工程，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值予以編碼而輸出編碼語；

第 2 主編碼工程，預測編碼畫素之值，將編碼畫素之值予以編碼而輸出編碼語；及

編碼控制工程，基於上述模態判定工程之選擇結果，選擇性地使第 1 及第 2 主編碼工程動作；

上述第 1 主編碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第 1 預測誤差算出工程，將與被編碼畫素之值及第 1 預測工程所算出之預測值之誤差做為預測誤差予以算出；

判定工程，判定在第 1 預測誤差算出工程所算出之預測誤差是否為預定之值而輸出判定結果；

第 1 編碼工程，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入由判定工程所輸出之判定結果加以編碼，而輸出編碼語；及

第 2 編碼工程，係對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、由第 1 預測誤差算出工程所算出之預測誤差非為上述預定之值，編碼其預測誤差，而輸出對應之編碼語；

上述第 2 主編碼工程，係具備有：

第 2 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

六、申請專利範圍

第 2 預測誤差算出工程，將編碼畫素之值與被第 2 預測工程所算出之預測值之誤差做為預測誤差予以算出；

第 3 編碼工程，係對於在被選擇之上述特定之編碼模態以外加以編碼之編碼畫素，不管由第 2 預測誤差算出工程所算出之預測誤差是否為上述預定之值，編碼其預測誤差，而輸出對應之編碼語；而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫素的值、及由判定步驟所輸出的判定結果，並基於參照畫素的值與判定結果以選擇編碼模態。

22. 一種編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素做為參照畫素之值予以輸出；

模態判定工程，從預先被定義之複數個編碼模態，對於編碼畫素，選擇特定之編碼模態及其以外之編碼模態之任何一個；

第 1 主編碼工程，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值予以編碼而輸出編碼語；

第 2 主編碼工程，預測編碼畫素之值，將編碼畫素之值予以編碼而輸出編碼語；及

編碼控制工程，基於上述模態判定工程之選擇結果，選擇性地使第 1 及第 2 主編碼工程動作，而

上述第 1 主編碼工程，係具備有：

六、申請專利範圍

第 1 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第 1 預測誤差算出工程，將與被編碼畫素之值及第 1 預測工程所算出之預測值之誤差做為預測誤差予以算出；

判定工程，判定在第 1 預測誤差算出工程所算出之預測誤差是否為預定之值而輸出判定結果；

第 1 編碼工程，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入由判定工程所輸出之判定結果加以編碼，而輸出編碼語；及

第 2 編碼工程，係對於為以被選擇之上述特定之編碼模態加以編碼之編碼畫素、由第 1 預測誤差算出工程所算出之預測誤差非為上述預定之值，編碼其預測誤差，而輸出對應之編碼語，而

上述第 2 主編碼工程，係具備有：

第 2 預測工程，基於參照畫素所取之值而算出編碼畫素之預測值；

第 2 預測誤差算出工程，將編碼畫素之值與被第 2 預測工程所算出之預測值之誤差做為預測誤差予以算出；

第 3 編碼工程，係對於在被選擇之上述特定之編碼模態以外加以編碼之編碼畫素、不管由第 2 預測誤差算出工程所算出之預測誤差是否為上述預定之值，編碼其預測誤差，而輸出對應之編碼語，

上述第 1 編碼工程，係具備有：第 1 機率推定工程，將從判定工程被輸出之判定結果做為 2 值符號列予以輸入，

六、申請專利範圍

而推定 2 值符號之中、任何一方之 2 值符號之出現機率；
及第 1 編碼語分配工程，編碼 2 值符號列，

上述第 2 編碼工程，係具備有：第 1 誤差 / 符號變換工程，
輸入預測誤差而將預測誤差變換為 2 值符號列；第 2 機率
推定工程，輸入 2 值符號列，而推定 2 值符號之中、任何
一方之 2 值符號之出現機率；及第 2 編碼語分配工程，編
碼 2 值符號列，

上述第 3 編碼工程，係具備有：第 2 誤差 / 符號變換工程，
輸入預測誤差而將預測誤差變換為 2 值符號列；第 3 機率
推定工程，輸入 2 值符號列，而推定 2 值符號之中、任何
一方之 2 值符號之出現機率；及第 3 編碼語分配工程，編
碼 2 值符號列，

至少上述第 1、第 2、第 3 之編碼語分配工程之任何一個，
係基於對應之第 1、第 2、第 3 之機率推定工程各自分別所
推定之 2 值符號之機率推定變化而變更 2 值符號之那一個
為優勢符號之解釋之工程，而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫
素的值、及由判定步驟所輸出的判定結果，並基於參照畫
素的值與判定結果以選擇編碼模態。

23. 一種解碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之解碼終了之畫
素予以蓄積，將欲做解碼之解碼畫素之近旁之解碼終了之
畫素之值做為參照畫素之值予以輸出；

模態判定器，從預先被定義之複數個解碼模態，對於解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

碼畫素，選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制工程，基於上述模態判定器之選擇結果，而選擇性地使第 1 及第 2 之主解碼工程動作；

上述第 1 主解碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼工程，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼工程，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出工程，係從被上述第 1 預測工程所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼工程所得到之預測誤差來算出解碼畫素之值；而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫素的值、及第一解碼步驟所輸出的判定結果，並基於參照畫素的值與判定結果以選擇解碼模態。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

24. 一種解碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之解碼終了之畫素予以蓄積，將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照畫素之值予以輸出；

模態判定器，從預先被定義之複數個解碼模態，基於參照畫素所取之值，對於解碼畫素，選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制工程，基於上述模態判定器之選擇結果，而選擇性地使第 1 及第 2 之主解碼工程動作；

上述第 1 主解碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼工程，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼工程，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出工程，係從被上述第 1 預測工程所算

六、申請專利範圍

出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼工程所得到之預測誤差來算出解碼畫素之值；而

至少上述第一、第二解碼步驟中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源解碼。

25. 一種解碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之解碼終了之畫素予以蓄積，將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照畫素之值予以輸出；

模態判定器，從預先被定義之複數個解碼模態，對於解碼畫素，選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制工程，基於上述模態判定器之選擇結果，而選擇性地使第 1 及第 2 之主解碼工程動作；

上述第 1 主解碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值算出解碼畫素之

六、申請專利範圍

預測值：

第 1 解碼工程，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼工程，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出工程，係從被上述第 1 預測工程所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼工程所得到之預測誤差來算出解碼畫素之值；

上述第 2 主解碼工程，係具備有：

第 2 預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼工程，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出工程，係將以由被第 2 預測工程所算出之解碼畫素之預測值、及被第 3 解碼工程所解碼之預測誤差加以選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出；而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫素的值、及第一解碼步驟所輸出的判定結果，並基於參照畫素的值與判定結果以選擇解碼模態。

26. 一種解碼方法，其特徵為，具備有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

輸出工程，將具有預定範圍之任何一值之解碼終了之畫素予以蓄積，將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照畫素之值予以輸出；

模態判定器，從預先被定義之複數個解碼模態，對於解碼畫素，選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 主解碼工程，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制工程，基於上述模態判定器之選擇結果，而選擇性地使第 1 及第 2 之主解碼工程動作，而

上述第 1 主解碼工程，係具備有：

第 1 預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼工程，對於以被選擇之特定之解碼模態所解碼之解碼畫素，將對應之編碼語解碼變回表示預測誤差是否為預定之值之判定結果；

第 2 解碼工程，係對於為以被選擇之上述特定之解碼模態所解碼之解碼畫素、預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第 1 解碼畫素算出工程，係從被上述第 1 預測工程所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

解碼工程所得之預測誤差來算出解碼畫素之值，而

上述第 2 主解碼工程，係具備有：

第 2 預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 3 解碼工程，對於以被選擇之上述特定之解碼模態以外所解碼之解碼畫素，不管預測誤差是否為上述預定之值，將對應之編碼語解碼變回預測誤差；及

第 2 解碼畫素算出工程，係將以由被第 2 預測工程所算出之解碼畫素之預測值、及被第 3 解碼工程所解碼之預測誤差加以選擇之上述特定之解碼模態以外所解碼之解碼畫素之值加以算出，

上述第 1 解碼工程，係具備有：第 1 符號復原工程，輸入編碼語而解碼成 2 值符號列；及第 1 機率推定工程，推定 2 值符號之中任何一方之 2 值符號之出現機率，而將 2 值符號列之中，為那一個做為判定結果加以輸出，

同時上述第 2 解碼工程，係具備有：第 2 符號復原工程，輸入編碼語而解碼成 2 值符號列；第 2 機率推定工程，輸入 2 值符號而推定 2 值符號之出現機率；及第 1 符號 / 誤差變換工程，輸入 2 值符號列而將 2 值符號列變換成預測誤差，

上述第 3 解碼工程，係具備有：第 3 符號復原工程，輸入編碼語而解碼成 2 值符號列；第 3 機率推定工程，輸入 2 值符號而推定 2 值符號之中、任何一方之 2 值符號之出現機率；及第 2 符號 / 誤差變換工程，輸入 2 值符號列而將

六、申請專利範圍

2 值符號列變換成預測誤差，

至少上述第 1、第 2、第 3 之符號復原工程之任何一個，係基於對應之第 1、第 2、第 3 之機率推定工程各自分別所推定之 2 值符號之機率推定變化而變更 2 值符號之解釋之工程，而

上述模態判定步驟，係輸入由輸出步驟所輸出之參照畫素的值、及第一解碼步驟所輸出的判定結果，並基於參照畫素的值與判定結果以選擇解碼模態。

27. 一種畫像處理裝置，其畫像處理裝置(60、66、68、69、61、100)係輸入由複數個畫素所構成之畫像訊號，而在編碼裝置編碼其畫像訊號之畫素而輸出於次段之處理裝置，特徵為，上述編碼裝置，係具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第 1 編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第 2 編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，

六、申請專利範圍

選擇性地使第 1 及第 2 之編碼部動作；而

上述第一編碼部(101)，係包含有：

第一預測器(3)，基於參照畫素所取的值而算出編碼畫素之預測值；

第一預測誤差算出器(30)，算出編碼畫素之值與第一預測器(3)所算出的預測值之誤差以作為預測誤差；

判定器(4)，判定第一預測誤差算出器(30)所算出的預測誤差是否為特定值，並輸出判定結果；

第一編碼器(5)，就以被選擇之特定編碼模態所編碼的編碼畫素，輸入由判定器(4)所輸出的判定結果並予以編碼，而輸出編碼語；以及

第二編碼器(6)，對以被選擇之上述特定編碼模態所編碼的編碼畫素，且以第一預測誤差算出器(30)所算出的預測誤差非為上述特定值的編碼畫素，編碼其預測誤差，並輸出所對應的編碼語；而

上述模態判定器(2)，係輸入畫素記憶體(1)所輸出之參照圖素所取的值、及判定器(4)所輸出的判定結果，並基於參照畫素所取的值與判定結果以選擇編碼模態。

28.如申請專利範圍第 27 項之畫像處理裝置，其中，上述畫像處理裝置，係電子計算機。

29.如申請專利範圍第 27 項之畫像處理裝置，其中，上述畫像處理裝置，係掃描器。

30.如申請專利範圍第 27 項之畫像處理裝置，其中，上述畫像處理裝置，係傳真機裝置。

六、申請專利範圍

31.如申請專利範圍第 27 項之畫像處理裝置，其中，上述畫像處理裝置，係顯示裝置。

32.如申請專利範圍第 27 項之畫像處理裝置，其中，上述畫像處理裝置，係記憶裝置。

33.一種畫像處理裝置，其畫像處理裝置(60、66、68、69、61、100)係輸入被編碼之畫像訊號，而在解碼裝置將畫像訊號之畫素加以解碼而輸出於次段之處理裝置，特徵為，上述解碼裝置，係具備有：

畫素記憶體(41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

模態判定器(42)，從預先被定義之複數個解碼模態，對於解碼畫素，而選擇特定之解碼模態及其以外之解碼模態之任何一個；

第 1 解碼部(201)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；

第 2 解碼部(202)，係輸入編碼語，同時預測解碼畫素之值，而將編碼語解碼變回解碼畫素之值；及

解碼控制部(43)，基於上述模態判定器(42)之選擇結果而選擇性地使第 1 及第 2 解碼部動作；而

上述第一解碼部(201)，係包含有：

第一預測器(3)，基於參照畫素所取的值而算出解碼畫素之預測值；

六、申請專利範圍

第一解碼器(45)，對被選擇之特定解碼模態所解碼的解碼畫素，將所對應的編碼語解碼成表示預測誤差是否為特定值的判定結果；

第二解碼器(46)，對以被選擇之上述特定解碼模態所解碼的解碼畫素，且非為上述特定值的解碼畫素，將所對應的編碼語解碼成其預測誤差；以及

第一解碼畫素算出器(32)，自上述第一預測器(3)所算出的解碼畫素之預測值、上述判定結果、及上述第二解碼器(46)所得的預測誤差中，算出解碼畫素的值；而

上述模態判定器(42)，係輸入畫素記憶體(41)所輸出之參照畫素所取的值、及上述第一解碼器(45)所解碼的判定結果，並基於參照畫素所取的值與判定結果以選擇解碼模態。

34.如申請專利範圍第33項之畫像處理裝置，其中，上述畫像處理裝置，係電子計算機。

35.如申請專利範圍第33項之畫像處理裝置，其中，上述畫像處理裝置，係掃描器。

36.如申請專利範圍第33項之畫像處理裝置，其中，上述畫像處理裝置，係傳真機裝置。

37.如申請專利範圍第33項之畫像處理裝置，其中，上述畫像處理裝置，係印表機。

38.如申請專利範圍第33項之畫像處理裝置，其中，上述畫像處理裝置，係顯示裝置。

39.如申請專利範圍第33項之畫像處理裝置，其中，上

六、申請專利範圍

述畫像處理裝置，係記憶裝置。

40. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

編碼部(101a)，預測編碼畫素之值，而判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

編碼控制部(11)，基於上述編碼部(101a)所判定之預測之適當與否，控制上述編碼部之動作；

上述編碼部(101a)，係具備有：

預測器(3)，基於參照畫素所取之值算出編碼畫素之預測值；

預測誤差算出器(30)，將被編碼畫素之值與預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被預測誤差算出器(30)所算出之預測誤差是否為預定之值，而輸出判定結果；

第1編碼器(5)，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

第2編碼器(6)，對於被預測誤差算出器(30)所算出之預測誤差非為上述預定之值之編碼畫素，編碼其預測誤差，而輸出對應之編碼語；而

上述第一編碼器(5)，係具備有：

第一機率推定器(25)，輸入由判定器(4)所輸出的判定結

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

果以作為 2 值符號列，用以推定 2 值符號之中哪一方的 2 值符號之出現機率；及

用以編碼 2 值符號列的第一編碼語分配器(15)；

上述第二編碼器(6)，係具備有：

第一誤差/符號變換器(36)，輸入預測誤差之後將預測誤差變換成 2 值符號列；

第二機率推定器(26)，輸入 2 值符號列以推定 2 值符號之中哪一方的 2 值符號之出現機率；及

用以編碼 2 值符號列的第二編碼語分配器(16)；而

至少上述第一編碼語分配器(15)、第二編碼語分配器(16)中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源編碼。

41. 一種解碼裝置，其特徵為，具備有：

畫素記憶體(41)，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

解碼部(201a)，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回解碼畫素之值；及

解碼控制部(43)，基於上述解碼部(201a)所判定之預測之適當與否，而控制上述解碼部之動作；

六、申請專利範圍

上述解碼部(201a)，係具備有：

預測器(3)，基於參照畫素所取之值算出解碼畫素之預測值；

第1解碼器(45)，將表示預測誤差是否為預定之值之判定結果予以解碼；

第2解碼器(46)，係對於預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

第1解碼畫素算出器(32)，係從被上述預測器(3)所算出之解碼畫素之預測值、及上述判定結果、及被上述第2解碼器(46)所得到之預測誤差來算出解碼畫素之值；而

上述第一解碼器(45)，係具備有：

第一符號復原器(55)，輸入編碼語以解碼成2值符號列；及

第一機率推定器(75)，推定2值符號之中哪一方的2值符號之出現機率；並輸出2值符號列中之任一方以作為判定結果，同時

上述第二解碼器(46)，係具備有：

第二符號復原器(56)，輸入編碼語以解碼成2值符號列；

第二機率推定器(76)，輸入2值符號以推定2值符號之中哪一方的2值符號之出現機率；及

第一符號/誤差變換器(86)，輸入2值符號列以將2值符號列變換成預測誤差；而

至少上述第一符號復原器(55)、第二符號復原器(56)中之任一個，係基於2值符號之哪一個為優勢符號之資訊及

六、申請專利範圍

優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源解碼。

42. 一種編碼方法，其特徵為，具備有：

輸出工程，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

編碼工程，預測編碼畫素之值，而判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；
及

編碼控制工程，基於上述編碼工程所判定之預測之適當與否，控制上述編碼部之動作；

上述編碼工程，係具備有：

預測工程，基於參照畫素所取之值算出編碼畫素之預測值；

預測誤差算出工程，將被編碼畫素之值與預測工程所算出之預測值之誤差做為預測誤差加以算出；

判定工程，判定被預測誤差算出工程所算出之預測誤差是否為預定之值，而輸出判定結果；

第 1 編碼工程，輸入從判定工程被輸入之判定結果而加以編碼，而輸出編碼語；及

第 2 編碼工程，對於被預測誤差算出工程所算出之預測誤差非為上述預定之值之編碼畫素，編碼其預測誤差，而

六、申請專利範圍

輸出對應之編碼語；而

上述第一編碼步驟，係具備有：

第一機率推定步驟，輸入由判定步驟所輸出的判定結果以作為 2 值符號列，以推定 2 值符號之中哪一方的 2 值符號之出現機率；及

用以編碼 2 值符號列的第一編碼語分配步驟；

上述第二編碼步驟，係具備有：

第一誤差 / 符號變換步驟，輸入預測誤差之後將預測誤差變換成 2 值符號列；

第二機率推定步驟，輸入 2 值符號列，以推定 2 值符號之中哪一方的 2 值符號之出現機率；及

用以編碼 2 值符號列的第二編碼語分配步驟；而

至少上述第一、第二編碼語分配步驟中之任一個，係基於 2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出現機率，而從對 2 值符號之擴大資訊源進行組織性製作的哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編碼而實現的 2 值資訊源編碼。

43. 一種解碼方法，其特徵為，具備有：

輸出工程，係蓄積具有預定之範圍之任何一值之解碼終了之畫素，而將欲做解碼之解碼畫素之近旁之解碼終了之畫素之值做為參照之值加以輸出；

解碼工程，係輸入編碼語，同時預測解碼畫素之值，而判定預測之適當與否，而基於判定結果將編碼語解碼變回

六、申請專利範圍

解碼畫素之值；及

解碼控制工程，基於上述解碼工程所判定之預測之適當與否，而控制上述解碼部之動作；

上述解碼工程，係具備有：

預測工程，基於參照畫素所取之值算出解碼畫素之預測值；

第 1 解碼工程，將表示預測誤差是否為預定之值之判定結果予以解碼；

第 2 解碼工程，係對於預測誤差不為上述預定之值之解碼畫素，而將對應之編碼語解碼變回其預測誤差；及

解碼畫素算出工程，係從被上述預測器(3)所算出之解碼畫素之預測值、及上述判定結果、及被上述第 2 解碼工程所得到之預測誤差來算出解碼畫素之值；而

上述第一解碼步驟，係具備有：

第一符號復原步驟，輸入編碼語以解碼成 2 值符號列；

及

第一機率推定步驟，推定 2 值符號之中哪一方的 2 值符號之出現機率；並輸出 2 值符號列中之任一方以作為判定結果，同時

上述第二解碼步驟，係具備有：

第二符號復原步驟，輸入編碼語以解碼成 2 值符號列；

第二機率推定步驟，輸入 2 值符號以推定 2 值符號之中哪一方的 2 值符號之出現機率；及

第一符號 / 誤差變換步驟，輸入 2 值符號列以將 2 值符號

六、申請專利範圍

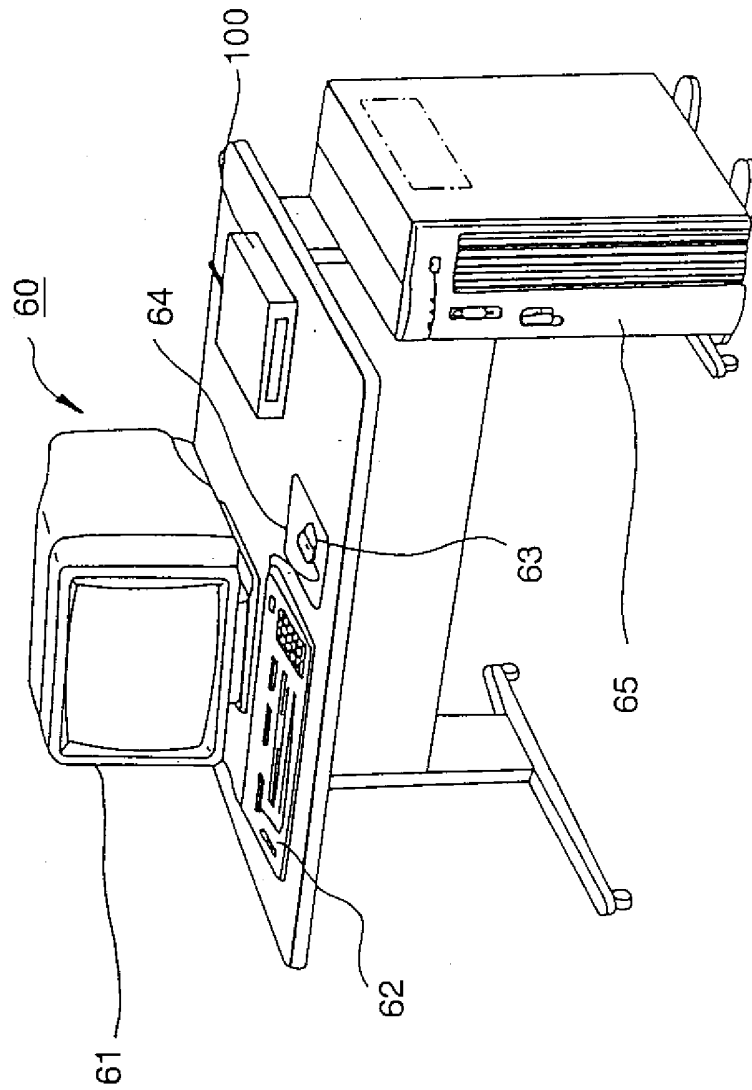
列變換成預測誤差；而

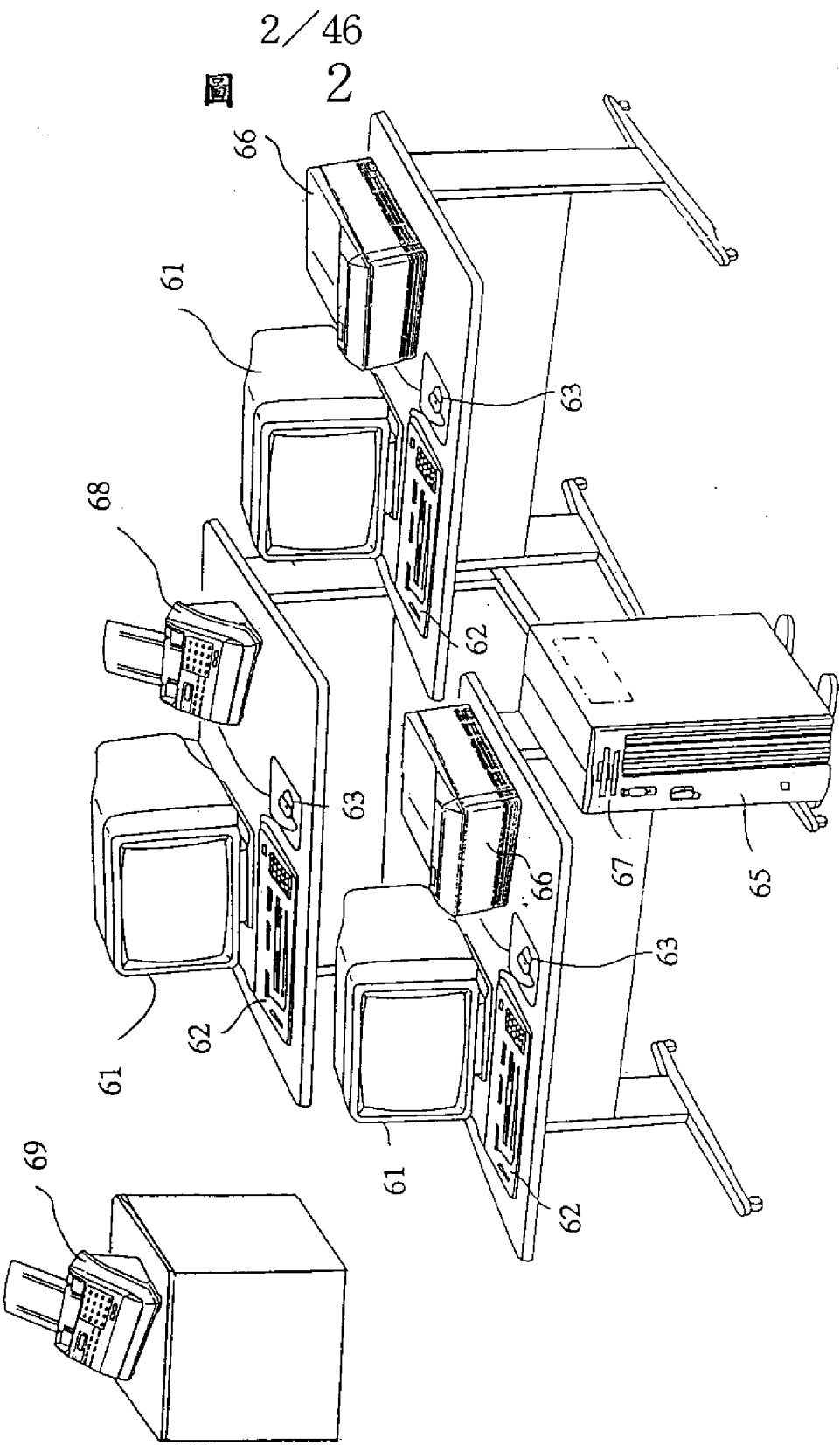
至少上述第一、第二符號復原步驟中之任一個，係基於
2 值符號之哪一個為優勢符號之資訊及優勢符號之推定出
現機率，而從對 2 值符號之擴大資訊源進行組織性製作的
哈夫曼編碼組之中，進行依從優勢符號之推定出現機率中
所假設的 2 值符號之擴大資訊源的狀況下選擇最適當的編
碼而實現的 2 值資訊源解碼。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

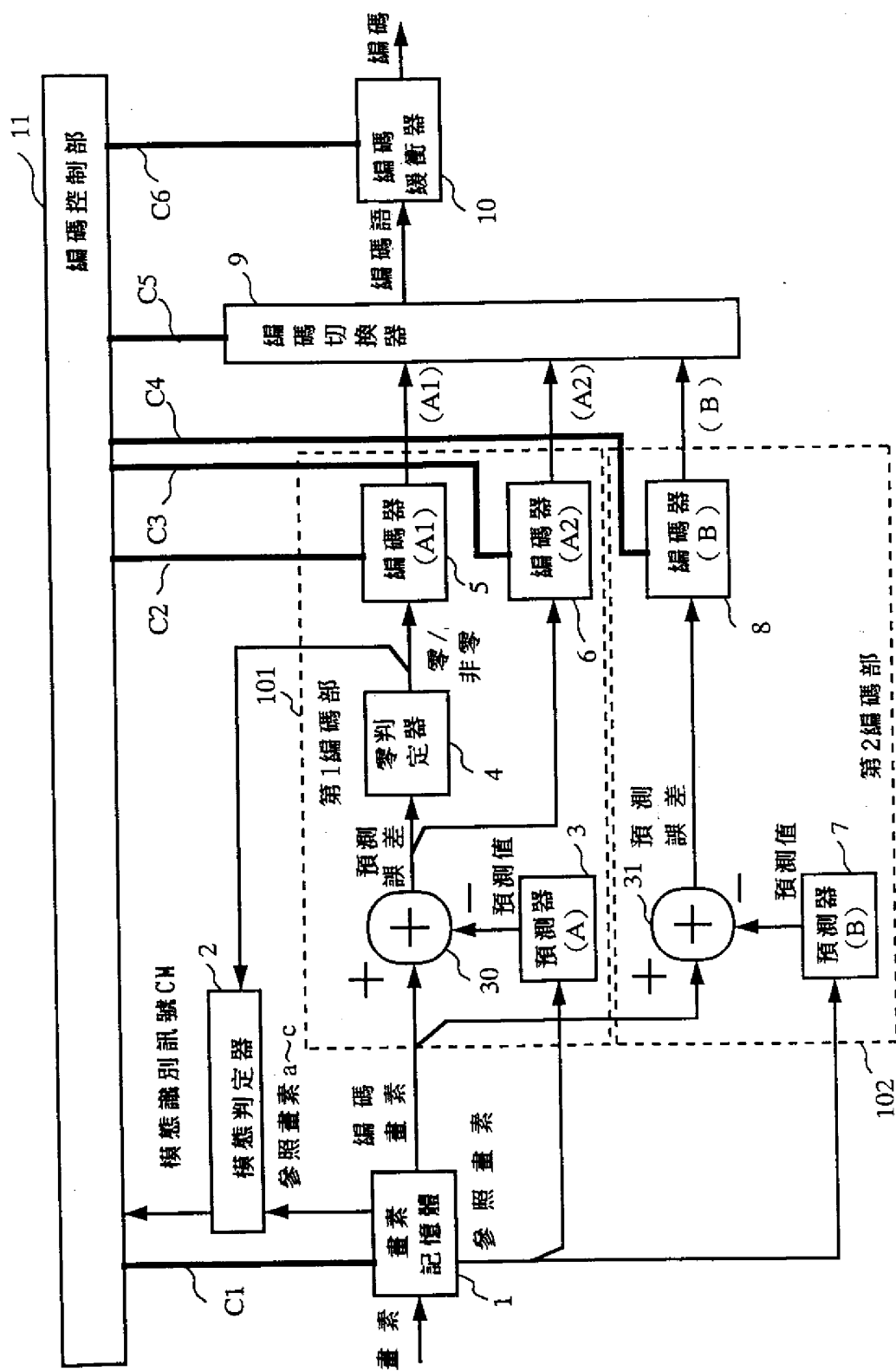
1





狀態	狀態號碼	編碼次數	狀態	狀態號碼	編碼次數
S_0	0	1	S_{16}	16	16
S_1	1	1	S_{17}	17	16
S_2	2	1	S_{18}	18	32
S_3	3	1	S_{19}	19	32
S_4	4	2	S_{20}	20	64
S_5	5	2	S_{21}	21	64
S_6	6	2	S_{22}	22	128
S_7	7	2	S_{23}	23	128
S_8	8	4	S_{24}	24	256
S_9	9	4	S_{25}	25	512
S_{10}	10	4	S_{26}	26	1024
S_{11}	11	4	S_{27}	27	2048
S_{12}	12	8	S_{28}	28	4096
S_{13}	13	8	S_{29}	29	8192
S_{14}	14	8	S_{30}	30	16384
S_{15}	15	8	S_{31}	31	32768

圖 4



5/46

圖 5

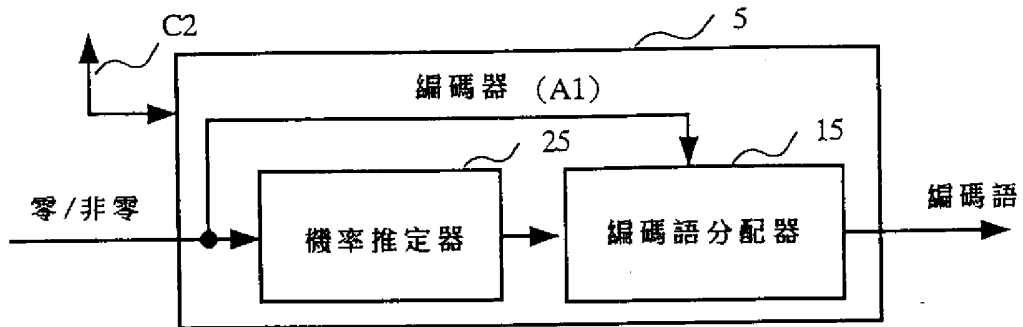


圖 6

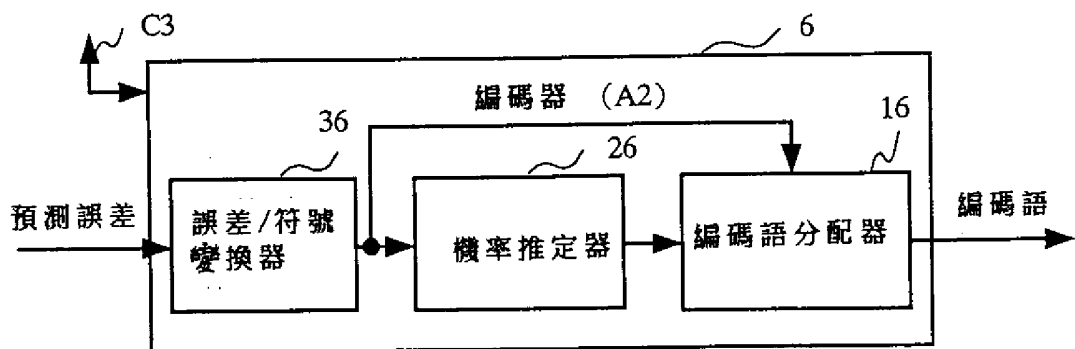
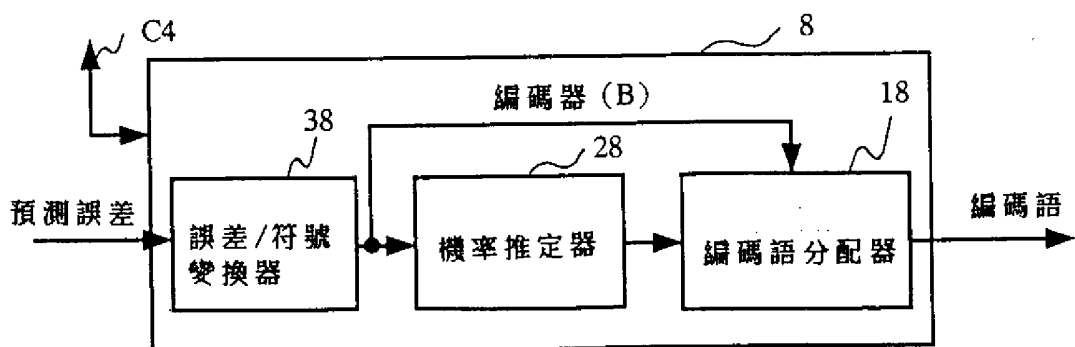


圖 7



6/46

圖 8

預測誤差	2値符號
- 1	1
+ 1	0 1
- 2	0 0 1
+ 2	0 0 0 1
- 3	0 0 0 0 1
. . . .	
- 255	0 0 1
+ 255	0 0 1
8 bit/pel畫像(畫素值: 0~255) 之場合	

圖 9

預測誤差	2値符號
0	1
- 1	0 1
+ 1	0 0 1
- 2	0 0 0 1
+ 2	0 0 0 0 1
. . . .	
- 255	0 0 1
+ 255	0 0 1
8 bit/pel畫像(畫素值: 0~255) 之場合	

圖 10

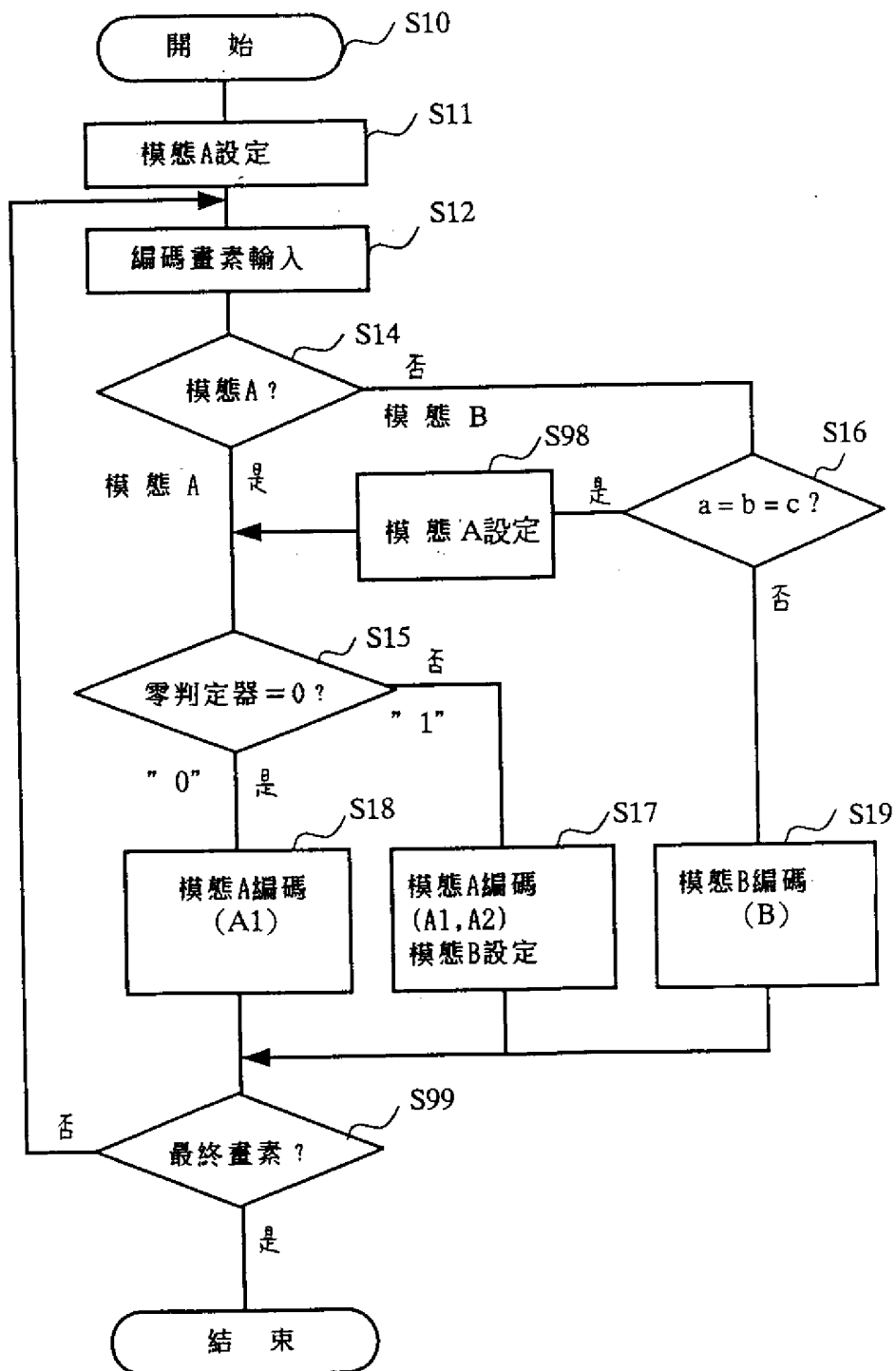


圖 11

編碼畫素	參照畫素	零判定器	預測誤差
X0	$[a = b = c]$	0	0
X1	$[a = b = c]$	0	0
X2	$[a = b = c]$	0	0
X3	not $[a = b = c]$	1	+1
X4	not $[a = b = c]$	1	+1
X5	$[a = b = c]$	0	0
X6	$[a = b = c]$	1	-2
⋮	⋮	⋮	⋮

圖 12

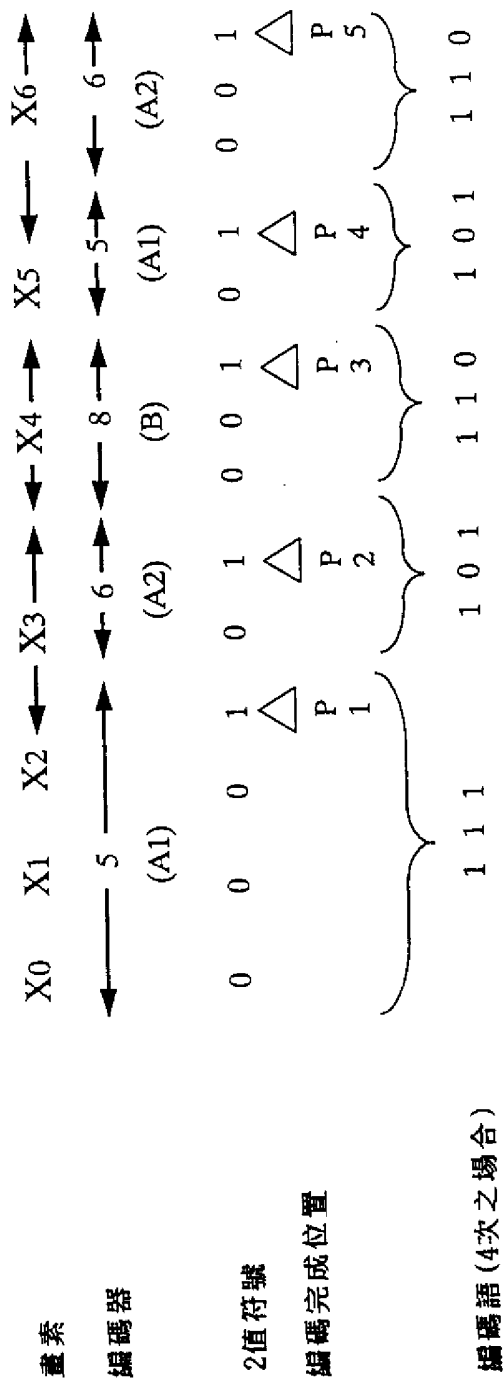


圖 14

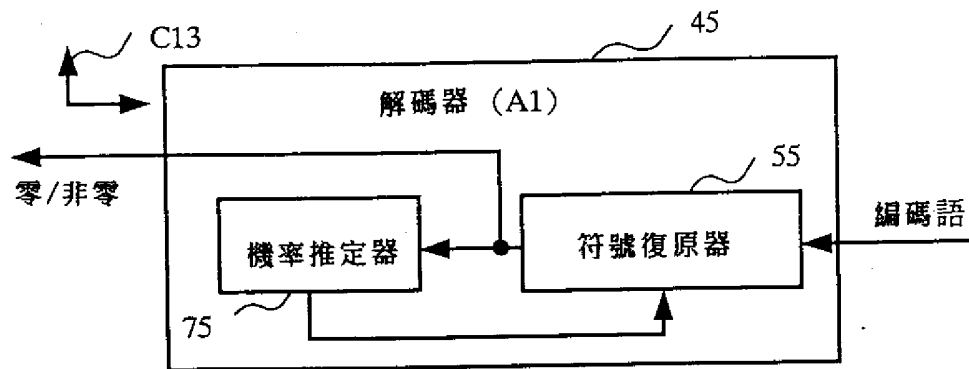


圖 15

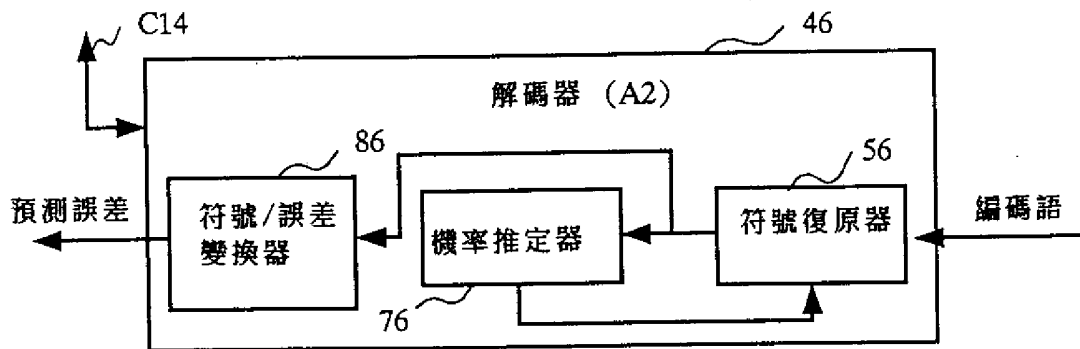


圖 16

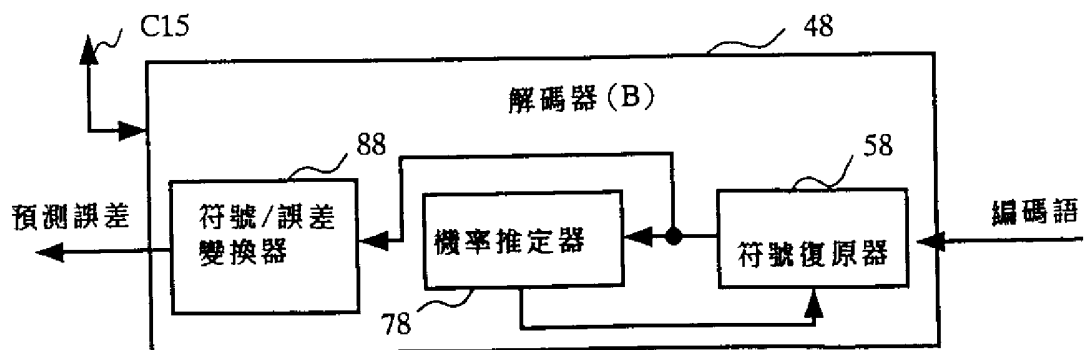


圖 17

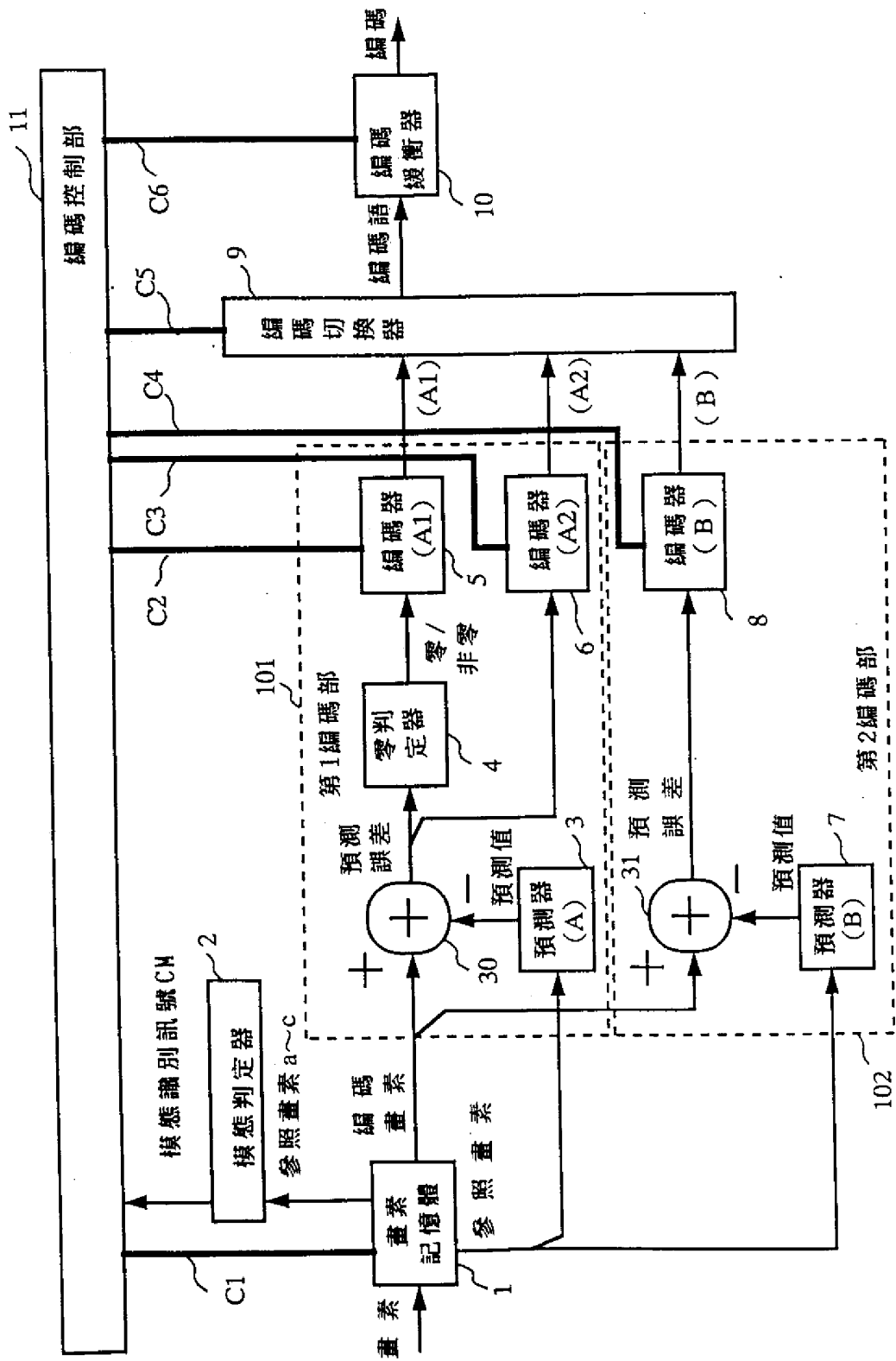


圖 18

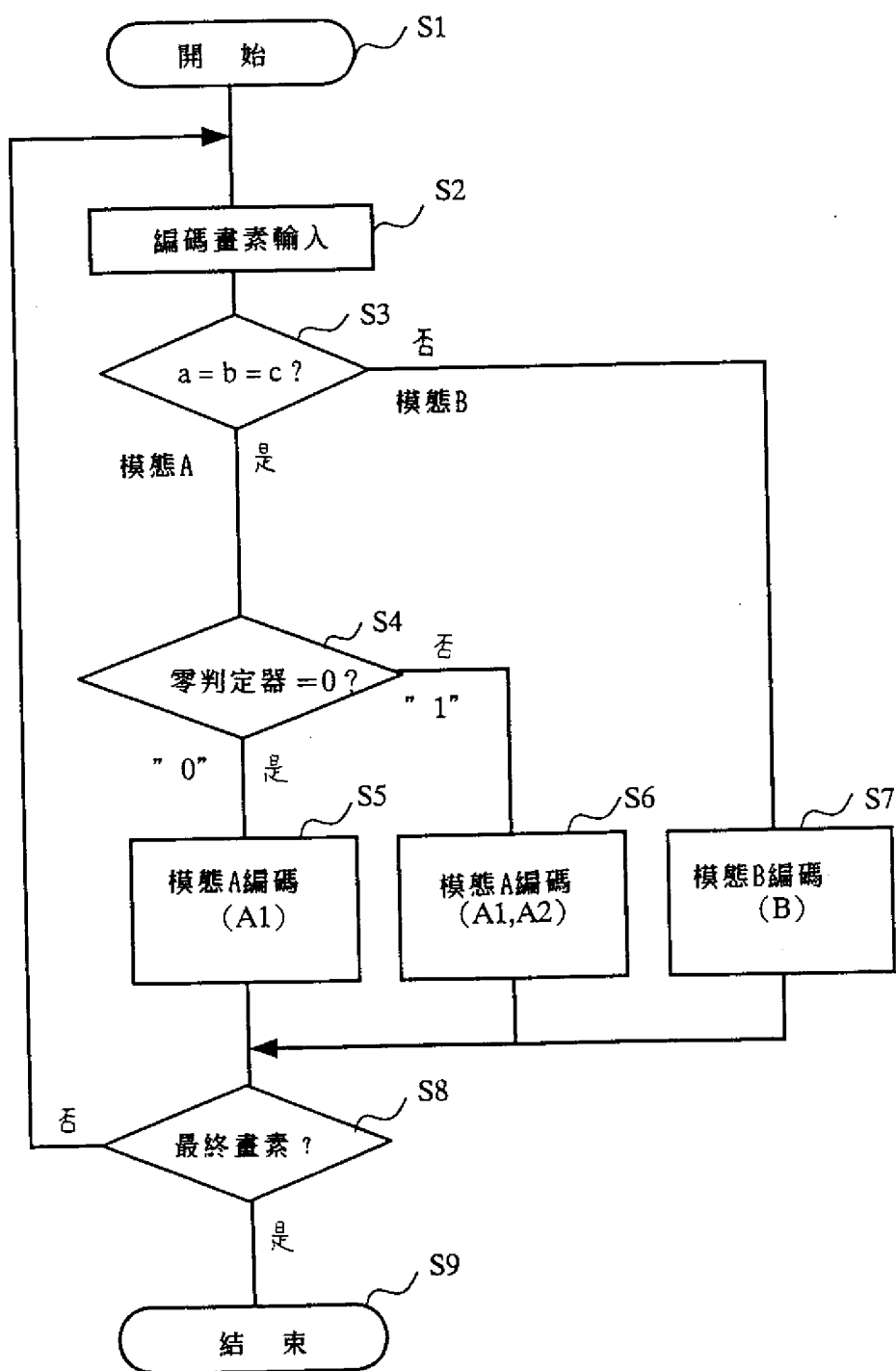


圖 19

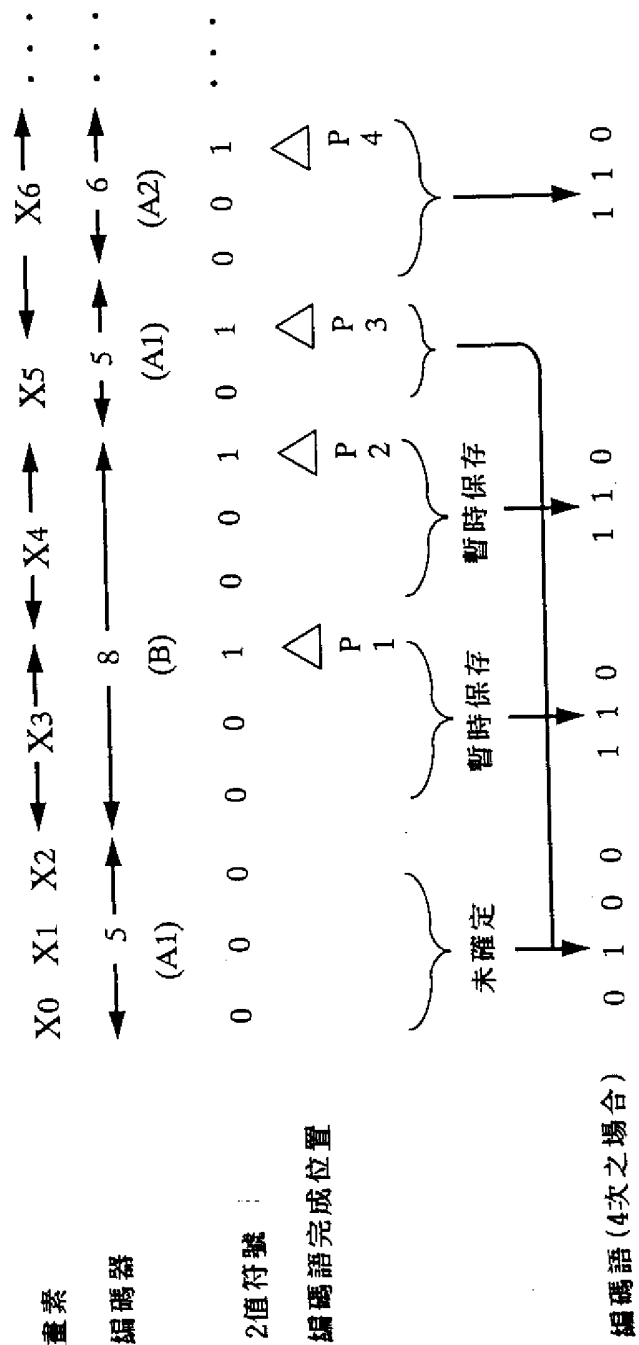


圖 20

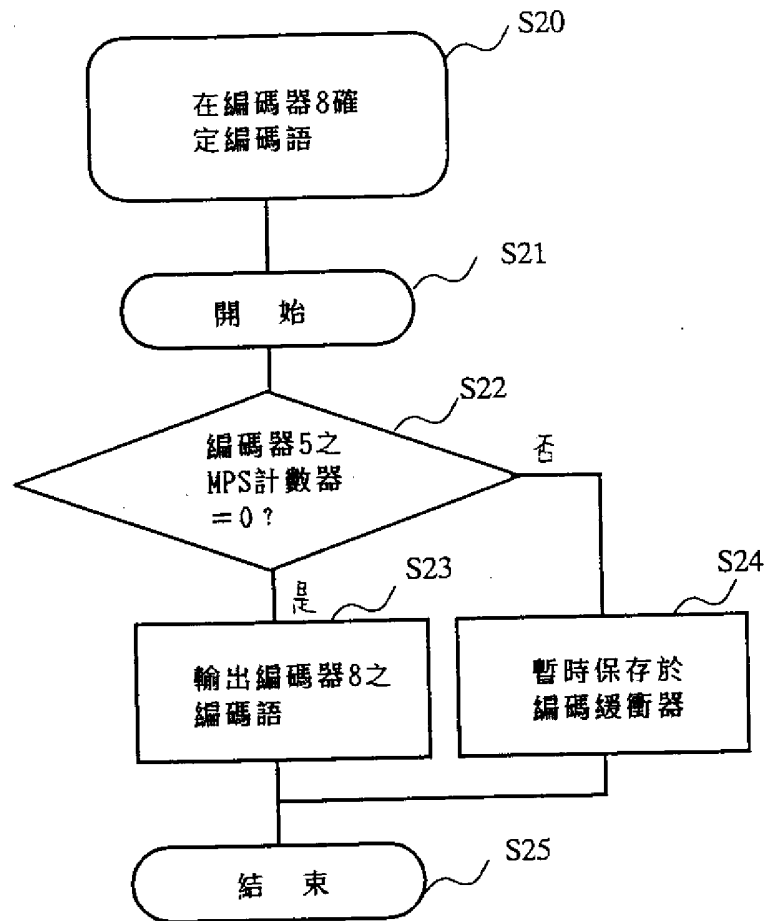


圖 21

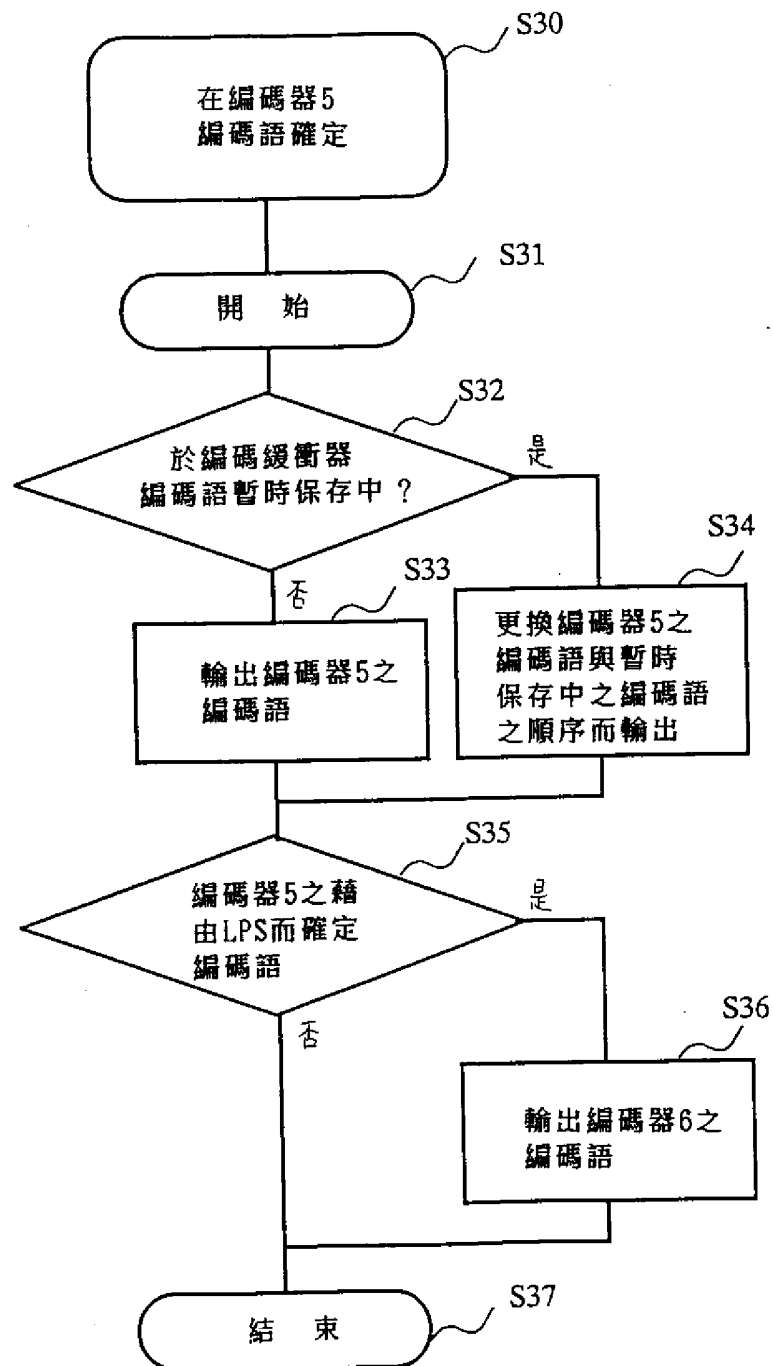


圖 22

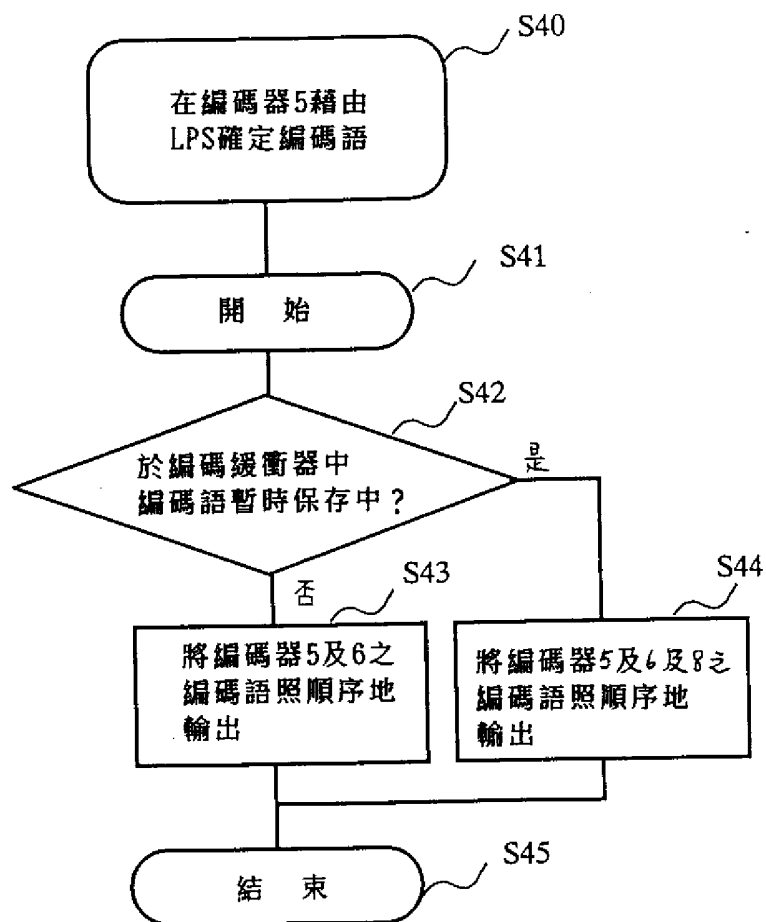


圖 23

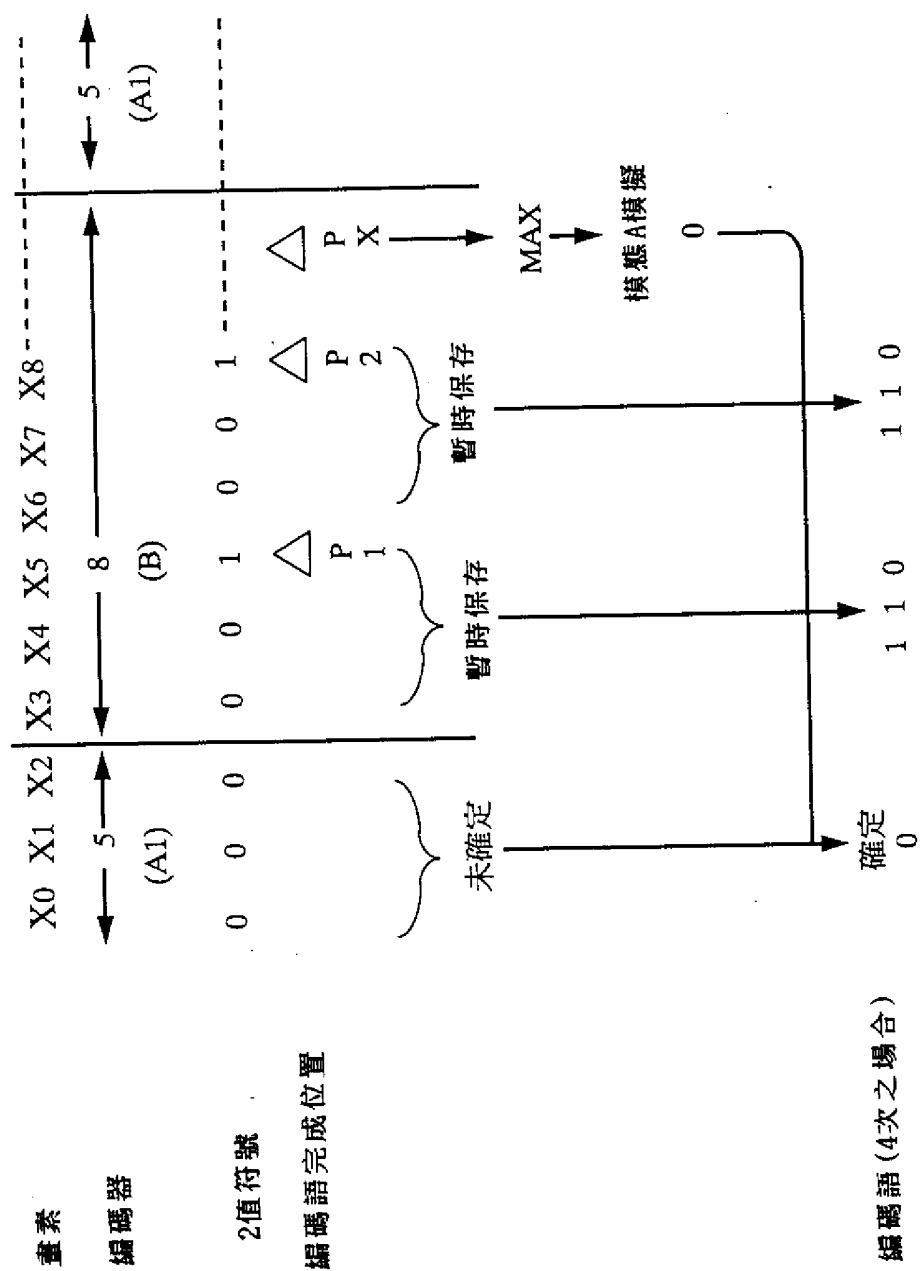


圖 24

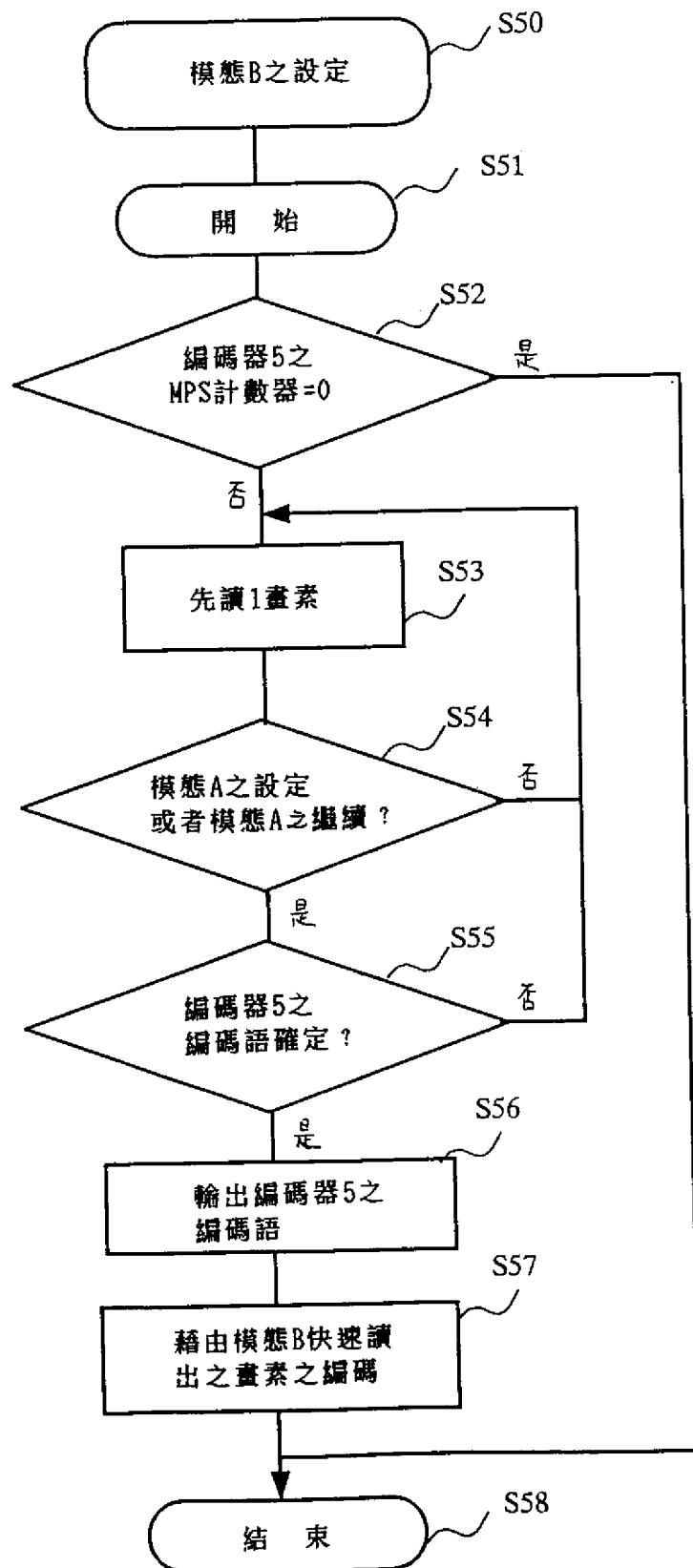


圖 26

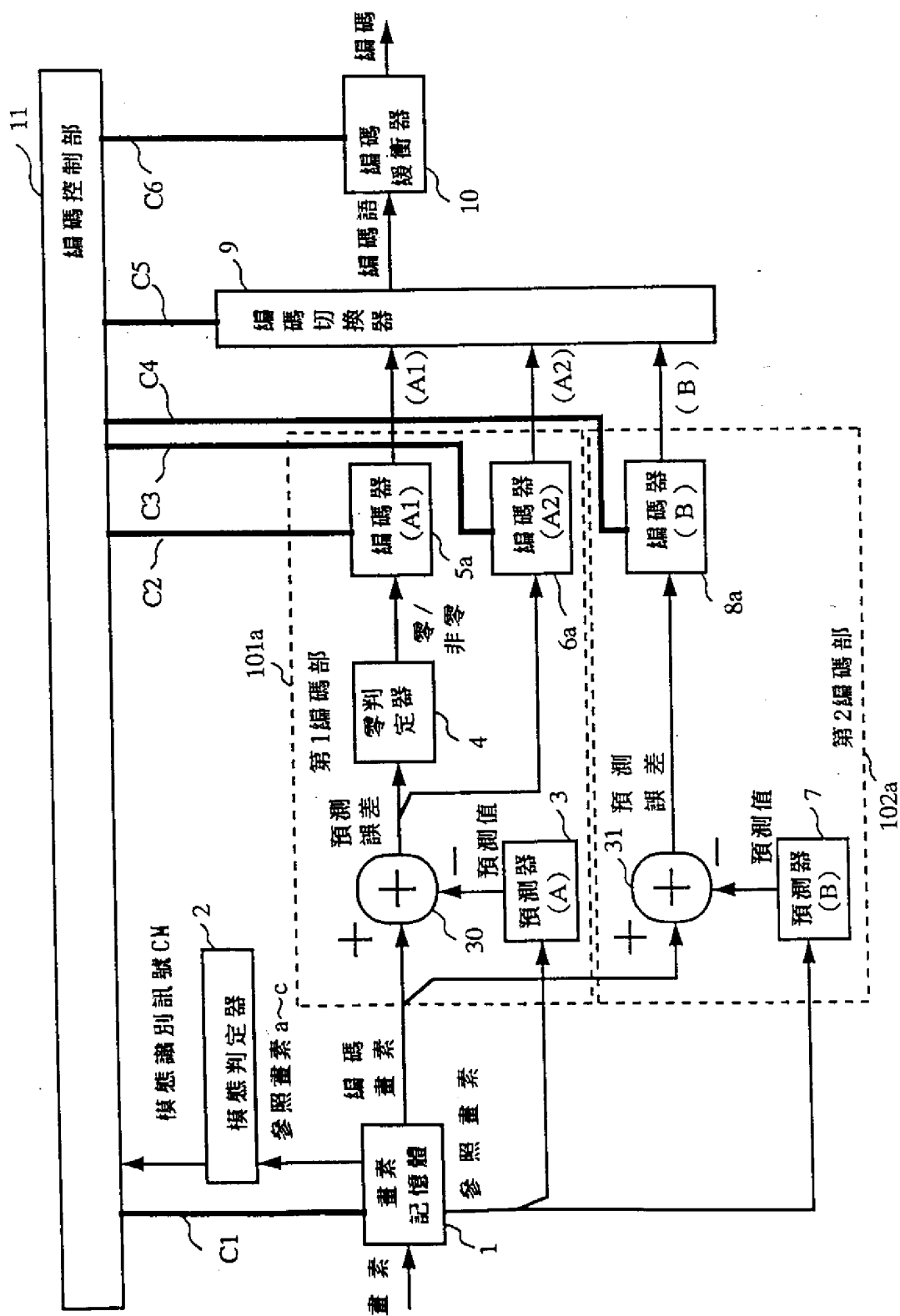


圖 27

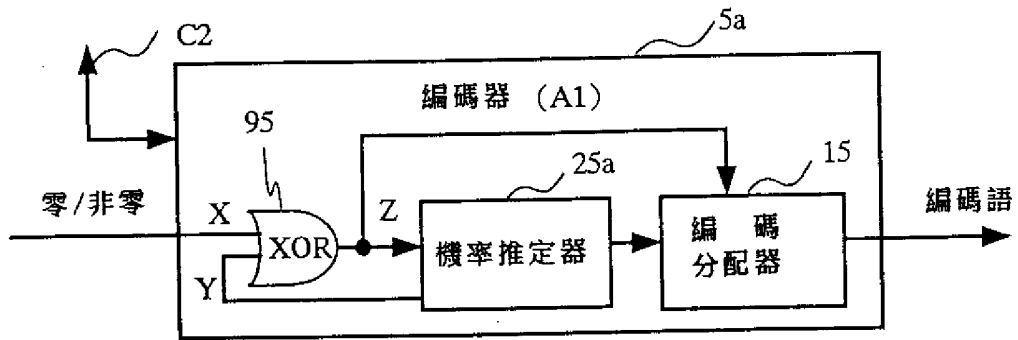


圖 28

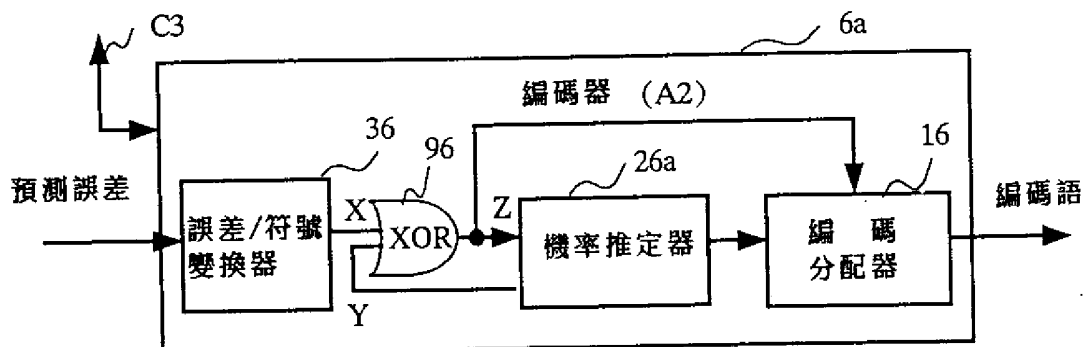


圖 29

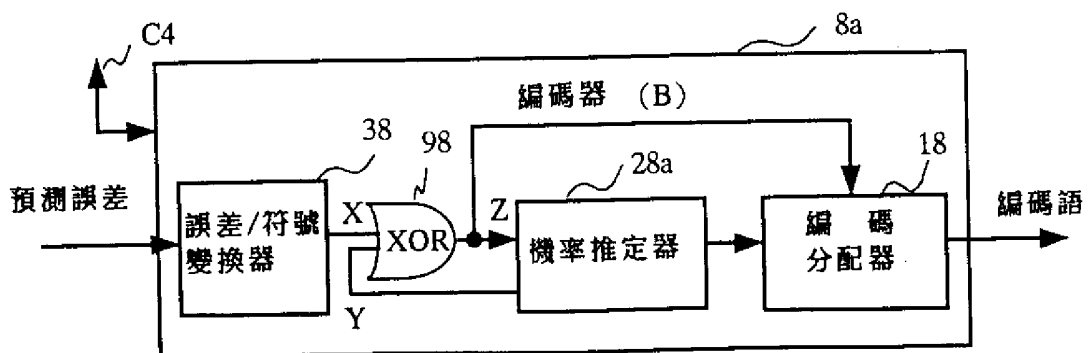
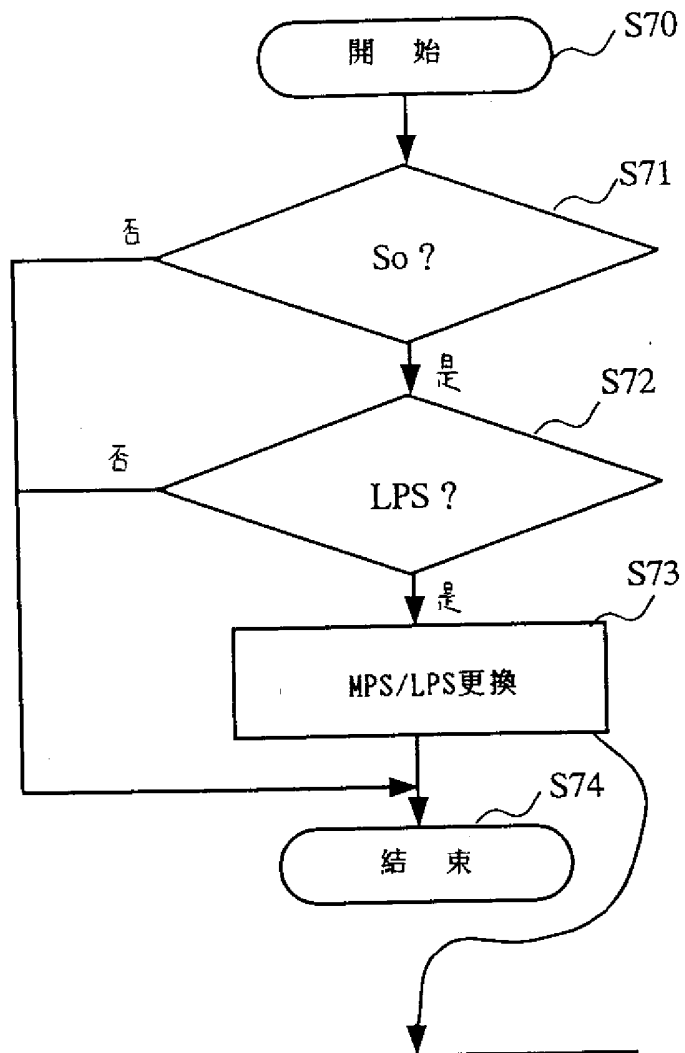


圖 30



2值符號		Y	
		0	1
X	0	0	1
	1	1	0

圖 31

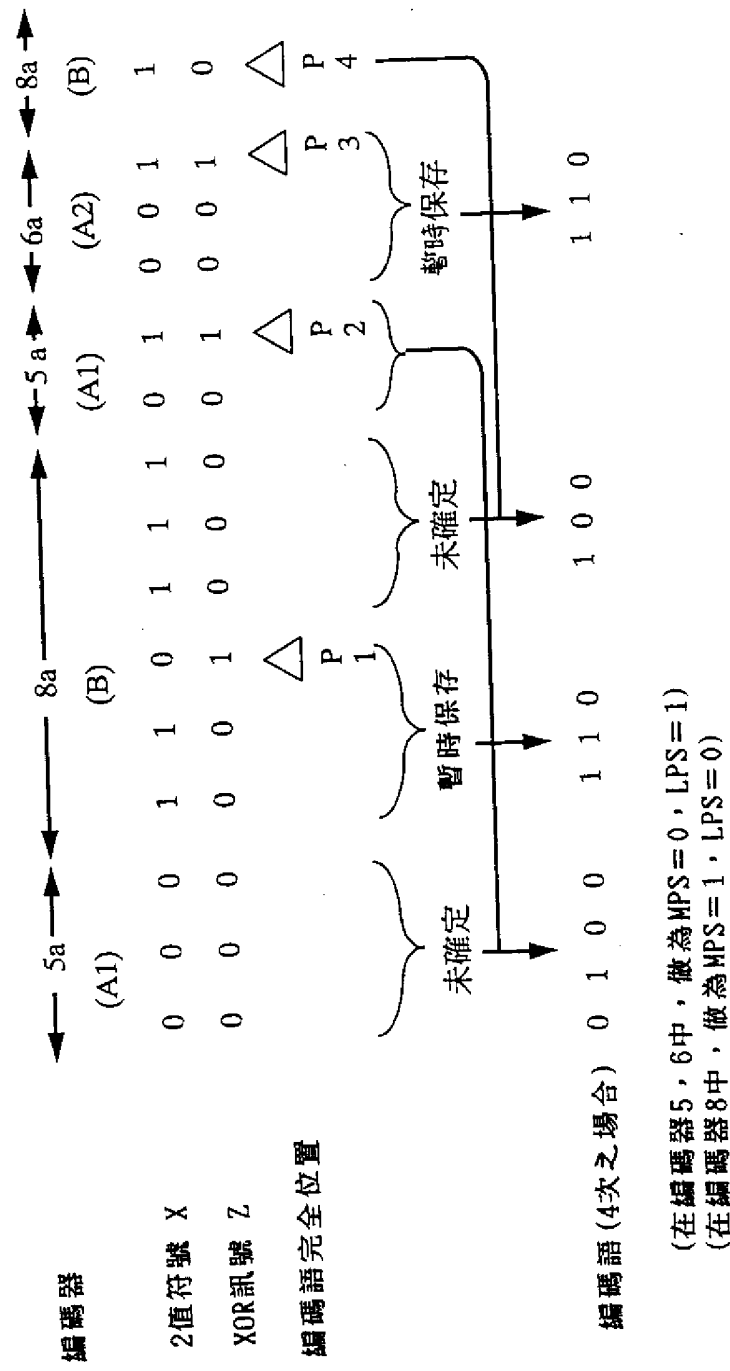


圖 33

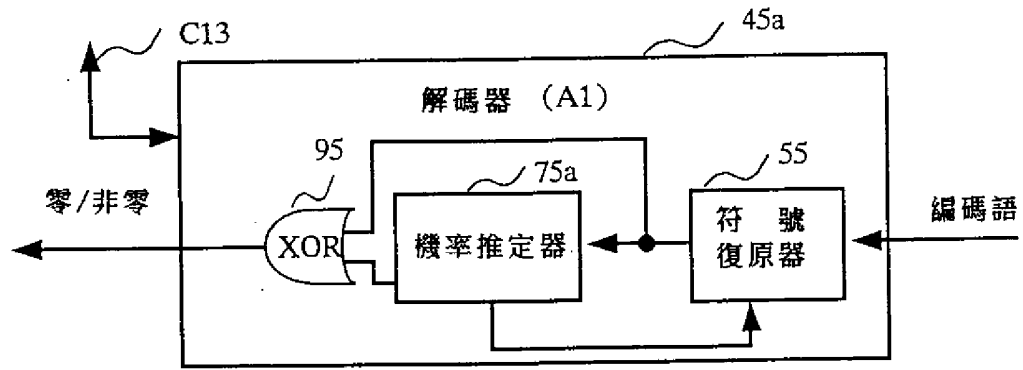


圖 34

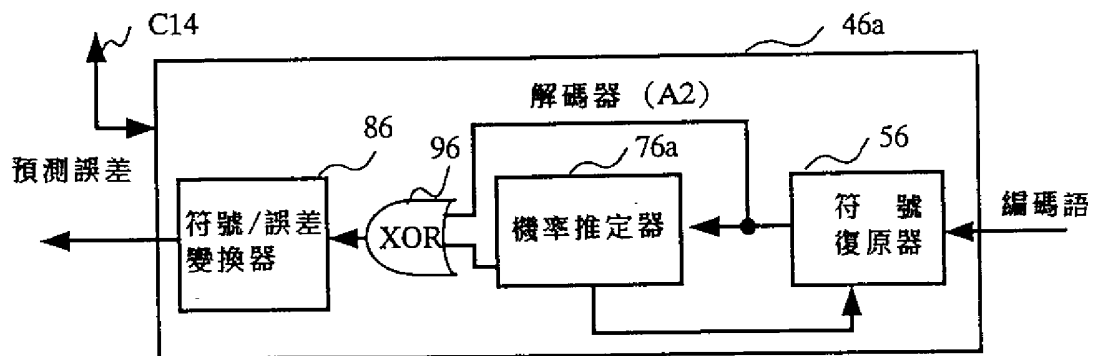


圖 35

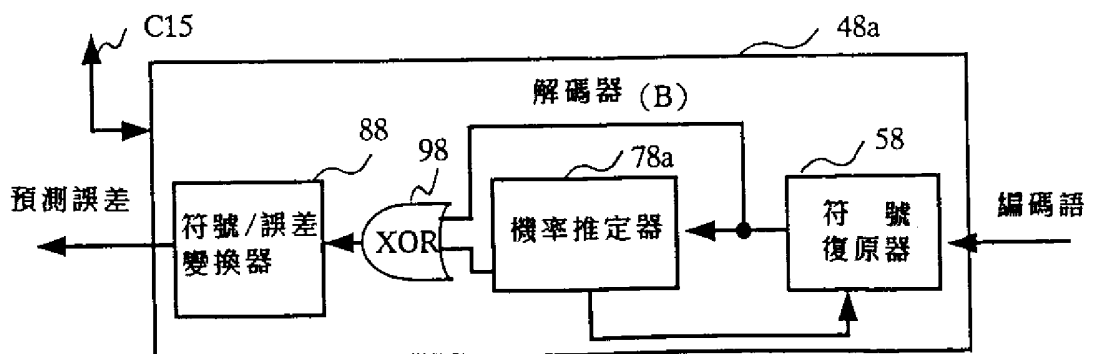
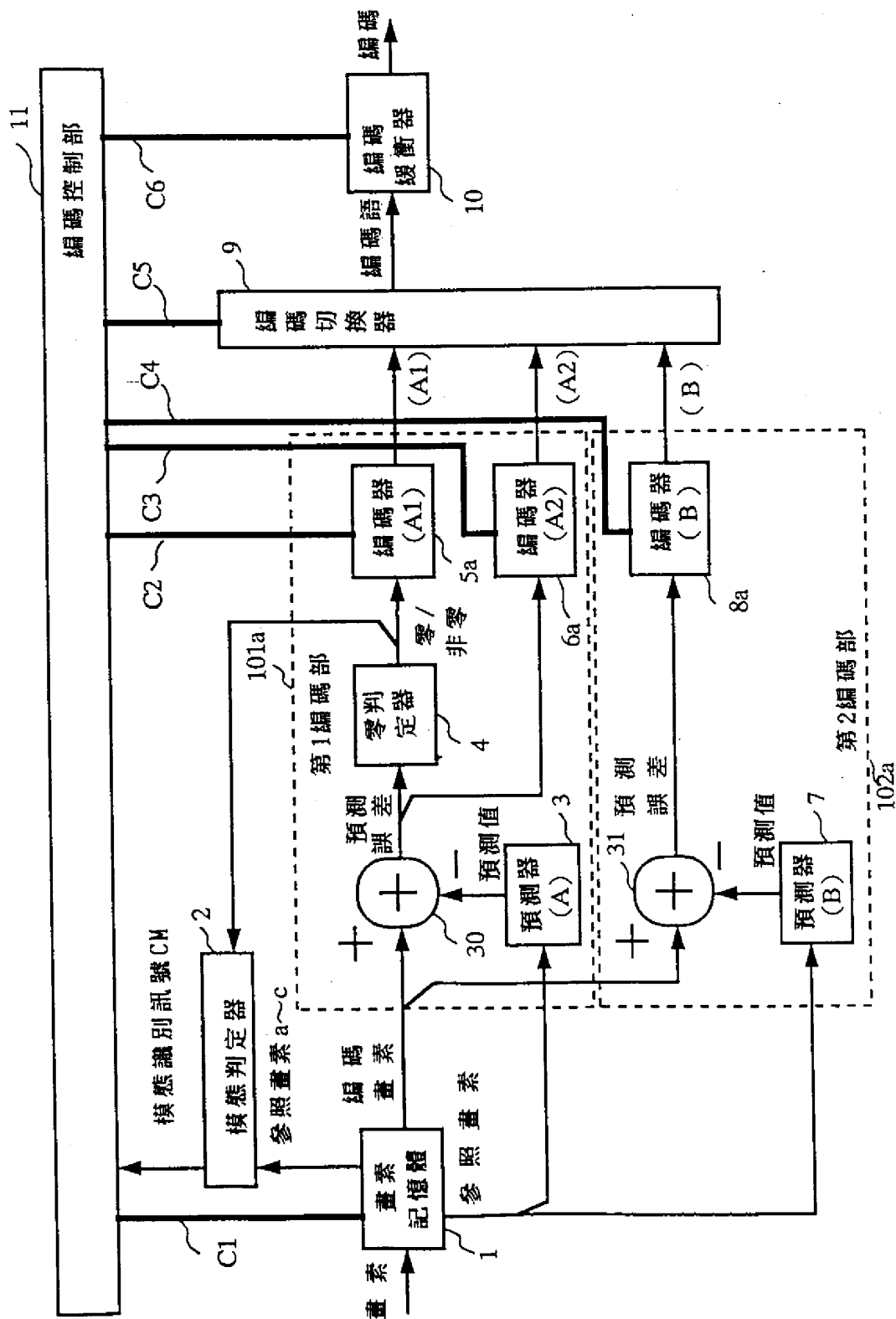


圖 36



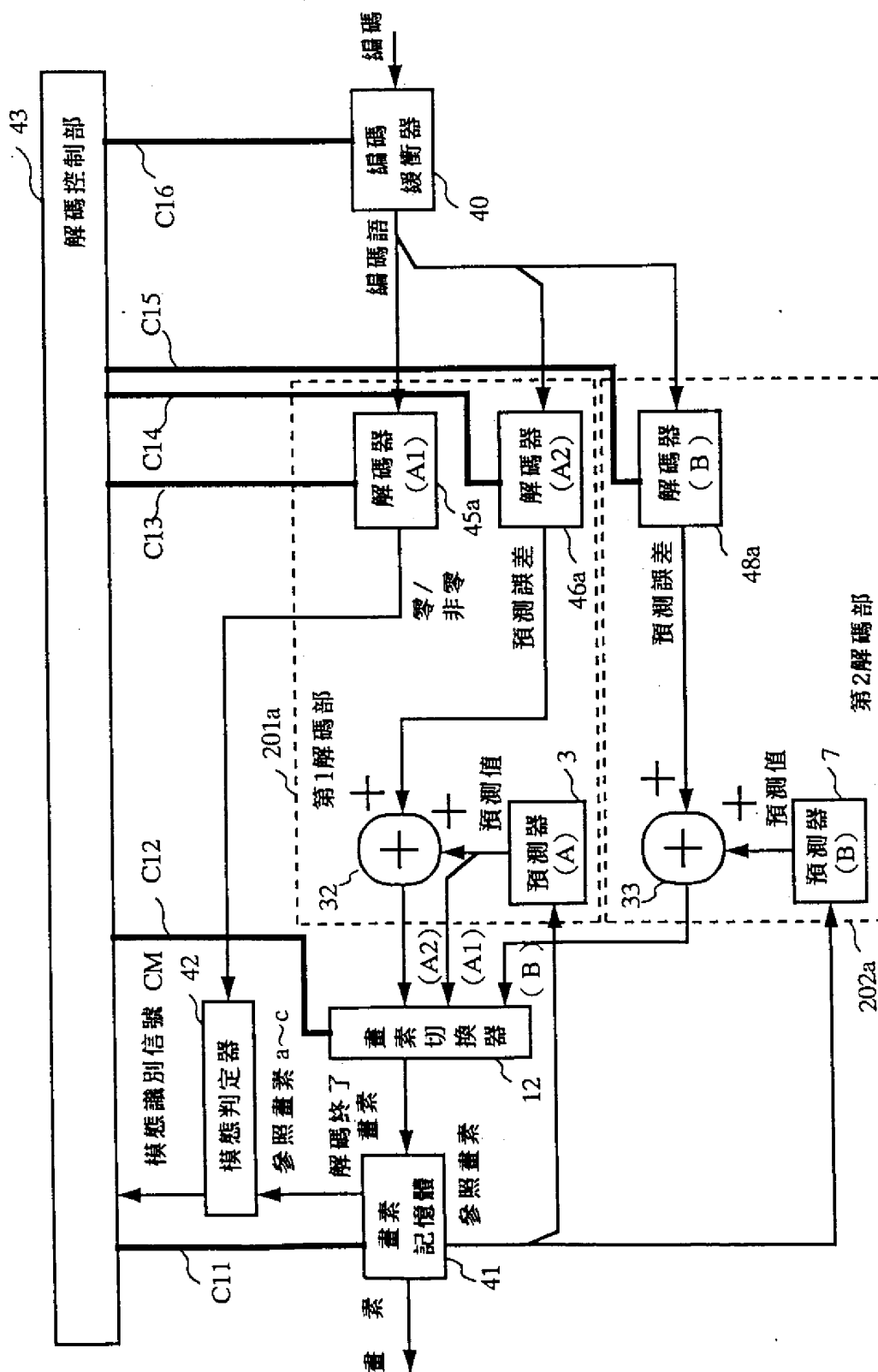


圖 39

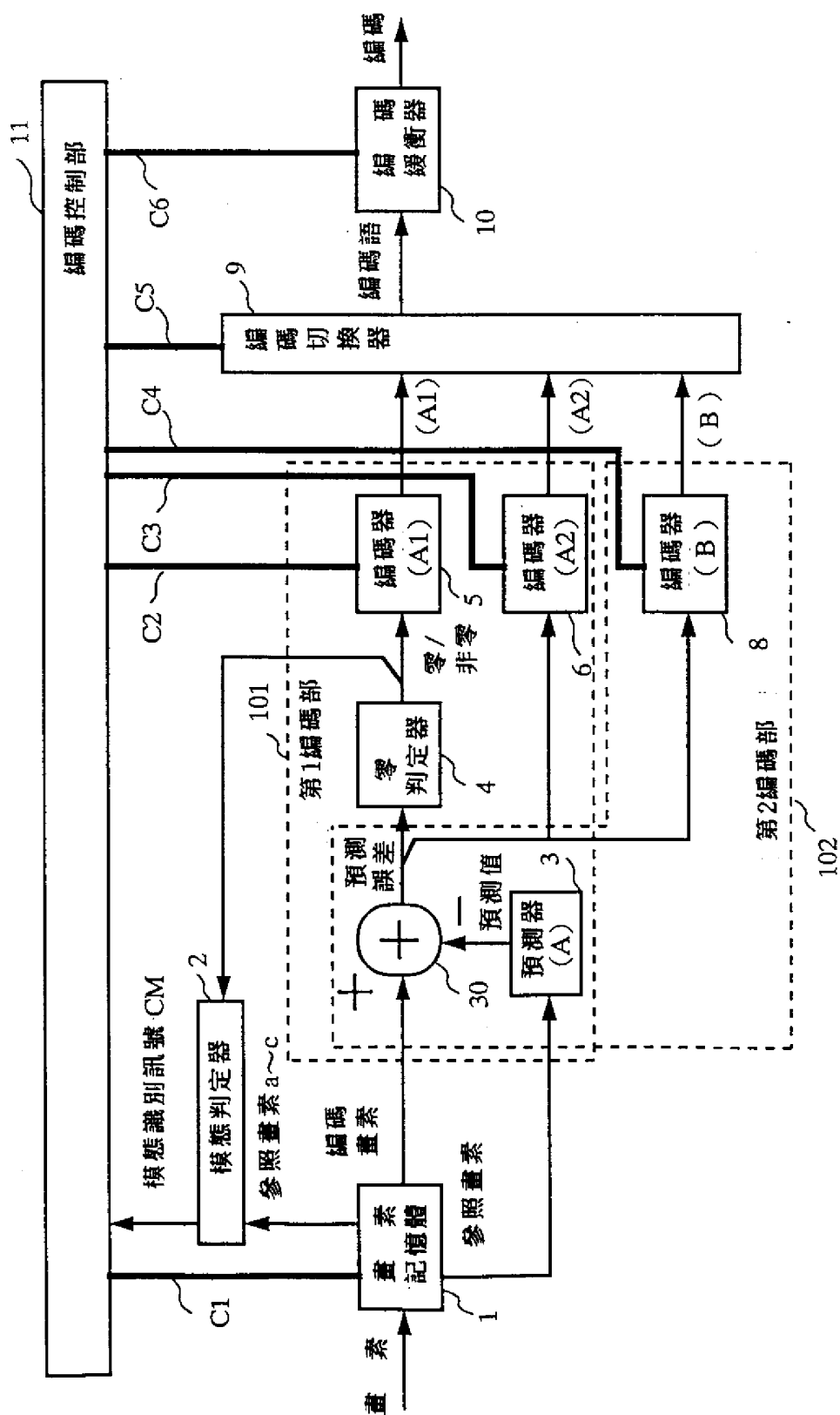


圖 40

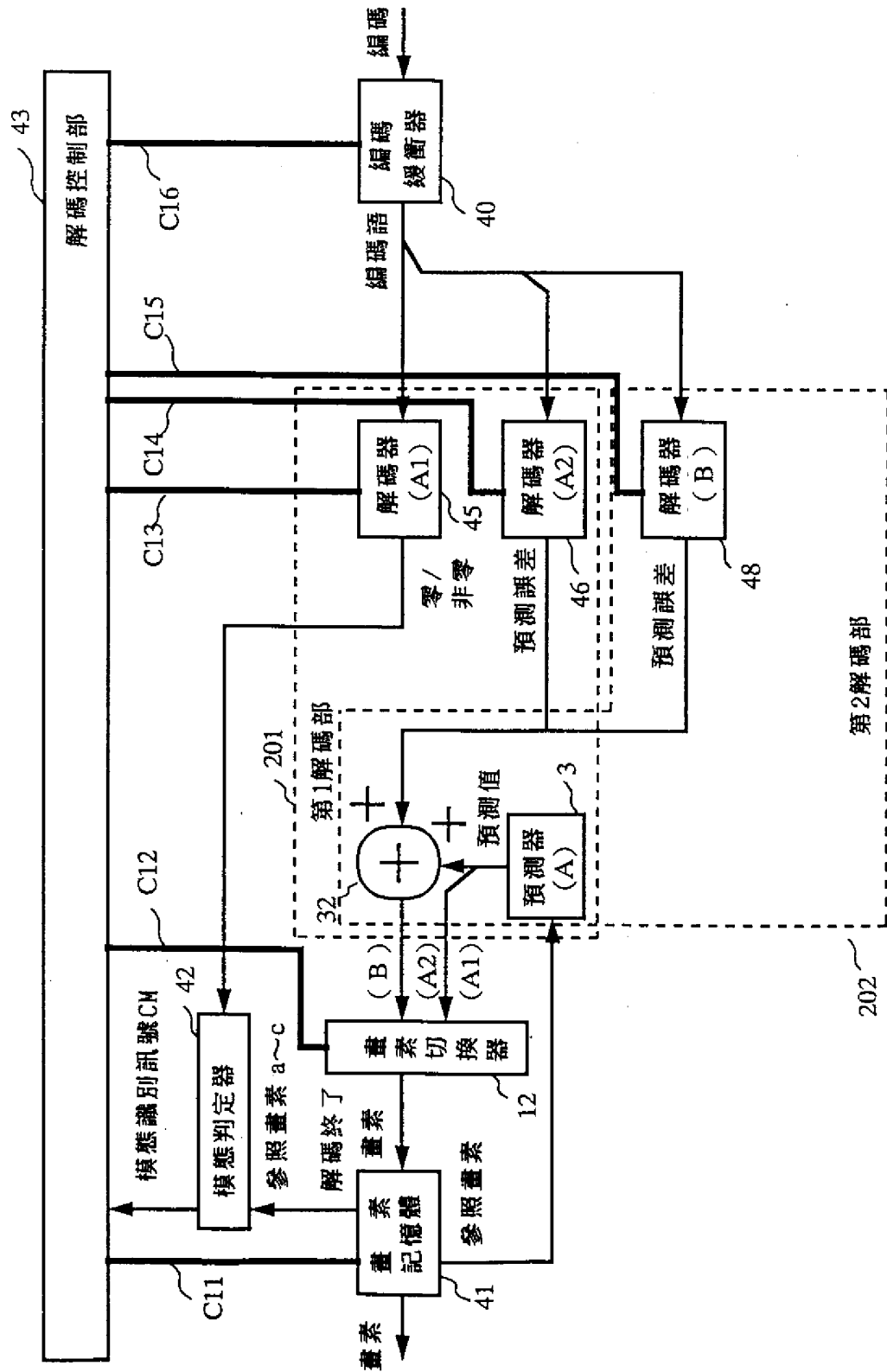


圖 41

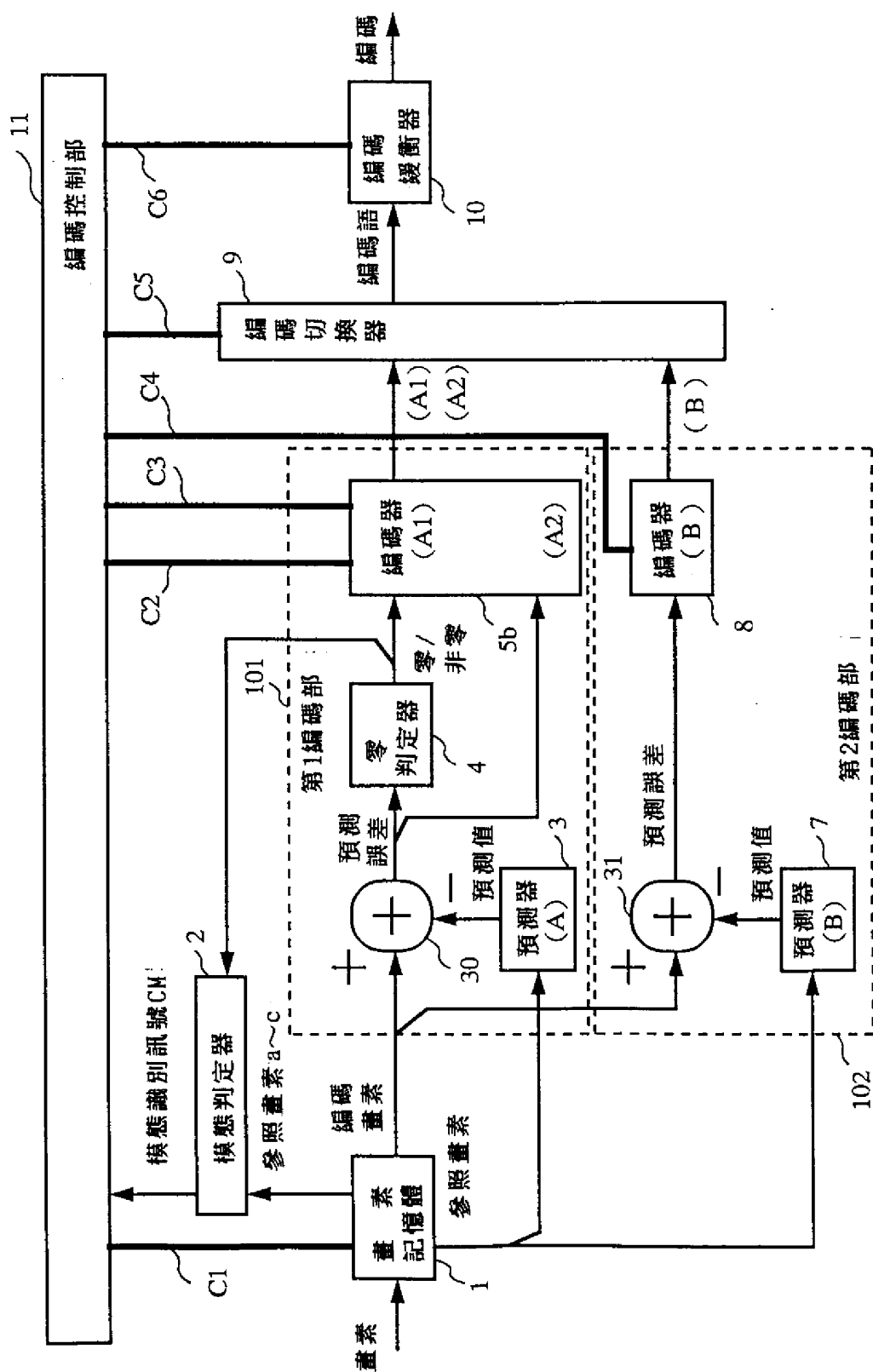


圖 42

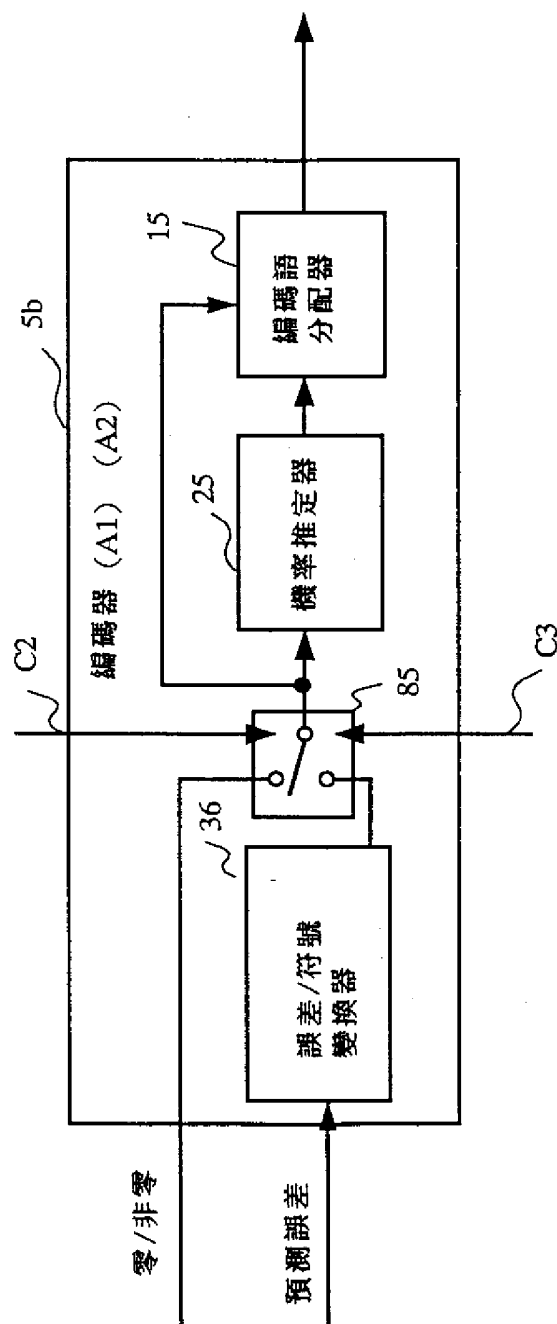


圖 43

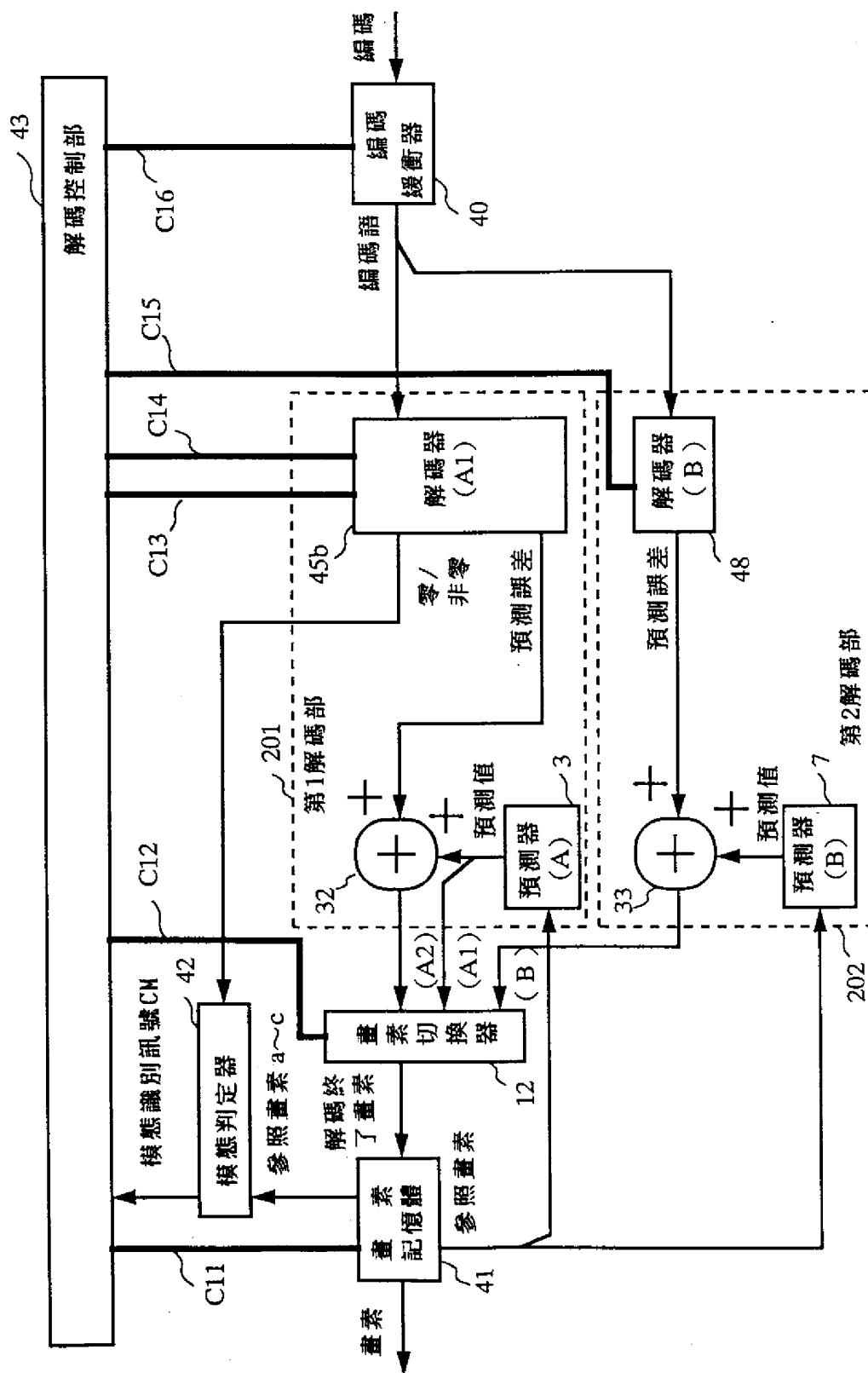


圖 44

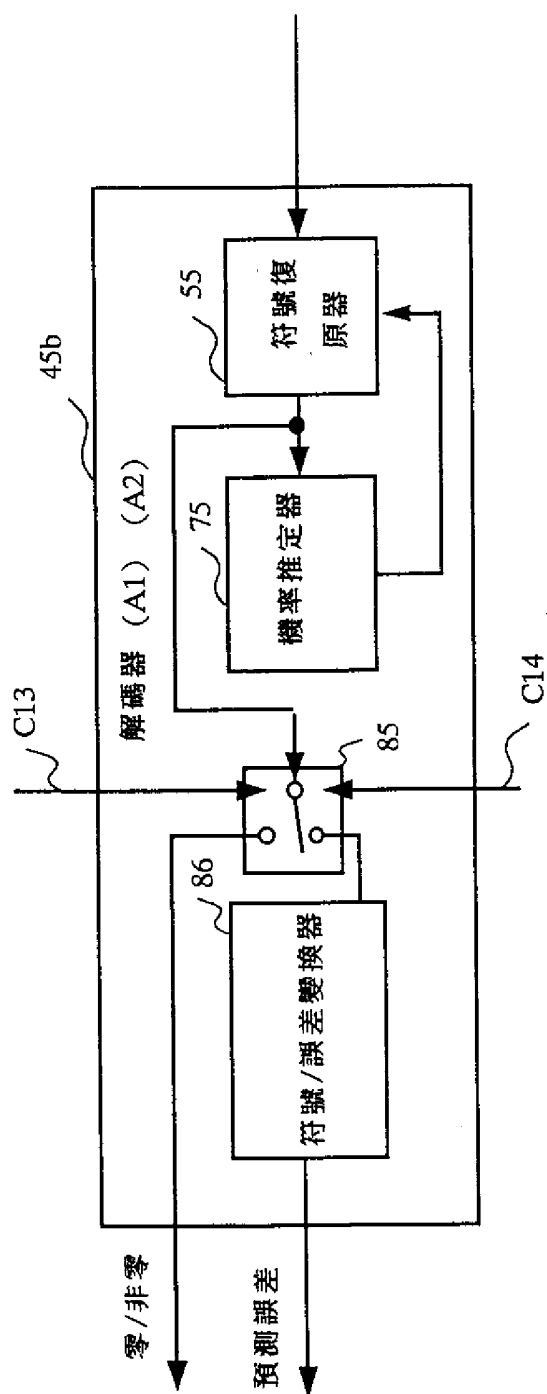


圖 46

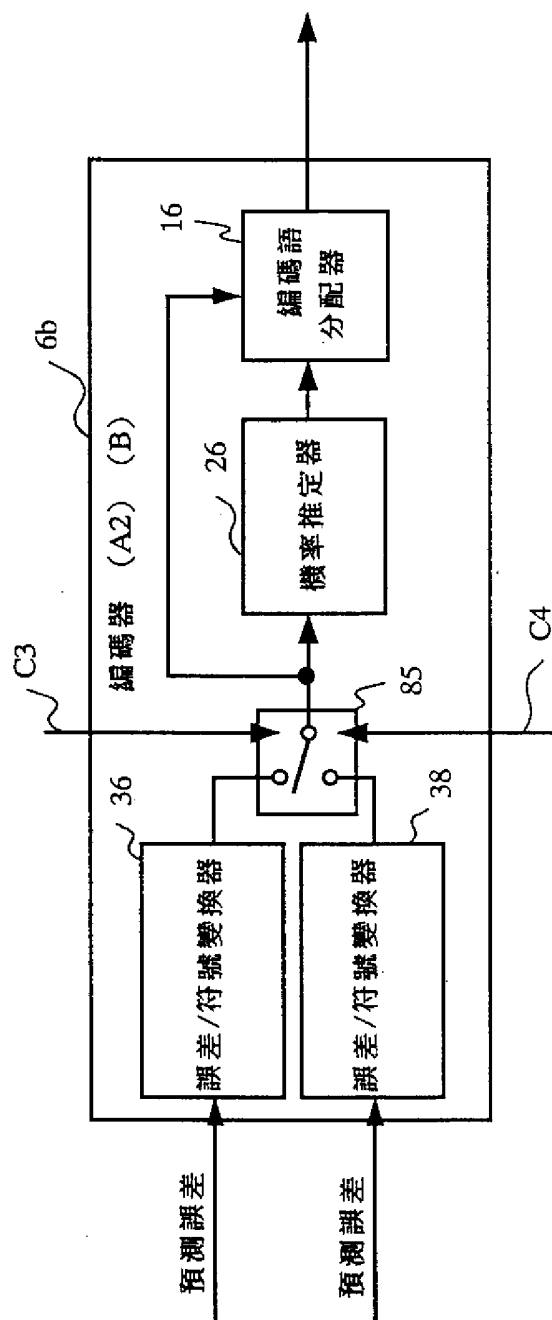


圖 47

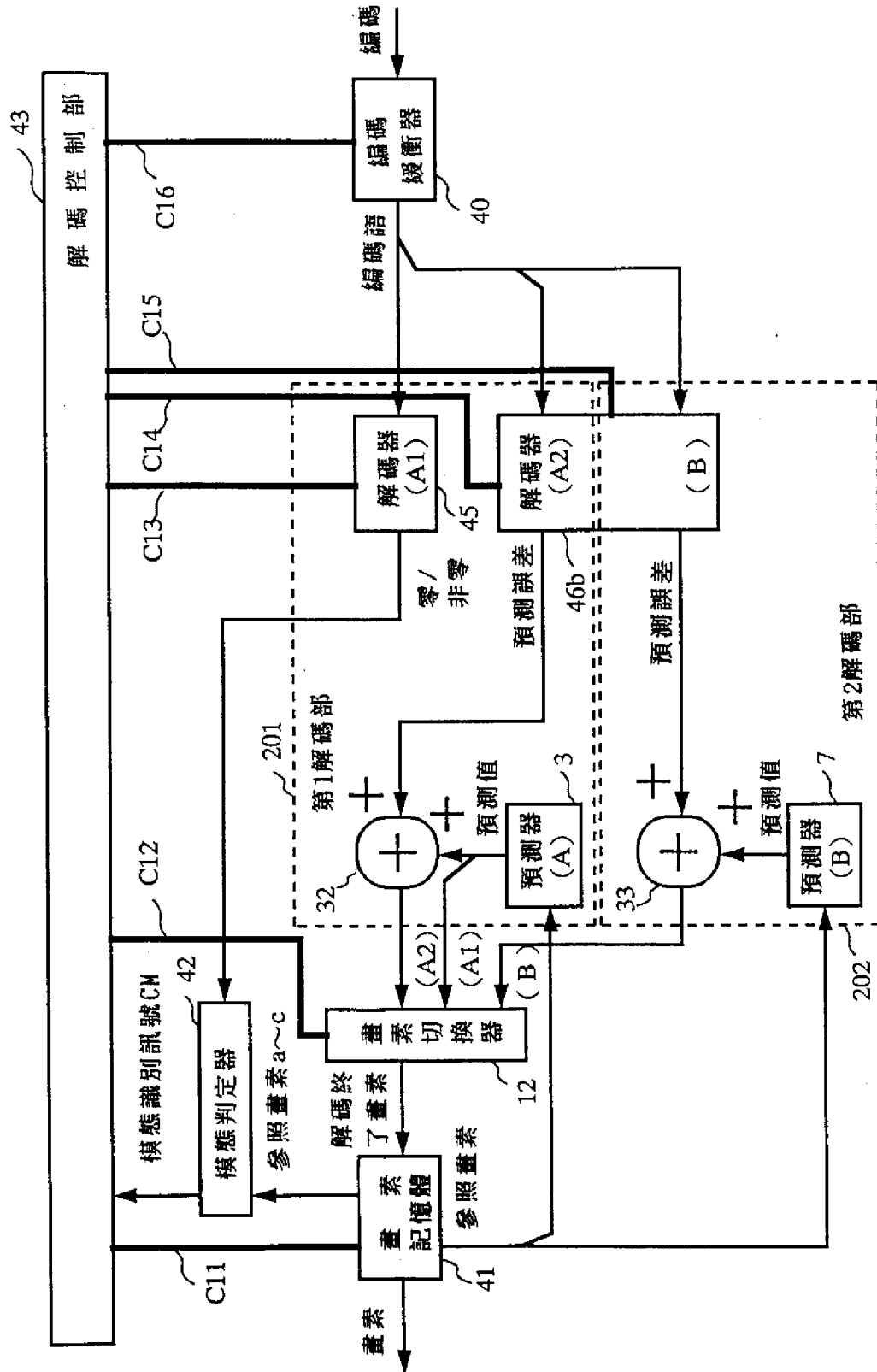


圖 48

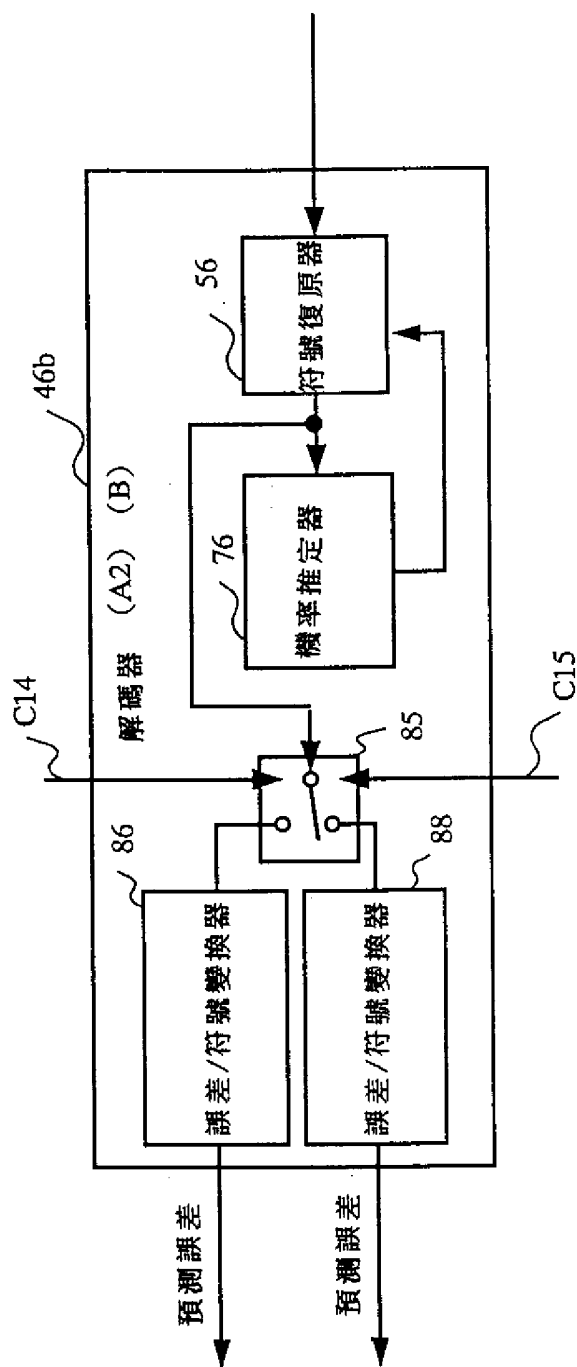


圖 49

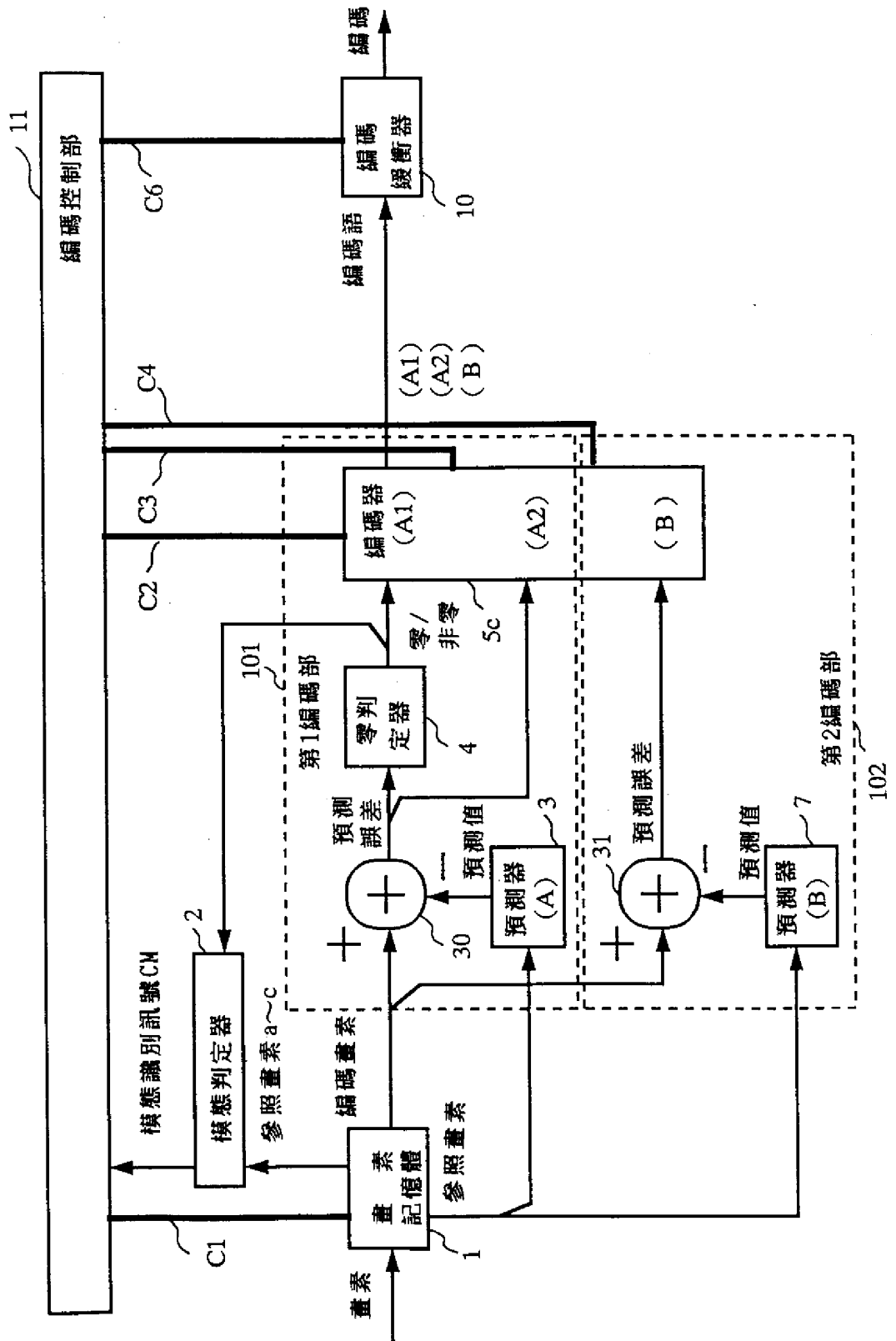


圖 50

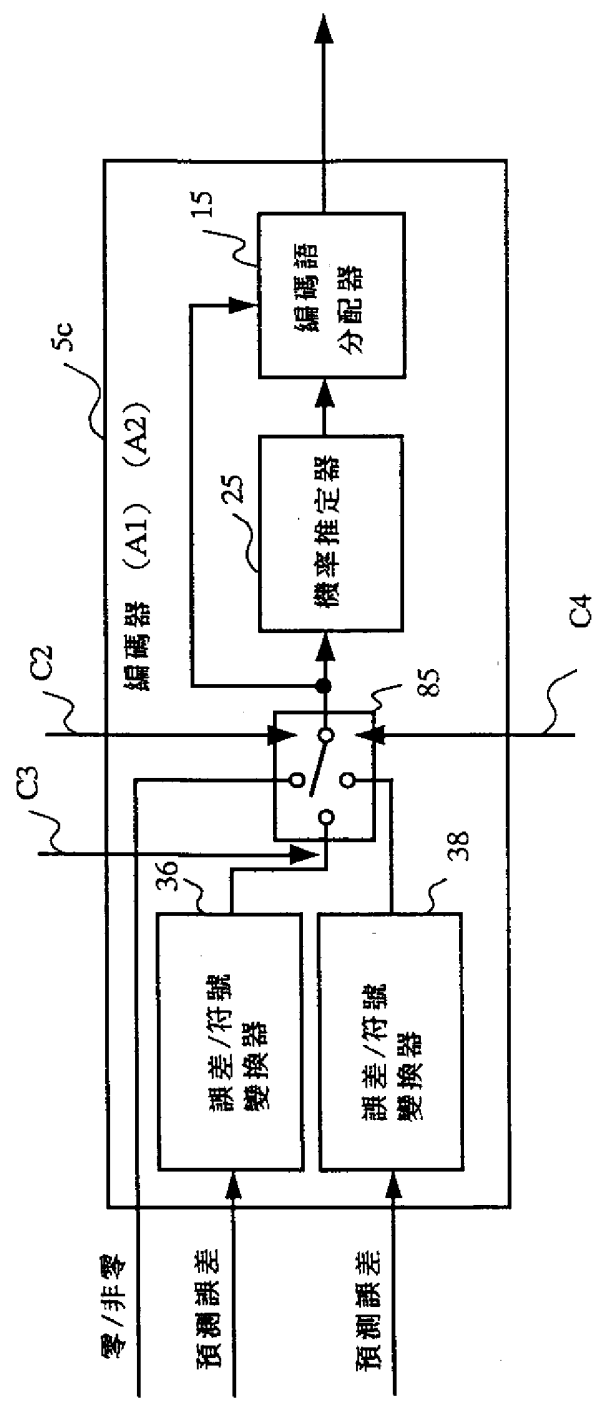


圖 51

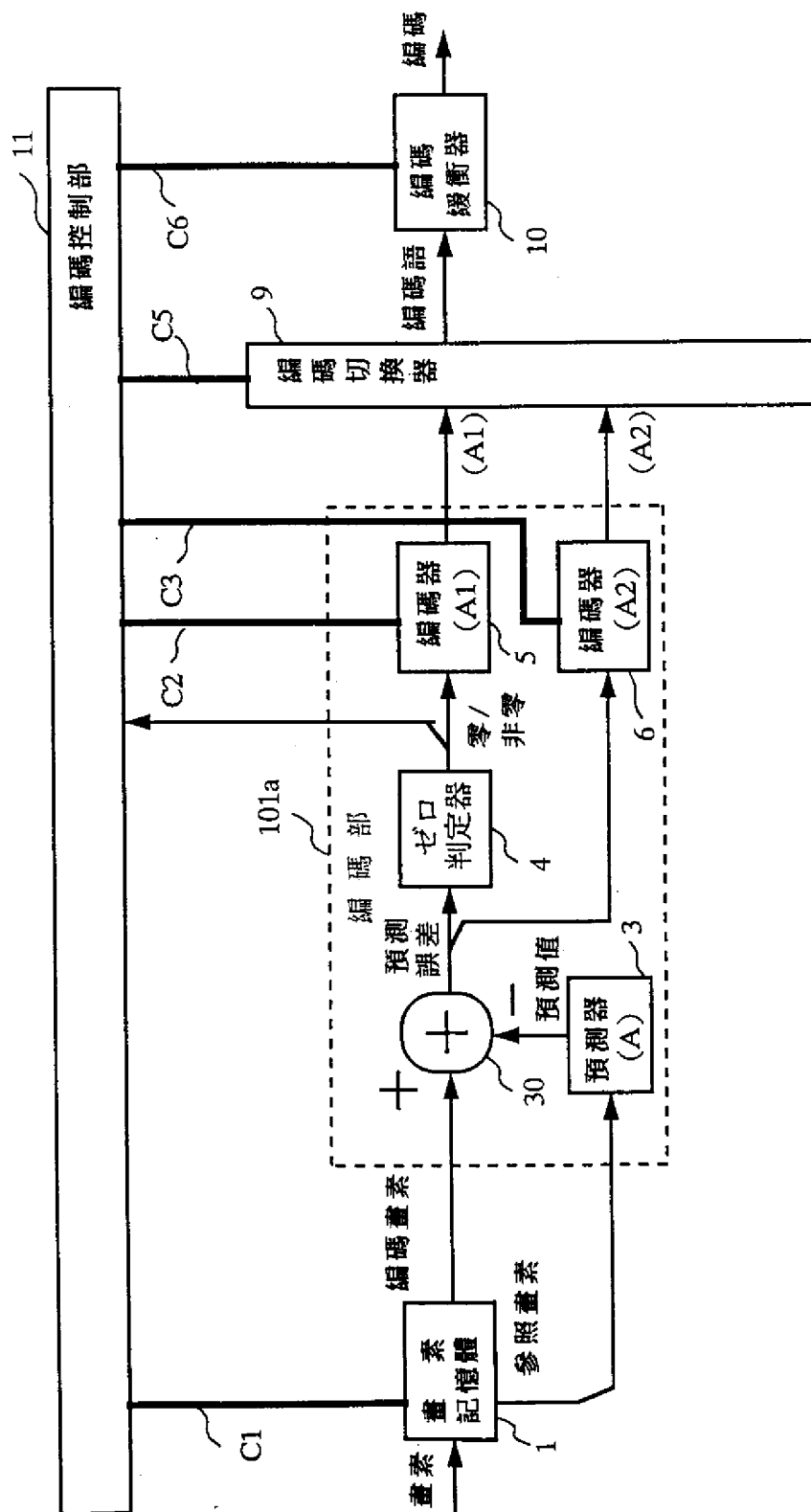


圖 52

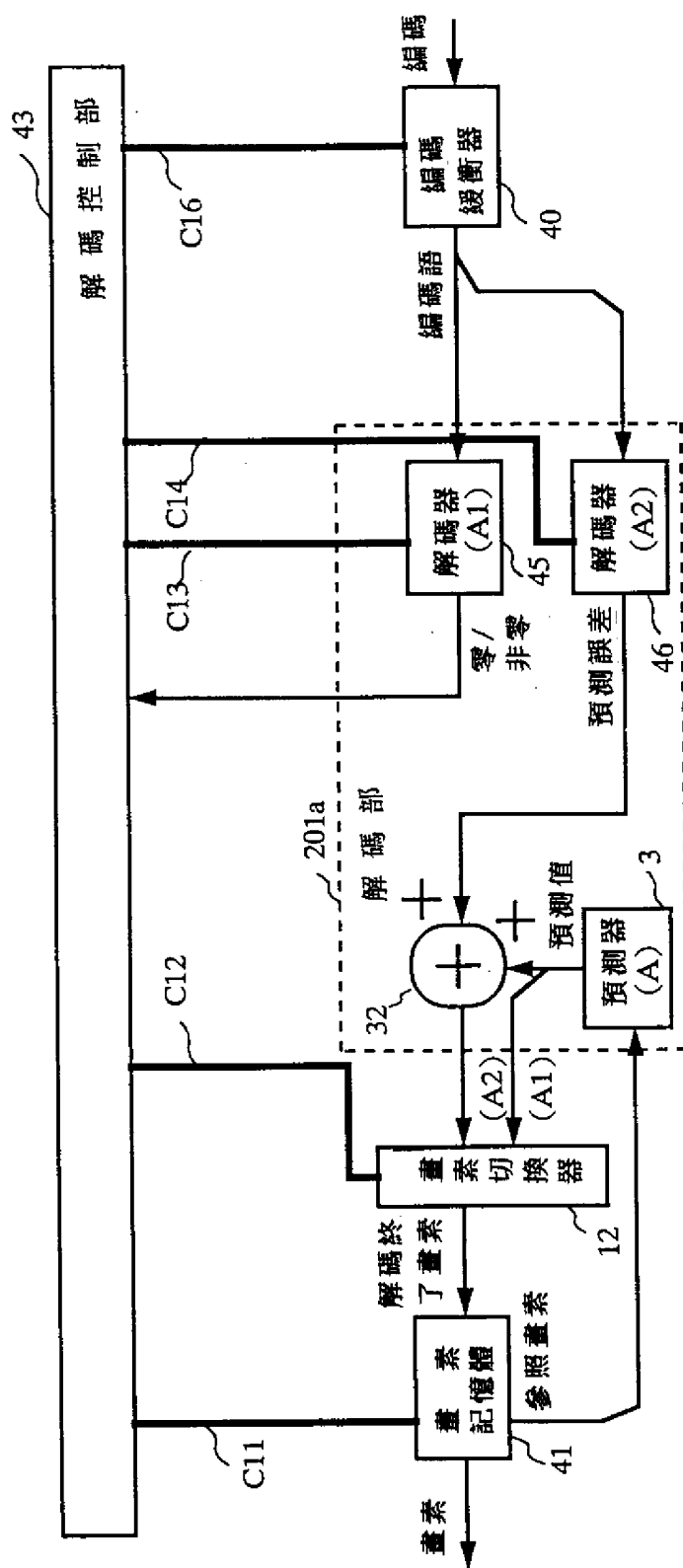


圖 53

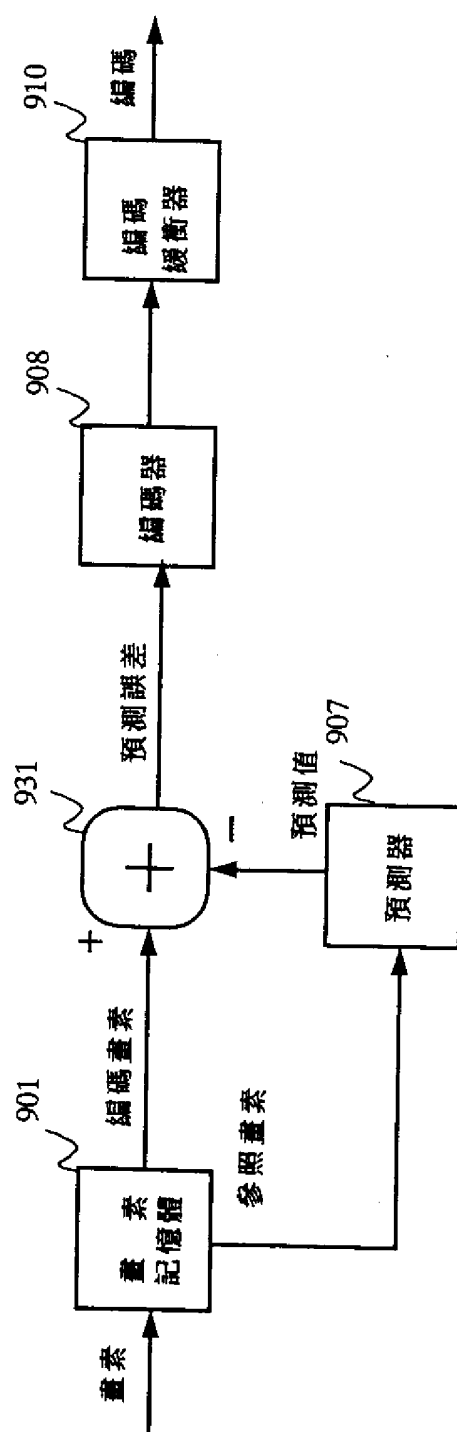


圖 54

2^n 次

符號列	編碼語例	編碼語長
$\xleftrightarrow{2^n}$ 00...0	0	1
1	10...00	n+1
01	10...01	n+1
$\vdots$	i 之2進位表示 (n位數)	$\vdots$
$\xleftrightarrow{i}$ 0...01	$\xleftrightarrow{\hspace{1cm}}$ 1x...xx	n+1
$\vdots$	$\vdots$	$\vdots$
$\xleftrightarrow{2^n-1}$ 0...01	11...11	n+1

0 : M P S
1 : L P S

(例)

4 次

符號列	編碼語
0000	0
1	100
01	101
001	110
0001	111

(例)

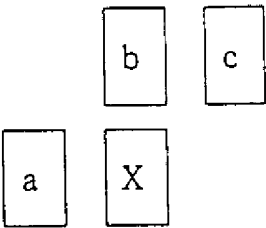
2 次

符號列	編碼語
00	0
1	10
01	11

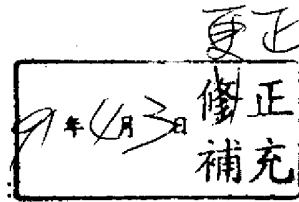
圖 55

狀態	狀態號碼	編碼次數
S ₀	0	1
S ₁	1	2
S ₂	2	4
S ₃	3	8
S ₄	4	16
S ₅	5	32
S ₆	6	64
S ₇	7	128
S ₈	8	256
S ₉	9	512
S ₁₀	10	1024
S ₁₁	11	2048
S ₁₂	12	4096
S ₁₃	13	8192
S ₁₄	14	16384
S ₁₅	15	32768

圖 56



六、申請專利範圍



1. 一種編碼裝置，其特徵為，具備有：

畫素記憶體(1)，將具有預定範圍之任何一值之畫素做為編碼畫素予以輸入蓄積，並將編碼畫素之近旁之編碼終了之畫素之值做為參照畫素之值而輸出；

模態判定器(2)，從預先被定義之複數個編碼模態，對於編碼畫素加以選擇特定之編碼模態及其以外之編碼模態之任一個；

第1編碼部(101)，預測編碼畫素之值，判定預測之適當與否，基於判定結果，將編碼畫素之值加以編碼而輸出編碼語；

第2編碼部(102)，預測編碼畫素之值，將編碼畫素之值加以編碼而輸出編碼語；及

編碼控制部(11)，基於上述模態判定器(2)之選擇結果，選擇性地使第1及第2之編碼部動作；

上述第1編碼部(101)，係具備有：

第1預測器(3)，基於參照畫素所取之值算出編碼畫素之預測值；

第1預測誤差算出器(30)，將被編碼畫素之值與第1預測器(3)所算出之預測值之誤差做為預測誤差加以算出；

判定器(4)，判定被第1預測誤差算出器(30)所算出之預測誤差是否為特定之值，而輸出判定結果；

第1編碼器(5)，關於以被選擇之特定之編碼模態加以編碼之編碼畫素，輸入從判定器(4)被輸入之判定結果而加以編碼，而輸出編碼語；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製