

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 3 月 28 日 (28.03.2024)



(10) 国际公布号
WO 2024/060434 A1

- (51) 国际专利分类号:
H01L 27/00 (2006.01)
- (21) 国际申请号: PCT/CN2022/140173
- (22) 国际申请日: 2022 年 12 月 19 日 (19.12.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211160499.3 2022年9月22日 (22.09.2022) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。
- (72) 发明人: 王祥升(**WANG, Xiangsheng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12,

Beijing 100176 (CN)。王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路 38 号 (B 座) 21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 半导体器件及其制造方法、电子设备

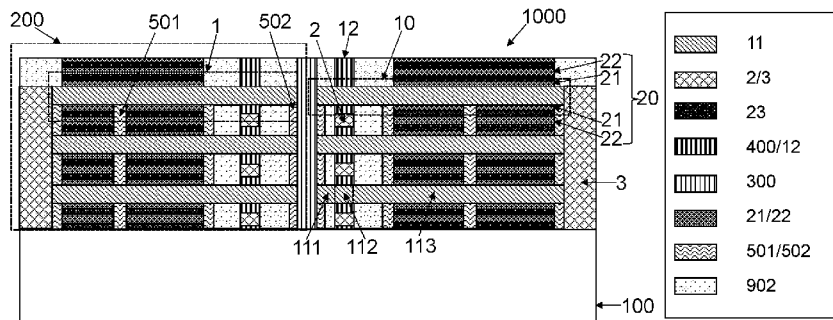


图 1A

(57) **Abstract:** A semiconductor device and a manufacturing method therefor, and an electronic device. The semiconductor device comprises a first chip (1000). The first chip (1000) comprises: a plurality of memory cell columns (200), arranged on a first substrate (100), wherein each memory cell column (200) is perpendicular to the first substrate (100) and is formed by a plurality of memory cells (1) arranged in a stacked mode, each memory cell (1) comprises a transistor (10) and a capacitor (20), the transistor (10) comprises a semiconductor layer (11) and a gate (12), the semiconductor layer (11) extends in a direction parallel to the first substrate (100) and sequentially comprises a source region (111), a channel region (112) and a drain region (113), the drain region (113) comprises a capacitor region, the gate (12) surrounds the side wall of the channel region (112), and the capacitor (20) is provided on a side wall of the capacitor region of the drain region (113); and a first internal support layer 501, provided between the capacitor regions of the drain regions (113) of any two semiconductor layers (11) adjacent in the direction perpendicular to the first substrate (100), the capacitor (20) being a grid capacitor (20).

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体器件及其制造方法、电子设备, 半导体器件包括第一芯片(1000), 第一芯片(1000)包括设置在第一衬底(100)上的多个存储单元列(200), 每个存储单元列(200)均垂直于第一衬底(100)并且由堆叠设置的多个存储单元(1)形成, 存储单元(1)包括晶体管(10)和电容器(20), 晶体管(10)包括半导体层(11)和栅极(12), 半导体层(11)沿平行于第一衬底(100)的方向延伸并且依次包括源极区(111)、沟道区(112)和漏极区(113), 漏极区(113)包括电容区; 栅极(12)环绕在沟道区(112)的侧壁; 电容器(20)设置在漏极区(113)的电容区的侧壁上; 第一内部支撑层501, 设置在沿垂直于第一衬底(100)的方向上相邻的两个半导体层(11)的漏极区(113)的电容区之间, 电容器(20)为网格式电容器(20)。

半导体器件及其制造方法、电子设备

本申请要求于 2022 年 09 月 22 日提交中国专利局、申请号为 2022111604993、发明名称为“半导体器件及其制造方法、电子设备”的中国专
5 利申请的优先权，其内容应理解为通过引用的方式并入本申请中。

技术领域

本申请涉及但不限于半导体器件领域，尤指一种半导体器件及其制造方
法、电子设备。

10

背景技术

动态随机存取存储器（Dynamic Random Access Memory, DRAM）是一种常见的系统内存，广泛应用在个人电脑、笔记本和消费电子产品中，每年的产值占整个半导体行业的 30%左右。现在世界前三大 DRAM 公司正在进
15 入 1a 技术节点，其栅极长度已经到达 15nm(和逻辑的 7nm 接近)，难以再进一步微缩。

随着 DRAM 技术朝向更高密度和高容量发展，半导体结构的微缩遇到了瓶颈，很难再进一步微缩。而且电容器的数量提高、尺寸下降，导致电容器的制造需要更长的工艺时间以及更复杂的工艺流程。

20

发明概述

以下是对本文详细描述的主题的概述。本概述并非是为了限制本申请的保护范围。

本申请实施例提供了一种半导体器件，包括第一芯片，所述第一芯片包
25 括：

第一衬底；

设置在所述第一衬底上的多个存储单元列，每个所述存储单元列均垂直于所述第一衬底并且由堆叠设置在所述第一衬底一侧的多个存储单元形成；

每个所述存储单元均包括晶体管和电容器，所述晶体管包括半导体层和栅极，所述半导体层沿平行于所述第一衬底的方向延伸为条状结构，所述条状结构具有侧壁和两端，并且在平行于所述第一衬底的方向上的侧壁依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；所述栅极环绕在所述沟道区的侧壁，并且所述栅极与所述沟道区之间设置有栅极绝缘层；

所述电容器设置在所述漏极区的电容区的侧壁上；

第一内部支撑层，所述第一内部支撑层设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间，所述第一内部支撑层配置为对所述电容器和相邻的两个半导体层提供支撑，所述电容器被所述第一内部支撑层间隔为网格式电容器。

在本申请实施例中，所述第一芯片还包括：多条字线，每条所述字线均在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向，其中，在所述字线的延伸方向上设置有一个存储单元列，每条所述字线由该一个存储单元列的一个存储单元的晶体管的栅极形成；或者，在所述字线的延伸方向上设置有多个存储单元列，每条所述字线由该多个存储单元列的沿所述字线的延伸方向排列的多个存储单元的晶体管的栅极连接在一起形成。在本申请实施例中，所述第一内部支撑层还可以设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸。

在本申请实施例中，所述第一芯片还包括：多条位线，每条所述位线均沿垂直于所述第一衬底的方向延伸，在与所述半导体层的延伸方向平行的方向上，相邻的两个存储单元列的多个存储单元的晶体管的源极区均与一条共用的位线连接。

在本申请实施例中，所述电容器可以环绕在所述漏极区的电容区的侧壁上。在本申请实施例中，所述电容器可以包括第一电极板、第二电极板以及设置在所述第一电极板和所述第二电极板之间的介电质层，所述第一电极板、所述介电质层和所述第二电极板依次环绕在所述漏极区的电容区的侧壁上。在本申请实施例中，所述半导体器件还可以包括第二芯片，所述第二芯片和所述第一芯片层叠结合在一起并且所述第二芯片和所述存储单元列分别位于

所述第一衬底的两侧，所述第二芯片的电路与所述第一芯片的电路电连接；

5 所述第二芯片包括依次设置在第二衬底上的外围电路、金属接触层和金属互连层，所述金属接触层设置在所述外围电路远离所述第二衬底的一侧，所述金属互连层设置在所述金属接触层远离所述第二衬底的一侧并且位于所述第一衬底远离所述存储单元列的一侧，所述金属接触层中设置有金属接触柱，所述金属互连层中设置有金属线，所述金属线的一端与所述第一芯片的位线、字线或电容器电连接，所述金属线的另一端通过所述金属接触柱与所述外围电路电连接。

10 在本申请实施例中，沿垂直于所述第一衬底的方向间隔排列的位于不同层的多条字线可以呈阶梯状。

在本申请实施例中，所述半导体层的材料可以选自第 IVA 族元素形成的半导体材料中的任意一种或多种，所述字线的材料选自第 IVA 族元素形成的导体材料中的任意一种或多种。

15 在本申请实施例中，所述半导体层的材料可以为单晶硅；所述字线的材料可以选自多晶硅和多晶硅锗中的任意一种或多种。

在本申请实施例中，所述存储单元列还可以包括层间隔离层，所述层间隔离层设置在所述存储单元列中相邻的两个存储单元的晶体管的栅极之间，所述层间隔离层配置为将相邻的两个存储单元的晶体管的栅极隔离开。

20 在本申请实施例中，所述半导体器件还可以包括一个或多个沿垂直于所述第一衬底的方向延伸的存储单元隔离柱，在所述半导体层的延伸方向上每间隔两个存储单元列设置有一个所述存储单元隔离柱。

25 在本申请实施例中，所述半导体器件还可以包括第二内部支撑层，所述第二内部支撑层设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层之间并且位于非电容区，所述第二内部支撑层配置为对所述半导体层提供支撑。

在本申请实施例中，所述第一电极板可以为内电极板，所述第二电极板可以为外电极板；所述漏极区可以与所述第一电极板连接。本申请实施例还提供一种半导体器件的制造方法，包括：

在第一衬底的一侧按照第一牺牲层和半导体层的顺序沿垂直于所述第一衬底的方向堆叠形成多个由所述第一牺牲层和所述半导体层组成的复合层；

5 在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出沟槽，并对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层；

10 去除剩余的第一牺牲层，剩余的半导体层沿平行于所述第一衬底的方向延伸并且依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；

在所述第一衬底上形成第二牺牲层，使所述第二牺牲层覆盖所述半导体层；

15 去除所述半导体层的沟道区侧壁上的第二牺牲层，在所述半导体层的沟道区的侧壁上依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；

去除所述半导体层的漏极区的电容区侧壁上的第二牺牲层，在所述半导体层的漏极区的电容区的侧壁上依次形成电容器，得到第一芯片。

20 在本申请实施例中，所述半导体器件的制造方法还可以包括：形成多条在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向的字线；

其中，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置多个半导体层，使该多个半导体层上的栅极连接在一起形成字线。

25 在本申请实施例中，所述半导体器件的制造方法还可以包括：形成多条沿垂直于所述第一衬底的方向延伸的位线；

其中，形成所述位线包括：

在多个所述复合层中刻蚀所述沟槽时，在多个所述复合层中沿垂直于所

述第一衬底的方向刻蚀出位线槽，以及在所述位线槽中填充隔离材料；

在形成所述电容器之后，去除所述位线槽中的隔离材料，在所述位线槽中填充位线材料，形成位线，将所述位线和与该位线相接触的多个半导体层的所述源极区连接，使得该多个半导体层的所述源极区共用一条位线。

5 在本申请实施例中，所述半导体器件的制造方法还可以包括：

在第二衬底的一侧依次设置外围电路、带有金属接触柱的金属接触层、和带有金属线的金属互连层，将所述金属线的一端通过所述金属接触柱与所述外围电路电连接，得到第二芯片；

10 将所述第一芯片和所述第二芯片层叠结合在一起，并将所述第二芯片的电路与所述第一芯片的电路进行电连接。

在本申请实施例中，对所述沟槽进行侧边刻蚀，在每个所述复合层的第一牺牲层中形成第一内部支撑槽，在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层，可以包括：

15 对所述沟槽进行侧边刻蚀，在每个所述复合层的第一牺牲层中形成第一内部支撑槽，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层；或者，

20 在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，在每个所述复合层的第一牺牲层中形成第一内部支撑槽，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层。

25 在本申请实施例中，所述在所述半导体层的漏极区的电容区的侧壁上依次形成电容器，可以包括：在所述半导体层的漏极区的电容区的侧壁上依次形成环绕所述电容区的侧壁的第一电极板、介电质层和第二电极板，所述第一电极板、所述介电质层和所述第二电极板构成所述电容器。

本申请实施例还提供一种电子设备，包括如上本申请实施例提供的所述

半导体器件。

本申请的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得更加清楚，或者通过实施本申请而了解。本申请的其他优点可通过在说明书以及附图中所描述的方案来实现和获得。

5

附图概述

附图用来提供对本申请技术方案的理解，并且构成说明书的一部分，与本申请的实施例一起用于解释本申请的技术方案，并不构成对本申请技术方案的限制。

- 10 图 1A 为本申请示例性实施例的一种半导体器件的主视剖面结构示意图；
图 1B 为图 1A 所示的半导体器件的俯视剖面结构示意图；
图 1C 为图 1A 所示的半导体器件的晶体管的放大图；
图 1D 为图 1A 所示的半导体器件的电容器的放大图；
图 2A 为本申请示例性实施例的另一种半导体器件的主视剖面结构示意图；
15 图；
图 2B 为图 2A 所示的导体器件的俯视结构示意图图；
图 3 为本申请示例性实施例的半导体器件的沿垂直于第一衬底的方向间隔排列的多条字线在侧视方向上的分布状态图；
图 4A 为本申请示例性实施例的半导体器件的第二芯片的主视剖面结构示意图；
20 示意图；
图 4B 为图 3A 所示的半导体器件的第二芯片的俯视结构示意图；
图 5 为本申请示例性实施例的半导体器件的制造方法的工艺流程图；
图 6A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；
25 图 6B 为图 6A 所示的中间品的俯视结构示意图；
图 7A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；

图 7B 为图 7A 所示的中间品的俯视结构示意图；

图 8A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；

图 8B 为图 8A 所示的中间品的俯视结构示意图；

5 图 9A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；

图 9B 为图 9A 所示的中间品的俯视结构示意图；

图 10A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；

10 图 10B 为图 10A 所示的中间品的俯视结构示意图；

图 11A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；

图 11B 为图 11A 所示的中间品的俯视结构示意图。

附图中的标记符号的含义为：

15 1000-第一芯片；2000-第二芯片；3000-第二衬底；100-第一衬底；200-存储单元列；300-位线；300'-位线槽；400-字线；501-第一内部支撑层；501'-第一内部支撑槽；502-第二内部支撑层；502'-第二内部支撑槽；600-外围电路；601-第一晶体管；6011-第一源极；6012-第一漏极；6013-第一沟道；6014-第一栅极；602-第二晶体管；6021-第二源极；6022-第二漏极；6023-第二沟道；6024-第二栅极；603-第一型阱；604-第二型阱；700-金属接触层；701-金属接触柱；800-金属互连层；801-金属线；901-第一牺牲层；902-第二牺牲层；1-存储单元；10-晶体管；11-半导体层 111-源极区；112-沟道区；113-漏极区；12-栅极；20-电容器；21-第一电极板；22-第二电极板；23-介电质层；2-层间隔离层；3-存储单元隔离柱；3'-存储单元隔离槽；4-沟槽；5-隔离材料；6-间隔槽。

25

详述

为使本申请的目的、技术方案和优点更加清楚明白，下文中将结合附图

对本申请的实施例进行详细说明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

5 本文中的实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是实现方式和内容可以在不脱离本申请的宗旨及其范围的条件下被变换为各种各样的形式。因此，本申请不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

10 本申请中的附图比例可以作为实际工艺中的参考，但不限于此。例如：半导体层的宽长比、各个膜层的厚度和间距，可以根据实际需要进行调整。本申请中所描述的附图仅是结构示意图，本申请的一个方式不局限于附图所示的形状或数值等。

15 在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“垂直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

20 在本说明书中，除非另有明确的规定和限定，术语“设置”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本申请中的具体含义。

25 在本申请的描述中，“第一”、“第二”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“介电质层”换成为“介电质膜”。

本申请实施例提供了一种半导体器件，所述半导体器件包括第一芯片，

所述第一芯片包括:

第一衬底;

设置在所述第一衬底上的多个存储单元列, 每个所述存储单元列均垂直于所述第一衬底并且由堆叠设置在所述第一衬底一侧的多个存储单元形成;

- 5 每个所述存储单元均包括晶体管和电容器, 所述晶体管包括半导体层和栅极, 所述半导体层沿平行于所述第一衬底的方向延伸为条状结构, 所述条状结构具有侧壁和两端, 并且在平行于所述第一衬底的方向上的侧壁依次包括源极区、沟道区和漏极区, 所述漏极区包括电容区; 所述栅极环绕在所述沟道区的侧壁, 并且所述栅极与所述沟道区之间设置有栅极绝缘层; 所述电
- 10 容器设置在所述漏极区的电容区的侧壁上;

第一内部支撑层, 所述第一内部支撑层设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间, 所述第一内部支撑层配置为对所述电容器和相邻的两个半导体层提供支撑, 所述电容器被所述第一内部支撑层间隔为网格式电容器。

- 15 在本申请实施例中, 所述第一芯片还可以包括: 多条字线, 每条所述字线均在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向, 其中, 在所述字线的延伸方向上设置有一个存储单元列, 每条所述字线由该一个存储单元列的一个存储单元的晶体管的栅极形成; 或者, 在所述字线的延伸方向上设置有多条存储单元列, 每条所述字线由该多条存储单元列
- 20 的沿所述字线的延伸方向排列的多个存储单元的晶体管的栅极连接在一起形成。

在本申请实施例中, 所述第一内部支撑层还可以设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸。

- 25 在本申请实施例中, 所述第一芯片还可以包括: 多条位线, 每条所述位线均沿垂直于所述第一衬底的方向延伸, 在与所述半导体层的延伸方向平行的方向上, 相邻的两个存储单元列的多个存储单元的晶体管的源极区均与一条共用的位线连接。

在本申请实施例中，所述电容器可以环绕在所述漏极区的电容区的侧壁上。本申请实施例提供的半导体器件可以应用于 DRAM 领域，例如，可以应用于通过超晶格结构形成的具有 3D 存储单元的 DRAM。

例如，衬底上的多层超晶格可以用于形成多层存储单元，每层存储单元
5 可以是阵列分布的存储单元，各层中在二维平面中相同位置的存储单元构成一个垂直方向的一列存储单元，简称存储单元列。

图 1A 为本申请示例性实施例的一种半导体器件的主视剖面结构示意图；图 1B 为图 1A 所示的半导体器件的俯视剖面结构示意图；图 1C 为图 1A 所示的半导体器件的晶体管的放大图；图 1D 为图 1A 所示的半导体器件的电
10 容器的放大图。如图 1A 至图 1D 所示，所述半导体器件可以包括：第一芯片 1000，所述第一芯片 1000 包括：第一衬底 100、多个存储单元列 200、多条位线 300（Bit Line, BL）、多条字线 400（Word Line, WL）和第一内部支撑层 501。

其中，每个存储单元列 200 均垂直于第一衬底 100 并且由堆叠设置在第
15 一衬底 100 一侧的多个存储单元 1 形成。

每个存储单元 1 均包括晶体管 10 和电容器 20，晶体管 10 包括半导体层 11 和栅极 12，半导体层 11 沿平行于第一衬底 100 的方向延伸为条状结构，所述条状结构具有侧壁和两端，所述条状结构的横截面可以为矩形、圆形、椭圆形等，并且在平行于所述第一衬底的方向上的侧壁依次包括源极区 111、
20 沟道区 112 和漏极区 113，漏极区 113 包括电容区；栅极 12 环绕在沟道区 112 的侧壁，并且栅极 12 与沟道区 112 之间设置有栅极绝缘层（图中未示）。

所述电容器 20 设置在所述漏极区 113 的电容区的侧壁上，即所述电容器 20 设置在相邻两个半导体层之间。例如，可以如图 1A 所示，所述电容器 20 环绕在所述漏极区 113 的电容区的侧壁上，即所述电容器 20 套设在所述漏极
25 区 113 的电容区四周的侧壁上。在其他实施例中，所述电容器 20 可以设置在所述漏极区 113 的电容区相对两侧的侧壁上。

在本申请实施例中，如图 1D 所示，电容器 20 包括第一电极板 21、第二电极板 22 以及设置在第一电极板 21 和第二电极板 22 之间的介电质层 23，第一电极板 21、介电质层 23 和第二电极板 22 依次环绕在漏极区 113 的电容

区的侧壁上。

5 每条位线 300 均沿垂直于第一衬底 100 的方向延伸，在与半导体层 11 的延伸方向平行的方向上，相邻的两个存储单元列 200 的多个存储单元 1 的晶体管 10 的源极区 111 均与一条共用的位线 300 连接。例如，沿半导体层的延伸方向上相邻的两个存储单元 1 呈镜像分布，所述相邻的两个存储单元 1 的晶体管 10 的源极区 111 与一条共用的位线 300 连接。

10 沿半导体层的延伸方向上每相邻两个存储单元整体作为一个重复单元，沿半导体层的延伸方向上有 $2n$ 个存储单元时，有 n 个重复单元，每个重复单元包含两个结构上镜像对称的存储单元；一个重复单元中，两个晶体管相邻设置，位于一个半导体层上的电容器位于两端，两个相邻设置的晶体管之间设置有沿垂直衬底方向分布的位线 300，两个存储单元中的晶体管和电容器关于所述位线 300 镜像对称分布。

15 每条字线 400 均在平行于第一衬底 100 的平面上延伸并且垂直于半导体层 11 的延伸方向，其中，在字线 400 的延伸方向上设置有一个存储单元列 200，每条字线 400 由该一个存储单元列 200 的各个层的一个存储单元 1 的晶体管 10 的栅极 12 形成；或者，在字线 400 的延伸方向上设置有多个存储单元列 200，每条字线 400 由该多个存储单元列 200 的沿字线 400 的延伸方向排列的多个存储单元 1 的位于同一层的晶体管 10 的栅极 12 连接在一起形成。

20 第一内部支撑层 501 设置在沿垂直于第一衬底 100 的方向上相邻的两个半导体层 11 的漏极区 113 的电容区之间，第一内部支撑层 501 配置为对电容器 20 和相邻的两个半导体层 11 提供支撑，电容器 20 被第一内部支撑层 501 间隔为网格式（Mesh）电容器。

25 在图 1A 中，两个存储单元列 200 共用一条位线 300，图 1A、图 1B 所示的半导体器件中共有 3 条位线 300；图 1A、图 1B 所示的半导体器件为三层超晶格形成的三层存储单元，每层存储单元对应应有 2 条字线 400，图 1A、图 1B 所示的半导体器件中共有 6 条字线 400。

在本申请的描述中，每个存储单元列均由沿垂直于第一衬底堆叠设置在第一衬底一侧的多个存储单元形成；本申请将属于同一层的一个或多个存储单元作为一个组，该组存储单元在垂直于第一衬底的方向叠层设置，不同叠

层的存储单元组构成沿着垂直于第一衬底方向延伸的列。所述的多个组构成一个阵列，也就是说每个层的存储单元组构成一个阵列，或多个叠层的存储单元组形成的多列构成一个阵列，例如，不同的所述存储单元列 200 在所述第一衬底 100 上沿所述半导体层的延伸方向和所述字线的延伸方向排列形成阵列。

本申请实施例的半导体器件，通过采用横向半导体层（即沿平行于所述第一衬底的方向延伸的半导体层）和横向电容器（即将电容器设置在晶体管的半导体层之间，而不是设置在晶体管左右两侧），使得晶体管和电容器可以形成立体堆叠结构，并且由晶体管和电容器形成的存储单元可以沿垂直于第一衬底的方向堆叠在一起，增加了半导体器件的存储密度；另外，第一内部支撑层的设计使得电容器具有网格式电容结构，可以起到支撑较长的横向电容器的作用，避免较长的横向电容器在选择性刻蚀中倒塌。

示例性地，在与所述半导体层的延伸方向平行的方向上，相邻的两个存储单元列的多个存储单元的晶体管的源极可以共用一条位线，可以减小半导体器件的尺寸，进一步增加半导体器件的存储密度，从而减少单位 Gb 的制作成本，为 DRAM 微缩瓶颈下，提供了一种新的技术研发方向。

在本申请实施例中，如图 1B 所示，第一内部支撑层 501 还可以设置在沿字线 400 的延伸方向上相邻的两个半导体层 11 的漏极区的电容区之间并且沿垂直于第一衬底 100 的方向延伸。

在本申请实施例中，一个存储单元列可以由 2 个至 100 个沿垂直于所述第一衬底的方向堆叠设置的存储单元形成，例如，可以由 2 个、3 个、4 个、5 个、10 个、13 个、15 个、18 个、20 个、30 个、40 个、50 个、60 个、70 个、80 个、90 个、100 个存储单元形成。

在本申请实施例中，所述多个存储单元列在所述第一衬底上沿所述半导体层的延伸方向和所述字线的延伸方向排列形成阵列；这里，可以理解为每个层的存储单元组构成一个阵列，或多个叠层的存储单元组形成的多列构成一个阵列。

在本申请实施例中，在沿所述半导体层的延伸方向上可以设置有 2 个至 1000 个存储单元列，例如，可以设置有 2 个、4 个、6 个、8 个、10 个、12

个、14个、16个、18个、20个、30个、40个、50个、60个、70个、80个、90个、100个、200个、300个、400个、500个、600个、700个、800个、900个、1000个存储单元列；在沿所述字线的延伸方向上可以设置有1个至100个存储单元列，例如，可以设置有1个、2个、3个、4个、5个、
5 12个、14个、16个、18个、20个、30个、40个、50个、60个、70个、80个、90个、100个存储单元列。

在本申请实施例中，所述网格式（Mesh）电容器的结构可以参考1z技术节点的网格电容器的结构。

在本申请实施例中，可以根据电容器的长度设置第一内部支撑层的数量，
10 使得电容器具有网格式结构。例如，可以每间隔200nm至300nm设置一个第一内部支撑层；当前1z技术节点的电容器的长度大约为1000nm，其中可以设置两个第一内部支撑层。

图2A为本申请示例性实施例的另一种半导体器件的主视剖面结构示意图；图2B为图2A所示的半导体器件的俯视结构示意图。如图2A和图2B
15 所示，在本申请示例性实施例中，所述半导体器件还可以包括第二芯片2000，第二芯片2000和第一芯片1000层叠结合在一起并且第二芯片2000和存储单元列200分别位于第一衬底100的两侧，第二芯片2000的电路与第一芯片1000的电路电连接；

第二芯片2000包括依次设置在第二衬底3000上的外围电路600、金属
20 接触层700和金属互连层800，金属接触层700设置在外围电路600远离第二衬底3000的一侧，金属互连层800设置在金属接触层700远离第二衬底3000的一侧并且位于第一衬底100远离存储单元列200的一侧，金属接触层700包括金属接触柱701和绝缘介质，金属互连层800包括金属线801和绝缘介质，金属线801的一端与第一芯片1000的位线300、字线400或电容器
25 20的第二电极板（可以根据具体电路而定）电连接，金属线801的另一端通过金属接触柱701与外围电路600电连接。

本申请实施例的半导体器件结构，将存储单元和外围电路分别设置在不同芯片的衬底上，而且采用CuA（CMOS under Array）结构将外围电路设置在存储单元列下方，因此外围电路不会占用存储单元所在的第一芯片的第一

衬底的面积，可以在整片第一衬底上都设置存储单元，使得能够在有限的第一衬底面积上设置更多的存储单元，提高半导体存储器的存储密度。

在本申请实施例中，所述第一衬底可以为半导体衬底，例如，可以为单晶硅衬底，还可以为绝缘体上半导体 (Semiconductor on Insulator, SOI) 衬底，
5 例如，蓝宝石上硅 (Silicon On Sapphire, SOS) 衬底、玻璃上硅 (Silicon On Glass, SOG) 衬底，基底半导体基础上的硅的外延层或其它半导体或光电材料，例如硅-锗 ($\text{Si}_{1-x}\text{Ge}_x$ ，其中 x 可以是例如 0.2 与 0.8 之间的摩尔分数)、锗 (Ge)、砷化镓 (GaAs)、氮化镓 (GaN) 或磷化铟 (InP)。所述第一衬底可经掺杂或可未经掺杂；所述第二衬底可以为经掺杂或可未经掺杂的单晶硅衬底。

10 在本申请实施例中，所述位线的材料可以选自钨、钼、钴等具有相似性质的其他金属材料中的任意一种或多种。

图 3 为本申请示例性实施例的半导体器件的沿垂直于第一衬底的方向间隔排列的多条字线在侧视方向上的分布状态图。如图 3 所示，在本申请实施例中，沿垂直于所述第一衬底 100 的方向间隔排列的位于不同层的多条字线
15 400 的长度可以不同，使得沿垂直于所述第一衬底 100 的方向排列的位于不同层的多条字线 400 可以呈现为阶梯状。

在本申请实施例中，所述半导体层的材料可以选自第 IVA 族元素形成的半导体材料中的任意一种或多种，例如，所述半导体层的材料可以为单晶硅。

在本申请实施例中，所述字线的材料可以为与所述半导体层兼容的材料，
20 例如，所述字线的材料可以选自第 IVA 族元素形成的导体材料中的任意一种或多种，再例如，所述字线的材料可以选自多晶硅、多晶硅锗等中的任意一种或多种。第 IVA 族元素形成的半导体材料和第 IVA 族元素形成的导体材料都由第 IVA 族元素形成，它们之间可以更好的兼容。

在本申请实施例中，所述半导体层在垂直于第一衬底的方向上的高度可以
25 根据实际的电性需求来设置，例如，可以为 10nm 至 50nm。

在本申请实施例中，所述第一电极板可以为内电极板，所述第二电极板可以为外电极板。如图 1A 和图 2A 所示，漏极区 113 可以与第一电极板 21 (即内电极板) 相连接。如图 1B 和图 2B 所示，沿与所述字线的延伸方向平行的方向排列的多个电容器 20 的第二电极板 22 可以连接在一起，但其第一

电极板 21 是分开的。

在本申请实施例中，如图 1A 和图 2A 所示，一个晶体管 10 可以对应一个电容器 20，即存储单元 1 可以为 1T1C 结构。

在本申请实施例中，在垂直于第一衬底的方向上相邻的两个电容器可以
5 共用一个外电极板。

在本申请实施例中，所述第一电极板和所述第二电极板的材料可以各自独立地选自氮化钛（例如，TiN）、铝钛基合金（例如，TiAl）、氮化钽（例如，TaN）等具有相似性质的其他金属材料的任意一种或多种。所述第一电极板的厚度可以为 5nm 至 15nm，所述第二电极板的厚度可以为 5nm 至 15nm。

10 在本申请实施例中，所述介电质层的材料可以为高介电常数（K）材料，例如，可以选自氧化铪（例如，HfO₂）、氧化铝（例如，Al₂O₃）、氧化锆（例如，ZrO）和钛酸锶（例如，SrTiO₃，STO）中的任意一种或多种。所述介电质层的厚度可以为 5nm 至 15nm。

15 在本申请实施例中，如图 1A 和图 2A 所示，存储单元列 200 还可以包括层间隔离层 2，层间隔离层 2 设置在存储单元列 200 中相邻的两个存储单元 1 的晶体管 10 的栅极 12 之间，将相邻的两个存储单元 1 的晶体管 10 的栅极 12 隔离开。

在本申请实施例中，所述层间隔离层的材料可以为氧化硅，例如，可以为 SiO₂。

20 在本申请实施例中，如图 1A 和图 2A 所示，所述半导体器件还可以包括一个或多个沿垂直于第一衬底的方向延伸的存储单元隔离柱 3。例如，在所述半导体层的延伸方向上每间隔两个存储单元列 200 可以设置有一个存储单元隔离柱 3。

25 在本申请实施例中，所述存储单元隔离柱的材料可以为氧化硅，例如，可以选自旋转涂敷（Spin-On Deposition, SOD）氧化硅薄膜、高密度等离子体（High Density Plasma, HDP）氧化硅薄膜和高深宽比工艺（High Aspect Ratio Process, HARP）氧化硅薄膜中的任意一种或多种。

在本申请实施例中，所述栅极绝缘层的材料可以选自氧化硅（例如，SiO₂）、

氧化铪（例如， HfO_2 ）、氧化锆（例如， ZrO ）和氧化铝（例如， Al_2O_3 ）中的任意一种或多种。

在本申请实施例中，所述栅极绝缘层可以为单层或多层，例如，可以包括由氧化硅和氧化铪形成的两层结构，其中，氧化硅层与沟道区接触，氧化铪层与栅极接触。

在本申请实施例中，所述栅极绝缘层的厚度可以根据实际的电性需求来设置，例如，可以为 2nm 至 5nm。

在本申请实施例中，如图 1A 和图 2A 所示，所述半导体器件还可以包括第二内部支撑层 502，第二内部支撑层 502 设置在沿垂直于第一衬底的方向上相邻的两个半导体层 11 之间并且位于非电容区，第二内部支撑层 502 第二内部支撑层 502 配置为对半导体层 11 提供支撑。

在本申请实施例中，如图 1A 和图 2A 所示，第二内部支撑层 502 可以位于位线 300 两侧，或者可以位于位线 300 两侧和存储单元隔离柱 3 两侧。当位线 300 两侧和存储单元隔离柱 3 两侧均设置有第二内部支撑层 502 时，可以对半导体层 11 提供更牢固的支撑。

在本申请实施例中，所述第一内部支撑层和所述第二内部支撑层的材料可以为具有支撑作用的薄膜材料，例如，可以为氮化硅（例如， SiN ）。

在本申请示例性实施例中，如图 1A 和图 2A 所示，所述半导体器件还可以包括第二牺牲层 902，第二牺牲层 902 设置在第一芯片 1000 的空白空间中并且覆盖半导体层 11。

在本申请实施例中，所述第二牺牲层的材料可以为介电质材料，例如，可以为氧化硅（例如， SiO_2 ）等具有相似性质的其他材料中的任意一种或多种。

在本申请实施例中，所述第二芯片可以采用常用的外围电路的芯片结构，例如，所述外围电路可以为 CMOS 晶体管。

图 4A 为本申请示例性实施例的半导体器件的第二芯片的主视剖面结构示意图；图 4B 为图 3A 所示的半导体器件的第二芯片的俯视结构示意图。如图 4A 和图 4B 所示，在本申请实施例中，外围电路 600 可以包括第一晶体管

601 和第二晶体管 602, 第一晶体管 601 和第二晶体管 602 可以并排设置在第二衬底 3000 的第一侧, 并且第一晶体管 601 与第二衬底 3000 之间还可以设置有第一型阱 603, 第二晶体管 602 与第二衬底 3000 之间还可以设置有第二型阱 604; 第一晶体管 601 可以包括第一源极 6011、第一漏极 6012、设置在
5 第一源极 6011 和第一漏极 6012 之间的第一沟道 6013、设置在第一沟道 6013 一侧的第一栅极 6014, 第一源极 6011 和第一漏极 6012 的材料可以相同, 例如, 可以均为 N 型半导体材料或 P 型半导体材料, 第一沟道 6013 的材料和第一型阱 603 的材料相同, 可以均为 P 型半导体材料或 N 型半导体材料, 但第一源极 6011、第一漏极 6012 与第一沟道 6013、第一型阱 603 的材料不同;
10 第一沟道 6013 与第一栅极 6014 之间还可以设置有第一栅极绝缘层 (或叫栅极氧化层, 图中未示); 第二晶体管 602 包括第二源极 6021、第二漏极 6022、设置在第二源极 6021 和第二漏极 6022 之间的第二沟道 6023、设置在第二沟道 6023 一侧的第二栅极 6024, 第二源极 6021 和第二漏极 6022 的材料相同, 可以均为 P 型半导体材料或 N 型半导体材料, 第二沟道 6023 和第二型阱 604
15 的材料相同, 可以均为 N 型半导体材料或 P 型半导体材料, 但第二源极 6021、第二漏极 6022 与第二沟道 6023、第二型阱 604 的材料不同; 第二沟道 6023 与第二栅极 6024 之间还可以设置有第二栅极绝缘层 (或叫栅极氧化层, 图中未示)。

在本申请实施例中, 如图 4A 所示, 第一晶体管 601 和第二晶体管 602
20 可以并列设置在同一个平面上。

在本申请实施例中, 所述第一晶体管和所述第二晶体管可以与不同的金属接触柱连接, 金属接触柱的另一端通过所述金属线与所述第一芯片的位线、字线或电容器电连接。

在本申请实施例中, 所述第一晶体管和所述第二晶体管可以为选通晶体
25 管。

在本申请实施例中, 所述外围电路还可以包括第三晶体管, 所述第三晶体管可以与所述第一晶体管和所述第二晶体管设置在同一平面上。

在本申请实施例中, 所述金属线的材料可以选自铜和铝中的任意一种或多种, 例如, 可以为铜; 所述金属接触柱的材料可以选自钨和钼中的任意一

种或多种，例如，可以为钨。

在本申请实施例中，所述半导体器件可以为动态随机存取存储器（DRAM）。

5 本申请实施例还提供一种半导体器件的制造方法。如上所述本申请实施例提供的半导体器件可以通过该制造方法得到。

图 5 为本申请示例性实施例的半导体器件的制造方法的工艺流程图。如图 5 所示，所述制造方法可以包括：

10 S10：在第一衬底的一侧按照第一牺牲层和半导体层的顺序沿垂直于所述第一衬底的方向堆叠形成多个由所述第一牺牲层和所述半导体层组成的复合层；

S20：在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出沟槽，并对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将
15 所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层；

S30：去除剩余的第一牺牲层，剩余的半导体层沿平行于所述第一衬底的方向延伸并且依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；

20 S40：在所述第一衬底上形成第二牺牲层，使所述第二牺牲层覆盖所述半导体层；

S50：去除所述半导体层的沟道区侧壁上的第二牺牲层，在所述半导体层的沟道区的侧壁上依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；

25 S60：去除所述半导体层的漏极区的电容区侧壁上的第二牺牲层，在所述半导体层的漏极区的电容区的侧壁上依次形成电容器，得到第一芯片。

在本申请实施例中，所述的半导体器件的制造方法还可以包括：形成多条沿垂直于所述第一衬底的方向延伸的位线；

其中，形成所述位线包括：

步骤 S20 在多个所述复合层中刻蚀所述沟槽时，在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出位线槽，以及在所述位线槽中填充隔离材料；

- 5 在步骤 S60 形成所述电容器之后，S70：去除所述位线槽中的隔离材料，在所述位线槽中填充位线材料，形成位线，将所述位线和与该位线相接触的多个半导体层的所述源极区连接，使得该多个半导体层的所述源极区共用一条位线。

在本申请实施例中，步骤 S50 还可以包括形成多条在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向的字线；

- 10 其中，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置多个半导体层，使该多个半导体层上的栅极连接在一起形成字线。

在本申请实施例中，所述半导体器件的制造方法可以包括：

- 15 S10：在第一衬底的一侧按照第一牺牲层和半导体层的顺序沿垂直于所述第一衬底的方向堆叠形成多个由所述第一牺牲层和所述半导体层组成的复合层；

- 20 S20：在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出位线槽和沟槽，并对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层，以及在所述位线槽中填充隔离材料；

- 25 S30：去除剩余的第一牺牲层，剩余的半导体层沿平行于所述第一衬底的方向延伸并且依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；

S40：在所述第一衬底上形成第二牺牲层，使所述第二牺牲层覆盖所述半导体层；

S50：去除所述半导体层的沟道区侧壁上的第二牺牲层，在所述半导体

层的沟道区的侧壁上依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；以及，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有多多个半导体层，使该多个半导体层上的栅极连接在一起形成字线；

S60：去除所述半导体层的漏极区的电容区侧壁上的第二牺牲层，在所述半导体层的漏极区的电容区的侧壁上依次形成环绕所述电容区的第一电极板、介电质层和第二电极板，所述第一电极板、所述介电质层和所述第二电极板组成电容器；

S70：去除所述位线槽中的隔离材料，在所述位线槽中填充位线材料，形成位线，将所述位线和与该位线相接触的多个半导体层的所述源极区连接，使得该多个半导体层的所述源极区共用一条位线，得到第一芯片。

在本申请实施例中，步骤 S20 可以包括：

15 在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出位线槽和沟槽，并对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，
20 形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层，以及在所述位线槽中填充隔离材料；或者，

在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出位线槽和沟槽，在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合壁的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导

体层的漏极区的电容区之间的第一内部支撑层，以及在所述位线槽中填充隔离材料。

在本申请实施例中，步骤 S20 可以包括：

5 S21：在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出存储单元隔离槽、位线槽和沟槽；

10 S22：在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层；

15 任选地，S23：对所述存储单元隔离槽进行侧边刻蚀，使得在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述存储单元隔离槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；

20 任选地，S24：对所述位线槽进行侧边刻蚀，在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述位线槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；

S25：在所述存储单元隔离槽中填充存储单元隔离柱和在所述位线槽中填充隔离材料。

例如，在本申请示例性实施例中，

25 i) 步骤 S20 可以包括：

S21：在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出存储单元隔离槽、位线槽和沟槽；

S22：在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向

上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层；

5 S23: 对所述存储单元隔离槽进行侧边刻蚀，使得在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述存储单元隔离槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；

S25: 在所述存储单元隔离槽中填充存储单元隔离柱和在所述位线槽中填充隔离材料。

或者，ii) 步骤 S20 可以包括：

15 S21: 在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出存储单元隔离槽、位线槽和沟槽；

20 S22: 在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层；

25 S24: 对所述位线槽进行侧边刻蚀，在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述位线槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；

S25: 在所述存储单元隔离槽中填充存储单元隔离柱和在所述位线槽中

填充隔离材料。

或者，iii) 步骤 S20 可以包括：

S21：在所述多个复合层中沿垂直于所述第一衬底的方向刻蚀出存储单元隔离槽、位线槽和沟槽；

- 5 S22：在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层；
- 10

- S23：对所述存储单元隔离槽进行侧边刻蚀，使得在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述存储单元隔离槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；
- 15

- S24：对所述位线槽进行侧边刻蚀，在每个所述复合壁的第一牺牲层中形成第二内部支撑槽，这里的第二内部支撑槽位于所述位线槽两侧，在所述第二内部支撑槽中填充支撑材料，所述第二内部支撑槽中的支撑材料形成第二内部支撑层；
- 20

S25：在所述存储单元隔离槽中填充存储单元隔离柱和在所述位线槽中填充隔离材料。

- 在本申请实施例中，步骤 S30 可以包括：去除剩余的第一牺牲层，剩余的半导体层沿平行于所述第一衬底的方向延伸并且依次包括源极区、沟道区和漏极区，所述漏极区包括电容区。
- 25

在本申请实施例中，步骤 S50 可以包括：

S51：去除所述半导体层的沟道区四周的第二牺牲层，在所述半导体层的沟道区四周依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层

和所述栅极组成晶体管；以及，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有多于一个半导体层，使该多个半导体层上的栅极连接在一起形成字线；

任选地，S52：将沿垂直于所述第一衬底的方向排列的位于不同层的多条字线设置为不同的长度，使得沿垂直于所述第一衬底的方向排列的位于不同层的多条字线呈现出阶梯状；

任选地，S53：在每个存储单元列中相邻的两个存储单元的晶体管的栅极之间设置层间隔离层，从而将每个存储单元列中相邻的两个存储单元的晶体管的栅极隔离开。

例如，在本申请示例性实施例中，

i) 步骤 S50 可以包括：

S51：去除所述半导体层的沟道区四周的第二牺牲层，在所述半导体层的沟道区四周依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；以及，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有多于一个半导体层，使该多个半导体层上的栅极连接在一起形成字线；

S52：将沿垂直于所述第一衬底的方向排列的位于不同层的多条字线设置为不同的长度，使得沿垂直于所述第一衬底的方向排列的位于不同层的多条字线呈现出阶梯状；

或者，ii) 步骤 S50 可以包括：

S51：去除所述半导体层的沟道区四周的第二牺牲层，在所述半导体层的沟道区四周依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；以及，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的

栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置多个半导体层，使该多个半导体层上的栅极连接在一起形成字线；

5 S53：在每个存储单元列中相邻的两个存储单元的晶体管的栅极之间设置层间隔离层，从而将每个存储单元列中相邻的两个存储单元的晶体管的栅极隔离开；

或者，iii) 步骤 S50 可以包括：

10 S51：去除所述半导体层的沟道区四周的第二牺牲层，在所述半导体层的沟道区四周依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；以及，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层，使该一个半导体层上的栅极作为字线；或者，在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置多个半导体层，使该多个半导体层上的栅极连接在一起形成字线；

15 S52：将沿垂直于所述第一衬底的方向排列的位于不同层的多条字线设置为不同的长度，使得沿垂直于所述第一衬底的方向排列的位于不同层的多条字线呈现出阶梯状；

20 S53：在每个存储单元列中相邻的两个存储单元的晶体管的栅极之间设置层间隔离层，从而将每个存储单元列中相邻的两个存储单元的晶体管的栅极隔离开。

在本申请实施例中，所述制造方法还可以包括：

S80：在第二衬底的一侧依次设置外围电路、带有金属接触柱的金属接触层、和带有金属线的金属互连层，将所述金属线的一端通过所述金属接触柱与所述外围电路电连接，得到第二芯片；

25 S90：将所述第一芯片和所述第二芯片层叠结合在一起，并将所述第二芯片的电路与所述第一芯片的电路进行电连接。

在本申请实施例中，步骤 S80 可以包括：

S81：在所述第二衬底的一侧依次设置外围电路、带有金属接触柱的金

属接触层、带有金属线的金属互连层，所述外围电路包括第一晶体管和第二晶体管，

S82: 将所述第一晶体管和所述第二晶体管分别与所述金属接触柱连接。

在本申请实施例中，步骤 S90 可以包括：采用 X-Tracking 技术将所述第一芯片的第一衬底与所述第二芯片的金属互连层层叠结合在一起，并将所述金属互连层的金属线与所述第一芯片的位线、字线或电容器电连接。

图 6A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 6B 为图 6A 所示的中间品的俯视结构示意图；图 7A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 7B 为图 7A 所示的中间品的俯视结构示意图；图 8A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 8B 为图 8A 所示的中间品的俯视结构示意图；图 9A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 9B 为图 9A 所示的中间品的俯视结构示意图；图 10A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 10B 为图 10A 所示的中间品的俯视结构示意图；图 11A 为本申请示例性实施例的半导体器件的制造方法的中间步骤得到的中间品的主视剖面结构示意图；图 11B 为图 11A 所示的中间品的俯视结构示意图。如图 6A 至图 11B 所示，在示例性实施例中，所述半导体器件的制造方法可以包括：

S10: 在第一衬底 100 一侧按照第一牺牲层 901 和半导体层 11 的顺序沿垂直于第一衬底 100 的方向堆叠形成多个由第一牺牲层 901 和半导体层 11 组成的复合层，得到如图 6A 和图 6B 所示的中间品；

S21: 在多个复合层中沿垂直于第一衬底 100 的方向刻蚀出存储单元隔离槽 3'、位线槽 300' 和沟槽 4，得到如图 7A 和图 7B 所示的中间品；

S22: 在沟槽 4 中填充支撑材料，形成沿垂直于第一衬底 100 的方向延伸的第一内部支撑层 501（如图 8B 所示）；对沟槽 4 进行侧边刻蚀，形成多个垂直于第一衬底 100 的间隔槽 6 并且在每个复合层的第一牺牲层 901 中形成第一内部支撑槽 501'，间隔槽 6 将多个复合层间隔为多个垂直于第一衬底

100 的复合壁，第一内部支撑槽 501' 将第一牺牲层 901 间隔为网格结构，在第一内部支撑槽 501' 中填充支撑材料，形成设置在沿垂直于第一衬底 100 的方向上相邻的两个半导体层 11 之间的第一内部支撑层 501 (如图 8A 所示)；

5 S23: 对存储单元隔离槽 3' 进行侧边刻蚀，使得在每个复合壁的第一牺牲层 901 中形成第二内部支撑槽 502'，这里的第二内部支撑槽 502' 位于存储单元隔离槽 3' 两侧，在第二内部支撑槽 502' 中填充支撑材料，第二内部支撑槽 502' 中的支撑材料形成第二内部支撑层 502；

10 S24: 对位线槽 300' 进行侧边刻蚀，在每个复合壁的第一牺牲层 901 中形成第二内部支撑槽 502'，这里的第二内部支撑槽 502' 位于位线槽 300' 两侧，在第二内部支撑槽 502' 中填充支撑材料，第二内部支撑槽 502' 中的支撑材料形成第二内部支撑层 502；

S25: 在存储单元隔离槽 3' 中填充存储单元隔离柱 3 和在位线槽 300' 中填充隔离材料 5，得到如图 8A 和图 8B 所示的中间品；

15 S30: 去除剩余的第一牺牲层 901，剩余的半导体层 11 沿平行于第一衬底 100 的方向延伸为条状结构，所述条状结构具有侧壁和两端，并且在垂直于第一衬底 100 方向上的侧壁依次包括源极区 111、沟道区 112 和漏极区 113，漏极区 113 包括电容区，得到如图 9A 和图 9B 所示的中间品；

20 S40: 在第一衬底 100 上形成第二牺牲层 902，使第二牺牲层 902 覆盖步骤 S30 得到的中间品的表面（覆盖半导体层 11），得到如图 10A 和图 10B 所示的中间品；

25 S51: 去除半导体层 11 的沟道区 112 侧壁上的第二牺牲层 902，在半导体层 11 的沟道区 112 侧壁上依次形成环绕沟道区 112 的栅极绝缘层和栅极 12，半导体层 11 和栅极 12 组成晶体管 10；以及，在平行于第一衬底 100 的平面上并且沿垂直于半导体层 11 的延伸方向上设置有一个半导体层 11，使该一个半导体层 11 上的栅极 12 作为字线 400；或者，在平行于第一衬底 100 的平面上并且沿垂直于半导体层 11 的延伸方向上设置有多个半导体层 11，使该多个半导体层 11 上的栅极 12 连接在一起形成字线 400；

S52: 将沿垂直于第一衬底 100 的方向排列的位于不同层的多条字线 400 设置为不同的长度，使得沿垂直于第一衬底 100 的方向排列的位于不同层的

多条字线 400 呈现出阶梯状;

S53: 在每个存储单元列中相邻的两个存储单元的晶体管 10 的栅极 12 之间设置层间隔离层 2, 从而将每个存储单元列中相邻的两个存储单元的晶体管 10 的栅极 12 隔离开, 得到如图 11A 和图 11B 所示的中间品;

- 5 S60: 去除半导体层 11 的漏极区 113 的电容区侧壁上的第二牺牲层 902, 在半导体层 11 的漏极区 113 的电容区侧壁上依次形成环绕电容区的第一电极板 21、介电质层 23 和第二电极板 22, 第一电极板 21、介电质层 23 和第二电极板 22 组成电容器 20;

- 10 S70: 去除位线槽 300' 中的隔离材料 5, 在位线槽 300' 中填充位线材料, 形成位线, 将位线和与该位线相接触的多个半导体层 11 的源极区 111 连接, 使得该多个半导体层 11 的源极区 111 共用一条位线, 得到第一芯片 1000, 得到如图 1A 和图 1B 所示的中间品;

- 15 S81: 在第二衬底的一侧依次设置外围电路、带有金属接触柱的金属接触层、带有金属线的金属互连层, 外围电路包括第一晶体管 10 和第二晶体管 10,

S82: 将第一晶体管 10 和第二晶体管 10 分别与金属接触柱连接;

S90: 采用 X-Tracking 技术将第一芯片 1000 的第一衬底 100 与第二芯片的金属互连层层叠结合在一起, 并将金属互连层的金属线与第一芯片 1000 的位线、字线 400 或电容器电连接, 得到如图 2A 和图 2B 所示的中间品。

- 20 在本申请实施例中, 形成第一芯片的步骤 S10 至 S70 与形成第二芯片的步骤 S80 可以同时进行; 或者, 先进行步骤 S10 至 S60, 后进行步骤 S80; 或者, 先进行步骤 S80, 后进行步骤 S10 至 S60。

- 25 在本申请实施例中, 所述第一牺牲层的材料可以为与所述半导体层的材料之间的刻蚀选择比较大的材料, 例如, 所述第一牺牲层的材料与所述半导体层的材料之间的刻蚀选择比可以 $\geq 50:1$, 再例如, 所述半导体层的材料可以为单晶硅, 所述第一牺牲层的材料可以选自 SiGe 等具有相似性质的其他材料中的任意一种或多种。所述第一牺牲层的厚度可以为 30nm 至 50nm, 例如, 可以为 30nm、35nm、40nm、45nm、50nm。

在本申请实施例中，所述第二牺牲层的材料可以为与所述半导体层的材料之间的刻蚀选择比较大的材料，例如，所述第二牺牲层的材料与所述半导体层的材料之间的刻蚀选择比可以 $\geq 50:1$ 。再例如，所述半导体层的材料可以为单晶硅，所述第二牺牲层的材料可以为 SiO_2 等具有相似性质的其他材料中的任何一种或多种； SiO_2 与单晶硅的刻蚀选择比较高，而且 SiO_2 的刻蚀工艺成熟且所需的刻蚀时间较短。

在本申请实施例中，步骤 S10 中可以通过外延设备在所述第一衬底的第一侧生长出由第一牺牲层和半导体层组成的超晶格(super lattice)薄膜堆叠层，得到多个由第一牺牲层和半导体层组成的复合外延层。

10 在本申请实施例中，步骤 S21 中可以利用同一层图案光罩(Photo mask)通过光照曝光进行图案化刻蚀，形成存储单元隔离槽、位线槽和沟槽。

在本申请实施例中，步骤 S22 至 S24 中，可以通过湿法刻蚀对所述沟槽、所述存储单元隔离槽或所述位线槽进行侧边刻蚀。

15 在本申请实施例中，步骤 S22 至 S24 中，可以通过 ALD 工艺在所述第一内部支撑层槽、所述第二内部支撑槽和所述沟槽中填充支撑材料，例如，可以通过 ALD 工艺在所述第一内部支撑层槽、所述第二内部支撑槽和所述沟槽中填充 SiN。

20 在本申请实施例中，步骤 S25 中可以通过 SOD、HDP 或 HARP 工艺在所述存储单元隔离槽中填充存储单元隔离柱和在所述位线槽中填充隔离材料，例如，可以通过 SOD、HDP 或 HARP 工艺在所述存储单元隔离槽和所述位线槽中形成氧化硅薄膜。

在本申请实施例中，步骤 S30 中可以通过刻蚀法、选择超高第一牺牲层/半导体层刻蚀比将第一牺牲层刻蚀掉而保留半导体层，所述刻蚀法可以为干法刻蚀或湿法刻蚀。

25 在本申请实施例中，步骤 S40 中可以通过 SOD、HDP 或 HARP 工艺形成第二牺牲层，例如，可以通过 SOD、HDP 或 HARP 工艺形成 SOD 氧化硅薄膜、HDP 氧化硅薄膜和 HARP 氧化硅薄膜中的任意一种或多种，作为第二牺牲层。

在本申请实施例中，步骤 S50 中可以通过刻蚀法、选择超高第二牺牲层/半导体层刻蚀比将第二牺牲层刻蚀掉而保留半导体层，所述刻蚀法可以为干法刻蚀或湿法刻蚀。

5 在本申请实施例中，步骤 S52 中可以通过修整刻蚀 (trim etch) 得到阶梯状字线 (staircase WL)。

在本申请实施例中，步骤 S53 中可以通过 ALD 或化学气相沉积 (Chemical Vapor Deposition, CVD) 工艺设置层间隔离层，例如，可以通过 ALD 或 CVD 工艺填充 SiO_2 ，形成层间隔离层。

10 在本申请实施例中，步骤 S80 中可以通过传统的 CMOS 工艺形成所述外围电路，然后在所述外围电路上制作金属接触层和金属互连层。所述金属接触层可以由金属接触柱和绝缘介质形成，可以先设置整层的绝缘介质，然后在绝缘介质中开设通孔并填充金属形成所述金属接触柱。所述金属互连层可以由金属线和绝缘介质形成，可以先设置整层的绝缘介质，然后在绝缘介质中开设通孔并填充金属形成所述金属线。

15 在本申请实施例中，步骤 S90 中可以采用 X-Tracking 技术实现第一芯片和第二芯片的结合和精确电连接，例如，可以包括将第一芯片和第二芯片结合在一起，根据需要选择将金属线与位线、字线或电容器电连接，例如，若想要金属线与位线电连接，则将金属线与位线对齐，并在第一衬底中开设连接金属线与位线的通孔以及在该通孔中填充导电金属，实现金属线与位线的
20 精确电连接。

本申请实施例还提供一种电子设备，包括如上本申请实施例提供的所述半导体器件。

在本申请实施例中，所述电子设备可以包括存储装置、智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源。

25 虽然本申请所揭露的实施方式如上，但所述的内容仅为便于理解本申请而采用的实施方式，并非用以限定本申请。任何本申请所属领域的技术人员，在不脱离本申请所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本申请的保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种半导体器件，包括第一芯片，所述第一芯片包括：

第一衬底；

5 设置在所述第一衬底上的多个存储单元列，每个所述存储单元列均垂直于所述第一衬底并且由堆叠设置在所述第一衬底一侧的多个存储单元形成；

每个所述存储单元均包括晶体管和电容器，所述晶体管包括半导体层和栅极，所述半导体层沿平行于所述第一衬底的方向延伸为条状结构，所述条状结构具有侧壁和两端，并且在平行于所述第一衬底的方向上的侧壁依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；所述栅极环绕在所述
10 沟道区的侧壁，并且所述栅极与所述沟道区之间设置有栅极绝缘层；

所述电容器设置在所述漏极区的电容区的侧壁上；

第一内部支撑层，所述第一内部支撑层设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间，所述第一内部支撑层配置为对所述电容器和相邻的两个半导体层提供支撑，所述电容器被所述第一
15 内部支撑层间隔为网格式电容器。

2. 根据权利要求1所述的半导体器件，其中，所述第一芯片还包括：多条字线，每条所述字线均在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向，其中，在所述字线的延伸方向上设置有一个存储单元列，每条所述字线由该一个存储单元列的一个存储单元的晶体管的栅极形成；或者，在所述字线的延伸方向上设置有多个存储单元列，每条所述字线
20 由该多个存储单元列的沿所述字线的延伸方向排列的多个存储单元的晶体管的栅极连接在一起形成。

3. 根据权利要求2所述的半导体器件，其中，所述第一内部支撑层还设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸。
25

4. 根据权利要求1至3中任一项所述的半导体器件，其中，所述第一芯片还包括：多条位线，每条所述位线均沿垂直于所述第一衬底的方向延伸，在与所述半导体层的延伸方向平行的方向上，相邻的两个存储单元列的多个

存储单元的晶体管的源极区均与一条共用的位线连接。

5. 根据权利要求 1 至 4 中任一项所述的半导体器件，其中，所述电容器环绕在所述漏极区的电容区的侧壁上。

6. 根据权利要求 1 至 4 中任一项所述的半导体器件，其中，所述电容器
5 包括第一电极板、第二电极板以及设置在所述第一电极板和所述第二电极板之间的介电质层，所述第一电极板、所述介电质层和所述第二电极板依次环绕在所述漏极区的电容区的侧壁上。

7. 根据权利要求 1 至 6 中任一项所述的半导体器件，还包括第二芯片，
10 所述第二芯片和所述第一芯片层叠结合在一起并且所述第二芯片和所述存储单元列分别位于所述第一衬底的两侧，所述第二芯片的电路与所述第一芯片的电路电连接；

所述第二芯片包括依次设置在第二衬底上的外围电路、金属接触层和金属互连层，所述金属接触层设置在所述外围电路远离所述第二衬底的一侧，
15 所述金属互连层设置在所述金属接触层远离所述第二衬底的一侧并且位于所述第一衬底远离所述存储单元列的一侧，所述金属接触层中设置有金属接触柱，所述金属互连层中设置有金属线，所述金属线的一端与所述第一芯片的位线、字线或电容器电连接，所述金属线的另一端通过所述金属接触柱与所述外围电路电连接。

8. 根据权利要求 1 至 6 中任一项所述的半导体器件，其中，沿垂直于所
20 述第一衬底的方向间隔排列的位于不同层的多条字线呈阶梯状。

9. 根据权利要求 2 或 3 所述的半导体器件，其中，所述半导体层的材料选自第 IVA 族元素形成的半导体材料中的任意一种或多种，所述字线的材料选自第 IVA 族元素形成的导体材料中的任意一种或多种。

10. 根据权利要求 9 所述的半导体器件，其中，所述半导体层的材料为
25 单晶硅；所述字线的材料选自多晶硅和多晶硅锗中的任意一种或多种。

11. 根据权利要求 1 至 10 中任一项所述的半导体器件，其中，所述存储单元列还包括层间隔离层，所述层间隔离层设置在所述存储单元列中相邻的两个存储单元的晶体管的栅极之间，所述层间隔离层配置为将相邻的两个存

储单元的晶体管的栅极隔离开。

12. 根据权利要求 1 至 10 中任一项所述的半导体器件，还包括一个或多个沿垂直于所述第一衬底的方向延伸的存储单元隔离柱，在所述半导体层的延伸方向上每间隔两个存储单元列设置有一个所述存储单元隔离柱。

5 13. 根据权利要求 1 至 12 中任一项所述的半导体器件，还包括第二内部支撑层，所述第二内部支撑层设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层之间并且位于非电容区，所述第二内部支撑层配置为对所述半导体层提供支撑。

10 14. 根据权利要求 6 所述的半导体器件，其中，所述第一电极板为内电极板，所述第二电极板为外电极板；所述漏极区与所述第一电极板连接。

15. 一种半导体器件的制造方法，包括：

在第一衬底的一侧按照第一牺牲层和半导体层的顺序沿垂直于所述第一衬底的方向堆叠形成多个由所述第一牺牲层和所述半导体层组成的复合层；

15 在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出沟槽，并对所述沟槽进行侧边刻蚀，形成多个垂直于所述第一衬底的间隔槽并且在每个所述复合层的第一牺牲层中形成第一内部支撑槽，所述间隔槽将多个所述复合层间隔为多个垂直于所述第一衬底的复合壁，所述第一内部支撑槽将所述第一牺牲层间隔为网格结构，在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层；

20 去除剩余的第一牺牲层，剩余的半导体层沿平行于所述第一衬底的方向延伸并且依次包括源极区、沟道区和漏极区，所述漏极区包括电容区；

在所述第一衬底上形成第二牺牲层，使所述第二牺牲层覆盖所述半导体层；

25 去除所述半导体层的沟道区侧壁上的第二牺牲层，在所述半导体层的沟道区的侧壁上依次形成环绕所述沟道区的栅极绝缘层和栅极，所述半导体层和所述栅极组成晶体管；

去除所述半导体层的漏极区的电容区侧壁上的第二牺牲层，在所述半导体层的漏极区的电容区的侧壁上依次形成电容器，得到第一芯片。

16. 根据权利要求 15 所述的半导体器件的制造方法, 还包括: 形成多条在平行于所述第一衬底的平面上延伸并且垂直于所述半导体层的延伸方向的字线;

5 其中, 在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置有一个半导体层, 使该一个半导体层上的栅极作为字线; 或者, 在平行于所述第一衬底的平面上并且沿垂直于所述半导体层的延伸方向上设置多个半导体层, 使该多个半导体层上的栅极连接在一起形成字线。

17. 根据权利要求 16 所述的半导体器件的制造方法, 还包括: 形成多条沿垂直于所述第一衬底的方向延伸的位线;

10 其中, 形成所述位线包括:

在多个所述复合层中刻蚀所述沟槽时, 在多个所述复合层中沿垂直于所述第一衬底的方向刻蚀出位线槽, 以及在所述位线槽中填充隔离材料;

15 在形成所述电容器之后, 去除所述位线槽中的隔离材料, 在所述位线槽中填充位线材料, 形成位线, 将所述位线和与该位线相接触的多个半导体层的所述源极区连接, 使得该多个半导体层的所述源极区共用一条位线。

18. 根据权利要求 17 所述的半导体器件的制造方法, 还包括:

在第二衬底的一侧依次设置外围电路、带有金属接触柱的金属接触层、和带有金属线的金属互连层, 将所述金属线的一端通过所述金属接触柱与所述外围电路电连接, 得到第二芯片;

20 将所述第一芯片和所述第二芯片层叠结合在一起, 并将所述第二芯片的电路与所述第一芯片的电路进行电连接。

19. 根据权利要求 16 至 18 中任一项所述的半导体器件的制造方法, 其中, 对所述沟槽进行侧边刻蚀, 在每个所述复合层的第一牺牲层中形成第一内部支撑槽, 在所述第一内部支撑槽中填充支撑材料形成第一内部支撑层, 25 包括:

对所述沟槽进行侧边刻蚀, 在每个所述复合层的第一牺牲层中形成第一内部支撑槽, 在所述第一内部支撑槽中填充支撑材料, 形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内

部支撑层；或者，

在所述沟槽中填充支撑材料，形成设置在沿所述字线的延伸方向上相邻的两个半导体层的漏极区的电容区之间并且沿垂直于所述第一衬底的方向延伸的第一内部支撑层；对所述沟槽进行侧边刻蚀，在每个所述复合层的第一牺牲层中形成第一内部支撑槽，在所述第一内部支撑槽中填充支撑材料，形成设置在沿垂直于所述第一衬底的方向上相邻的两个半导体层的漏极区的电容区之间的第一内部支撑层。

20. 根据权利要求 15 至 19 中任一项所述的半导体器件的制造方法，其中，所述在所述半导体层的漏极区的电容区的侧壁上依次形成电容器，包括：
- 10 在所述半导体层的漏极区的电容区的侧壁上依次形成环绕所述电容区的侧壁的第一电极板、介电质层和第二电极板，所述第一电极板、所述介电质层和所述第二电极板构成所述电容器。

21. 一种电子设备，包括根据权利要求 1 至 14 中任一项所述的半导体器件。

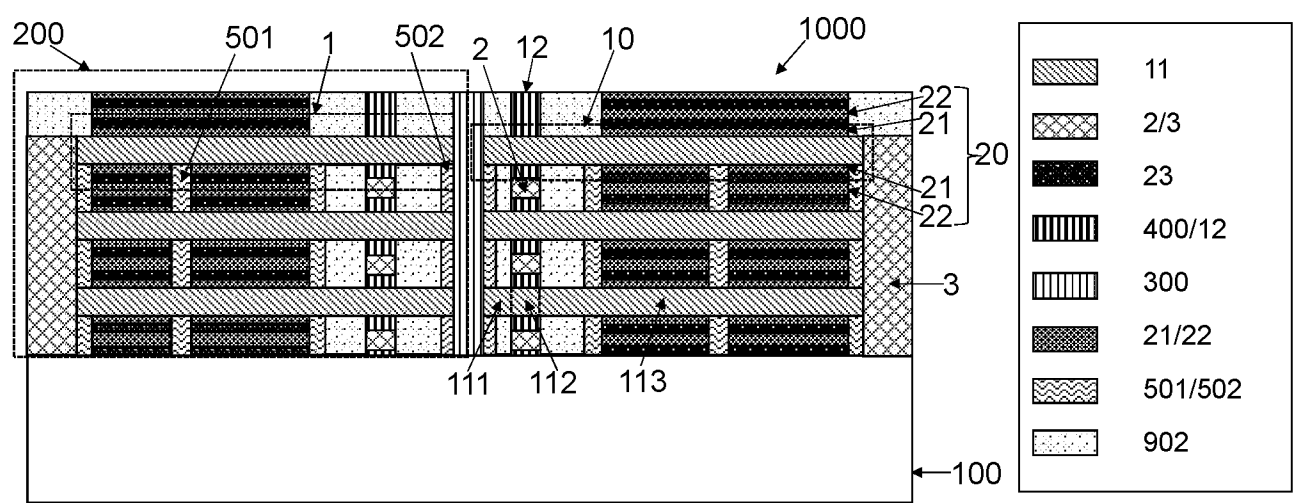


图 1A

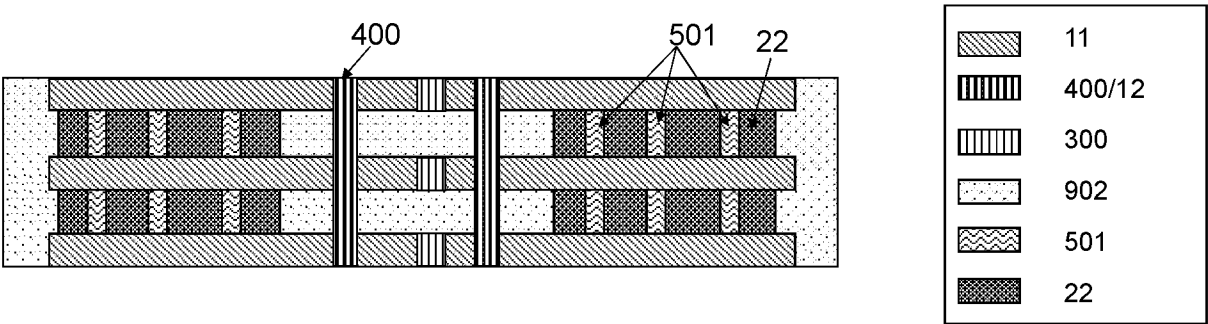


图 1B

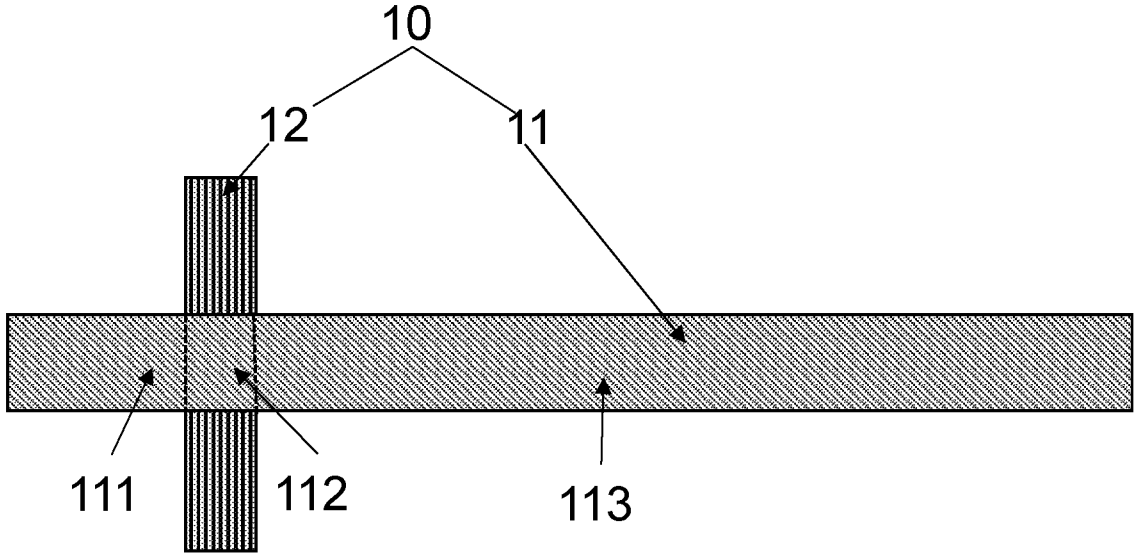


图 1C

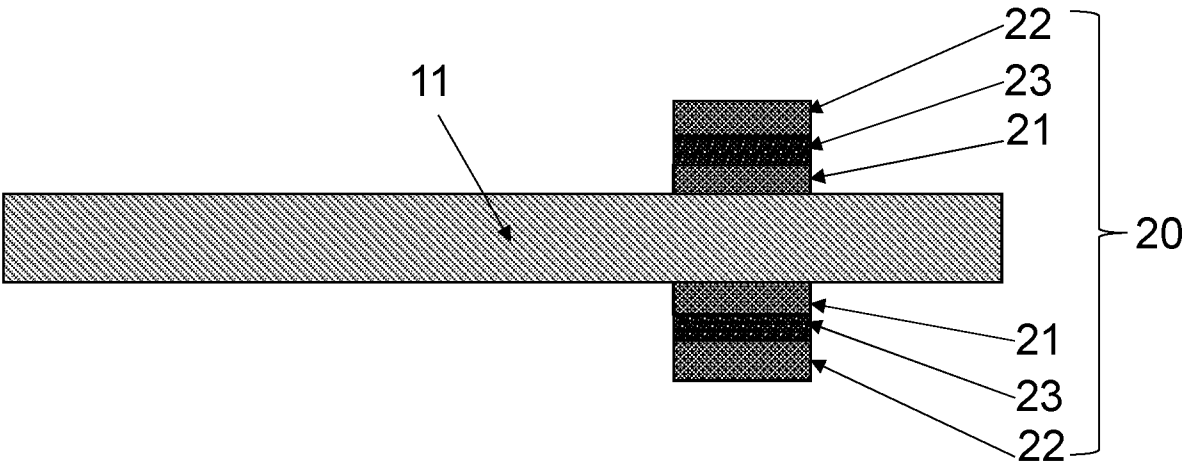


图 1D

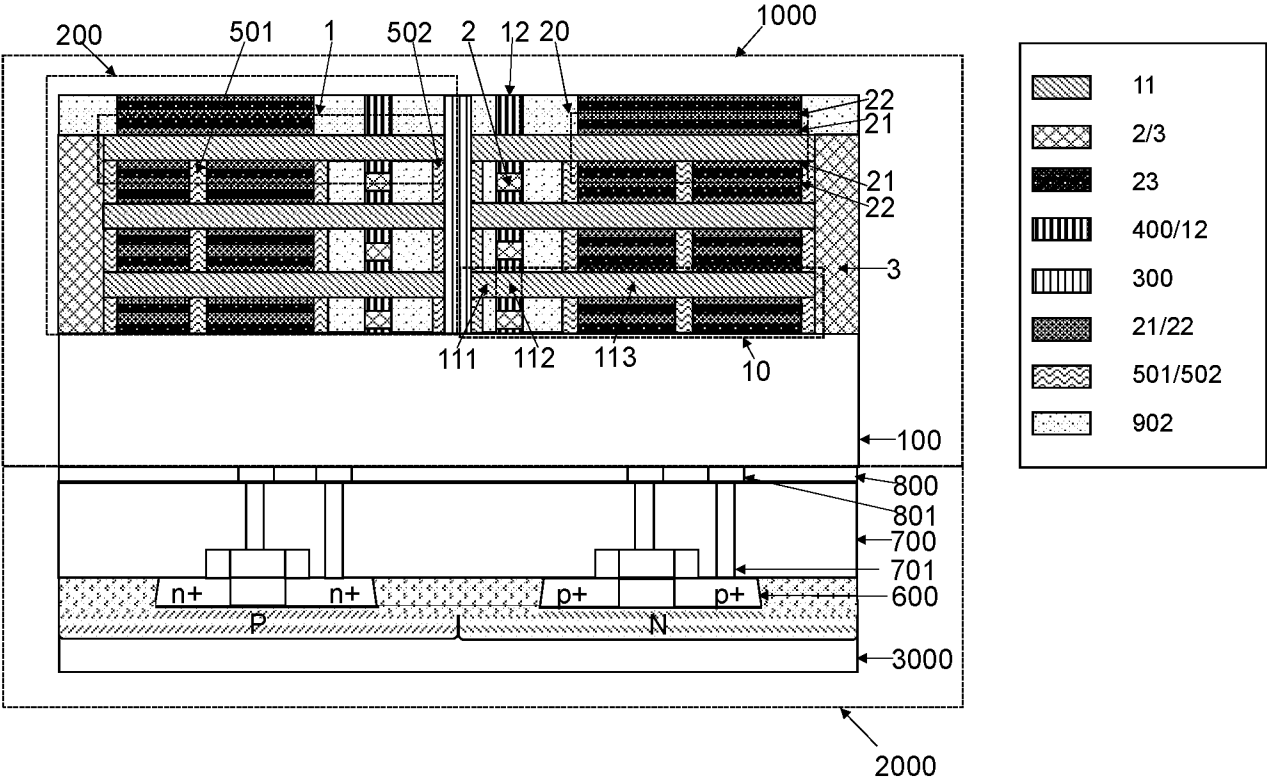


图 2A

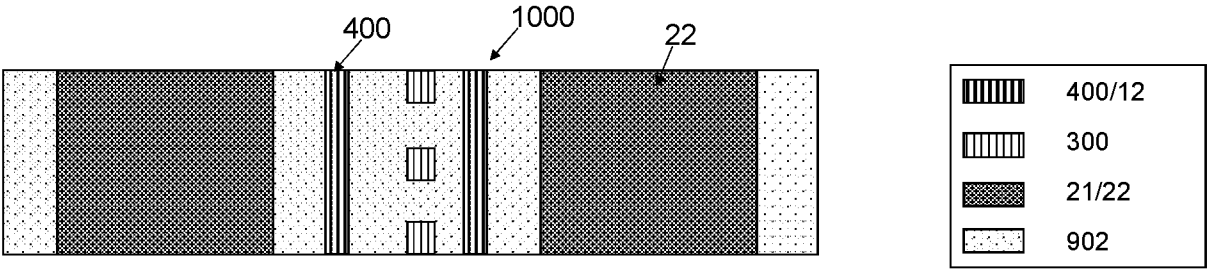


图 2B

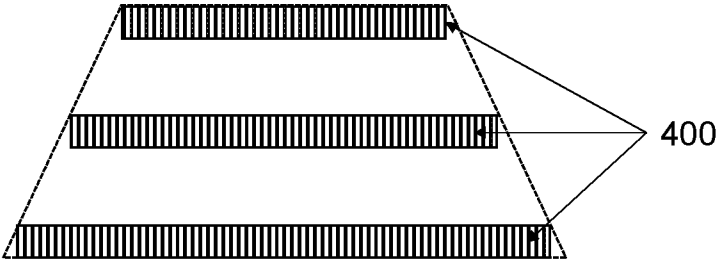


图 3

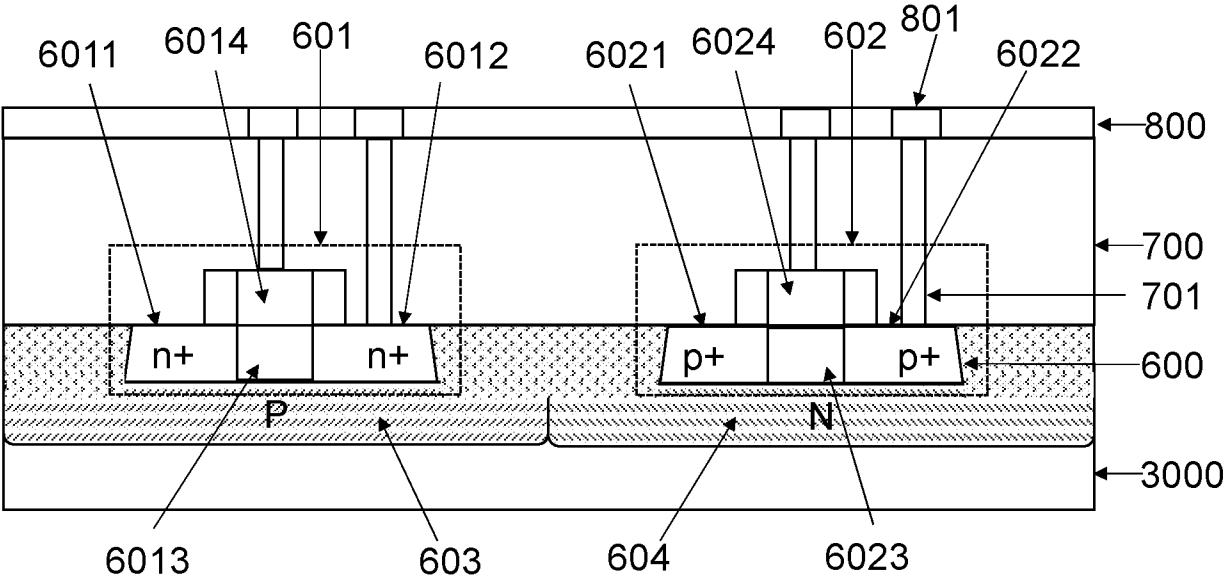


图 4A



图 4B

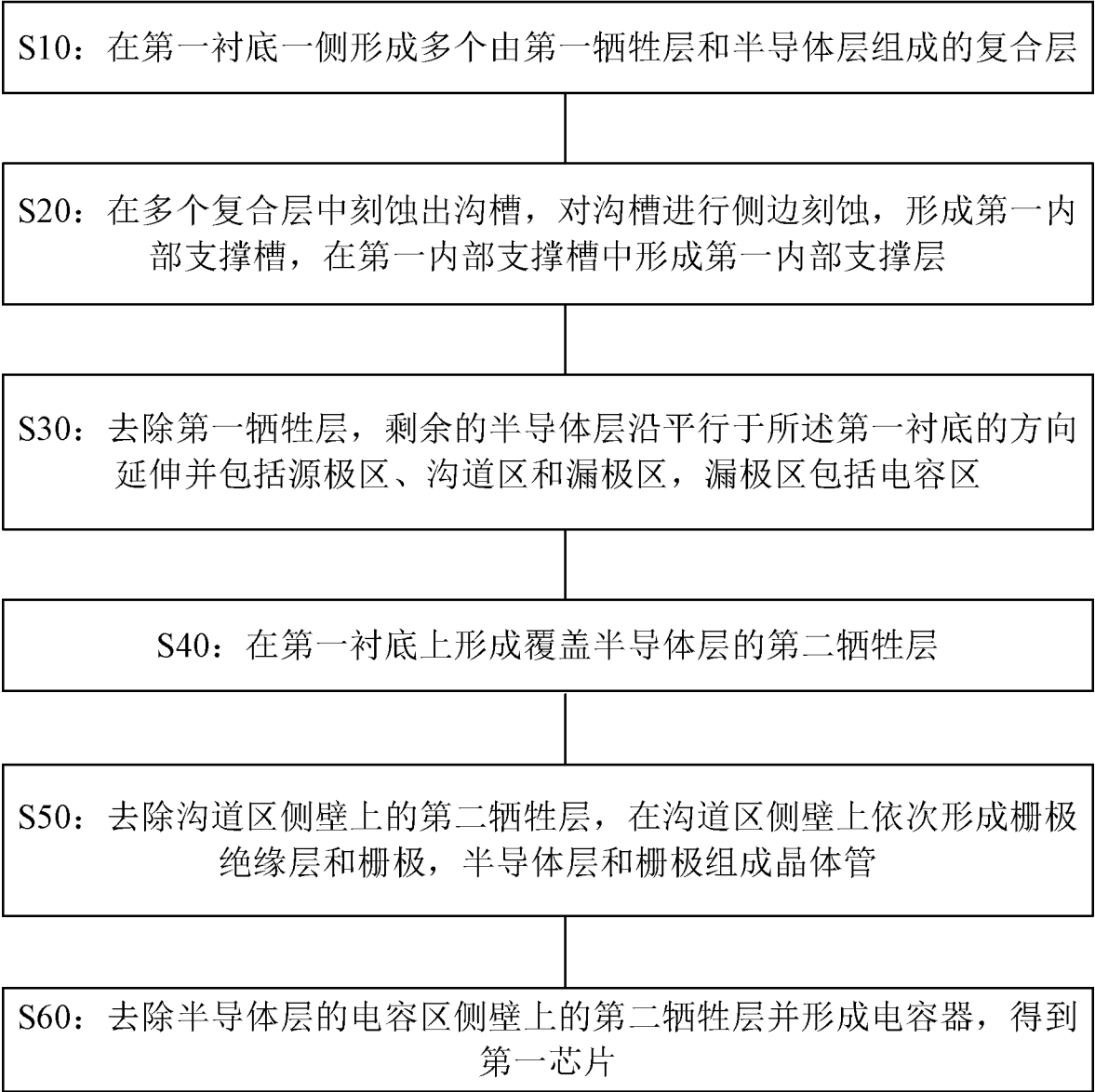


图 5

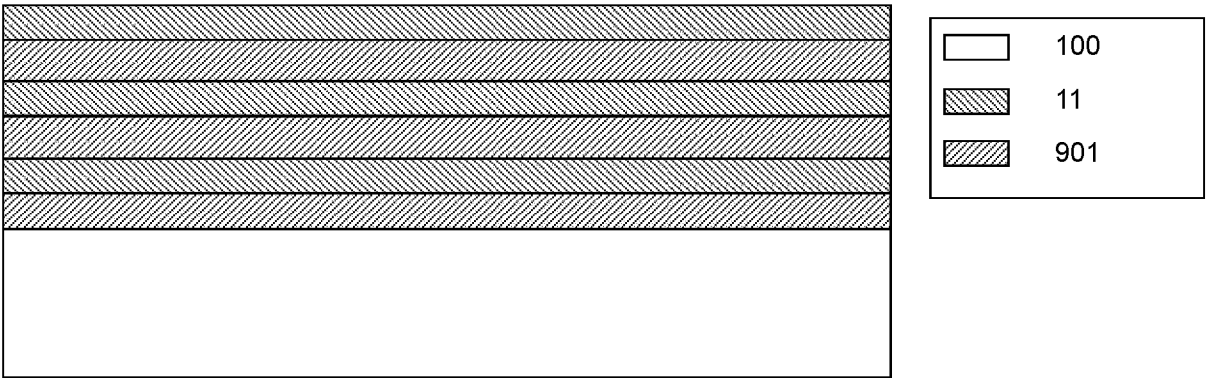
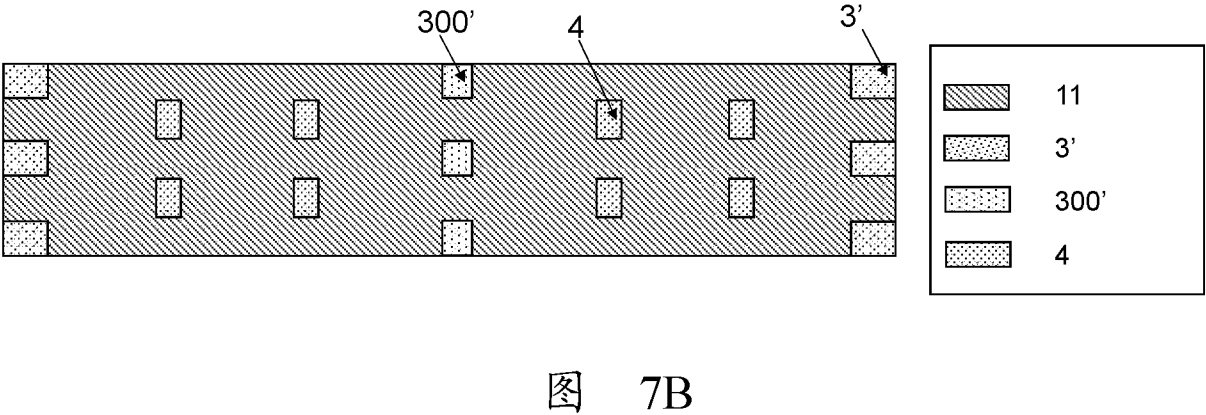
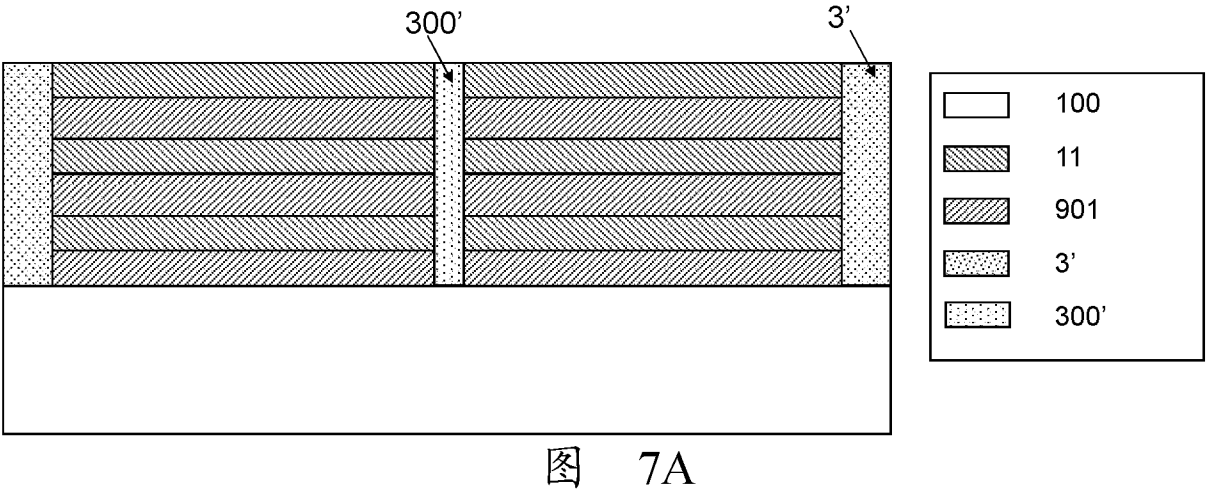
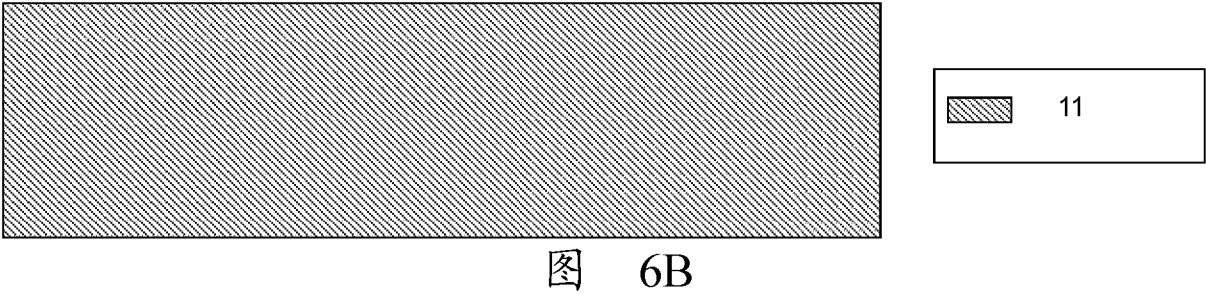


图 6A



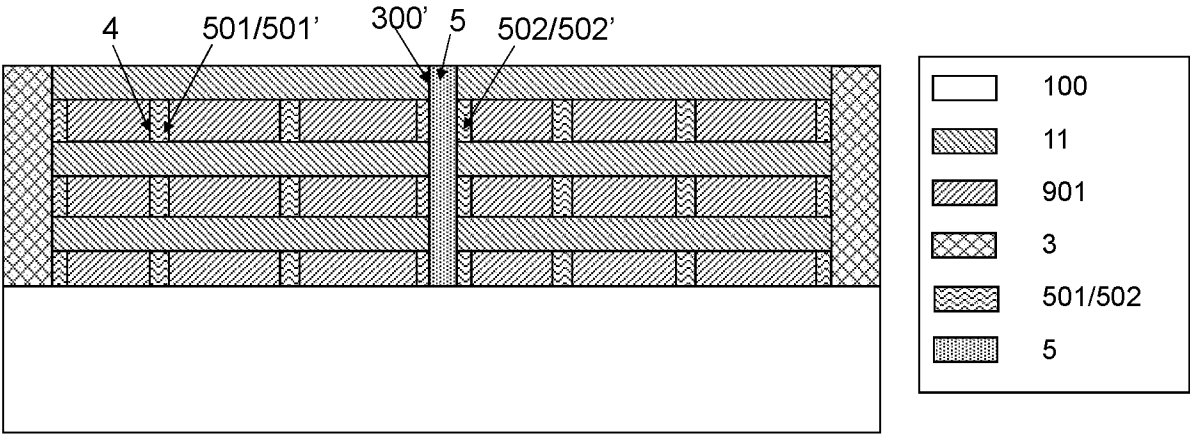


图 8A

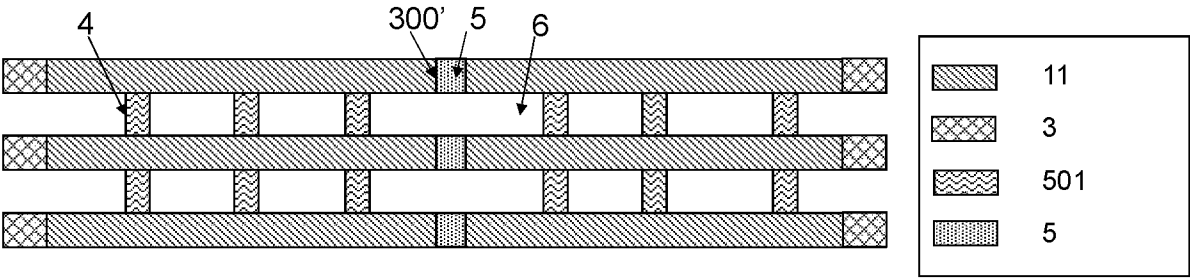


图 8B

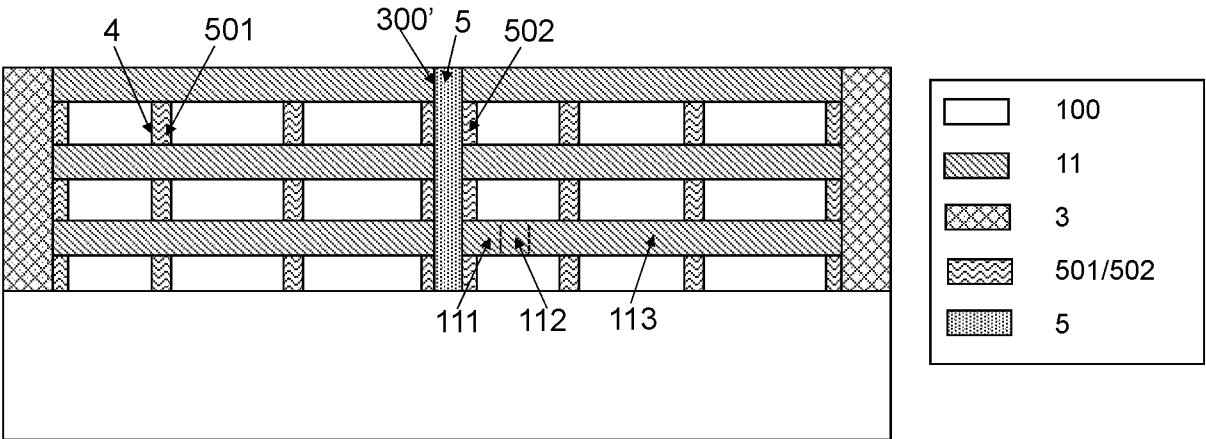


图 9A

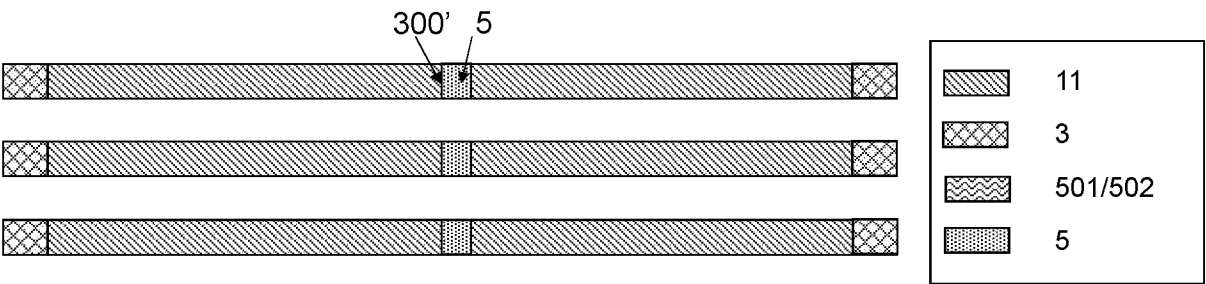


图 9B

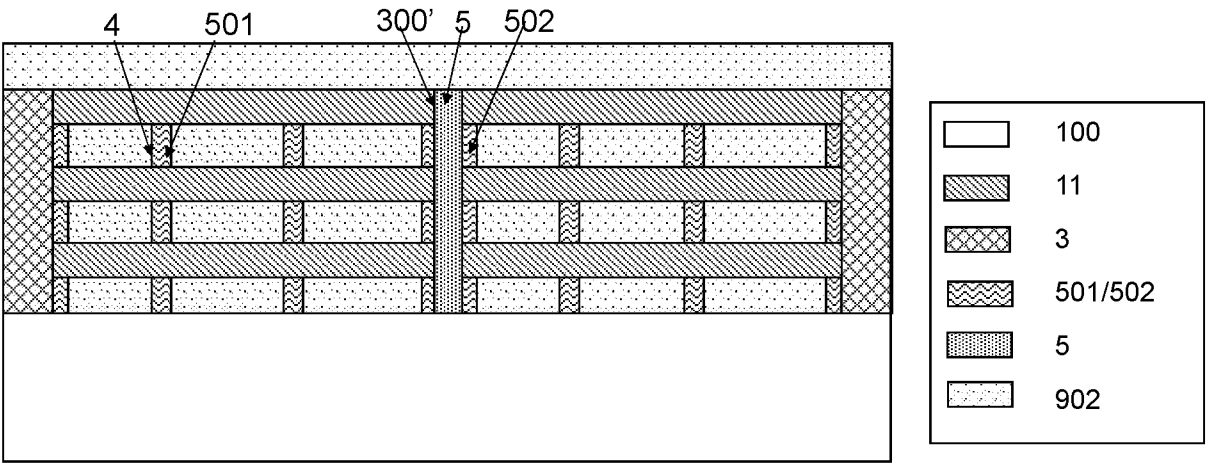


图 10A

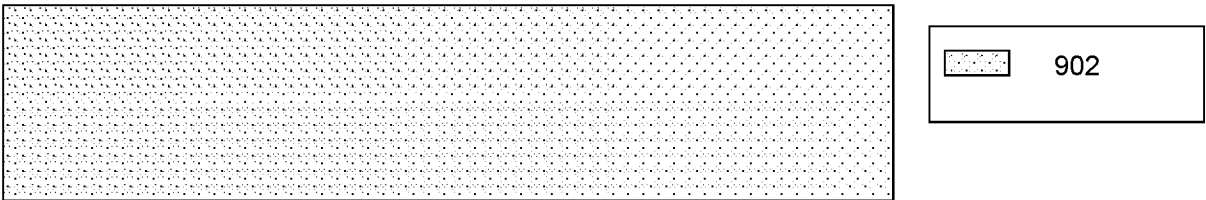


图 10B

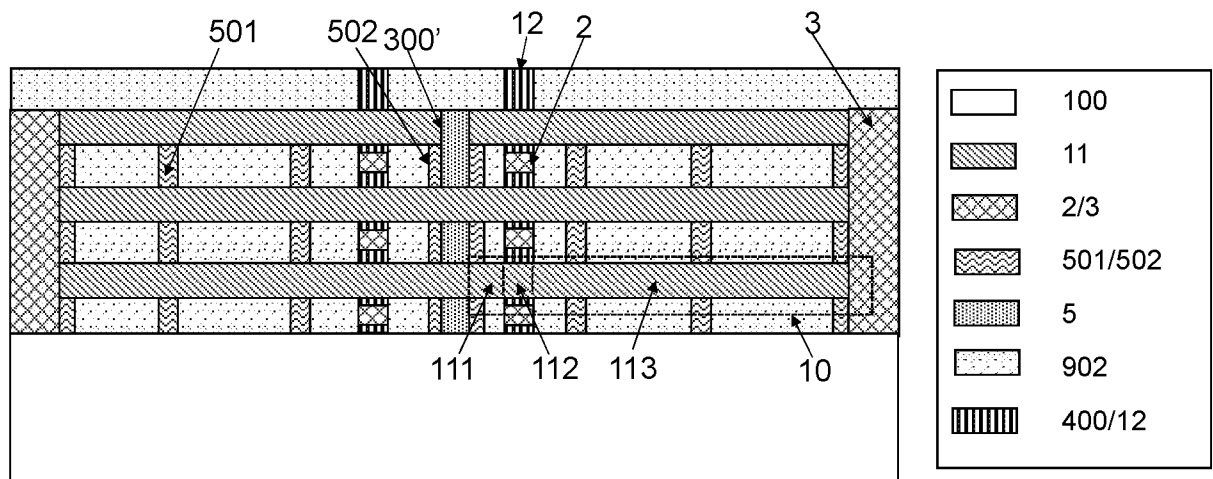


图 11A

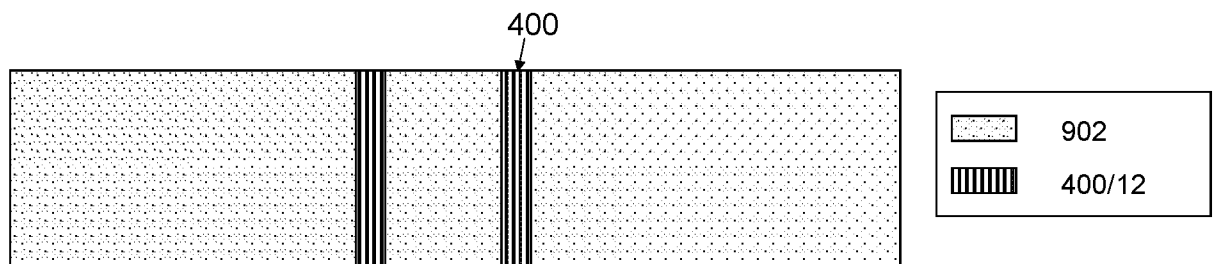


图 11B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/140173

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, DWPI, CNKI: 半导体, 器件, 二极管, 电容器, 存储, 源极, 漏极, 支撑, semiconductor, device, diode, capacitor, memory, source, drain, support

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 114121819 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 01 March 2022 (2022-03-01) claims 1-15, and description, pages 1-10, and figures 1-6	1, 21
A	CN 109461738 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 12 March 2019 (2019-03-12) entire document	1-21
A	US 6104055 A (NEC CORP.) 15 August 2000 (2000-08-15) entire document	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 February 2023

Date of mailing of the international search report

22 February 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/140173

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114121819	A	01 March 2022	None			
CN	109461738	A	12 March 2019	US	2019074363	A1	07 March 2019
				CN	109461738	B	26 March 2021
US	6104055	A	15 August 2000	GB	9706442	D0	14 May 1997
				GB	2323705	A	30 September 1998
				GB	2323705	B	20 February 2002

国际检索报告

国际申请号

PCT/CN2022/140173

A. 主题的分类 H01L27/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT, ENTXT, ENTXTC, DWPI, CNKI: 半导体, 器件, 二极管, 电容器, 存储, 源极, 漏极, 支撑, semiconductor, device, diode, capacitor, memory, source, drain, support		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 114121819 A (长鑫存储技术有限公司 等) 2022年3月1日 (2022 - 03 - 01) 权利要求1-15, 说明书1-10页, 附图1-6	1, 21
A	CN 109461738 A (中国科学院微电子研究所) 2019年3月12日 (2019 - 03 - 12) 全文	1-21
A	US 6104055 A (NEC CORP.) 2000年8月15日 (2000 - 08 - 15) 全文	1-21
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年2月11日		国际检索报告邮寄日期 2023年2月22日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 谢绍俊 电话号码 (+86) 62411593

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/140173

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114121819	A	2022年3月1日	无			
CN	109461738	A	2019年3月12日	US	2019074363	A1	2019年3月7日
				CN	109461738	B	2021年3月26日
US	6104055	A	2000年8月15日	GB	9706442	D0	1997年5月14日
				GB	2323705	A	1998年9月30日
				GB	2323705	B	2002年2月20日