

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H01L 25/065

# [12] 发明专利申请公开说明书

H01L 23/52 H01L 23/50

H01L 23/488 H01L 21/60

H01L 21/50

[21] 申请号 99107091.7

[43]公开日 2000年1月12日

[11]公开号 CN 1241032A

[22]申请日 1999.5.27 [21]申请号 99107091.7

[30]优先权

[32]1998.6.26 [33]US [31]105419

[71]申请人 国际商业机器公司

地址 美国纽约

[72]发明人 克罗德·露易斯·伯汀

托马斯·乔治·弗伦斯

韦恩·约翰·霍威尔

埃德蒙·朱里斯·斯泊吉斯

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

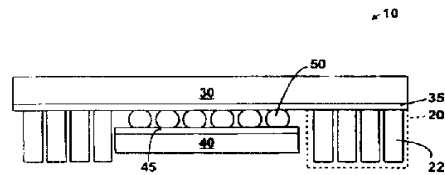
代理人 王永刚

权利要求书 4 页 说明书 7 页 附图页数 7 页

[54]发明名称 高集成度芯片上芯片封装

[57]摘要

借助于具有至少二个功能完全的芯片且电连接在一起的芯片上芯片组件以及用来将功能完全的芯片电连接到外部电路的芯片上芯片元件连接/互连,实现了本发明的优点。



ISSN 1008-4274

## 权 利 要 求 书

---

1. 一种装置，它包含：

至少具有有源区电连接在一起的二个独立芯片的芯片上芯片组件，其中所述二个芯片的所述有源区彼此面对；以及  
用来将所述芯片电连接到外部电路的芯片上芯片元件连接。

2. 权利要求 1 的装置，其中所述芯片上芯片元件连接是焊料球插件，它包含：

连接于一个所述芯片的所述有源区的第一组焊料球；  
用来连接到所述外部电路的第二组焊料球；以及  
连接在所述第一组和所述第二组焊料球之间的导电通道，其中所述通道被不导电的材料包围。

3. 权利要求 1 的装置，其中该至少二个芯片的工艺不同。

4. 权利要求 1 的装置，其中所述芯片上芯片元件连接是互连衬底，它包含：

连接于所述芯片的所述有源区的第一组连接元件；  
用来连接到所述外部电路的第二组连接元件；以及  
具有导电线条的衬底，所述导电线条将所述第一组连接元件连接到所述第二组连接元件。

5. 权利要求 4 的装置，其中所述外部电路是可插接的连接。

6. 权利要求 4 的装置，其中所述第二组连接元件包含：

与所述至少二个芯片中的一个的第一背面齐平的第二组焊料球；  
以及  
与所述至少二个芯片中的另一个的第二背面齐平的第二组金属焊点，

其中所述芯片上芯片组件的所述第二组焊料球，通过所述第二芯片上芯片组件的金属焊点，将所述芯片上芯片组件连接到第二芯片上芯片组件。

7. 权利要求 2 的装置，其中所述焊料球插件与所述芯片上芯片

组件的所述至少二个芯片中的一个的高度相同。

8. 一种制造芯片上芯片元件的方法，它包含下列步骤：

a) 制造具有至少二个有源区电连接在一起的独立芯片的芯片上芯片组件，其中所述二个芯片的所述有源区彼此面对；以及

b) 制造用来将所述芯片上芯片组件连接到外部电路的芯片上芯片元件连接。

9. 权利要求 8 的方法，其中所述步骤 a) 和 b) 还包含下列步骤：

1) 提供具有晶片有源区的晶片；

2) 将具有 IC 有源区的集成电路 (IC) 芯片固定到所述晶片，其中所述 IC 有源区被连接到所述晶片有源区；

3) 将芯片上芯片元件连接固定到所述晶片有源区，其中所述芯片上芯片元件连接具有与所述 IC 芯片相同的高度；

4) 在所述晶片、所述固定的 IC 芯片和所述固定的芯片上芯片元件连接上，淀积共形涂层；

5) 将所述涂层整平到所述 IC 芯片的所述高度，以形成芯片上芯片晶片；以及

6) 在预定点处切割所述芯片上芯片晶片，以形成具有所述芯片上芯片组件和所述芯片上芯片元件连接的芯片上芯片元件。

10. 权利要求 8 的方法，其中步骤 b) 还包含下列步骤：

1) 提供第一组焊料球；

2) 将所述第一组焊料球连接到一个所述芯片的所述有源区；

3) 提供用来连接到所述外部电路的第二组焊料球；以及

4) 将所述第一组和所述第二组焊料球与被不导电的材料包围的导电通道连接，以形成焊料球插件。

11. 权利要求 8 的方法，其中该至少二个芯片的工艺不同。

12. 权利要求 8 的方法，其中步骤 b) 还包含下列步骤：

1) 提供第一组连接元件；

2) 将所述第一组连接元件连接到一个所述芯片的所述有源区；

3) 提供用来连接到所述外部电路的第二组连接元件；以及

4) 将所述第一组和所述第二组焊料球与具有导电线条的衬底连接, 以形成互连衬底。

13. 权利要求 12 的方法, 其中所述外部电路是可插接的连接。

14. 权利要求 12 的方法, 其中步骤 3) 还包含下列步骤:

3a) 对具有所述至少二个芯片中的一个的第一背面和具有所述至少二个芯片中的另一个的第二背面的所述互连衬底进行整平;

3b) 提供与所述第一背面齐平的第二组焊料球;

3c) 提供与所述第二背面齐平的第二组金属焊点; 以及

3d) 通过所述第二组连接元件, 将所述芯片上芯片组件连接到第二芯片上芯片组件。

15. 一种芯片上芯片封装件, 它包含:

外部元件;

至少具有有源区电连接在一起的二个独立芯片的芯片上芯片组件, 其中所述二个芯片的所述有源区彼此面对; 以及

用来将所述芯片电连接到所述外部元件的芯片上芯片元件连接。

16. 权利要求 15 的芯片上芯片封装件, 其中所述芯片上芯片元件连接是焊料球插件, 它包含:

连接于一个所述芯片的所述有源区的第一组焊料球;

用来连接到所述外部元件的第二组焊料球; 以及

连接在所述第一组和所述第二组焊料球之间的导电通道, 其中所述通道被不导电的材料包围。

17. 权利要求 15 的芯片上芯片封装件, 其中该至少二个芯片的工艺不同。

18. 权利要求 15 的芯片上芯片封装件, 其中所述芯片上芯片元件连接是互连衬底, 它包含:

连接于所述芯片的所述有源区的第一组连接元件;

用来连接到所述外部元件的第二组连接元件; 以及

具有导电线条的衬底, 所述导电线条将所述第一组连接元件连接到所述第二组连接元件。

19. 权利要求 18 的芯片上芯片封装件，其中所述外部元件具有可插接的连接。

20. 权利要求 18 的芯片上芯片封装件，其中所述第二组连接元件包含：

与所述至少二个芯片中的一个的第一背面齐平的第二组焊料球；  
以及

与所述至少二个芯片中的另一个的第二背面齐平的第二组金属焊点，

其中所述芯片上芯片组件的所述第二组焊料球，通过所述第二芯片上芯片组件的金属焊点，将所述芯片上芯片组件连接到第二芯片上芯片组件。

# 说 明 书

---

## 高集成度芯片上芯片封装

本申请涉及到二个共同未决的申请：Bertin 等人的题为“半导体封装件中的微弯曲工艺”的美国申请 No.09/105382 和 Ference 等人的题为“改变特性的芯片上芯片互连”的美国申请 No.09/105477。相关的申请被转让于记载的受让人，因而同时提出申请，此处并列为参考。

本发明一般涉及到半导体器件，更具体地说是涉及到半导体器件中的芯片上芯片封装。

在电子开发和封装中，最近 50 年已发生了巨大的进步。集成电路密度已经并继续高速提高。但 80 年代之前，制作在芯片中的电路外部的互连电路密度的相应提高跟不上集成电路密度的提高。出现了许多新的封装工艺。一个特定的工艺称为“芯片上芯片组件”工艺。本发明涉及到芯片上芯片组件的具体技术领域。

许多情况下，比之设计新的衬底集成电路，可以更快速而便宜地制造芯片上芯片组件。芯片上芯片组件工艺由于密度的提高而显现出优点。由于密度的提高，在信号传播速度和与其它装置不协调的器件总重量方面得到了同样的改进。目前的芯片上芯片组件结构通常由直接粘合到一系列集成电路元件的印刷电路板衬底组成。

还有许多不同的技术领域，与如何将粘合有芯片上芯片组件的衬底从外部电连接到衬底上的电路有关。这些技术领域包括引线键合、载带自动键合 (TAB)、倒装 TAB 和倒装芯片。在下列美国专利中可找到一些例子：1994 年 6 月授予 Fogal 等人的美国专利 No.5323060 “具有叠层芯片分布的多芯片组件”、1997 年 2 月授予 Bone 等人的美国专利 No.5600541 “具有由介质载带制作的分立芯片载体的垂直 IC 芯片叠层”、1996 年 2 月授予 Korneld 等人的美国专利 No.5495394 “多芯片组件中的三维管芯封装”、以及 1995 年 3 月授予 Rostoker

等人的美国专利 No.5399898 “采用倒装芯片管芯的多芯片半导体分布”。

不幸的是，这些技术很昂贵，而且在大多数情况下无法返工（亦即清除和代换）封装件的组元，从而降低了成品率并增加了成本。芯片尺寸的个性化设计也受到严重限制。目前，芯片能够在晶片级或封装级进行个性化设计。由于在封装之前，在晶片后制造工艺中不能够个性化设计芯片，而无法得到产品应用的明显灵活性和制造成本的优点。

因此，本发明的优点是提供消除上述和其它限制的芯片上芯片元件、互连、及其制造方法。

借助于具有至少二个功能完全独立的芯片且电连接在一起的芯片上芯片组件以及用来将芯片电连接到外部电路的芯片上芯片元件连接/互连，实现了本发明的优点。

从如附图所示的本发明最佳实施例的更确切的描述中，本发明的上述和其它的优点和特定将更为明显。

以下结合附图来描述本发明的最佳示范实施例，在这些附图中，相似的参考号表示相似的元件。

图 1 是根据本发明最佳实施例的具有第一示范芯片上芯片元件连接的芯片上芯片元件的剖面图；

图 2、3 和 4 是根据本发明最佳实施例的具有第二、第三和第四示范芯片上芯片元件连接的芯片上芯片元件的剖面图；

图 5 是采用图 4 的示范芯片上芯片元件连接的芯片上芯片封装件的剖面图；

图 6 是具有第五示范芯片上芯片元件连接的图 1 的芯片上芯片元件的剖面图；

图 7 是采用图 6 的示范芯片上芯片元件连接的芯片上芯片封装件的剖面图；

图 8、9、10、11、12 和 13 剖面图示出了根据本发明第二实施例的芯片上芯片元件的制造顺序；

图 14 是根据本发明第三实施例的芯片上芯片元件的剖面图；  
图 15 是采用图 14 的芯片上芯片元件的芯片上芯片封装件的剖面图；

图 16 是根据本发明第四实施例的芯片上芯片元件的剖面图；

图 17 是根据本发明第五实施例的芯片上芯片元件的剖面图；

图 18 是采用图 17 的芯片上芯片元件的芯片上芯片封装件的剖面图。

参照图 1，示出了根据本发明最佳实施例的第一示范芯片上芯片元件 10。芯片上芯片元件 10 包含第一芯片 30、第二芯片 40 和芯片上芯片元件连接 20。第一芯片 30 的有源区 35 通过诸如 C4（控制熔塌芯片连接）焊料球连接 50 之类的芯片间连接或光子互连，被电连接到第二芯片 40 的有源区 45。焊料球连接 50 提供了芯片间联系的高性能电通路。这一互连与芯片电学布线的固有高性能一起，大大地降低了第一芯片 30 和第二芯片 40 二者的芯片外驱动器（未示出）的尺寸和功率。虽然此例和以后的例子具体示出了焊料球和焊料柱，但应该理解，也可以采用诸如聚合物金属复合物互连、电镀铜柱、微锁连接等等之类的不同组分构成的其它互连。

在此特定例子中，芯片上芯片元件连接 20 是连接于第一芯片 30 的焊料柱 22。焊料柱 22 使得能够将芯片上芯片元件 10 一般通过衬底连接到外部电路。

图 2 示出了第二示范芯片上芯片元件，其中芯片上芯片元件连接 20 包含焊料球。在图 1 和 2 中，在 IBM Dkt, No.BU9-98-011 的相关应用中，可找到制造焊料柱和焊料球的示范性方法。也可以通过下列步骤来制造焊料柱和焊料球：

1) 制造具有可焊金属焊点的第一芯片。可以用作焊料柱焊点的外围区焊点的直径可以是例如 125 微米，间距为 250 微米。中心区焊点的直径可以是 50 微米，间距为 100 微米。

2) 制造具有 C4 焊料球阵列的第二芯片。C4 的组分可以是 Pb:Sn=97:3，且 C4 应该与第一芯片中心区焊点的间距一致。



3) 将第一芯片固定到第二芯片。通过标准的芯片拾放技术 (CPP), 或通过诸如不用清除的助熔剂、PADS、松香助熔剂与炉回流结合的工艺, 可以做到这一点。

4) 将焊料柱或焊料球固定到第二芯片。通过焊料注入铸模, 可以做到这一点。

5) 将芯片上芯片元件连接到衬底。借助于通过标准的放置与联结工艺将易熔焊料联结在衬底 TSM 焊点上, 可以做到这一点。

图 3 和 4 示出了芯片上芯片元件的第三和第四例子, 其中的芯片上芯片元件联结 20 包含焊料球 26 和布线 25 (图 3) 或丝焊 28 (图 4)。在图 3 中, 在衬底 57 中制作空腔 55, 使第二芯片 40 的顶部与衬底 57 的顶部的高度相同。焊料球 26 则可以与连接的焊料球 50 尺寸相同, 从而将芯片上芯片元件连接到衬底 57。

图 5 示出了采用图 4 的芯片上芯片元件 10A 的芯片上芯片封装件。丝焊 28 连接于衬底 72 的顶侧。衬底 72 的底侧包含用来将芯片上芯片封装件连接于不同封装级的焊料球 76。粘合剂 71 将芯片上芯片元件 10A 机械连接于衬底 72。树脂挡条 66 和包封剂 64 保护着芯片 30 和 40, 并为丝焊和芯片结构 60 提供强度。金属盖 62 提供了紧凑、耐用而热增强的芯片上芯片封装件。

如图 6 和 7 可见, 芯片上芯片元件 10B 的芯片上芯片元件联结 20 包含焊料球插件 32。焊料球插件 32 提供了到衬底的电互连以及第二芯片 40 的尺寸所需的高度。焊料球插件 32 由连接于一个芯片 40 的有源区的第一组焊料球、连接于外部电路的第二组焊料球、以及第一组和第二组焊料球之间的导电通道组成。此通道被不导电的材料包围。图 7 示出了采用图 6 的芯片上芯片元件 10B 的芯片上芯片封装件。焊料球插件被连接于衬底 72 的顶侧。衬底 72 的底侧包含用来将芯片上芯片封装件连接于不同级封装件的焊料球 76。散热器 74 通过粘合剂 78 被连接到第一芯片 30。散热器使芯片上芯片元件 10B 得以散热。

图 1-7 和后面例子的芯片上芯片元件的一些优点包括: 可以用不

同的半导体工艺来制造芯片 30 和 40，并将它们连接起来而不受这些工艺用于单一芯片时所固有的限制。例如，芯片 30 可以是逻辑芯片，而芯片 40 可以是 DRAM 芯片，在芯片上芯片元件级上产生逻辑/DRAM 组合。第二，比之在每个芯片上提供所有功能和电路的单个芯片来说，芯片 30 和 40 单独地说是较小而较不复杂的。第三，大量存储器可以位于处理器的紧邻。第四，由于芯片上芯片元件的极为平坦的金属特性，而具有较大的互连密度。最后，本发明的芯片上芯片元件提供了比提供同样功能的简单高集成芯片更低的成本、更低的功率和更高的性能。

图 8-13 剖面图示出了根据本发明第二实施例的芯片上芯片元件的制造顺序。在图 8 中，示出了具有有源电路和互连层 145 的芯片晶片 140。晶片 140 可以是例如硅晶片、GaAs 晶片、SiGe 晶片等。有源电路和互连层 145 包含外部互连所需的结构和图形。在图 9 中，二类元件被固定到晶片 140：集成电路 (IC) 芯片 130 和焊料球插件 (也称为隔件) 32。IC 芯片 130 被电连接于晶片 140 中的有源电路，并提供较高水平的集成电路功能。可以使用诸如带包封的焊料球和丝焊之类的电连接。焊料球插件 32 提供了晶片 140 上有源电路层 145 和 IC 芯片 130 有源电路层侧形成的平面之间的电通路。虽然在本例子中具体示出了焊料球插件 32，但也可以使用诸如具有通道孔的硅晶片、多层陶瓷和有机 PCB 间隔之类的其它间隔。同时，虽然在本例子中用焊料球来将 IC 芯片 130 和焊料球插件 32 连接到晶片 140，但也可以采用诸如导电环氧树脂、PMC 胶、各向异性导电粘合剂和瞬变液相键合之类的其它互连方法。可以用焊料球包封体 (未示出) 来包围焊料球。

如图 10 所见，在整个表面上淀积共形涂层 34 (例如对二甲苯)。然后如图 11 所示，用机械和/或化学方法整平此涂层。整平的一个例子可以用标准的晶片抛光方法对表面进行机械抛光。这一整平使结构中焊料球插件 32 中的互连通道孔出现在表面上。这些通道孔构成到外部电路的连接。图 12 示出了在焊料球插件 32 上制造用于对外部

电路互连的焊料球 36。在预定点 38 处切割芯片上芯片元件，形成能够用焊料球 36 连接到外部电路的“超芯片”。图 13 示出了连接于载体/衬底 72 的超芯片。制造图 13 所示的超芯片有一些优点。这些优点包括：用多层不同半导体工艺的非常高的集成度；元件速度、带宽要求和芯片外速度方面的优越性能；组元芯片物理上很小且不需要复杂的电路或制造工艺，导致成品率高和成本低；以及借助于以各种形式连接几个组元元件，能够达到专用化。

图 14 和 15 是根据本发明第三实施例的芯片上芯片元件 80 的剖面图。芯片上芯片元件 80 包含由二个芯片构成一组的二个组，每个组有电连接于第二芯片的第一芯片 30 和 40 以及 30A 和 40A（例如如图 1 中的芯片上芯片元件 10）。在此例子中，芯片 30 和 30A 的背侧彼此相对。二组芯片通过芯片上芯片元件连接 20A（此例子中是互连衬底 88）电连接到一起。互连衬底 88 还通过诸如丝焊 84、C4 连接 86 和金属焊点连接 82 之类的电连接，将芯片上芯片元件 80 连接到外部器件。虽然为了说明的目的，在图 14 和 15 的芯片上芯片元件 80 上示出了不同类型的连接，但通常对于一种应用只使用一种类型的连接（亦即，连接 82、84 和 86 可以都是例如 C4 连接）。图 15 示出了采用图 14 的芯片上芯片元件 80 的芯片上芯片封装件。二个散热器 92 通过粘合剂 94 被连接于芯片 30 和 30A。散热器使芯片上芯片元件 80 得以散热。在衬底 57 中制作空腔 55，使第二芯片 40 的顶部与衬底 57 的顶部的高度相同。焊料球 26 则可以与连接的焊料球 50 尺寸相同，从而将芯片上芯片元件连接到衬底 57。这样，如根据本发明这一实施例所述，可以将几个各具有分立和特定功能且可能用不同的半导体工艺制造的芯片结合在一起。

图 16 是根据本发明第四实施例的包含芯片上芯片元件 80A 的可插接的芯片上芯片封装件的剖面图。芯片上芯片元件 80A 包含芯片 30、30A、40、40A、互连衬底 88A、和耦合衬底 88B。在此例子中，芯片上芯片元件 80A 被包封剂 96 包封，从而提供一个坚实的元件。互连衬底 88A 使得能够通过可插接界面电连接到外部电路。

图 17 是根据本发明第五实施例的芯片上芯片元件 80B 的剖面图。除了芯片上芯片元件连接 20A 包含延伸于芯片上芯片元件 80B 上下表面的可堆叠的互连衬底 88C 之外，芯片上芯片元件 80B 与芯片上芯片元件 80（图 14）是相似的。芯片上芯片元件连接 20A 的上表面包含可熔性金属焊点 82，而芯片上芯片元件连接 20A 的下表面包含焊料球 86。芯片上芯片元件结构 80B 是三维可堆叠组件的示范单元结构。另一种示范单元结构可以包含取消芯片 40 和 40A，并使芯片上芯片元件连接 20A 延伸跨过芯片 30 和 30A。图 18 示出了含有二个图 17 的芯片上芯片元件单元结构 80B 的堆叠的组件。

堆叠的组件和单元结构的一些优点是：首先，可以容易地适应不同尺寸和厚度的芯片。第二，结构是可返工的。第三，各种尺寸的结构都是可能的而没有明显的先决条件。第四，有可能安排单元结构之间的热问题。

于是，根据本发明的芯片上芯片元件和连接，使得能够得到高集成度工艺和可靠而紧凑的半导体封装件。芯片上芯片封装件还提供了增强的电学性能、机械性能与热性能。

虽然参照最佳实施例已经具体地描述了本发明，但本技术领域熟练人员能够理解，可以作出上述的和其它的形式和细节的改变而不超越本发明的构思与范围。

说明书附图

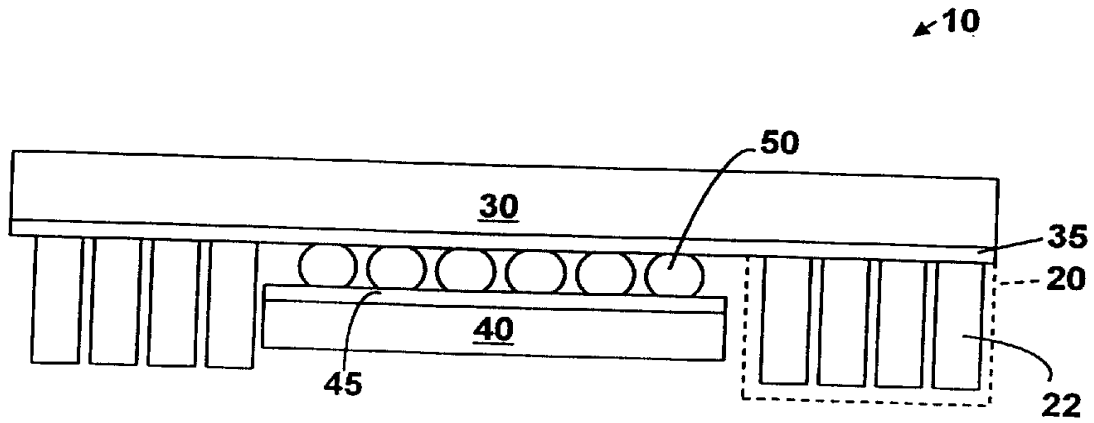


图1

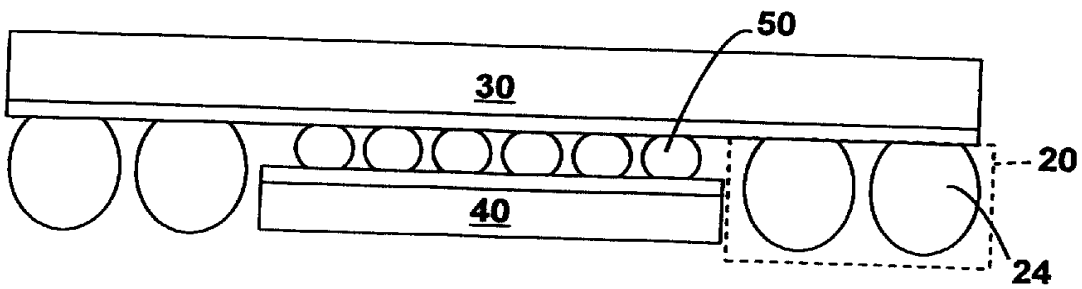


图2

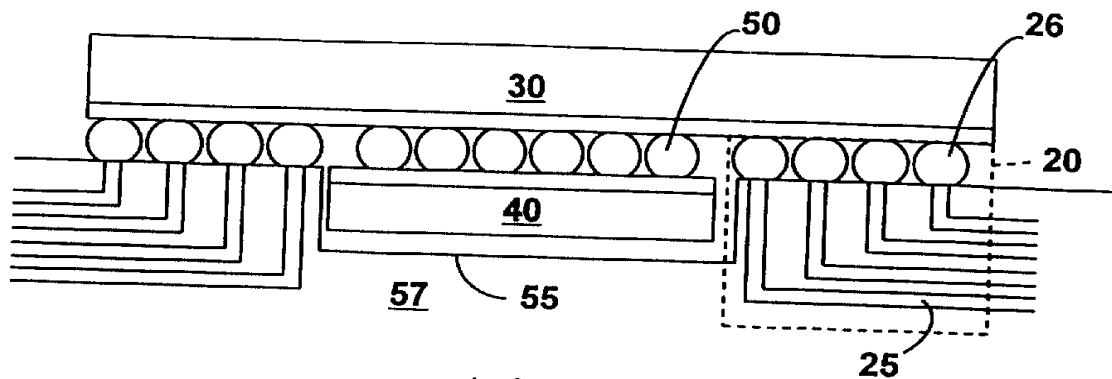


图 3

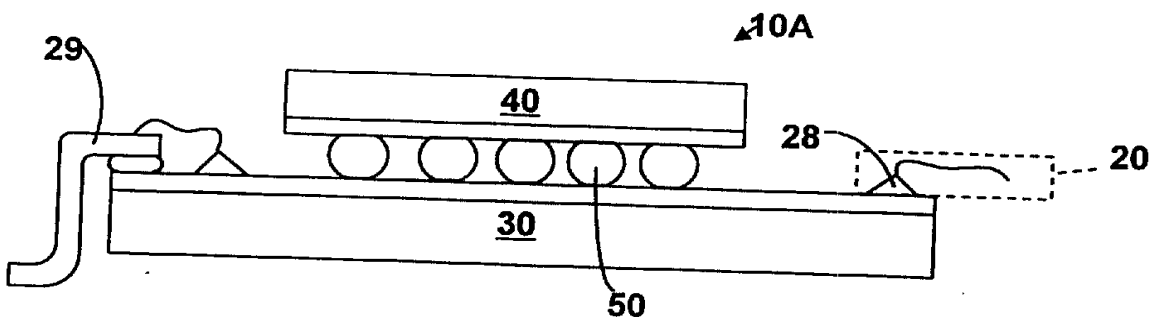


图 4

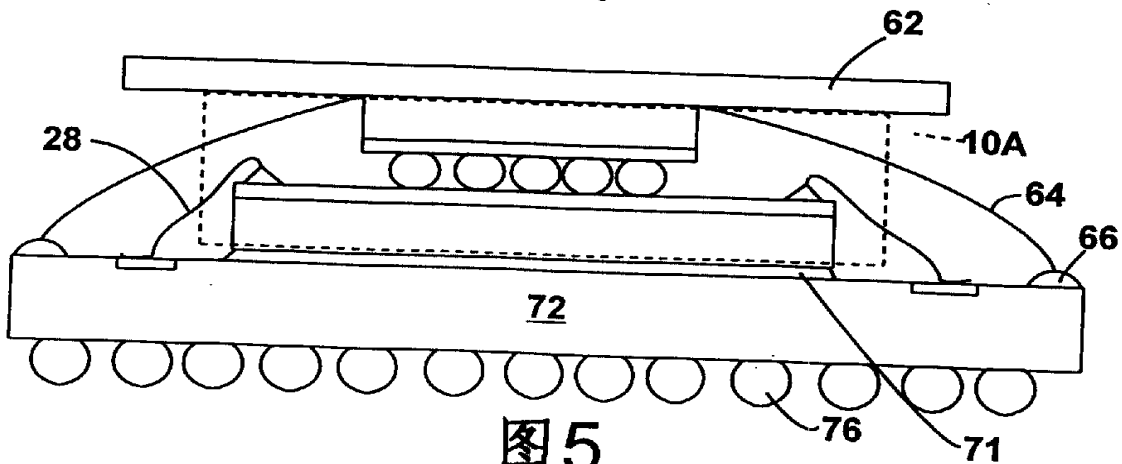


图 5

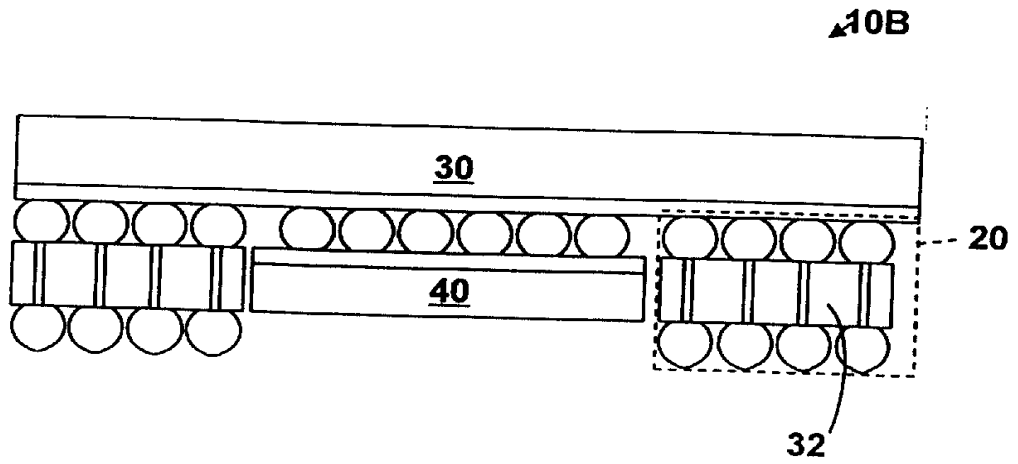


图 6

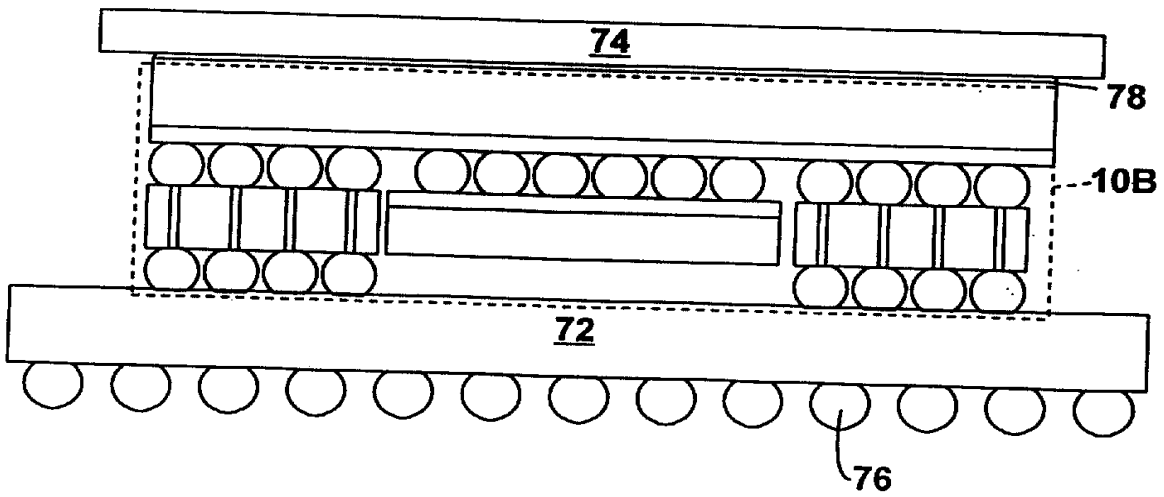


图 7

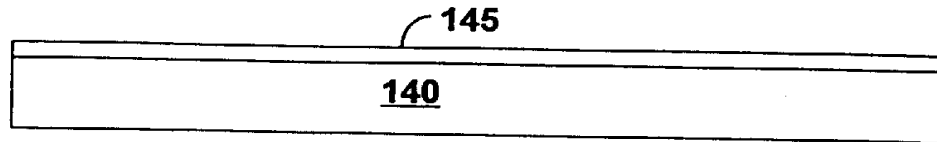


图 8

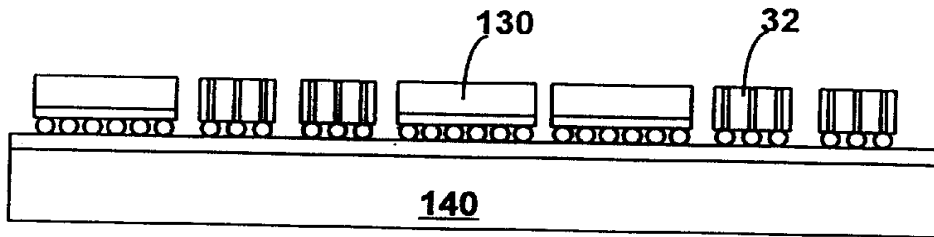


图 9

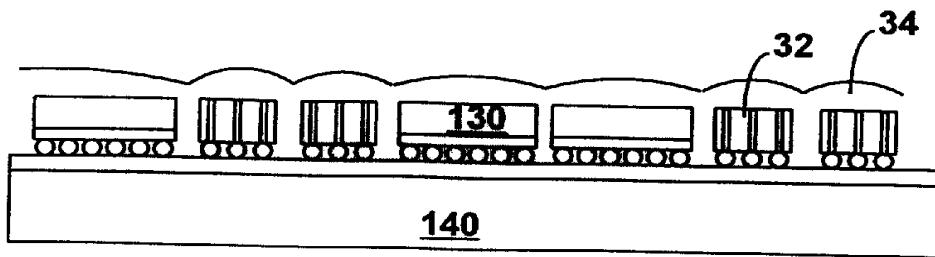


图 10





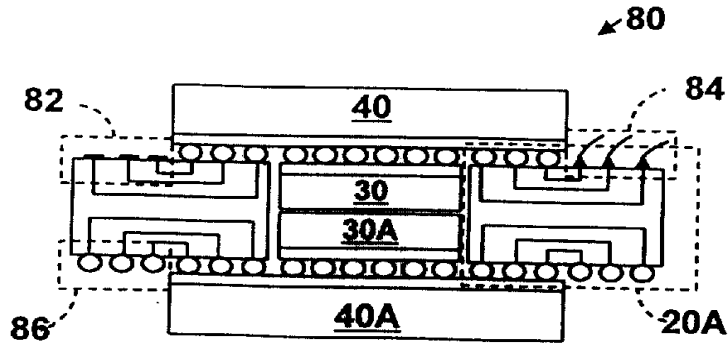


图14

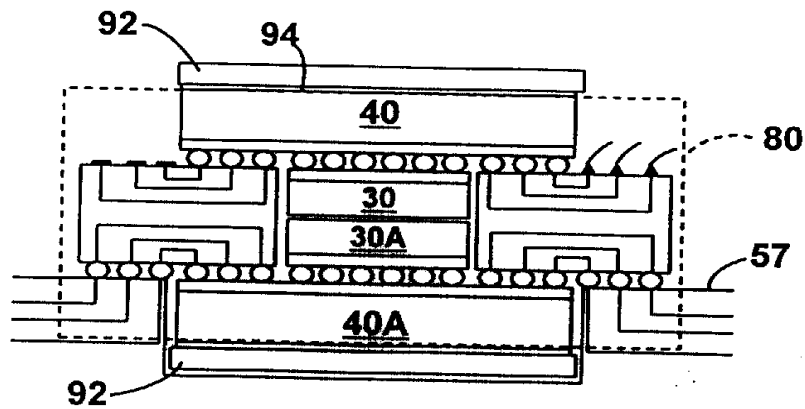


图15

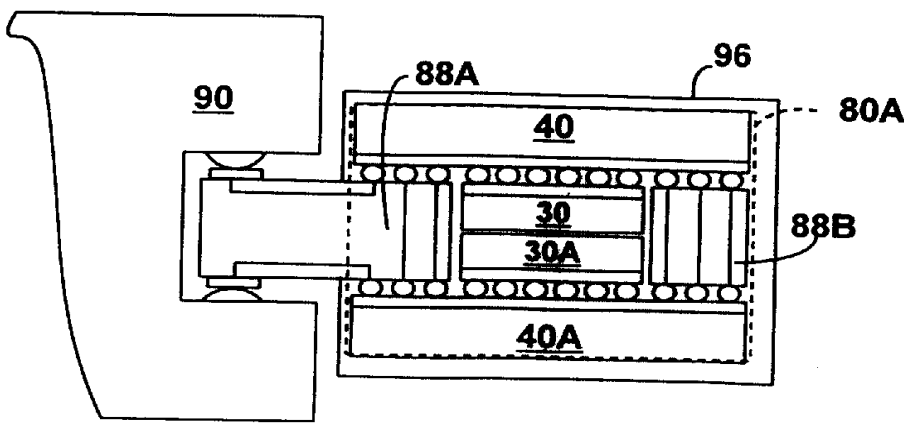


图16

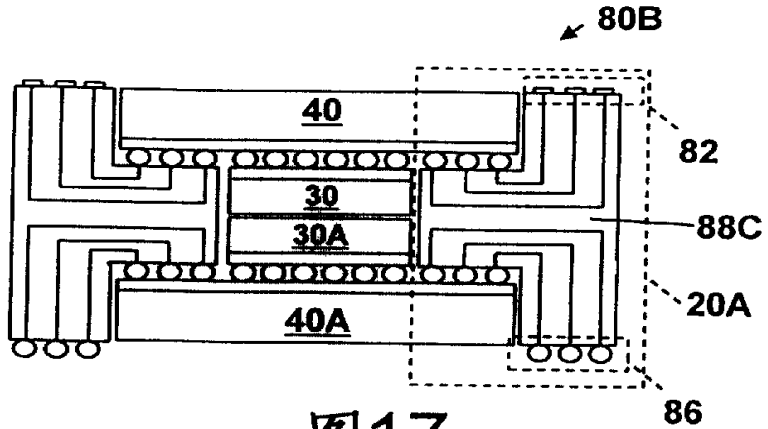


图17

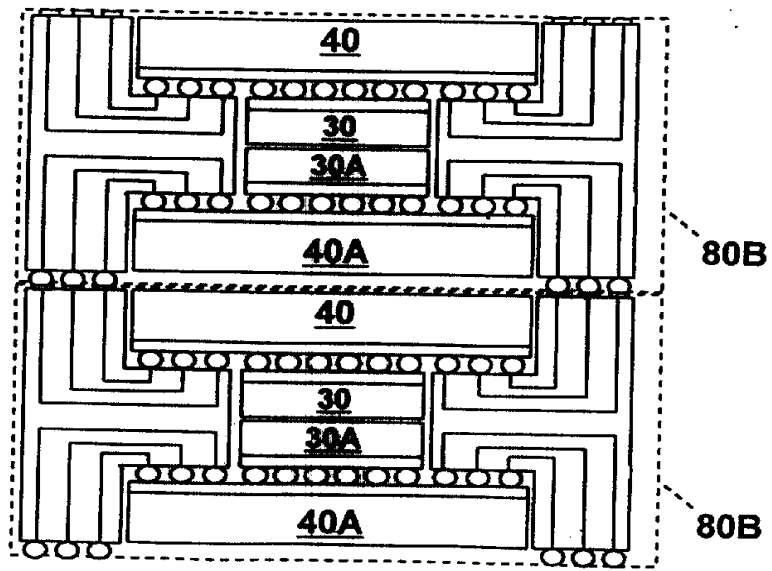


图18